(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 11 月 12 日(12.11.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/170450 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)

(21) 国際出願番号: PCT/JP2015/002131

(22) 国際出願日: 2015 年 4 月 17 日(17.04.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-098127 2014 年 5 月 9 日(09.05.2014) JP

(71) 出願人: 株式会社ＪＯＬＥＤ(**JOLED INC.**) [JP/JP]; 〒1010054 東京都千代田区神田錦町三丁目２３番地 Tokyo (JP).

(72) 発明者: 菅原　祐太(**SUGAWARA, Yuta**).

(74) 代理人: 吉川　修一, 外(**YOSHIKAWA, Shuichi** et al.); 〒5320011 大阪府大阪市淀川区西中島５丁目３番１０号タナカ・イトーピア新大阪ビル６階 新居国際特許事務所内 Osaka (JP).

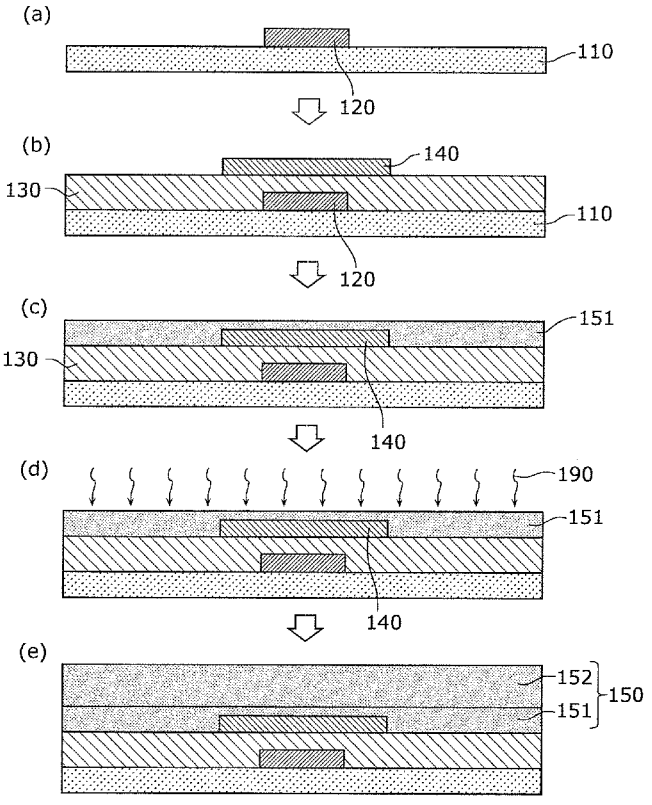
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: THIN FILM TRANSISTOR SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称 : 薄膜トランジスタ基板及びその製造方法



(57) **Abstract**: Disclosed is a method for manufacturing a TFT substrate (20), said method including: a step for forming an oxide semiconductor layer (140) above a substrate (110); a step for forming a first oxide film (151) on the oxide semiconductor layer (140); a step for performing oxidation treatment with respect to the oxide semiconductor layer (140) after forming the first oxide film (151); and a step for forming a second oxide film (152) on the first oxide film (151) after performing the oxidation treatment.

(57) 要約:　ＴＦＴ基板（２０）の製造方法であって、基板（１１０）の上方に酸化物半導体層（１４０）を形成する工程と、酸化物半導体層（１４０）上に第１酸化膜（１５１）を形成する工程と、第１酸化膜（１５１）を形成した後に、酸化物半導体層（１４０）に対する酸化性処理を行う工程と、酸化性処理を行った後に、第１酸化膜（１５１）上に第２酸化膜（１５２）を形成する工程とを含む。

WO 2015/170450 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 薄膜トランジスタ基板及びその製造方法

技術分野

[0001] 本開示は、酸化物半導体を用いた薄膜トランジスタ基板及びその製造方法に関する。

背景技術

[0002] 液晶表示装置又は有機ＥＬ（Ｅｌｅｃｔｒｏ－Ｌｕｍｉｎｅｓｃｅｎｓｅ）表示装置などのアクティブマトリクス方式の表示装置には、スイッチング素子又は駆動素子として薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）が広く用いられている。

[0003] 近年、ＴＦＴのチャネル層に酸化亜鉛（ＺｎＯ）、酸化インジウムガリウム（ＩｎＧａＯ）、又は、酸化インジウムガリウム亜鉛（ＩｎＧａＺｎＯ）などの酸化物半導体を用いた構成について、研究開発が積極的に進められている。酸化物半導体をチャネル層に用いたＴＦＴは、オフ電流が小さく、アモルファス状態でも高いキャリア移動度を持ち、低温プロセスで形成可能であるという特徴を持つ。

[0004] 従来、ＴＦＴの酸化物半導体層に酸素を供給することで、電気特性の劣化を低減する技術が開示されている。例えば、特許文献１には、酸化物半導体層を形成した後で酸化物半導体層の熱処理を行うことで、酸化物半導体層に酸素を供給する技術が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開２００７－３１１４０４号公報

発明の概要

発明が解決しようとする課題

[0006] 上記従来技術では、主に酸化物半導体層の表面の酸素欠陥のみしか修復できない。このため、薄膜トランジスタ基板の特性の均一性及び信頼性は不十

分である。

[0007] 本開示は、特性の均一性と信頼性とが優れた薄膜トランジスタ基板及びその製造方法を提供する。

課題を解決するための手段

[0008] 上記課題を解決するため、本開示に係る薄膜トランジスタ基板の製造方法は、基板の上方に酸化物半導体層を形成する工程と、酸化物半導体層上に第１酸化膜を形成する工程と、第１酸化膜を形成した後に、酸化物半導体層に対する酸化性処理を行う工程と、酸化性処理を行った後に、第１酸化膜上に第２酸化膜を形成する工程とを含む。

[0009] また、本開示に係る薄膜トランジスタ基板は、基板と、基板の上方に順に積層された酸化物半導体層、第１酸化膜及び第２酸化膜とを備え、積層方向における元素の濃度分布において、フッ素元素の濃度分布では、第１酸化膜と第２酸化膜との境界近傍にピークが存在し、酸化窒素の濃度分布では、境界近傍における濃度が第２酸化膜の中央近傍における濃度より高く、水素元素の濃度分布では、境界近傍において不連続的に変化する。

発明の効果

[0010] 本開示によれば、特性の均一性と信頼性とが優れた薄膜トランジスタ基板及びその製造方法を提供することができる。

図面の簡単な説明

[0011] [図1]図１は、実施の形態に係る有機ＥＬ表示装置の一部切り欠き斜視図である。

[図2]図２は、実施の形態に係る有機ＥＬ表示装置のピクセルバンクの一例を示す斜視図である。

[図3]図３は、実施の形態に係る有機ＥＬ表示装置における画素回路の構成を示す電気回路図である。

[図4]図４は、実施の形態に係る薄膜トランジスタ基板の一例を示す概略断面図である。

[図5A]図５Ａは、実施の形態に係る薄膜トランジスタ基板の製造工程を示す

概略断面図である。

[図5B]図５Ｂは、実施の形態に係る薄膜トランジスタ基板の製造工程を示す概略断面図である。

[図6]図６は、酸化物半導体層のキャリア寿命を測定するために照射したマイクロ波の反射強度を示す図である。

[図7A]図７Ａは、実施の形態に係る薄膜トランジスタ基板の適切なプロセス条件を求めるために作製したサンプルの構成を示す概略断面図である。

[図7B]図７Ｂは、実施の形態に係る薄膜トランジスタ基板の適切なプロセス条件を求めるために作製したサンプルの構成を示す概略断面図である。

[図8]図８は、比較例に係る酸化膜の成膜温度と測定点毎のばらつきとの関係を示す図である。

[図9]図９は、比較例に係る酸化膜の成膜温度とプラズマ処理時間との組み合わせに対するキャリア寿命の測定結果を示す図である。

[図10]図１０は、本実施の形態に係る第１酸化膜の成膜温度とプラズマ処理時間との組み合わせに対するキャリア寿命の測定結果を示す図である。

[図11]図１１は、本実施の形態に係る第１酸化膜の膜厚とプラズマ処理時間との組み合わせに対するキャリア寿命の測定結果を示す図である。

[図12]図１２は、本実施の形態に係る第２酸化膜の成膜温度とプラズマ処理時間との組み合わせに対するキャリア寿命の測定結果を示す図である。

[図13A]図１３Ａは、本実施の形態に係る酸化膜内のフッ素元素の濃度分布を示す図である。

[図13B]図１３Ｂは、本実施の形態に係る酸化膜内の酸化窒素の濃度分布を示す図である。

[図13C]図１３Ｃは、本実施の形態に係る酸化膜内の水素元素の濃度分布を示す図である。

[図13D]図１３Ｄは、本実施の形態に係る酸化膜内の水素元素の濃度分布（線形表示）を示す図である。

[図13E]図１３Ｅは、本実施の形態に係る酸化膜内の窒化ケイ素の濃度分布を

示す図である。

[図14A]図１４Ａは、比較例に係る薄膜トランジスタの閾値電圧の初期特性を示す図である。

[図14B]図１４Ｂは、比較例に係る薄膜トランジスタの閾値電圧のストレス後の特性を示す図である。

[図15A]図１５Ａは、別の比較例に係る薄膜トランジスタの閾値電圧の初期特性を示す図である。

[図15B]図１５Ｂは、別の比較例に係る薄膜トランジスタの閾値電圧のストレス後の特性を示す図である。

[図16A]図１６Ａは、本実施の形態に係る薄膜トランジスタの閾値電圧の初期特性を示す図である。

[図16B]図１６Ｂは、本実施の形態に係る薄膜トランジスタの閾値電圧のストレス後の特性を示す図である。

[図17A]図１７Ａは、本実施の形態の変形例に係る薄膜トランジスタ基板の製造方法を示す概略断面図である。

[図17B]図１７Ｂは、本実施の形態の変形例に係る薄膜トランジスタ基板の製造方法を示す概略断面図である。

発明を実施するための形態

[0012] （本開示の基礎となった知見）

本発明者は、「背景技術」の欄において記載した従来の薄膜トランジスタ基板の製造方法に関し、以下の問題が生じることを見出した。

[0013] 従来の薄膜トランジスタ基板では、酸化物半導体層を保護するために、酸化物半導体層上にチャネル保護層（エッチングストッパ層）が形成される。薄膜トランジスタの信頼性を高めるためには、チャネル保護層の成膜条件も重要となる。

[0014] 例えば、酸化物半導体を用いた薄膜トランジスタの信頼性を表す特性の１つに、バイアス温度ストレス（ＢＴＳ）特性がある。ＢＴＳ特性を向上させるためには、チャネル保護層の成膜温度の高温化が有効である。

[0015] 逆に、チャネル保護層の成膜温度が低い場合、ＢＴＳ特性が劣化する。

[0016] チャネル保護層として、例えば、シリコン酸化膜をプラズマＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）によって成膜する場合には、プラズマによって材料ガスが分解されて成膜前駆体が発生する。低温雰囲気であれば、プラズマのエネルギーが弱く、成膜前駆体が基板表面で拡散するためのエネルギーが不足する。

[0017] これにより、成膜前駆体の表面拡散が不十分になり、エネルギー的に安定な位置に到達しないまま、膜の成長が進行する。したがって、膜として欠陥及び固定電荷が多く、疎なシリコン酸化膜が成膜される。このため、シリコン酸化膜と酸化物半導体層との界面近傍のシリコン酸化膜中の領域に、ホールトラップ（三価のＳｉ＋）が増加する。

[0018] このとき、高温下でゲートに正のバイアスが印加された場合、熱的に励起された酸素欠陥から発生したホールがシリコン酸化膜内のトラップ準位に捕獲される。これにより、シリコン酸化膜側の界面が正に帯電する。したがって、ゲートの正電圧による電界が相殺されるので、薄膜トランジスタの閾値電圧V_{th}が正にシフトする。よって、正ＢＴＳ特性が劣化する。

[0019] また、高温下でゲートに負のバイアスが印加された場合、励起された酸素欠陥から発生したホールが酸化物半導体層とゲート絶縁層との界面にトラップされる。したがって、酸化物半導体層に正電圧が常に印加された状態になるので、薄膜トランジスタの閾値電圧V_{th}が負にシフトする。よって、負ＢＴＳが劣化する。

[0020] 以上のことから、チャネル保護層の成膜温度が低温である場合は、薄膜トランジスタの信頼性が悪くなる。

[0021] したがって、チャネル保護層の成膜温度を高温化する（低温にしない）ことにより、チャネル保護層内の欠陥（酸素欠陥）、及び、酸化物半導体層とチャネル保護層との界面の欠陥を低減することができる。したがって、キャリアの散乱要因になり得るトラップ準位などを低減することが可能になる。

[0022] しかしながら、チャネル保護層の成膜温度を高温化した場合、チャネル保

護層の成膜中に酸化物半導体層からの酸素の脱離を促進させるという問題がある。酸素の脱離によって、酸化物半導体層中のキャリアを増加させ、酸化物半導体層が低抵抗化する。

[0023] 例えば、チャネル保護層をプラズマＣＶＤによって成膜する場合に、プラズマのエネルギーによって酸化物半導体層から酸素イオンが中性酸素として離脱する。そして、酸素イオンの離脱により発生した欠陥に残った電子がキャリアとなる。高温雰囲気ほど、成膜ガスのプラズマのエネルギーが増加するので、当該エネルギーを受けて離脱する酸素イオンの量も増加する。

[0024] 発生した酸素欠陥は、チャネル保護層を成膜した後に加熱処理（アニール処理）を実行することで、一部は修復されるものの、酸素欠陥が多量に発生した場合には、完全に修復されない。また、アニールによる酸素欠陥の修復量は、酸化物半導体層中の格子間酸素量、及び、チャネル保護層中の可動酸素量により決定されるため、アニール時間を延長したとしても、酸素欠陥の修復量は増大しない。

[0025] したがって、酸素欠陥が修復されなかった領域はキャリアが多く発生し、抵抗が低い領域になる。これにより、低抵抗化領域では薄膜トランジスタの閾値電圧V_{th}の低下を招き、例えば、表示パネル内での閾値電圧の均一性が悪化する。したがって、表示パネルの表示ムラ（輝度ムラ）が発生する。

[0026] 以上のように、チャネル保護層の成膜温度を高温にするだけでは、特性の均一性及び信頼性を高めることができない。

[0027] そこで、本開示に係る薄膜トランジスタ基板の製造方法は、基板の上方に酸化物半導体層を形成する工程と、酸化物半導体層上に第１酸化膜を形成する工程と、第１酸化膜を形成した後に、酸化物半導体層に対する酸化性処理を行う工程と、酸化性処理を行った後に、第１酸化膜上に第２酸化膜を形成する工程とを含む。

[0028] これにより、酸化物半導体層内の欠陥、及び、第１酸化膜と酸化物半導体層との界面の欠陥を少なくすることができる。よって、薄膜トランジスタの低抵抗化領域を少なくし、薄膜トランジスタ基板の信頼性を高めることがで

きる。

[0029] 以下、適宜図面を参照しながら、実施の形態を詳細に説明する。ただし、必要以上に詳細な説明は省略する場合がある。例えば、すでによく知られた事項の詳細説明、及び、実質的に同一の構成に対する重複説明などを省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

[0030] なお、発明者らは、当業者が本開示を十分に理解するために添付図面及び以下の説明を提供するのであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。

[0031] また、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、同じ構成部材については同じ符号を付している。

[0032] （実施の形態）

［１．有機ＥＬ表示装置］

まず、本実施の形態に係る有機ＥＬ表示装置１０の構成について、図１及び図２を用いて説明する。図１は、本実施の形態に係る有機ＥＬ表示装置１０の一部切り欠き斜視図である。図２は、本実施の形態に係る有機ＥＬ表示装置１０のピクセルバンクの一例を示す斜視図である。

[0033] ［１－１．構成］

図１に示すように、有機ＥＬ表示装置１０は、複数個の薄膜トランジスタが配置されたＴＦＴ基板（ＴＦＴアレイ基板）２０と、下部電極である陽極４１、有機材料からなる発光層であるＥＬ層４２及び透明な上部電極である陰極４３からなる有機ＥＬ素子（発光部）４０との積層構造により構成される。

[0034] ＴＦＴ基板２０には複数の画素３０がマトリクス状に配置されており、各画素３０には画素回路３１が設けられている。

[0035] 有機ＥＬ素子４０は、複数の画素３０のそれぞれに対応して形成されており、各画素３０に設けられた画素回路３１によって各有機ＥＬ素子４０の発光の制御が行われる。有機ＥＬ素子４０は、複数の薄膜トランジスタを覆う

ように形成された層間絶縁膜（平坦化層）の上に形成される。

[0036] また、有機ＥＬ素子４０は、陽極４１と陰極４３との間にＥＬ層４２が配置された構成となっている。陽極４１とＥＬ層４２との間にはさらに正孔輸送層が積層形成され、ＥＬ層４２と陰極４３との間にはさらに電子輸送層が積層形成されている。なお、陽極４１と陰極４３との間には、その他の有機機能層が設けられていてもよい。

[0037] 各画素３０は、それぞれの画素回路３１によって駆動制御される。また、ＴＦＴ基板２０には、画素３０の行方向に沿って配置される複数のゲート配線（走査線）５０と、ゲート配線５０と交差するように画素３０の列方向に沿って配置される複数のソース配線（信号配線）６０と、ソース配線６０と平行に配置される複数の電源配線（図１では省略）とが形成されている。各画素３０は、例えば、直交するゲート配線５０とソース配線６０とによって区画されている。

[0038] ゲート配線５０は、各画素回路３１に含まれるスイッチング素子として動作する薄膜トランジスタのゲート電極と行毎に接続されている。ソース配線６０は、各画素回路３１に含まれるスイッチング素子として動作する薄膜トランジスタのソース電極と列毎に接続されている。電源配線は、各画素回路３１に含まれる駆動素子として動作する薄膜トランジスタのドレイン電極と列毎に接続されている。

[0039] 図２に示すように、有機ＥＬ表示装置１０の各画素３０は、３色（赤色、緑色、青色）のサブ画素３０Ｒ、３０Ｇ、３０Ｂによって構成されており、これらのサブ画素３０Ｒ、３０Ｇ、３０Ｂは、表示面上に複数個マトリクス状に配列されるように形成されている。各サブ画素３０Ｒ、３０Ｇ、３０Ｂは、バンク２１によって互いに分離されている。

[0040] バンク２１は、ゲート配線５０に平行に延びる突条と、ソース配線６０に平行に延びる突条とが互いに交差するように、格子状に形成されている。そして、この突条で囲まれる部分（すなわち、バンク２１の開口部）の各々とサブ画素３０Ｒ、３０Ｇ、３０Ｂの各々とが一対一で対応している。なお、

本実施の形態において、バンク２１はピクセルバンクとしたが、ラインバンクとしても構わない。

[0041] 陽極４１は、ＴＦＴ基板２０上の層間絶縁膜（平坦化層）上でかつバンク２１の開口部内に、サブ画素３０Ｒ、３０Ｇ、３０Ｂ毎に形成されている。同様に、ＥＬ層４２は、陽極４１上でかつバンク２１の開口部内に、サブ画素３０Ｒ、３０Ｇ、３０Ｂ毎に形成されている。透明な陰極４３は、複数のバンク２１上で、かつ、全てのＥＬ層４２（全てのサブ画素３０Ｒ、３０Ｇ、３０Ｂ）を覆うように、連続的に形成されている。

[0042] さらに、画素回路３１は、各サブ画素３０Ｒ、３０Ｇ、３０Ｂ毎に設けられており、各サブ画素３０Ｒ、３０Ｇ、３０Ｂと、対応する画素回路３１とは、コンタクトホール及び中継電極によって電気的に接続されている。なお、サブ画素３０Ｒ、３０Ｇ、３０Ｂは、ＥＬ層４２の発光色が異なることを除いて同一の構成である。

[0043] ［１－２．画素回路］

ここで、画素３０における画素回路３１の回路構成について、図３を用いて説明する。図３は、本実施の形態に係る有機ＥＬ表示装置１０における画素回路３１の構成を示す電気回路図である。

[0044] 図３に示すように、画素回路３１は、駆動素子として動作する薄膜トランジスタ３２と、スイッチング素子として動作する薄膜トランジスタ３３と、対応する画素３０に表示するためのデータを記憶するキャパシタ３４とで構成される。本実施の形態において、薄膜トランジスタ３２は、有機ＥＬ素子４０を駆動するための駆動トランジスタであり、薄膜トランジスタ３３は、画素３０を選択するためのスイッチングトランジスタである。

[0045] 薄膜トランジスタ３２は、薄膜トランジスタ３３のドレイン電極３３ｄ及びキャパシタ３４の一端に接続されるゲート電極３２ｇと、電源配線７０に接続されるドレイン電極３２ｄと、キャパシタ３４の他端と有機ＥＬ素子４０の陽極４１とに接続されるソース電極３２ｓと、半導体膜（図示せず）とを備える。この薄膜トランジスタ３２は、キャパシタ３４が保持しているデ

ータ電圧に対応する電流を電源配線７０からソース電極３２ｓを通じて有機ＥＬ素子４０の陽極４１に供給する。これにより、有機ＥＬ素子４０では、陽極４１から陰極４３へと駆動電流が流れてＥＬ層４２が発光する。

[0046] 薄膜トランジスタ３３は、ゲート配線５０に接続されるゲート電極３３ｇと、ソース配線６０に接続されるソース電極３３ｓと、キャパシタ３４の一端及び薄膜トランジスタ３２のゲート電極３２ｇに接続されるドレイン電極３３ｄと、半導体膜（図示せず）とを備える。この薄膜トランジスタ３３は、接続されたゲート配線５０及びソース配線６０に所定の電圧が印加されると、当該ソース配線６０に印加された電圧がデータ電圧としてキャパシタ３４に保存される。

[0047] なお、上記構成の有機ＥＬ表示装置１０では、ゲート配線５０とソース配線６０との交点に位置する画素３０毎に表示制御を行うアクティブマトリクス方式が採用されている。これにより、各画素３０（各サブ画素３０Ｒ、３０Ｇ、３０Ｂ）の薄膜トランジスタ３２及び３３によって、対応する有機ＥＬ素子４０が選択的に発光し、所望の画像が表示される。

[0048] ［２．ＴＦＴ基板］

以下では、本実施の形態に係るＴＦＴ基板２０について、図４を用いて説明する。なお、本実施の形態に係るＴＦＴ基板２０に形成される薄膜トランジスタは、ボトムゲート型、かつ、チャネル保護型の薄膜トランジスタである。

[0049] 図４は、本実施の形態に係るＴＦＴ基板２０の概略断面図である。ＴＦＴ基板２０には、例えば、複数の薄膜トランジスタ１００が形成されている。

[0050] 図４に示すように、本実施の形態に係るＴＦＴ基板２０は、基板１１０と、ゲート電極１２０と、ゲート絶縁層１３０と、酸化物半導体層１４０と、チャネル保護層１５０と、ドレイン電極１６０ｄと、ソース電極１６０ｓと、層間絶縁層１７０と、上部電極１８０とを備える。なお、ＴＦＴ基板２０において、薄膜トランジスタ１００は、ゲート電極１２０と、ゲート絶縁層１３０と、酸化物半導体層１４０と、チャネル保護層１５０と、ドレイン電

極１６０ｄと、ソース電極１６０ｓとから構成される。

[0051] 薄膜トランジスタ１００は、例えば、図３に示す薄膜トランジスタ３２である。すなわち、薄膜トランジスタ１００は、駆動トランジスタとして利用できる。具体的には、薄膜トランジスタ１００が薄膜トランジスタ３２（駆動トランジスタ）である場合、ゲート電極１２０がゲート電極３２ｇに、ソース電極１６０ｓがソース電極３２ｓに、ドレイン電極１６０ｄがドレイン電極３２ｄに、それぞれ相当する。

[0052] なお、薄膜トランジスタ１００は、例えば、図３に示す薄膜トランジスタ３３でもよい。すなわち、薄膜トランジスタ１００は、スイッチングトランジスタとして利用してもよい。

[0053] ［２－１．基板］

基板１１０は、電気絶縁性を有する材料から構成される基板である。例えば、基板１１０は、無アルカリガラス、石英ガラス、高耐熱性ガラスなどのガラス材料、ポリエチレン、ポリプロピレン、ポリイミドなどの樹脂材料、シリコン、ガリウムヒ素などの半導体材料、又は、絶縁層をコーティングしたステンレスなどの金属材料からなる基板である。

[0054] なお、基板１１０は、樹脂基板などのフレキシブル基板でもよい。この場合、薄膜トランジスタ１００をフレキシブルディスプレイなどに利用することができる。

[0055] ［２－２．ゲート電極］

ゲート電極１２０は、基板１１０上に所定形状で形成される。ゲート電極１２０の膜厚は、例えば、２０ｎｍ～３００ｎｍである。なお、ゲート電極１２０は、基板１１０の上方に、例えば、バッファ層などを介して形成されてもよい。

[0056] ゲート電極１２０は、導電性を有する材料からなる電極である。例えば、ゲート電極１２０の材料として、モリブデン、アルミニウム、銅、タングステン、チタン、マンガン、クロム、タンタル、ニオブ、銀、金、プラチナ、パラジウム、インジウム、ニッケル、ネオジムなどの金属、金属の合金、酸

化インジウムスズ（ＩＴＯ）、アルミニウムドープ酸化亜鉛（ＡＺＯ）、ガリウムドープ酸化亜鉛（ＧＺＯ）などの導電性金属酸化物、ポリチオフェン、ポリアセチレンなどの導電性高分子などを用いることができる。また、ゲート電極１２０は、これらの材料を積層した多層構造であってもよい。

[0057] ［２－３．ゲート絶縁層］

ゲート絶縁層１３０は、ゲート電極１２０と酸化物半導体層１４０との間に形成される。具体的には、ゲート絶縁層１３０は、ゲート電極１２０を覆うようにゲート電極１２０上及び基板１１０上に形成される。ゲート絶縁層１３０の膜厚は、例えば、５０ｎｍ～５００ｎｍである。

[0058] ゲート絶縁層１３０は、電気絶縁性を有する材料から構成される。例えば、ゲート絶縁層１３０は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜、酸化タンタル膜、酸化ハフニウム膜などの単層膜、又は、これらの積層膜である。

[0059] ［２－４．酸化物半導体層］

酸化物半導体層１４０は、ゲート電極１２０に対向するように基板１１０の上方に形成される。具体的には、酸化物半導体層１４０は、ゲート電極１２０に対向する位置に、かつ、ゲート絶縁層１３０上に形成される。例えば、酸化物半導体層１４０は、ゲート電極１２０の上方において、ゲート絶縁層１３０上に島状に形成される。酸化物半導体層１４０の膜厚は、例えば、３０ｎｍ～１５０ｎｍである。

[0060] 酸化物半導体層１４０の材料としては、インジウム（Ｉｎ）、ガリウム（Ｇａ）及び亜鉛（Ｚｎ）のうち、少なくとも１種を含む酸化物半導体材料を用いる。例えば、酸化物半導体層１４０は、アモルファス酸化インジウムガリウム亜鉛（ＩｎＧａＺｎＯ：ＩＧＺＯ）などの透明アモルファス酸化物半導体（ＴＡＯＳ：Ｔｒａｎｓｐａｒｅｎｔ Ａｍｏｒｐｈｏｕｓ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）から構成される。

[0061] Ｉｎ：Ｇａ：Ｚｎの比率は、例えば、約１：１：１である。また、Ｉｎ：Ｇａ：Ｚｎの比率は、０．８～１．２：０．８～１．２：０．８～１．２の

範囲でもよいが、この範囲には限られない。

[0062] 酸化物半導体層１４０は、薄膜トランジスタ１００のチャネル層である。チャネル層が透明アモルファス酸化物半導体で構成される薄膜トランジスタは、キャリア移動度が高く、大画面及び高精細の表示装置に適している。また、透明アモルファス酸化物半導体は、低温成膜が可能であるため、プラスチック又はフィルムなどのフレキシブル基板上に容易に形成することができる。

[0063] ［２－５．チャネル保護層］

チャネル保護層１５０は、酸化物半導体層１４０上に形成される。例えば、チャネル保護層１５０は、酸化物半導体層１４０を覆うように、酸化物半導体層１４０上及びゲート絶縁層１３０上に形成される。チャネル保護層１５０は、酸化物半導体層１４０を保護するために設けられた絶縁層である。チャネル保護層１５０の膜厚は、例えば、５０ｎｍ～５００ｎｍである。

[0064] チャネル保護層１５０は、複数の層を含んでいる。具体的には、図４に示すように、チャネル保護層１５０は、２層構造であり、順に積層された第１酸化膜１５１及び第２酸化膜１５２を含んでいる。

[0065] ［２－５－１．第１酸化膜］

第１酸化膜１５１は、酸化物半導体層１４０上に設けられた絶縁膜である。例えば、第１酸化膜１５１は、シリコン酸化膜である。あるいは、第１酸化膜１５１は、酸化アルミニウム膜でもよい。第１酸化膜１５１の膜厚は、例えば、５ｎｍ～４０ｎｍである。

[0066] ［２－５－２．第２酸化膜］

第２酸化膜１５２は、第１酸化膜１５１上に設けられた絶縁膜である。例えば、第２酸化膜１５２は、シリコン酸化膜である。あるいは、第２酸化膜１５２は、酸化アルミニウム膜でもよい。第２酸化膜１５２の膜厚は、例えば、チャネル保護層１５０としての膜厚が５００ｎｍ以下となるような厚さである。つまり、第２酸化膜１５２の膜厚は、第１酸化膜１５１の膜厚と合わせて５００ｎｍ以下となるような厚さである。

[0067] なお、第１酸化膜１５１と第２酸化膜１５２とは、同じ材料から構成されてもよく、異なる材料から構成されてもよい。

[0068] また、第１酸化膜１５１及び第２酸化膜１５２には、ドレイン電極１６０ｄ及びソース電極１６０ｓのそれぞれを酸化物半導体層１４０に接続するためのコンタクトホールが設けられている。ドレイン電極１６０ｄ及びソース電極１６０ｓを構成する材料がそれぞれ、コンタクトホールの壁面に沿って酸化物半導体層１４０まで達している。あるいは、コンタクトホールには、ドレイン電極１６０ｄ及びソース電極１６０ｓを構成する材料がそれぞれ充填されていてもよい。

[0069] ［２－６．ドレイン電極及びソース電極］

ドレイン電極１６０ｄ及びソース電極１６０ｓは、チャネル保護層１５０上に所定形状で形成される。例えば、ドレイン電極１６０ｄ及びソース電極１６０ｓは、チャネル保護層１５０上に、基板水平方向に離間して対向配置されている。具体的には、ドレイン電極１６０ｄ及びソース電極１６０ｓはそれぞれ、コンタクトホールを介して酸化物半導体層１４０に接続されるように、チャネル保護層１５０上に形成される。ドレイン電極１６０ｄ及びソース電極１６０ｓの膜厚は、例えば、１００ｎｍ～５００ｎｍである。

[0070] ドレイン電極１６０ｄ及びソース電極１６０ｓは、導電性を有する材料からなる電極である。ドレイン電極１６０ｄ及びソース電極１６０ｓは、例えば、銅の単層膜（Ｃｕ膜）、銅膜及びタングステン膜の積層構造（Ｃｕ／Ｗ）、銅膜及び窒化チタン膜の積層構造（Ｃｕ／ＴｉＮ）、又は、銅及びマンガンの合金膜、銅膜並びにモリブデン膜の積層構造（ＣｕＭｎ／Ｃｕ／Ｍｏ）などで構成される。あるいは、ドレイン電極１６０ｄ及びソース電極１６０ｓの材料としては、例えば、ゲート電極１２０の材料と同一の材料を用いることができる。

[0071] ［２－７．層間絶縁層］

層間絶縁層１７０は、チャネル保護層１５０の上方に形成される。層間絶縁層１７０は、チャネル保護層１５０、ドレイン電極１６０ｄ及びソース電

極１６０ｓ上に形成される。例えば、層間絶縁層１７０は、ドレイン電極１６０ｄ及びソース電極１６０ｓを覆うように、チャネル保護層１５０上、ドレイン電極１６０ｄ及びソース電極１６０ｓ上に形成される。

[0072] 層間絶縁層１７０は、薄膜トランジスタ１００のパッシベーション膜である。層間絶縁層１７０の膜厚は、例えば、２００ｎｍ～５００ｎｍである。

[0073] また、層間絶縁層１７０の一部は、貫通するように開口されている。つまり、層間絶縁層１７０には、ソース電極１６０ｓの一部を露出させるためのコンタクトホールが形成されている。

[0074] コンタクトホールは、上部電極１８０とソース電極１６０ｓとを電気的に接続するために形成されたコンタクトホールである。上部電極１８０を構成する材料が、例えば、コンタクトホールの壁面に沿って、ソース電極１６０ｓまで達している。あるいは、コンタクトホールには、上部電極１８０を構成する材料が充填されていてもよい。

[0075] 層間絶縁層１７０は、複数の層を含んでいる。具体的には、図４に示すように、層間絶縁層１７０は、３層構造であり、順に積層された、下部層間絶縁層１７１と、バリア層１７２と、上部層間絶縁層１７３とを含んでいる。

[0076] ［２－７－１．下部層間絶縁層］

下部層間絶縁層１７１は、ドレイン電極１６０ｄ及びソース電極１６０ｓ上に設けられた絶縁膜である。下部層間絶縁層１７１の膜厚は、層間絶縁層１７０としての膜厚が５００ｎｍ以下となるような膜厚である。

[0077] 下部層間絶縁層１７１は、電気絶縁性を有する材料から構成される。例えば、下部層間絶縁層１７１は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜などの無機材料から構成される膜、又は、シリコン、酸素及びカーボンを含む無機材料から構成される膜などの単層膜、又は、これらの積層膜である。

[0078] ［２－７－２．バリア層］

バリア層１７２は、下部層間絶縁層１７１上に設けられた絶縁膜である。バリア層１７２は、空気中の水分などが外部から酸化物半導体層１４０に浸

入するのを抑制するための層である。

[0079] バリア層１７２は、例えば、アルミナ膜である。バリア層１７２の膜厚は、例えば、３０ｎｍ～１００ｎｍである。

[0080] ［２－７－３．上部層間絶縁層］

上部層間絶縁層１７３は、バリア層１７２上に設けられた絶縁膜である。上部層間絶縁層１７３の膜厚は、層間絶縁層１７０としての膜厚が５００ｎｍ以下となるような膜厚である。

[0081] 上部層間絶縁層１７３は、電気絶縁性を有する材料から構成される。例えば、上部層間絶縁層１７３は、下部層間絶縁層１７１と同じ材料から構成される。

[0082] ［２－８．上部電極］

上部電極１８０は、ドレイン電極１６０ｄ及びソース電極１６０ｓの上方に所定形状で形成される。具体的には、上部電極１８０は、層間絶縁層１７０上に形成される。上部電極１８０の膜厚は、例えば、２００ｎｍ～５００ｎｍである。

[0083] 上部電極１８０は、ドレイン電極１６０ｄ及びソース電極１６０ｓの一方に接続される。具体的には、上部電極１８０は、コンタクトホールを介してソース電極１６０ｓに電気的に接続されている。

[0084] 上部電極１８０は、例えば、ドレイン電極１６０ｄ及びソース電極１６０ｓと同じ材料から構成される。なお、層間の密着性を向上させるために、ＩＴＯ膜と金属膜とをこの順で積層してもよい。

[0085] ［３．ＴＦＴ基板の製造方法］

続いて、本実施の形態に係るＴＦＴ基板２０の製造方法について図５Ａ及び図５Ｂを用いて説明する。図５Ａ及び図５Ｂは、本実施の形態に係るＴＦＴ基板２０の製造工程を示す概略断面図である。

[0086] ［３－１．ゲート電極の形成］

まず、図５Ａの（ａ）に示すように、基板１１０を準備し、基板１１０の上方に所定形状のゲート電極１２０を形成する。例えば、基板１１０上に金

属膜をスパッタリングによって成膜し、フォトリソグラフィ及びエッチングによって金属膜を加工することにより、所定形状のゲート電極１２０を形成する。

[0087] 具体的には、まず、基板１１０としてガラス基板を準備し、基板１１０上に、２０ｎｍのＭｏ膜と２００ｎｍのＣｕ膜とをスパッタリングによって順に成膜する。そして、フォトリソグラフィ及びウェットエッチングによってＭｏ膜及びＣｕ膜をパターニングすることにより、ゲート電極１２０を形成する。

[0088] なお、Ｍｏ膜及びＣｕ膜のウェットエッチングは、例えば、過酸化水素水（H_2O_2）及び有機酸を混合した薬液を用いることができる。また、基板１１０は、例えば、Ｇ８．５のガラス基板（厚さ：０．５ｍｍ、Ｘ：２５００ｍｍ×Ｙ：２２００ｍｍ）である。

[0089] ［３－２．ゲート絶縁層の形成］

次に、図５Ａの（ｂ）に示すように、基板１１０の上方にゲート絶縁層１３０を形成する。例えば、ゲート電極１２０を覆うようにゲート絶縁層１３０をプラズマＣＶＤ又はスパッタリングによって成膜する。

[0090] 具体的には、ゲート電極１２０を覆うように基板１１０上に、２２０ｎｍのシリコン窒化膜と５０ｎｍのシリコン酸化膜とをプラズマＣＶＤによって順に成膜することで、ゲート絶縁層１３０を形成する。このときの成膜温度は、例えば、３５０℃～４００℃である。

[0091] シリコン窒化膜は、例えば、シランガス（SiH_4）、アンモニアガス（NH_3）及び窒素ガス（N_2）を導入ガスに用いることで成膜することができる。シリコン酸化膜は、例えば、シランガス（SiH_4）と亜酸化窒素ガス（N_2O）とを導入ガスに用いることで成膜することができる。

[0092] ［３－３．酸化物半導体層の形成］

次に、基板１１０の上方に、かつ、ゲート電極１２０に対向する位置に所定形状の酸化物半導体層１４０を形成する。例えば、ゲート絶縁層１３０上に酸化物半導体膜をスパッタリングによって成膜する。そして、フォトリソ

グラフィ及びエッチングによって酸化物半導体膜を加工することにより、所定形状の酸化物半導体層１４０を形成する。

[0093] 具体的には、組成比Ｉｎ：Ｇａ：Ｚｎ＝１：１：１のターゲット材を用いた、酸素（O_2）とアルゴン（Ａｒ）との混合ガス雰囲気でのスパッタリングによって、ゲート絶縁層１３０上に９０ｎｍのアモルファスＩｎＧａＺｎＯ膜を成膜する。より具体的な成膜条件は、例えば、ＤＣマグネトロンスパッタ法において、パワーが１２ｋＷ、成膜ガスの酸素分圧が４．５％、成膜レートが１００ｎｍ／ｍｉｎである。

[0094] そして、ゲート絶縁層１３０上に成膜されたアモルファスＩｎＧａＺｎＯをウェットエッチングすることで、酸化物半導体層１４０を形成する。ＩｎＧａＺｎＯのウェットエッチングは、例えば、リン酸（H_3PO_4）、硝酸（HNO_3）、酢酸（CH_3COOH）及び水を混合した薬液を用いて行うことができる。

[0095] ［３－４．第１酸化膜の形成］

次に、図５Ａの（ｃ）に示すように、酸化物半導体層１４０上に第１酸化膜１５１を形成する。例えば、酸化物半導体層１４０を覆うように第１酸化膜１５１をプラズマＣＶＤによって成膜する。

[0096] 具体的には、酸化物半導体層１４０を覆うようにゲート絶縁層１３０上に、５ｎｍ～４０ｎｍのシリコン酸化膜を成膜することで、第１酸化膜１５１を形成する。この時の成膜温度は、例えば、２６０℃～２９０℃である。シリコン酸化膜は、例えば、シランガス（SiH_4）と亜酸化窒素ガス（N_2O）とを導入ガスに用いることで成膜することができる。

[0097] ［３－５．プラズマ処理］

次に、図５Ａの（ｄ）に示すように、酸化物半導体層１４０に対する酸化性処理の一例であるプラズマ処理を行う。つまり、第１酸化膜１５１を形成した後、第２酸化膜１５２を形成する前に、プラズマ処理を行う。

[0098] 具体的には、第１酸化膜１５１の成膜に用いたチャンバー内に、亜酸化窒素ガス（N_2O）を用いてプラズマ１９０を発生させる。プラズマ１９０を発

生させる時間、すなわち、プラズマ処理時間は、例えば、６０秒～１８０秒である。また、プラズマ処理温度、すなわち、基板温度は、２６０℃～３５０℃である。例えば、基板温度は、第１酸化膜１５１の成膜時の基板温度と同一の温度である。

[0099] ［３－６．第２酸化膜の形成］

次に、図５Ａの（ｅ）に示すように、第１酸化膜１５１上に第２酸化膜１５２を形成する。例えば、第１酸化膜１５１上に、２００ｎｍ程度のシリコン酸化膜を成膜することで、第２酸化膜１５２を形成する。この時の成膜温度は、例えば、２６０℃～３５０℃である。例えば、成膜温度、及び、導入ガスなどは、第１酸化膜１５１の成膜と同一である。

[0100] このように、第１酸化膜１５１の形成、プラズマ処理、及び、第２酸化膜１５２の形成を同一のチャンバー内で行うことができる。また、基板温度も全て同じでもよい。このため、プロセス工程が容易になり、コストを低減することができる。

[0101] なお、第１酸化膜１５１の成膜工程、プラズマ処理工程、第２酸化膜１５２の成膜工程のそれぞれのプロセス条件の詳細については、後で説明する。また、第２酸化膜１５２を形成した後、所定の温度の加熱処理（アニール処理）を行ってもよい。

[0102] ［３－７．ドレイン電極及びソース電極の形成］

次に、図５Ｂの（ａ）に示すように、第２酸化膜１５２（チャネル保護層１５０）上にドレイン電極１６０ｄ及びソース電極１６０ｓを形成する。具体的には、まず、チャネル保護層１５０の一部をエッチング除去することで、コンタクトホールを形成する。つまり、酸化物半導体層１４０の一部を露出させるためのコンタクトホールをチャネル保護層１５０に形成する。

[0103] 例えば、第１酸化膜１５１及び第２酸化膜１５２がシリコン酸化膜である場合、ドライエッチングとして反応性イオンエッチング（ＲＩＥ）を用いることができる。このとき、エッチングガスとしては、例えば、四フッ化炭素（CF_4）及び酸素ガス（O_2）を用いることができる。ガス流量、圧力、印

加電力及び周波数などのパラメータは、基板サイズ、エッチングの膜厚などによって適宜設定される。

[0104] そして、形成したコンタクトホールを埋めるようにして、チャネル保護層１５０上に金属膜をスパッタリングによって成膜する。例えば、２０ｎｍのＭｏ膜、３００ｎｍのＣｕ膜、及び、２０ｎｍの銅及びマンガンの合金膜（ＣｕＭｎ膜）を順にチャネル保護層１５０上に積層する。その後、フォトリソグラフィ及びエッチングによって、積層した金属膜を加工することで、所定形状のドレイン電極１６０ｄ及びソース電極１６０ｓを形成する。Ｍｏ膜、Ｃｕ膜、及び、ＣｕＭｎ膜のウェットエッチングは、例えば、過酸化水素水（H_2O_2）及び有機酸を混合した薬液を用いることができる。

[0105] ［３－８．層間絶縁層の形成］

次に、図５Ｂの（ｂ）に示すように、層間絶縁層１７０を形成する。具体的には、まず、ドレイン電極１６０ｄ及びソース電極１６０ｓを覆うように、下部層間絶縁層１７１をプラズマＣＶＤ又はスパッタリングによって形成する。例えば、ドレイン電極１６０ｄ及びソース電極１６０ｓを覆うようにチャネル保護層１５０上に、１００ｎｍのシリコン酸化膜をプラズマＣＶＤによって成膜する。

[0106] 次に、プラズマＣＶＤ、ＡＬＤ（Ａｔｏｍｉｃ Ｌａｙｅｒ Ｄｅｐｏｓｉｔｉｏｎ）又はスパッタリングなどによって、下部層間絶縁層１７１上にバリア層１７２を形成する。例えば、スパッタリングによって２５ｎｍの酸化アルミニウム膜を下部層間絶縁層１７１上に成膜することで、バリア層１７２を形成する。具体的には、アルミニウムをターゲットに用い、酸素（O_2）とアルゴン（Ａｒ）との混合ガス雰囲気でのスパッタリングによって酸化アルミニウム膜を成膜する。

[0107] 次に、プラズマＣＶＤ又はスパッタリングによって、バリア層１７２上に上部層間絶縁層１７３を形成する。具体的には、プラズマＣＶＤによって、４００ｎｍのシリコン窒化膜をバリア層１７２上に成膜することで、上部層間絶縁層１７３を形成する。

[0108] なお、層間絶縁層１７０の成膜中に基板は真空下に置かれるので、酸化物半導体層１４０の酸素が欠損し、低抵抗化する。このため、成膜後にドライエア、又は、酸素雰囲気中でのアニール処理を行うことで、酸素欠陥の修復を行う。

[0109] ［３－９．上部電極の形成］

次に、図５Ｂの（ｃ）に示すように、層間絶縁層１７０（上部層間絶縁層１７３）上に上部電極１８０を形成する。具体的には、まず、層間絶縁層１７０の一部をエッチング除去することで、コンタクトホールを形成する。つまり、ドレイン電極１６０ｄ又はソース電極１６０ｓの一部を露出させるためのコンタクトホールを層間絶縁層１７０に形成する。

[0110] 例えば、まず、ＲＩＥなどのドライエッチングによって、上部層間絶縁層１７３の一部を除去する。エッチングガスとしては、例えば、四フッ化炭素（CF_4）及び酸素ガス（O_2）を用いることができる。ガス流量、圧力、印加電力及び周波数などのパラメータは、基板サイズ、エッチングの膜厚などによって適宜設定される。

[0111] 次に、例えば、アルカリ性溶液を用いたウェットエッチングによって、バリア層１７２の一部を除去する。酸化アルミニウム膜のウェットエッチングには、例えば、水酸化カリウム（ＫＯＨ）溶液を用いることができる。

[0112] 次に、例えば、ＲＩＥなどのドライエッチングによって、下部層間絶縁層１７１の一部を除去する。エッチングガスとしては、例えば、四フッ化炭素（CF_4）及び酸素ガス（O_2）を用いることができる。ガス流量、圧力、印加電力及び周波数などのパラメータは、基板サイズ、エッチングの膜厚などによって適宜設定される。

[0113] 続いて、形成したコンタクトホールを埋めるようにして、層間絶縁層１７０上に導電膜をスパッタリングによって成膜する。例えば、７０ｎｍのＩＴＯ膜、３００ｎｍのＣｕ膜、２０ｎｍのＣｕＭｎ膜を順に層間絶縁層１７０上に積層する。その後、フォトリソグラフィ及びエッチングによって、積層した導電膜を加工することで、所定形状の上部電極１８０を形成する。Ｃｕ

膜及びＣｕＭｎ膜のウェットエッチングは、例えば、過酸化水素水（H_2O_2）及び有機酸を混合した薬液を用いることができる。ＩＴＯ膜のウェットエッチングは、例えば、シュウ酸系の薬液を用いることができる。

[0114] 以上の工程を経て、図４に示すＴＦＴ基板２０が製造される。なお、以降の工程において、有機ＥＬ素子４０などがさらに積層される。

[0115] ［４．プロセス条件とキャリア寿命］

続いて、本実施の形態に係るＴＦＴ基板２０の適切なプロセス条件を求めるために、酸化物半導体のキャリア寿命（ライフタイム）を測定した結果について説明する。具体的には、酸化物半導体層を備えるサンプルを作製し、μＰＣＤ（Ｍｉｃｒｏｗａｖｅ　Ｐｈｏｔｏ　Ｃｏｎｄｕｃｔｉｖｉｔｙ　Ｄｅｃａｙ）法を用いてキャリア寿命を測定した。

[0116] μＰＣＤ法では、まず、サンプルにマイクロ波（２６ＧＨｚ）を照射し、サンプルによって反射したマイクロ波の反射強度Ａ（ベース強度）を測定した。

[0117] 次に、サンプルにマイクロ波（２６ＧＨｚ）を照射すると同時に、紫外パルスレーザを照射した。具体的には、紫外パルスレーザの照射には、ＹＬＦ－３ＧＨレーザ（λ＝３４９ｎｍ、パルス時間幅１５ｎｓｅｃ）を利用した。このときのサンプルによって反射したマイクロ波の反射強度Ｂを測定した。

[0118] 反射強度Ｂから反射強度Ａを減算したものが、図６に示す時間変化カーブである。ここで、図６は、酸化物半導体層のキャリア寿命を測定するために照射したマイクロ波の反射強度を示す図である。

[0119] 図６に示すように、反射強度は、増加した後、減少する。そして、図６に示す時間変化カーブの減衰定数（ピークから１／ｅになる時間）をキャリア寿命τと定義した。

[0120] キャリア寿命τが長いということは、酸化物半導体のバルク内における、及び、酸化物半導体と絶縁膜との界面におけるトラップ準位及び再結合中心が少ないことを示している。すなわち、キャリア寿命τが長い程、バルク内

欠陥及び界面欠陥が少なく、酸化物半導体層の低抵抗化が抑制されている。

[0121] ［４－１．サンプル構成］

ここで、キャリア寿命の測定に用いたサンプルの構成について、図７Ａ及び図７Ｂを用いて説明する。図７Ａ及び図７Ｂはそれぞれ、本実施の形態に係るＴＦＴ基板２０の適切なプロセス条件を求めるために作製したサンプル２００及び３００の構成を示す概略断面図である。

[0122] 図７Ａに示すサンプル２００は、図７Ｂに示すサンプル３００の比較例として作成されたサンプルである。具体的には、サンプル２００では、酸化物半導体層２４０上に単層の絶縁層２５０が形成されている。一方で、図７Ｂに示すサンプル３００では、図４に示す本実施の形態に係るＴＦＴ基板２０と同様に、酸化物半導体層２４０上に２層構造の絶縁層３５０が形成されている。

[0123] ［４－１－１．サンプル（単層保護膜）］

図７Ａに示すように、サンプル２００は、基板２１０と、酸化物半導体層２４０と、絶縁層２５０とを備える。

[0124] 基板２１０は、Ｇ８．５のガラス基板（厚さ：８．５ｍｍ、Ｘ：２５００ｍｍ×Ｙ：２２００ｍｍ）である。基板２１０上に酸化物半導体層２４０及び絶縁層２５０を順に成膜することで、サンプル２００が作製される。

[0125] 酸化物半導体層２４０は、ＤＣマグネトロンスパッタ法にて成膜された、膜厚が９０ｎｍのアモルファス酸化インジウムガリウム亜鉛から構成される。具体的な成膜条件は、パワーが１２ｋＷ、ターゲットの組成比がＩｎ：Ｇａ：Ｚｎ＝１：１：１、成膜ガスが酸素（O_2）とアルゴン（Ａｒ）との混合ガス（酸素分圧４．５％）、成膜レートが１００ｎｍ／ｍｉｎである。この条件を、以下では「ＴＡＯＳ成膜条件」と記載する場合がある。

[0126] 絶縁層２５０は、プラズマＣＶＤ（平行平板型）によって成膜された、膜厚が２００ｎｍのシリコン酸化膜である。具体的な成膜条件は、パワー密度が０．２３８Ｗ／ｃｍ^2、プロセス距離（電極間距離）が６００ｍｉｌ（０．６インチ）、プロセス圧力が１３３．３２Ｐａ、N_2Oガスが８８５００ｓｃ

ｃｍ、ＳｉＨ$_4$ガスが９８０ｓｃｃｍである。この条件を、以下では「単層ＳｉＯ成膜条件」と記載する場合がある。

[0127] サンプル２００では、絶縁層２５０の成膜後、ドライエア雰囲気（大気圧下の露点が－７０℃以下）で、３５０℃の温度で１時間の加熱処理（アニール）を行った。

[0128] ［４－１－２．サンプル（２層保護膜）］

図７Ｂに示すように、サンプル３００は、基板２１０と、酸化物半導体層２４０と、絶縁層３５０とを備える。絶縁層３５０は、第１酸化膜３５１と第２酸化膜３５２とを含んでいる。基板２１０及び酸化物半導体層２４０の材料及び成膜条件などは、サンプル２００と同じであるので、以下では説明を省略する。

[0129] 第１酸化膜３５１は、プラズマＣＶＤ（平行平板型）によって成膜された、膜厚が２０ｎｍのシリコン酸化膜である。具体的な成膜条件は、パワー密度が０．２３８Ｗ／ｃｍ^2、プロセス距離（電極間距離）が６００ｍｉｌ（０．６インチ）、プロセス圧力が１３３．３２Ｐａ、Ｎ$_2$Ｏガスが８８５００ｓｃｃｍ、ＳｉＨ$_4$ガスが９８０ｓｃｃｍである。この条件を、以下では「ＥＳ１－ＳｉＯ成膜条件」と記載する場合がある。

[0130] サンプル３００では、第１酸化膜３５１の成膜後、Ｎ$_2$Ｏプラズマ処理を行った。具体的なプラズマ処理の条件は、パワー密度が０．１８２Ｗ／ｃｍ^2、プロセス距離が７５０ｍｉｌ、プロセス圧力が９３．３２Ｐａ、Ｎ$_2$Ｏガスが３００００ｓｃｃｍ、ＳｉＨ$_4$ガスが０ｓｃｃｍである。プラズマ処理中の基板温度は、第１酸化膜３５１の成膜時の基板温度と同一である。この条件を、以下では「Ｎ$_2$Ｏプラズマ処理条件」と記載する場合がある。

[0131] 第２酸化膜３５２は、Ｎ$_2$Ｏプラズマ処理後に、プラズマＣＶＤ（平行平板型）によって成膜された、膜厚が１８０ｎｍのシリコン酸化膜である。具体的な成膜条件は、第１酸化膜３５１の成膜条件と同一である。この条件を、以下では「ＥＳ２－ＳｉＯ成膜条件」と記載する場合がある。

[0132] サンプル３００では、第２酸化膜３５２の成膜後、ドライエア雰囲気（大

気圧下の露点が－７０℃以下）で、３５０℃の温度で１時間の加熱処理（アニール）を行った。

[0133] ［４－２．サンプル（単層構造）の測定結果］

ここで、比較例に係るサンプル２００において、絶縁層２５０の成膜温度（成膜時の基板温度）を変えながら、μＰＣＤ法を用いてキャリア寿命を測定した結果について説明する。なお、キャリア寿命の測定点数は、２０７点であり、Ｘ方向（横方向）に約１１０ｍｍ間隔、Ｙ方向（縦方向）に約１５０ｍｍ間隔で測定した。

[0134] 図８は、比較例に係る絶縁層２５０の成膜温度と測定点毎のばらつきとの関係を示す図である。なお、図８には、絶縁層２５０の成膜温度が２２０℃である場合のキャリア寿命の平均値で規格化した値を示している。

[0135] 図８に示すように、サンプル２００のような単層の酸化膜の場合は、約２４５℃以下の温度で絶縁層２５０を成膜した場合に、酸化物半導体層２４０の電気抵抗の均一性を実現することができる。なお、ここでは、キャリア寿命の平均値（ＡＶＥ）が０．９より大きく、かつ、標準偏差（σ）が０．０５以下である場合に、電気抵抗の均一性が実現されたものとみなしている。

[0136] 一方で、２５０℃以上の温度で絶縁層２５０を成膜した場合、平均値が低下し、かつ、標準偏差が増加していることから、酸化物半導体層２４０内に低抵抗領域が発生し、電気抵抗の面内均一性が実現されていない。このため、薄膜トランジスタのチャネル層として利用する場合には、面内で閾値電圧V_{th}のムラが生じる。

[0137] ここで、均一性を向上させるために、酸化物半導体層２４０を成膜した後、絶縁層２５０を成膜する前に、N_2Oプラズマ処理を行うことが考えられる。つまり、プラズマ処理によって、酸化物半導体層２４０の成膜中に発生した酸素欠陥を修復する。例えば、プラズマ処理の条件は、上述した「N_2Oプラズマ処理条件」と同一である。なお、プラズマ処理における基板温度は、絶縁層２５０の成膜温度と同一である。

[0138] 酸化物半導体層２４０を成膜した後、絶縁層２５０を成膜する前に、N_2O

プラズマ処理を行ったサンプル２００について、キャリア寿命を測定した結果を図９に示す。図９は、比較例に係る絶縁層２５０の成膜温度とプラズマ処理時間との組み合わせに対するキャリア寿命の測定結果を示す図である。

[0139] なお、図９において、白丸（〇）は、電気抵抗の均一性が実現されていることを示し、Ｘ印（Ｘ）は、電気抵抗の均一性が実現されていないことを示している。つまり、白丸は、キャリア寿命の平均値が０．９より大きく、かつ、標準偏差が０．０５以下であるという条件を満たすことを示し、Ｘ印（Ｘ）は、当該条件を満たさないことを示している。後で説明する図１０～図１２についても同様である。

[0140] 図９に示すように、絶縁層２５０の成膜温度が２５０℃以上の場合は、いずれも電気抵抗の均一性が実現されていない。したがって、絶縁層２５０を成膜する前にプラズマ処理を行ったとしても、絶縁層２５０の成膜温度が高い場合には、電気抵抗の均一性は保つことができない。

[0141] また、図９に示すように、プラズマ処理の処理時間が９０秒の場合も、電気抵抗の均一性が実現されていない。したがって、絶縁層２５０の成膜温度が低い場合（例えば、２４０℃）であっても、必要以上に長い時間のプラズマ処理を行った場合には、電気抵抗の均一性が悪化する傾向がある。

[0142] これは、酸化物半導体層２４０が真空下に曝された状態でプラズマ処理を行った場合、酸素欠陥の修復がある一方で、プラズマによるダメージにより、酸素の脱離が促進されるためだと考えられる。したがって、サンプル２００のように単層の絶縁層２５０の成膜では、絶縁層２５０の成膜前にプラズマ処理を行ったとしても、均一性を向上させることができない。

[0143] ［４－３．サンプル（２層構造）の測定結果］

続いて、本実施の形態に係るサンプル３００において、プロセス条件を変えながら、μＰＣＤ法を用いてキャリア寿命を測定した結果について説明する。キャリア寿命の測定点数は、サンプル２００の場合と同じである。

[0144] ［４－３－１．第１酸化膜の成膜温度とプラズマ処理時間］

まず、第１酸化膜３５１の成膜温度とプラズマ処理時間との関係について

、図１０を用いて説明する。図１０は、本実施の形態に係る第１酸化膜３５１の成膜温度とプラズマ処理時間との組み合わせに対するキャリア寿命の測定結果を示す図である。

[0145] 図１０に示すように、第１酸化膜３５１の成膜温度が高い場合には、均一性を実現することができない場合がある。具体的には、第１酸化膜３５１の成膜温度が高くて、かつ、プラズマ処理時間が短い場合には、均一性を実現することができない。

[0146] しかしながら、第１酸化膜３５１の成膜温度が高い場合であっても、プラズマ処理時間を長くすることで、均一性を実現することができる。例えば、第１酸化膜３５１の成膜温度が２７０℃の場合、プラズマ処理時間が３０秒のときは均一性が実現できないのに対して、プラズマ処理時間が６０秒以上になると均一性を実現することができる。

[0147] また、サンプル２００の場合と異なり、プラズマ処理時間が長い場合であっても、均一性が悪化する様子は見られない。例えば、プラズマ処理時間が１８０秒であっても成膜温度が２６０℃、２８０℃及び２９０℃のいずれの場合も均一性が実現されている。

[0148] これは、第１酸化膜３５１によって酸化物半導体層２４０からの酸素の脱離が抑制されているためと考えられる。また、N_2Oプラズマにより発生した酸素原子及び窒素原子のうち、酸素原子のみが選択的に第１酸化膜３５１を透過して、酸化物半導体層２４０にダメージを与えることなく、酸化物半導体層２４０に酸素を供給することができているためと考えられる。

[0149] 以上のことから、第１酸化膜３５１の成膜温度が高い程、長い時間でプラズマ処理を行えばよいことが分かる。

[0150] なお、図８に示したように、酸化膜の成膜温度は２４５℃以上であることが好ましい。より好ましくは、第１酸化膜３５１の成膜温度は、２７０℃以上である。

[0151] ［４－３－２．第１酸化膜の膜厚とプラズマ時間］

次に、第１酸化膜３５１の膜厚とプラズマ処理時間との関係について、図

１１を用いて説明する。図１１は、本実施の形態に係る第１酸化膜３５１の膜厚とプラズマ処理時間との組み合わせに対するキャリア寿命の測定結果を示す図である。

[0152] なお、第１酸化膜３５１の膜厚を変える場合には、第１酸化膜３５１と第２酸化膜３５２との合計の膜厚が２００ｎｍになるように、第２酸化膜３５２の膜厚も変えている。また、第１酸化膜３５１及び第２酸化膜３５２の成膜温度は、ともに２９０℃である。

[0153] 図１１に示すように、プラズマ処理時間が短い場合には、均一性を実現することができない。また、第１酸化膜３５１の膜厚が大きくなるにつれて、均一性を実現するために要するプラズマ処理時間が長くなる。

[0154] したがって、第１酸化膜３５１の膜厚が大きい程、長い時間でプラズマ処理を行えばよいことが分かる。

[0155] なお、第１酸化膜３５１が厚い場合には、第１酸化膜３５１の成膜中に酸化物半導体層２４０から脱離する酸素の量が増加する。また、プラズマ処理による酸素の供給は第１酸化膜３５１を介して行うために、第１酸化膜３５１の膜厚が厚い場合には、酸素の供給効果が減少する。つまり、より長時間のプラズマ処理が必要となり、生産性が低下する場合がある。

[0156] したがって、生産性の向上のためには、プロセス時間を短縮することが好ましく、第１酸化膜３５１の膜厚を必要以上に厚くすることにメリットは少ない。よって、第１酸化膜３５１の膜厚は、４０ｎｍ以下、好ましくは、２０ｎｍ以下である。また、膜厚の面内均一性を保つためには、第１酸化膜３５１の膜厚は、５ｎｍ以上、好ましくは、１０ｎｍ以上である。

[0157] ［４－３－３．第２酸化膜の成膜温度とプラズマ時間］

次に、第２酸化膜３５２の膜厚とプラズマ処理時間との関係について、図１２を用いて説明する。図１２は、本実施の形態に係る第２酸化膜３５２とプラズマ処理時間との組み合わせに対するキャリア寿命の測定結果を示す図である。なお、第１酸化膜３５１の成膜温度及びプラズマ処理における基板温度はともに、２９０℃である。

[0158] 図１２に示すように、プラズマ処理時間が短い場合には、均一性を実現することができない。また、第２酸化膜３５２の成膜温度が高くなるにつれて、均一性を実現するために要するプラズマ処理時間が長くなる。これは、第１酸化膜３５１が酸化物半導体層２４０上に設けられているものの、第２酸化膜３５２の成膜温度が高い場合には、酸化物半導体層２４０からの酸素の脱離は促進されるためと考えられる。

[0159] したがって、第２酸化膜３５２の成膜温度が高い程、長い時間でプラズマ処理を行えばよいことが分かる。

[0160] なお、第２酸化膜３５２の成膜温度を高くした場合、第２酸化膜３５２の膜質を向上させることができ、薄膜トランジスタの耐圧を向上させることができる。ただし、第１酸化膜３５１の成膜温度と第２酸化膜３５２の成膜温度とが異なる場合、別のチャンバーが必要になる、あるいは、温度の変更に要する時間を待機しなければならない。

[0161] したがって、いずれの場合も、生産性が悪化して、製造コストが増加する。このため、チャネル保護層での耐圧を高める必要がない場合は、第２酸化膜３５２の成膜温度は、第１酸化膜３５１と同一、かつ、プラズマ処理の基板温度と同一でよい。

[0162] ［４－４．成膜条件］

以上のことから、本実施の形態に係るＴＦＴ基板２０の製造方法では、酸化物半導体層１４０、第１酸化膜１５１及び第２酸化膜１５２の成膜条件はそれぞれ、以下の通りである。

[0163] 例えば、「ＥＳ１－ＳｉＯ成膜条件」を用いて、５ｎｍ以上４０ｎｍ以下のシリコン酸化膜を、２４５℃以上、好ましくは、２７０℃以上の成膜温度で成膜することで、第１酸化膜１５１は形成される。

[0164] ここで、SiH_4ガスの割合を増加させることで、成膜レートを高くすることができ、生産性が向上する。しかしながら、成膜中の水素ラジカルの発生量、及び、シリコン酸化膜中の水素量が増大し、酸化物半導体層１４０に取り込まれる水素量が増加する。これにより、酸化物半導体層１４０が低抵抗

化するという問題がある。したがって、例えば、SiH_4ガスのガス流量比（SiH_4／（SiH_4＋N_2O））は、１．１％以下程度である。

[0165] また、導入ガスにアルゴンガス又は窒素ガスを加えてもよい。これにより、N_2Oガスを低減することができるので、製造コストを削減することができる。また、アルゴンガス又は窒素ガスがSiH_4の分解を促進するので、成膜レートを速くすることができ、生産性を高めることができる。しかしながら、成膜中におけるイオン衝撃（ｉｏｎ　ｂｏｍｂａｒｄｍｅｎｔ）によって酸化物半導体層１４０がダメージを受ける。これにより、酸素欠陥が発生し、キャリアが増えて酸化物半導体層１４０が低抵抗化するため、アルゴンガス又は窒素ガスの添加は少なくすることが好ましい。

[0166] また、プロセス圧力及びプロセス距離が大きすぎる場合には、プラズマの広がりの均一性が悪化し、成膜レート及び成膜レートの均一性が悪化する。逆に、プロセス圧力及びプロセス距離が小さすぎる場合には、プラズマで分解した成膜ガス粒子のエネルギーが高くなり、酸化物半導体層１４０へのダメージが増加する。このため、例えば、プロセス圧力は、０．５ｔｏｒｒ以上１．５ｔｏｒｒ以下が好ましく、プロセス距離は、４００ｍｉｌ以上７００以下が好ましい。より好ましくは、プロセス圧力は、０．７ｔｏｒｒ以上１．０ｔｏｒｒ以下であり、プロセス距離は、５００ｍｉｌ以上６００以下である。

[0167] また、パワー密度が小さすぎる場合には、成膜ガスの分解能力が不足し、膜質が悪化する。すなわち、酸素欠陥が多いシリコン酸化膜が形成される。このため、酸化物半導体層１４０の酸素がシリコン酸化膜に移動するので、酸化物半導体層１４０のキャリアが増加し、低抵抗化する。

[0168] 一方で、パワー密度が大きすぎる場合には、酸化物半導体層１４０に与えるダメージが大きくなり、低抵抗化する。したがって、パワー密度は、０．１９Ｗ／ｃｍ^{2}以上０．３Ｗ／ｃｍ^{2}以下が好ましい。

[0169] また、例えば、「ＥＳ２－ＳｉＯ成膜条件」を用いて、すなわち、「ＥＳ１－ＳｉＯ成膜条件」を用いて、チャネル保護層１５０の膜厚が５００ｎｍ

以下になるような膜厚のシリコン酸化膜を、２７０℃以上の成膜温度で成膜することで、第２酸化膜１５２は形成される。第２酸化膜１５２の成膜温度は、第１酸化膜１５１の成膜温度と同一である。

[0170] なお、第２酸化膜１５２は、第１酸化膜１５１より膜厚が大きいので、SiH_4ガスの流量を大きくすることで、成膜レートを高めることも考えられる。しかしながら、上述したように、水素ラジカルが第１酸化膜１５１を浸透して、酸化物半導体層１４０に取り込まれる量が増加してしまう。このため、SiH_4ガスの流量は第１酸化膜１５１の成膜時の流量よりも大きすぎないようにすることが好ましい。プロセス圧力、プロセス距離及びパワー密度についても、第１酸化膜１５１の場合と同様のことが言える。

[0171] また、第１酸化膜１５１を成膜した後、第２酸化膜１５２を成膜する前に、上述した「N_2Oプラズマ処理」を利用してN_2Oプラズマ処理を行う。プラズマ処理時間は、例えば、５秒～３００秒であり、好ましくは、３０秒～１８０秒である。

[0172] N_2Oプラズマ処理の基板温度は、第１酸化膜１５１の成膜温度及び第２酸化膜１５２の成膜温度と同じである。これにより、第１酸化膜１５１の成膜、N_2Oプラズマ処理、及び、第２酸化膜１５２の成膜を、同一のチャンバー内で実現することができる。また、基板温度の変更に要する時間も必要ないので、プロセス時間を短くすることができる。

[0173] また、第２酸化膜１５２の膜質を向上させるために、第１酸化膜１５１の成膜温度より高い温度で第２酸化膜１５２を成膜する場合、N_2Oプラズマ処理の基板温度は、第２酸化膜１５２の成膜温度と同じにする。すなわち、N_2Oプラズマ処理は、第２酸化膜１５２の成膜と同一のチャンバー内で、第２酸化膜１５２の成膜の直前に実施すればよい。これにより、プラズマの浸透力を高めることができる。

[0174] ［５．シリコン酸化膜中の元素の濃度分布（ＳＩＭＳ分析）］

続いて、本実施の形態に係る製造方法において成膜されるシリコン酸化膜中の不純物分布を調べるために行ったＳＩＭＳ（Ｓｅｃｏｎｄａｒｙ　Ｉｏ

ｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）分析の結果について説明する。具体的には、３つのサンプルＡ～Ｃを作製して、それぞれに対してＳＩＭＳ分析を行った。

[0175] サンプルＡ及びＣの構成は、図７Ａに示すサンプル２００と同じである。つまり、サンプルＡ及びＣは、単層のシリコン酸化膜からなる絶縁層２５０を酸化物半導体層２４０上に備える。

[0176] また、サンプルＢの構成は、図７Ｂに示すサンプル３００と同じである。つまり、サンプルＢは、２層のシリコン酸化膜からなる絶縁層３５０を酸化物半導体層２４０上に備える。

[0177] なお、サンプルＡ～Ｃにおいて、基板２１０は、６インチのＰ型シリコン基板（抵抗率が９～１２Ωｃｍ）である。ガラス基板ではなく、Ｐ型シリコン基板を用いたのは、ＳＩＭＳ分析中のチャージアップを抑制するためである。このＰ型シリコン基板を、Ｇ８．５ガラス基板（厚さ：０．７ｍｍ、Ｘ：２５００ｍｍ×Ｙ：２２００ｍｍ）の中心付近に貼り付けて、酸化物半導体層２４０及び絶縁層２５０の成膜を行った。酸化物半導体層２４０及び絶縁層２５０の成膜条件は上述した通り（「ＴＡＯＳ成膜条件」及び「単層ＳｉＯ成膜条件」）である。

[0178] このとき、サンプルＡでは、酸化物半導体層２４０を成膜した後、絶縁層２５０を成膜する前に、N_2Oプラズマ処理を３０秒間実施した。なお、絶縁層２５０の膜厚は、１９０ｎｍである。サンプルＣでは、N_2Oプラズマ処理を行うことなく、１９０ｎｍのシリコン酸化膜を絶縁層２５０として成膜した。

[0179] 一方で、サンプルＢでは、２０ｎｍの第１酸化膜３５１を成膜した後、１７０ｎｍの第２酸化膜３５２を成膜する前に、N_2Oプラズマ処理を１２０秒間実施した。第１酸化膜３５１及び第２酸化膜３５２の成膜条件、並びに、N_2Oプラズマ処理の条件は、上述した通り（「ＥＳ１－ＳｉＯ成膜条件」、「ＥＳ２－ＳｉＯ成膜条件」及び「N_2Oプラズマ処理条件」）である。なお、成膜温度、及び、プラズマ処理の基板温度は２９０℃である。

[0180] ［５－１．フッ素（Ｆ）の濃度分布］

図１３Ａ～図１３Ｅはそれぞれ、本実施の形態に係る酸化膜内のフッ素元素（Ｆ）、酸化窒素（ＮＯ）、水素元素（Ｈ）、窒化シリコン（ＳｉＮ）の濃度分布を示す図である。なお、図１３Ａ～図１３Ｃ及び図１３Ｅは、濃度分布を片対数グラフで示しているのに対して、図１３Ｄは、濃度分布を線形グラフで示している。

[0181] 図１３Ａに示すように、サンプルＡ及びサンプルＣでは、絶縁層２５０（シリコン酸化膜：ＥＳ－ＳｉＯ）と酸化物半導体層２４０（ＩＧＺＯ）との界面近傍（より詳細には、界面（深さ：約１９０ｎｍ）から±１０ｎｍの範囲内）にのみ、フッ素元素の濃度のピークが現れている。

[0182] なお、フッ素元素の起源は、プラズマＣＶＤのチャンバー内壁に残留しているフッ化生成物であると考えられる。フッ化生成物は、チャンバー内壁のクリーニングに用いられるNF_3プラズマの発生時に、チャンバー内壁に形成及び蓄積されたものである。絶縁層２５０の成膜前に、チャンバー内壁から離脱したフッ素元素が酸化物半導体層２４０の表面に吸着し、その後に絶縁層２５０が成膜されたために、絶縁層２５０と酸化物半導体層２４０との界面にピークが現れたと考えられる。なお、フッ素元素の濃度は、サンプルＡとサンプルＣとを比較することで、絶縁層２５０の成膜前にN_2Oプラズマ処理を行うことで、低減することが分かる。

[0183] 一方で、サンプルＢでは、絶縁層３５０と酸化物半導体層２４０との界面近傍のピーク（第１のピーク）以外にもピーク（第２のピーク）が現れている。具体的には、第１酸化膜３５１（ＥＳ１）と第２酸化膜３５２（ＥＳ２）との境界近傍（より詳細には界面（深さ：約１７０ｎｍ）から±１０ｎｍの範囲（以下同じ））に第２のピークが存在している。第２のピークは、図１３Ａに示すように、第１のピークより小さい。第２のピークは、サンプルＢにおいて、第１酸化膜３５１の成膜後に第１酸化膜３５１の表面に吸着したフッ素元素のうち、N_2Oプラズマ処理によっては除去できなかったものである。

[0184] したがって、本実施の形態に係る製造方法のように、２層構造の絶縁層３５０を形成する場合には、第１酸化膜３５１と第２酸化膜３５２との界面近傍に、フッ素元素のピークが存在する。さらに、酸化膜を積層させた場合も同様である。つまり、絶縁層内に、「酸化膜の積層数－１」の数のピークが現れる。

[0185] ［５－２．酸化窒素（ＮＯ）の濃度分布］

図１３Ｂに、NO^-イオンとして検出される酸化窒素（ＮＯ）の濃度分布を示す。図１３Ｂに示すように、サンプルＡ～Ｃでは、絶縁層２５０又は３５０と酸化物半導体層２４０との界面近傍に、ＮＯの濃度のピークが現れている。さらに、サンプルＢでは、フッ素元素の第２のピークの深さ位置の近傍においても、サンプルＡ及びサンプルＣの濃度より高いＮＯ濃度のピークが現れている。具体的には、サンプルＢでは、フッ素元素の第２のピークの深さ位置の近傍においてＮＯ濃度のピークを有する。

[0186] これは、第２のピークの深さ位置の近傍で、すなわち、第１酸化膜３５１を成膜した後、第２酸化膜３５２を成膜する前に、N_2Oプラズマ処理を行ったことに起因すると考えられる。すなわち、N_2Oプラズマ処理による窒素元素が第１酸化膜３５１に注入されたために、第１酸化膜３５１のＮＯ濃度が高くなったと考えられる。なお、第２酸化膜３５２にもＮＯ濃度が高い領域が広がっているのは、窒素元素が第２酸化膜３５２の成膜中又は成膜後に拡散したためと考えられる。

[0187] このように、本実施の形態に係る製造方法によれば、絶縁層３５０を２層構造に形成する際に、プラズマ処理を実施するので、必然的に絶縁層３５０及び酸化物半導体層２４０との界面だけでなく、第１酸化膜３５１と第２酸化膜３５２との界面近傍（±１０ｎｍ）にもフッ素元素の濃度のピークが存在する。また、第１酸化膜３５１と第２酸化膜３５２との界面近傍のＮＯ元素の濃度もピークも存在する。

[0188] ［５－３．水素（Ｈ）の濃度分布］

また、図１３Ｃに示すように、サンプルＡ～Ｃでは、絶縁層２５０又は３

５０と酸化物半導体層２４０との界面近傍にのみ、水素元素の濃度のピークが現れている。また、サンプルＢにおいても、第１酸化膜３５１と第２酸化膜３５２との界面近傍においても、水素元素のピークは現れない。

[0189] ここで、界面近傍での水素元素の濃度分布の振る舞いをより詳細に見るために、図１３Ｄに、水素元素の濃度分布を線形グラフで示す。

[0190] 第１酸化膜３５１と第２酸化膜３５２との界面近傍に着目すると、サンプルＡ及びサンプルＣでは濃度の膜厚方向の変化の変化率が一定である（濃度変化が連続である）のに対し、サンプルＢでは変化率が変化する（濃度変化が不連続である）（図１３Ｄの片矢印を参照）。すなわち、サンプルＢの水素元素の濃度分布では、界面近傍において不連続的に変化する。

[0191] 界面近傍で濃度変化が不連続、あるいは、濃度分布が不連続的とは、具体的には、濃度分布の変化率のピークが界面近傍に存在するということである。すなわち、第１酸化膜３５１と第２酸化膜３５２との界面近傍に、サンプルＢでは、濃度分布の変化率のピークが存在する。具体的には、界面近傍の直前又は直後に比べて、界面近傍での水素元素の濃度分布の変化率が大きくなっている。例えば、水素元素の濃度分布は、第２酸化膜３５２内又は第１酸化膜３５１内では、略一定であるのに対して、界面近傍で大きく変化する。

[0192] これは、第２酸化膜３５２の成膜前のN_2Oプラズマ処理が酸化膜中の水素濃度分布に影響していることを示している。このような分布が形成される詳細なメカニズムは明らかではないが、N_2Oプラズマ処理中に成膜チャンバーの側壁部に存在する残渣付着物より遊離した微量の水素が第１酸化膜３５１と第２酸化膜３５２との界面に付着し、膜中に混入していったことによるものと考えられる。しかしながら、酸化膜中の水素濃度をサンプルＡ～Ｃで比較しても同等レベルであることから、少なくとも、第２酸化膜３５２の成膜前のN_2Oプラズマ処理により酸化膜中の水素量が増加することはなく、酸化膜中の水素によるＴＡＯＳの還元で低抵抗化し、ＴＦＴのV_{th}が負にシフトし均一性が悪化するリスクはないといえる。

[0193] ［５－４．窒化ケイ素（ＳｉＮ）の濃度分布］

図１３Ｅに、SiN^-イオンとして検出される窒化ケイ素（ＳｉＮ）の濃度分布を示す。図１３Ｅに示すように、第２酸化膜３５２の成膜前にN_2Oプラズマ処理したサンプルＢでは、特に、第１酸化膜３５１の領域において、サンプルＡ及びサンプルＣより窒化ケイ素の濃度が大きい。すなわち、第１酸化膜３５１の成膜後のN_2Oプラズマ処理により、第１酸化膜３５１が窒化されていることを意味している。

[0194] 一方、絶縁層２５０又は３５０と酸化物半導体層２４０との界面における窒化ケイ素（ＳｉＮ）の濃度はサンプルＡ～Ｃで同等である。すなわち、第１酸化膜３５１の成膜後のN_2Oプラズマ処理では、第１酸化膜３５１と酸化物半導体層２４０との界面における窒素の濃度を増加させることなく、第１酸化膜３５１を窒化させることが可能である。

[0195] 一般的に、シリコン酸化膜を窒化することにより、シリコン酸化膜中の欠陥を、結合が強い窒素原子により補修できるので、ストレス耐性に優れた膜を形成することが可能になる。このような膜をチャネル保護層として利用することにより、ＴＦＴの信頼性の向上効果も本開示により期待できるといえる。

[0196] また、以上に述べた元素分布は、例えば、第１酸化膜３５１の成膜において、成膜ガスに窒素系のガスを適切な割合で混合させることにより酸窒化ケイ素膜（ＳｉＯＮ）を形成し、第２酸化膜３５２の成膜までのある所定の時間、成膜チャンバーで待機させることによっても、類似の分布を形成できる可能性がある。この場合は、窒素系のガスとして水素を含まない窒素ガス（N_2）が好ましい。しかしながら、第１酸化膜３５１に、例えば、シリコン酸化膜中の窒素濃度分布が多い酸窒化ケイ素膜を形成すると、必然的に第１酸化膜３５１と酸化物半導体層２４０との界面の窒素濃度も高めてしまう。このため、界面で固定電荷の増加、又は、キャリアトラップの準位の増加を招き、ＴＦＴの電気的信頼性の向上が望めなくなる。したがって、酸窒化ケイ素膜を形成することは、絶縁層３５０の形成方法としては好ましくない。

[0197] 以上、本開示によるチャネル保護層（酸化膜）の形成プロセスの実施結果として、元素分布、すなわち、第１酸化膜３５１と第２酸化膜３５２との界面近傍（±１０ｎｍの範囲）のフッ素元素のピークと、酸化窒素のピークと、水素濃度の変化率の不連続とが発生することを説明した。また、本開示による狙いの効果の趣旨とは別に、第１酸化膜３５１の成膜後のN_2Oプラズマ処理により、酸化物半導体層２４０に接するチャネル保護層の窒化処理が行われ、膜中欠陥の低減が可能になる。このとき、第１酸化膜３５１と酸化物半導体層２４０との界面の窒素濃度を増加させることなく、膜中欠陥の低減を実施できる。このため、窒素濃度の増加による界面品質の低下を招くこともないことが、ＴＦＴの電気的信頼性を良化させる一助となっている効果も期待できる。

[0198] ［６．信頼性評価（ＰＢＴＳ試験）］

続いて、本実施の形態に係る図５Ａ及び図５Ｂに示す製造方法に基づいて作製したＴＦＴ基板２０について、正バイアス温度ストレス（ＰＢＴＳ）試験を行った結果について説明する。

[0199] ＰＢＴＳ試験のストレス条件は、温度が９０℃、ゲート－ソース間電圧が＋２０Ｖ、ドレイン－ソース間電圧が０Ｖ、時間が２０００秒である。また、ＰＢＴＳ試験の測定条件は、ドレイン－ソース間電圧が５Ｖ、ゲート－ソース間電圧の範囲が－１０Ｖ～＋１０Ｖ、ステップが０．１Ｖである。なお、ＰＢＴＳ試験の対象となるＴＦＴ基板のチャネル幅及びチャネル長は、ともに１２μｍである。また、基板の左下端の座標（Ｘ，Ｙ）を（０，０）で表したときに、測定位置は、Ｘ座標が１４００～２４００の範囲で、かつ、Ｙ座標が９６０ｍｍである。

[0200] ［６－１．比較例１］

まず、比較例１として、単層のチャネル保護層を有する薄膜トランジスタのＰＢＴＳ試験の結果について、図１４Ａ及び図１４Ｂを用いて説明する。図１４Ａ及び図１４Ｂはそれぞれ、比較例１に係る薄膜トランジスタの閾値電圧の初期特性及びストレス後の特性を示す図である。

[0201] 比較例１に係る薄膜トランジスタのチャネル保護層は、膜厚が２００ｎｍで、成膜温度が２４５℃で成膜されている。その他の成膜条件は、上述した「単層ＳｉＯ成膜条件」と同一である。また、酸化物半導体層１４０を形成した後、チャネル保護層を形成する前に、N_2Oプラズマ処理を行っている。プラズマ処理の条件は、上述した「N_2Oプラズマ処理条件」と同一である。

[0202] 図１４Ａに示すように、比較例１に係る薄膜トランジスタの初期特性では、基板内でのばらつきは少ない。具体的には、３σが０．７６である。

[0203] 一方で、図１４Ｂに示すように、閾値電圧の変化量ΔV_{th}が増加している。すなわち、薄膜トランジスタの信頼性は、悪くなっている。具体的には、ΔV_{th}の平均値が０．９２で、３σが０．８７となり、初期特性に比べて閾値電圧が変化しており、また、その変化量のばらつきが大きくなっている。

[0204] ［６－２．比較例２］

次に、比較例２として、単層のチャネル保護層を有する薄膜トランジスタのＰＢＴＳ試験の結果について、図１５Ａ及び図１５Ｂを用いて説明する。図１５Ａ及び図１５Ｂはそれぞれ、比較例２に係る薄膜トランジスタの閾値電圧の初期特性及びストレス後の特性を示す図である。

[0205] 比較例２に係る薄膜トランジスタは、比較例１に係る薄膜トランジスタとは、チャネル保護層の成膜温度が異なっている。具体的には、比較例２に係る薄膜トランジスタのチャネル保護層は、膜厚が２００ｎｍで、成膜温度が２８０℃で成膜されている。その他の成膜条件は、上述した「単層ＳｉＯ成膜条件」と同一である。また、酸化物半導体層１４０を形成した後、チャネル保護層を形成する前に、N_2Oプラズマ処理を行っている。プラズマ処理の条件は、上述した「N_2Oプラズマ処理条件」と同一である。

[0206] 図１５Ａに示すように、比較例２に係る薄膜トランジスタの初期特性では、基板内の閾値電圧V_{th}のばらつきが大きくなっている。具体的には、３σが２．５６である。

[0207] 一方で、図１５Ｂに示すように、ストレス後は、閾値電圧の変化量ΔV_{th}が０Ｖに近づいているので、信頼性は高くなっている。しかしながら、Ｘ座

標が２０００ｍｍ～２４００ｍｍの位置では、ΔV_{th}が大きくなっている領域が有る。したがって、基板の外周部分では、薄膜トランジスタの信頼性は乏しい。

[0208] ［６－３．２層構造］

次に、本実施の形態に係る２層構造のチャネル保護層１５０を有する薄膜トランジスタ１００のＰＢＴＳ試験の結果について、図１６Ａ及び図１６Ｂを用いて説明する。図１６Ａ及び図１６Ｂはそれぞれ、本実施の形態に係る薄膜トランジスタ１００の閾値電圧の初期特性及びストレス後の特性を示す図である。

[0209] 本実施の形態に係る薄膜トランジスタ１００の第１酸化膜１５１及び第２酸化膜１５２はそれぞれ、膜厚が２０ｎｍ及び１８０ｎｍで、成膜温度が２９０℃で成膜されている。その他の成膜条件は、上述した「ＥＳ１－ＳｉＯ成膜条件」及び「ＥＳ２－ＳｉＯ成膜条件」と同一である。また、第１酸化膜１５１を成膜後、第２酸化膜１５２を成膜する前に、N_2Oプラズマ処理を行っている。プラズマ処理の条件は、上述した「N_2Oプラズマ処理条件」と同一である。なお、プラズマ処理中の基板温度は、２９０℃である。

[0210] 図１６Ａに示すように、本実施の形態に係る薄膜トランジスタ１００の初期特性では、閾値電圧V_{th}の均一性が改善されている。具体的には、３σが０．５６である。

[0211] また、図１６Ｂに示すように、ストレス後においても、閾値電圧の変化量ΔV_{th}が０Ｖに近づいているので、信頼性は高くなっている。具体的には、ΔV_{th}の平均値が０．１０であり、３σが０．１７である。

[0212] このように、本実施の形態によれば、信頼性が向上し、かつ、基板内でのばらつきも少なくすることができる。

[0213] ［７．まとめ］

以上のように、本実施の形態に係るＴＦＴ基板２０の製造方法は、基板１１０の上方に酸化物半導体層１４０を形成する工程と、酸化物半導体層１４０上に第１酸化膜１５１を形成する工程と、第１酸化膜１５１を形成した後

に、酸化物半導体層１４０に対する酸化性処理を行う工程と、酸化性処理を行った後に、第１酸化膜１５１上に第２酸化膜１５２を形成する工程とを含む。

[0214] このように、酸化物半導体層１４０上に第１酸化膜１５１を形成した後に酸化性処理を行うので、酸化物半導体層１４０と第１酸化膜１５１との界面の酸素欠陥を効率的に修復することができる。また、第２酸化膜１５２の成膜温度を高くしても、酸化物半導体層１４０から酸素が脱離するのを第１酸化膜１５１が抑制するので、酸化物半導体層１４０の劣化を抑制し、かつ、高品質な酸化膜を形成することができる。これにより、特性の均一性と信頼性とが優れた薄膜トランジスタ１００を製造することができる。

[0215] また、例えば、酸化性処理を行う工程では、第１酸化膜１５１の成膜温度が高い程、長い時間で酸化性処理を行う。

[0216] このように、膜質を高めるために第１酸化膜１５１の成膜温度を高くした場合には、長い時間で酸化性処理を行うことで、酸素欠陥を適切に修復することができる。したがって、酸化物半導体層１４０の劣化を抑制し、かつ、高品質な酸化膜を形成することができる。

[0217] また、例えば、第１酸化膜１５１の成膜温度は、２７０℃以上である。

[0218] これにより、高品質な第１酸化膜１５１を形成することができ、例えば、第１酸化膜１５１をチャネル保護層として利用することができる。

[0219] また、例えば、酸化性処理を行う工程では、第１酸化膜１５１の膜厚が大きい程、長い時間で酸化性処理を行う。

[0220] これにより、第１酸化膜１５１の膜厚を大きくした場合には、長い時間で酸化性処理を行うことで、酸素欠陥を適切に修復することができる。

[0221] また、例えば、第１酸化膜１５１の膜厚は、５ｎｍ以上４０ｎｍ以下である。

[0222] これにより、酸化物半導体層１４０からの酸素の脱離を抑制し、かつ、酸化性処理による酸素を適切に酸化物半導体層１４０に供給することができる。また、第１酸化膜１５１は５ｎｍ～４０ｎｍと薄膜であるため、第１酸化

膜１５１の成膜中に酸化物半導体層１４０に発生する酸素欠陥の量を少なく抑えることができる。

[0223] また、例えば、酸化性処理を行う工程では、第２酸化膜１５２の成膜温度が高い程、長い時間で酸化性処理を行う。

[0224] このように、膜質を高めて、耐圧を向上させるために第２酸化膜１５２の成膜温度を高くした場合には、長い時間で酸化性処理を行うことで、酸素欠陥を適切に修復することができる。したがって、酸化物半導体層１４０の劣化を抑制し、かつ、高品質な酸化膜を形成することができる。

[0225] また、例えば、第２酸化膜１５２の成膜温度は、酸化性処理における温度と同一である。

[0226] これにより、高品質な第２酸化膜１５２を形成することができ、例えば、第２酸化膜１５２を高耐圧なチャネル保護層として利用することができる。

[0227] また、例えば、酸化性処理は、プラズマ処理である。

[0228] これにより、酸化物半導体層１４０と第１酸化膜１５１との界面、及び、酸化物半導体層１４０内の酸素欠陥を適切に修復することができる。

[0229] また、例えば、酸化性処理を行う工程では、亜酸化窒素ガスを用いて５秒以上３００秒以下の時間でプラズマ処理を行う。

[0230] これにより、例えば、酸化性処理に、第１酸化膜１５１又は第２酸化膜１５２の成膜に用いるガスと同じガスを用いることができるので、装置の簡略化及び低コスト化など生産上の利便性を高めることができる。例えば、大型基板（Ｇ８以上）を利用した量産プラズマＣＶＤ装置では、シリコン酸化膜の成膜ガスとしてシランガスと亜酸化窒素ガスとを用いるのが一般的である。したがって、第１酸化膜１５１又は第２酸化膜１５２としてのシリコン酸化膜の成膜と、プラズマ処理とを同一チャンバー内で連続的に実施することができる。

[0231] また、例えば、第１酸化膜１５１及び第２酸化膜１５２は、シリコン酸化膜である。

[0232] また、例えば、酸化物半導体層１４０は、透明アモルファス酸化物半導体

である。

[0233] また、例えば、酸化物半導体層１４０は、ＩｎＧａＺｎＯである。

[0234] また、本実施の形態に係るＴＦＴ基板２０は、基板１１０と、基板１１０の上方に順に積層された酸化物半導体層１４０、第１酸化膜１５１及び第２酸化膜１５２とを備え、積層方向における元素の濃度分布において、フッ素元素の濃度分布では、第１酸化膜１５１と第２酸化膜１５２との境界近傍にピークが存在し、酸化窒素の濃度分布では、境界近傍における濃度が第２酸化膜１５２の中央近傍における濃度より高く、水素元素の濃度分布では、境界近傍において不連続的に変化する。

[0235] （変形例）

上記の実施の形態では、薄膜トランジスタがボトムゲート型である例について示したが、トップゲート型でもよい。本変形例では、トップゲート型の薄膜トランジスタ４００の製造方法について、図１７Ａ及び図１７Ｂを用いて説明する。図１７Ａ及び図１７Ｂは、本実施の形態に係る薄膜トランジスタ４００の製造方法を示す概略断面図である。

[0236] ［バッファ層の形成］

まず、図１７Ａの（ａ）に示すように、基板４１０を準備し、基板４１０上にバッファ層４１５を形成する。例えば、基板４１０上に絶縁膜をプラズマＣＶＤによって成膜する。

[0237] 具体的には、まず、基板４１０としてガラス基板を準備し、シリコン酸化膜、シリコン窒化膜若しくはシリコン酸窒化膜又はこれらの積層膜を基板４１０上にバッファ層４１５として成膜する。バッファ層４１５の膜厚は、約１００ｎｍ～３００ｎｍである。この時の成膜温度は、例えば、３５０℃～４００℃である。

[0238] なお、バッファ層４１５を設けることで、酸化物半導体層４４０と基板４１０との密着性を向上させることができる。また、基板４１０を構成する元素が酸化物半導体層４４０に拡散するのを抑制することができる。

[0239] ［酸化物半導体層の形成］

さらに、基板１１０の上方、すなわち、バッファ層４１５上に所定形状の酸化物半導体層４４０を形成する。例えば、バッファ層４１５上に酸化物半導体膜をスパッタリングによって成膜する。そして、フォトリソグラフィ及びエッチングによって酸化物半導体膜を加工することにより、所定形状の酸化物半導体層４４０を形成する。具体的な成膜条件及び加工条件は、実施の形態１に係る酸化物半導体層１４０の成膜条件及び加工条件と同一である。

[0240] ［第１酸化膜の形成］

次に、図１７Ａの（ｂ）に示すように、酸化物半導体層４４０上に第１酸化膜４３１を形成する。例えば、酸化物半導体層４４０を覆うように第１酸化膜４３１をプラズマＣＶＤによって成膜する。

[0241] 具体的には、酸化物半導体層４４０を覆うようにバッファ層４１５上に、５ｎｍ～４０ｎｍのシリコン酸化膜を成膜することで、第１酸化膜４３１を形成する。この時の成膜温度は、例えば、２６０℃～２９０℃である。シリコン酸化膜は、例えば、シランガス（SiH_4）と亜酸化窒素ガス（N_2O）とを導入ガスに用いることで成膜することができる。

[0242] ［プラズマ処理］

次に、図１７Ａの（ｃ）に示すように、酸化性処理の一例であるプラズマ処理を行う。つまり、第１酸化膜４３１を形成した後、第２酸化膜４３２を形成する前に、プラズマ処理を行う。

[0243] 具体的には、第１酸化膜４３１の成膜に用いたチャンバー内に、亜酸化窒素ガス（N_2O）を用いてプラズマ４９０を発生させる。プラズマ４９０を発生させる時間、すなわち、プラズマ処理時間は、例えば、６０秒～１８０秒である。また、プラズマ処理温度、すなわち、基板温度は、２６０℃～３９０℃である。

[0244] ［第２酸化膜の形成］

次に、図１７Ａの（ｄ）に示すように、第１酸化膜４３１上に第２酸化膜４３２を形成する。例えば、第１酸化膜４３１上に、８０ｎｍ～３００ｎｍのシリコン酸化膜を成膜することで、第２酸化膜４３２を形成する。この時

の成膜温度は、例えば、２６０℃～３９０℃である。例えば、導入ガスなどは、第１酸化膜４３１の成膜と同一である。また、成膜温度は、例えば、プラズマ処理の基板温度と同一である。

[0245] なお、第１酸化膜４３１と第２酸化膜４３２とが薄膜トランジスタ４００のゲート絶縁層である。第２酸化膜４３２を形成した後、所定の温度の加熱処理（アニール処理）を行ってもよい。

[0246] ［ゲート電極の形成］

次に、図１７Ｂの（ａ）に示すように、基板４１０の上方に所定形状のゲート電極４２０を形成する。例えば、ゲート絶縁層４３０上に３０ｎｍ～３００ｎｍの金属膜をスパッタリングによって成膜し、フォトリソグラフィ及びエッチングによって金属膜を加工することにより、所定形状のゲート電極４２０を形成する。具体的な成膜条件及び加工条件は、実施の形態１に係るゲート電極１２０の成膜条件及び加工条件と同一である。

[0247] ［層間絶縁層の形成］

次に、図１７Ｂの（ｂ）に示すように、層間絶縁層４７０を形成する。層間絶縁層４７０は、例えば、実施の形態１に係る層間絶縁層１７０と同じ３層構造を有する。具体的な成膜条件は、実施の形態１に係る層間絶縁層１７０の成膜条件と同一である。

[0248] ［上部電極、ドレイン電極及びソース電極の形成］

次に、図１７Ｂの（ｂ）に示すように、層間絶縁層４７０上に上部電極４２１、ドレイン電極４６０ｄ及びソース電極４６０ｓを形成する。具体的には、まず、層間絶縁層４７０の一部をエッチング除去することで、コンタクトホールを形成する。つまり、ゲート電極４２０の一部及び酸化物半導体層４４０の一部を露出させるためのコンタクトホールを層間絶縁層４７０に形成する。具体的な加工条件は、実施の形態１に係る層間絶縁層４７０の加工条件と同一である。

[0249] そして、形成したコンタクトホールを埋めるようにして、層間絶縁層４７０上に金属膜をスパッタリングによって成膜する。例えば、２０ｎｍのＭｏ

膜、３００ｎｍのＣｕ膜、及び、２０ｎｍの銅及びマンガンの合金膜（ＣｕＭｎ膜）を順にチャネル保護層１５０上に積層する。その後、フォトリソグラフィ及びエッチングによって、積層した金属膜を加工することで、所定形状の上部電極４２１、ドレイン電極４６０ｄ及びソース電極４６０ｓを形成する。Ｍｏ膜、Ｃｕ膜、及び、ＣｕＭｎ膜のウェットエッチングは、例えば、過酸化水素水（H_2O_2）及び有機酸を混合した薬液を用いることができる。

[0250] 以上の工程を経て、トップゲート型の薄膜トランジスタ４００が製造される。なお、以降の工程において、有機ＥＬ素子４０などがさらに積層される。

[0251] トップゲート型の薄膜トランジスタ４００の場合も、ボトムゲート型の薄膜トランジスタ１００の場合と同様に、酸化物半導体層４４０内の酸素欠陥、及び、酸化物半導体層４４０と第１酸化膜４３１との界面での酸素欠陥が修復されるので、特性の均一性及び信頼性が高められている。

[0252] （他の実施の形態）

以上のように、本出願において開示する技術の例示として、実施の形態を説明した。しかしながら、本開示における技術は、これに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。

[0253] そこで、以下では、他の実施の形態を例示する。

[0254] 例えば、上記の実施の形態では、酸化性処理としてN_2Oプラズマ処理を例に上げて説明したが、これに限らない。N_2Oの代わりに酸素ガス（O_2）を用いた酸素プラズマ処理でもよい。これにより、例えば、シリコン酸化膜の成膜ガスとして、シランガスと酸素ガスとを用いる場合は、酸素ガスを用いた酸素プラズマ処理を行うことで、成膜とプラズマ処理とを同一チャンバー内で連続的に実施することができる。したがって、装置の簡略化及び低コスト化などの生産上の利便性を高めることができる。

[0255] また、プラズマ処理ではなく、酸化性のガスを用いたガス処理、あるいは

、所定の温度で加熱を行う加熱処理（アニール処理）を酸化性処理として実施してもよい。

[0256] また、例えば、第１酸化膜１５１の成膜前に、適切な条件で酸化性処理を行ってもよい。具体的には、酸化物半導体層１４０を成膜した後、第１酸化膜１５１を成膜する前に、熱処理、プラズマ処理又はこれらの組み合わせを行ってもよい。

[0257] 例えば、熱処理は、温度が３００℃～３５０℃で、約１時間以内のドライエアによるアニール処理である。また、プラズマ処理は、亜酸化窒素ガスを用いて、上述した「N_2Oプラズマ処理条件」と同一の条件で行う。このとき、プラズマ処理の基板温度は、例えば、第１酸化膜１５１の成膜温度と同じであり、プラズマ処理時間は、例えば、３０秒以内である。

[0258] これにより、酸化物半導体層１４０内の酸素欠陥を低減し、かつ、酸化物半導体層１４０の表面の不純物を除去することができる。

[0259] また、例えば、上記の実施の形態では、第１酸化膜１５１と第２酸化膜１５２とがともにシリコン酸化膜から構成される例について示したが、これに限らない。例えば、第１酸化膜１５１と第２酸化膜１５２とは、異なる酸化膜から構成されてもよい。例えば、第１酸化膜１５１が酸化アルミニウム膜から構成され、第２酸化膜１５２がシリコン酸化膜から構成されてもよい。

[0260] また、例えば、上記の実施の形態では、チャネル保護層１５０が第１酸化膜１５１と第２酸化膜１５２とを含む２層構造である例について示したが、これに限らない。チャネル保護層１５０は、３層以上の酸化膜を含んでもよい。具体的には、第２酸化膜１５２上に第３酸化膜が積層されてもよい。

[0261] また、例えば、上記の実施の形態では、薄膜トランジスタ１００を用いた表示装置として有機ＥＬ表示装置１０について説明したが、上記実施の形態における薄膜トランジスタ１００は、液晶表示装置など、アクティブマトリクス基板が用いられる他の表示装置にも適用することができる。

[0262] また、上述した有機ＥＬ表示装置１０などの表示装置（表示パネル）については、フラットパネルディスプレイとして利用することができ、テレビジ

ョンセット、パーソナルコンピュータ、携帯電話など、表示パネルを有するあらゆる電子機器に適用することができる。特に、大画面及び高精細の表示装置に適している。

[0263] 以上のように、本開示における技術の例示として、実施の形態を説明した。そのために、添付図面及び詳細な説明を提供した。

[0264] したがって、添付図面及び詳細な説明に記載された構成要素の中には、課題解決のために必須な構成要素だけでなく、上記技術を例示するために、課題解決のためには必須でない構成要素も含まれ得る。そのため、それらの必須ではない構成要素が添付図面や詳細な説明に記載されていることをもって、直ちに、それらの必須ではない構成要素が必須であるとの認定をするべきではない。

[0265] また、上述の実施の形態は、本開示における技術を例示するためのものであるから、請求の範囲又はその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

産業上の利用可能性

[0266] 本開示に係る薄膜トランジスタ基板及びその製造方法は、例えば、有機ＥＬ表示装置などの表示装置及びその製造方法などに利用することができる。

符号の説明

[0267] １０　有機ＥＬ表示装置

２０　ＴＦＴ基板

２１　バンク

３０　画素

３０Ｂ、３０Ｇ、３０Ｒ　サブ画素

３１　画素回路

３２、３３、１００、４００　薄膜トランジスタ

３２ｄ、３３ｄ、１６０ｄ、４６０ｄ　ドレイン電極

３２ｇ、３３ｇ、１２０、４２０　ゲート電極

３２ｓ、３３ｓ、１６０ｓ、４６０ｓ　ソース電極

３４　キャパシタ

４０　有機ＥＬ素子

４１　陽極

４２　ＥＬ層

４３　陰極

５０　ゲート配線

６０　ソース配線

７０　電源配線

１１０、２１０、４１０　基板

１３０、４３０　ゲート絶縁層

１４０、２４０、４４０　酸化物半導体層

１５０　チャネル保護層

１５１、３５１、４３１　第１酸化膜

１５２、３５２、４３２　第２酸化膜

１７０、４７０　層間絶縁層

１７１　下部層間絶縁層

１７２　バリア層

１７３　上部層間絶縁層

１８０、４２１　上部電極

１９０、４９０　プラズマ

２００、３００　サンプル

２５０、３５０　絶縁層

４１５　バッファ層

請求の範囲

[請求項1] 基板の上方に酸化物半導体層を形成する工程と、

前記酸化物半導体層上に第１酸化膜を形成する工程と、

前記第１酸化膜を形成した後に、前記酸化物半導体層に対する酸化性処理を行う工程と、

前記酸化性処理を行った後に、前記第１酸化膜上に第２酸化膜を形成する工程とを含む

薄膜トランジスタ基板の製造方法。

[請求項2] 前記酸化性処理を行う工程では、前記第１酸化膜の成膜温度が高い程、長い時間で前記酸化性処理を行う

請求項１に記載の薄膜トランジスタ基板の製造方法。

[請求項3] 前記第１酸化膜の成膜温度は、２７０℃以上である

請求項１又は２に記載の薄膜トランジスタ基板の製造方法。

[請求項4] 前記酸化性処理を行う工程では、前記第１酸化膜の膜厚が大きい程、長い時間で酸化性処理を行う

請求項１～３のいずれか１項に記載の薄膜トランジスタ基板の製造方法。

[請求項5] 前記第１酸化膜の膜厚は、５ｎｍ以上４０ｎｍ以下である

請求項１～４のいずれか１項に記載の薄膜トランジスタ基板の製造方法。

[請求項6] 前記酸化性処理を行う工程では、前記第２酸化膜の成膜温度が高い程、長い時間で酸化性処理を行う

請求項１～５のいずれか１項に記載の薄膜トランジスタ基板の製造方法。

[請求項7] 前記第２酸化膜の成膜温度は、前記酸化性処理における温度と同一である

請求項１～６のいずれか１項に記載の薄膜トランジスタ基板の製造方法。

[請求項8] 前記酸化性処理は、プラズマ処理である

請求項１～７のいずれか１項に記載の薄膜トランジスタ基板の製造方法。

[請求項9] 前記酸化性処理を行う工程では、亜酸化窒素ガスを用いて５秒以上３００秒以下の時間でプラズマ処理を行う

請求項８に記載の薄膜トランジスタ基板の製造方法。

[請求項10] 前記第１酸化膜及び前記第２酸化膜は、シリコン酸化膜である

請求項１～９のいずれか１項に記載の薄膜トランジスタ基板の製造方法。

[請求項11] 前記酸化物半導体層は、透明アモルファス酸化物半導体である

請求項１～１０のいずれか１項に記載の薄膜トランジスタ基板の製造方法。

[請求項12] 前記酸化物半導体層は、ＩｎＧａＺｎＯである

請求項１～１１のいずれか１項に記載の薄膜トランジスタ基板の製造方法。

[請求項13] 請求項１～１２のいずれか１項に記載の薄膜トランジスタ基板の製造方法によって製造される薄膜トランジスタ基板であって、

積層方向における元素の濃度分布において、

フッ素元素の濃度分布では、前記第１酸化膜と前記第２酸化膜との境界近傍にピークが存在し、

酸化窒素の濃度分布では、前記境界近傍における濃度が前記第２酸化膜の中央近傍における濃度より高く、

水素元素の濃度分布では、前記境界近傍において不連続的に変化する

薄膜トランジスタ基板。

[請求項14] 基板と、

前記基板の上方に順に積層された酸化物半導体層、第１酸化膜及び第２酸化膜とを備え、

積層方向における元素の濃度分布において、

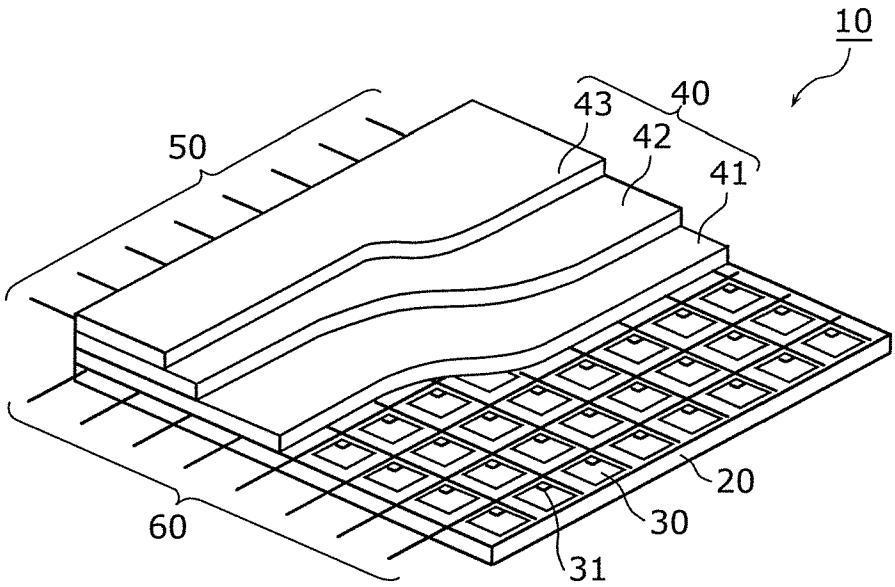
フッ素元素の濃度分布では、前記第１酸化膜と前記第２酸化膜との境界近傍にピークが存在し、

酸化窒素の濃度分布では、前記境界近傍における濃度が前記第２酸化膜の中央近傍における濃度より高く、

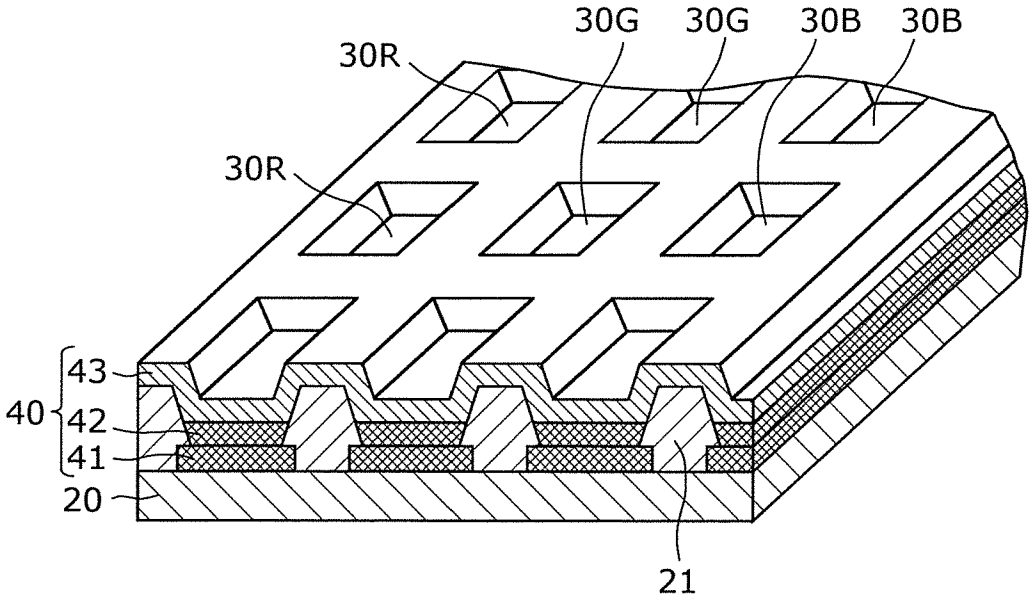
水素元素の濃度分布では、前記境界近傍において不連続的に変化する

薄膜トランジスタ基板。

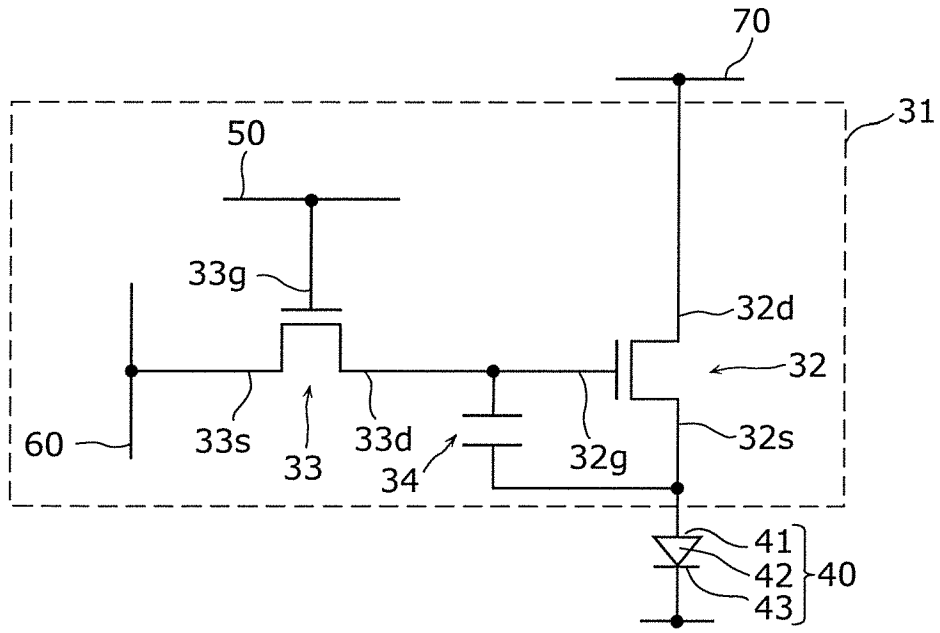
[図1]


10
40
43
42
41
50
20
30
60
31

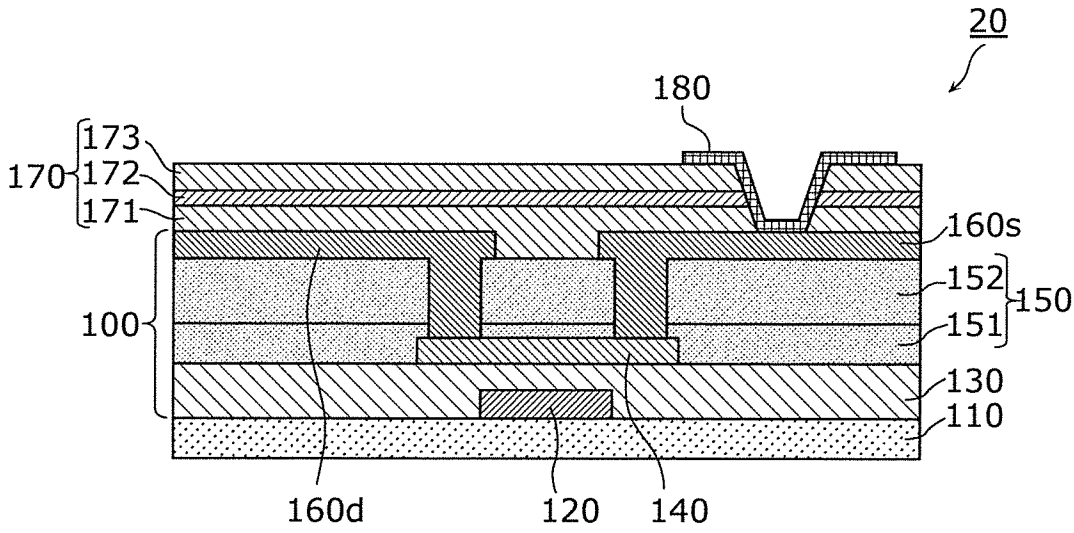
[図2]


30G
30G
30B
30B
30R
30R
43
40
42
41
20
21

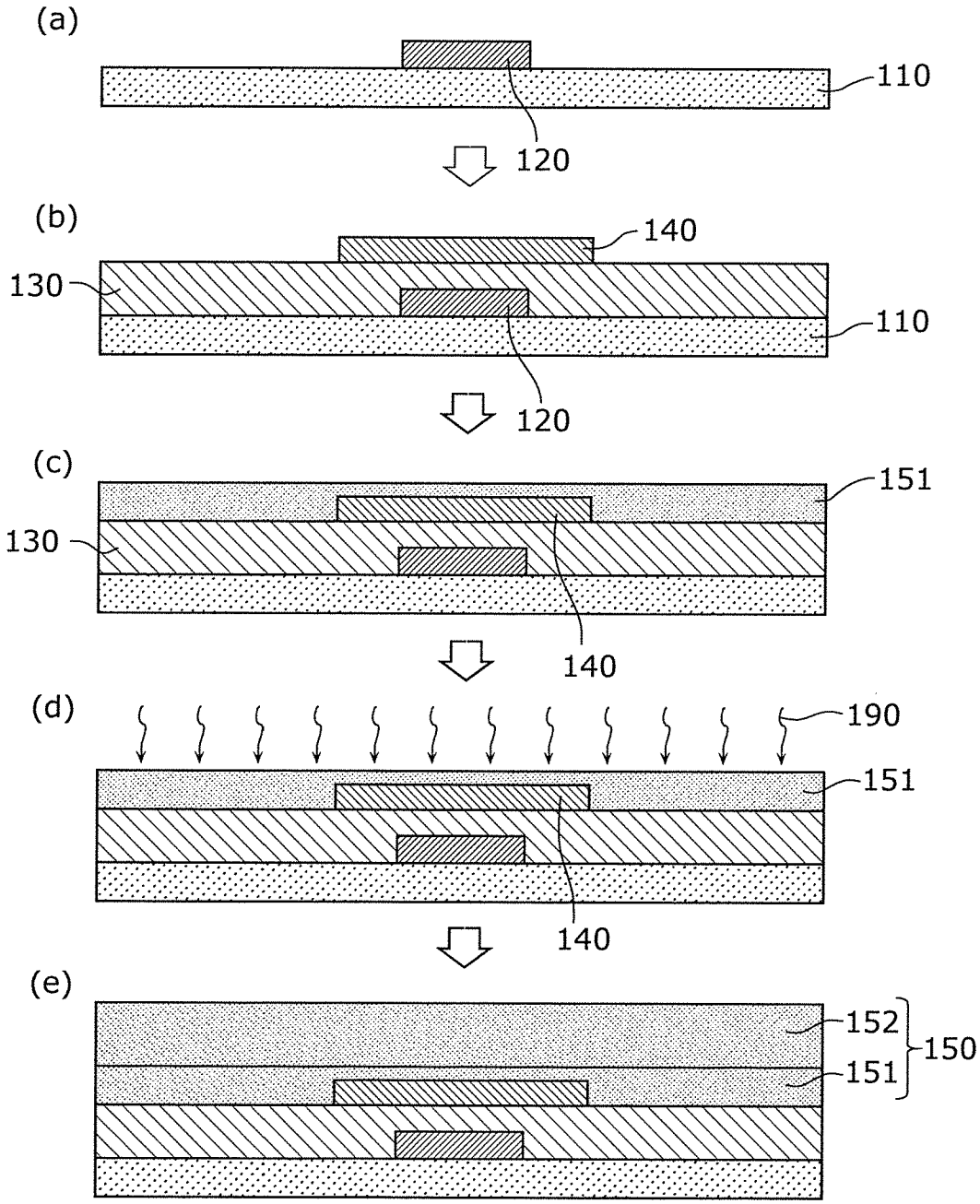
[図3]


70
31
50
33g
32d
32
60
33s
33
33d
34
32g
32s
41
42
43
40

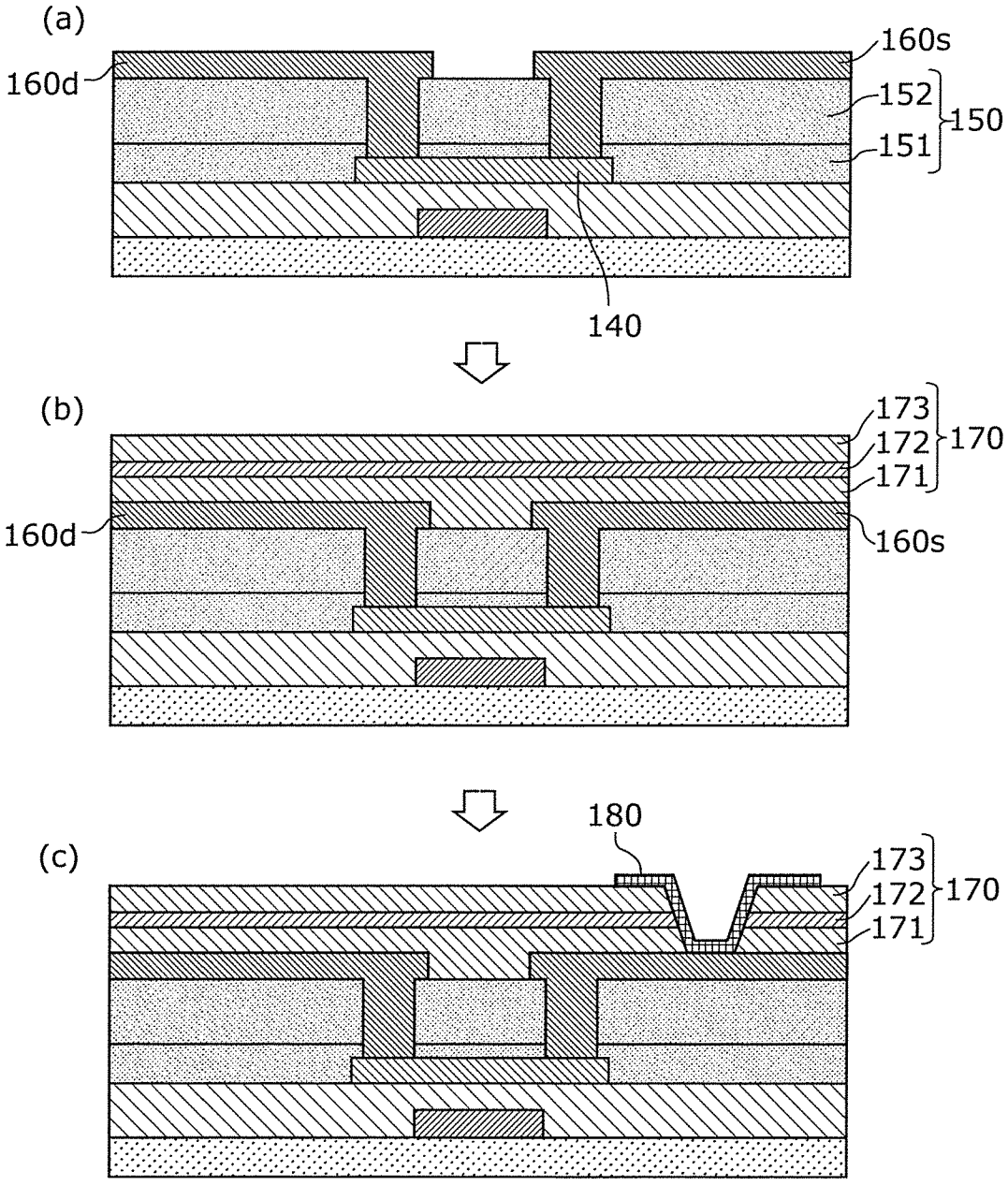
[図4]


20
180
173
170
172
171
160s
152
150
100
151
130
110
160d
120
140

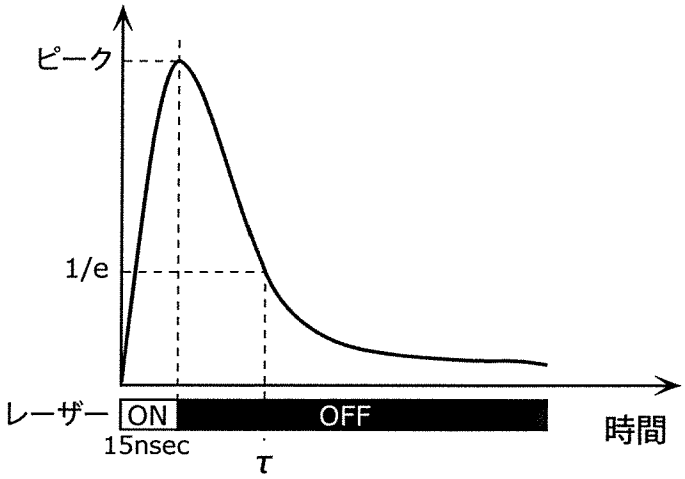
[図5A]


(a)
110
120
(b)
140
130
110
120
(c)
151
130
140
(d)
190
151
140
(e)
152
150
151

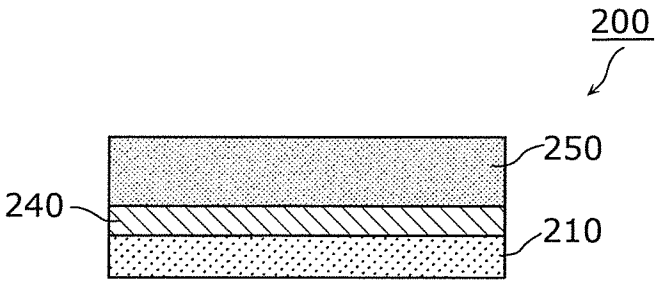
[図5B]


(a)
160d
160s
152
150
151
140
(b)
173
172
170
171
160d
160s
(c)
180
173
172
170
171

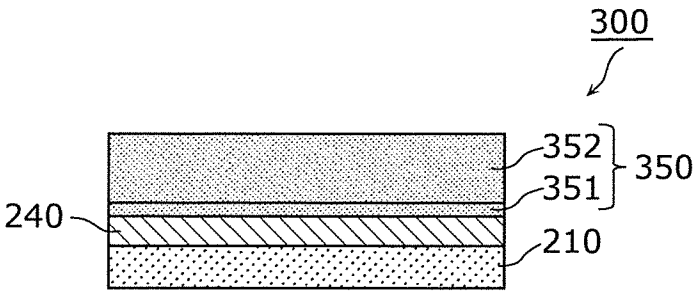
[図6]


ピーク
1/e
レーザー
ON
OFF
15nsec
τ
時間

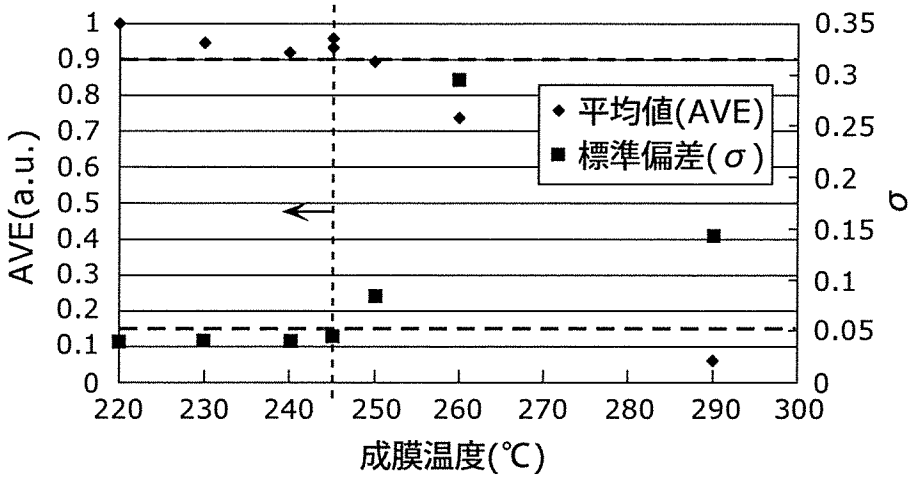
[図7A]


200
250
240
210

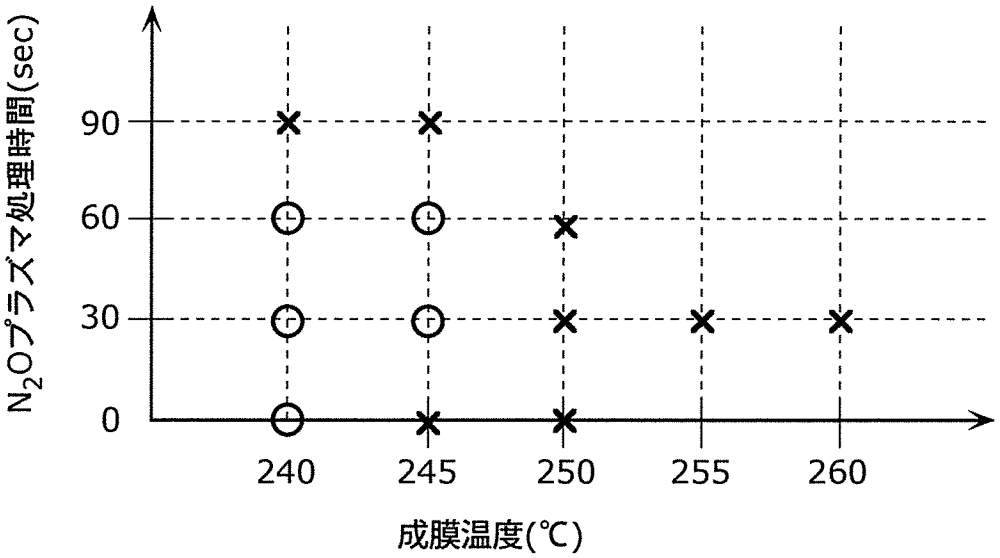
[図7B]


300
352
350
351
240
210

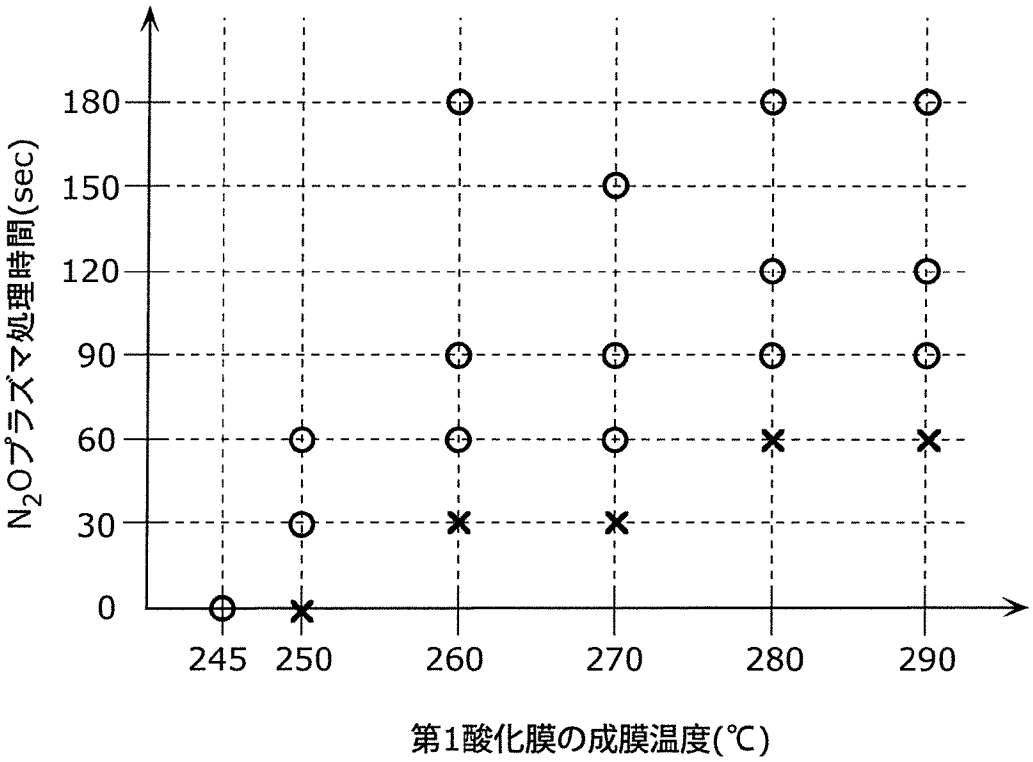
[図8]



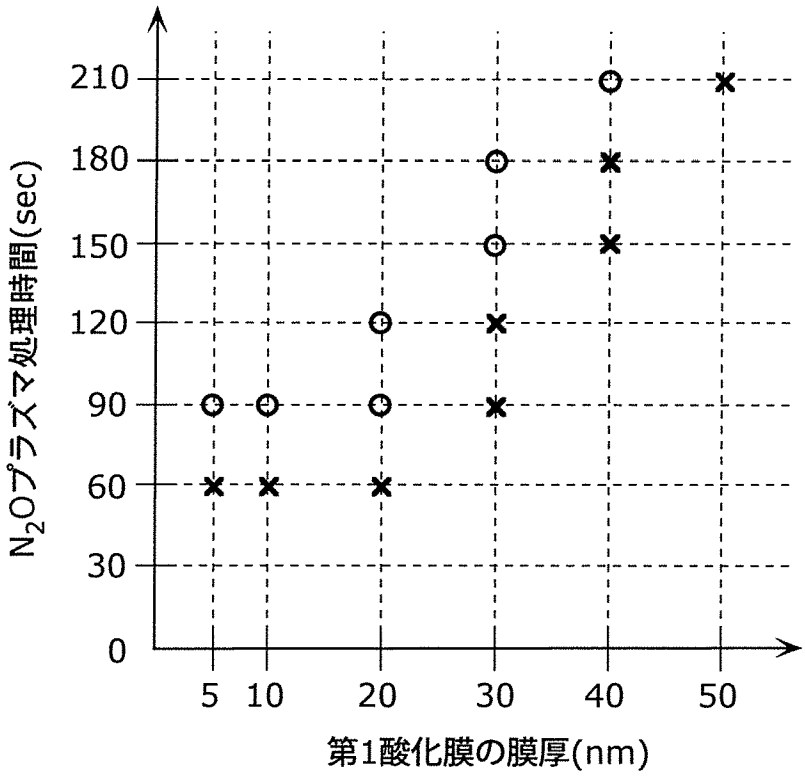
[図9]



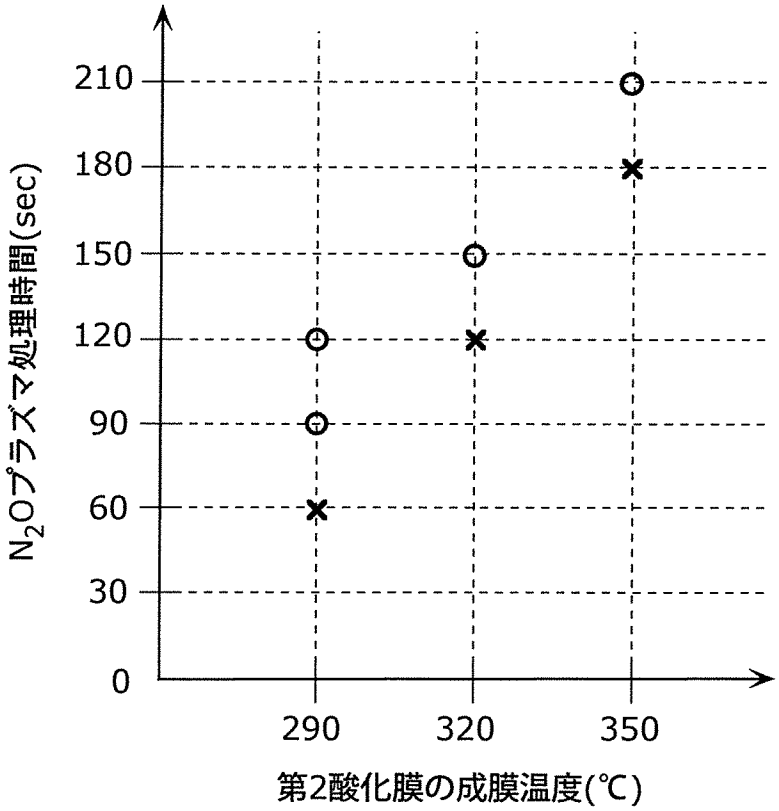
[図10]


180
150
120
90
60
30
0
N_2Oプラズマ処理時間(sec)
245
250
260
270
280
290
第1酸化膜の成膜温度(℃)

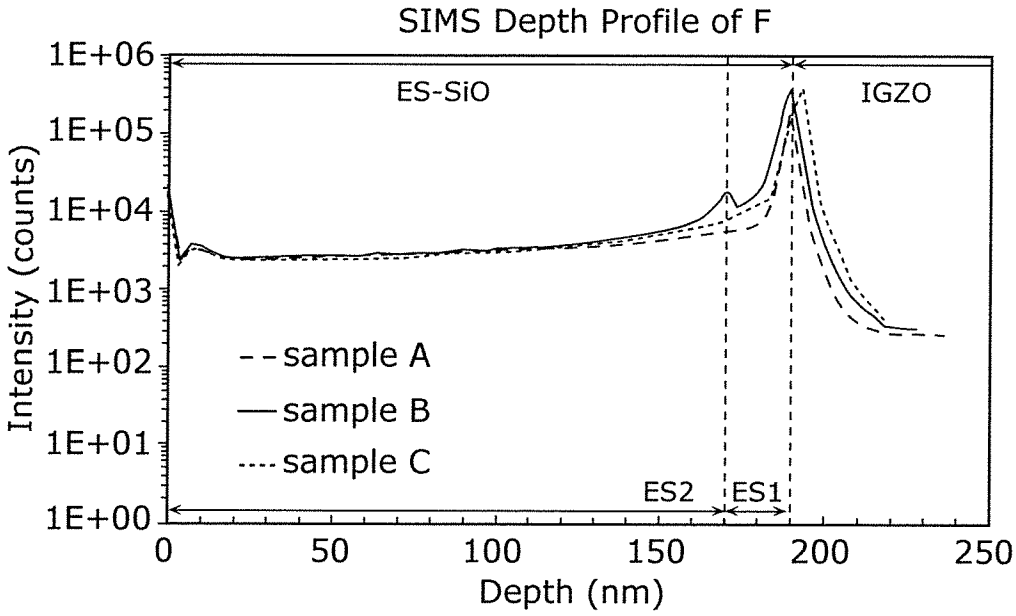
[図11]


210
180
150
120
90
60
30
0
N_2Oプラズマ処理時間(sec)
5
10
20
30
40
50
第1酸化膜の膜厚(nm)

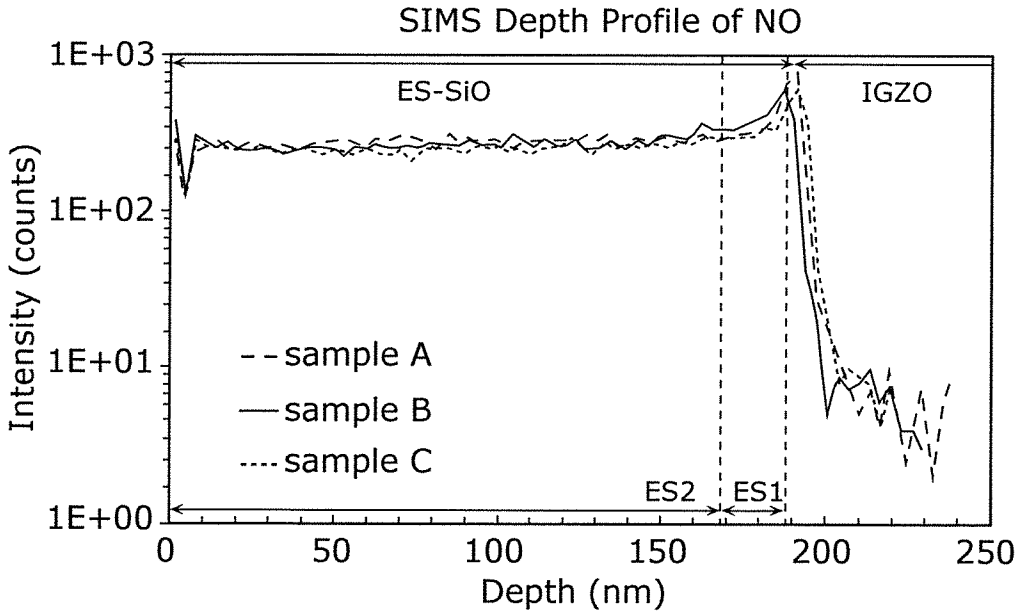
[図12]


210
180
150
120
90
60
30
0
N_2Oプラズマ処理時間(sec)
290
320
350
第2酸化膜の成膜温度(℃)

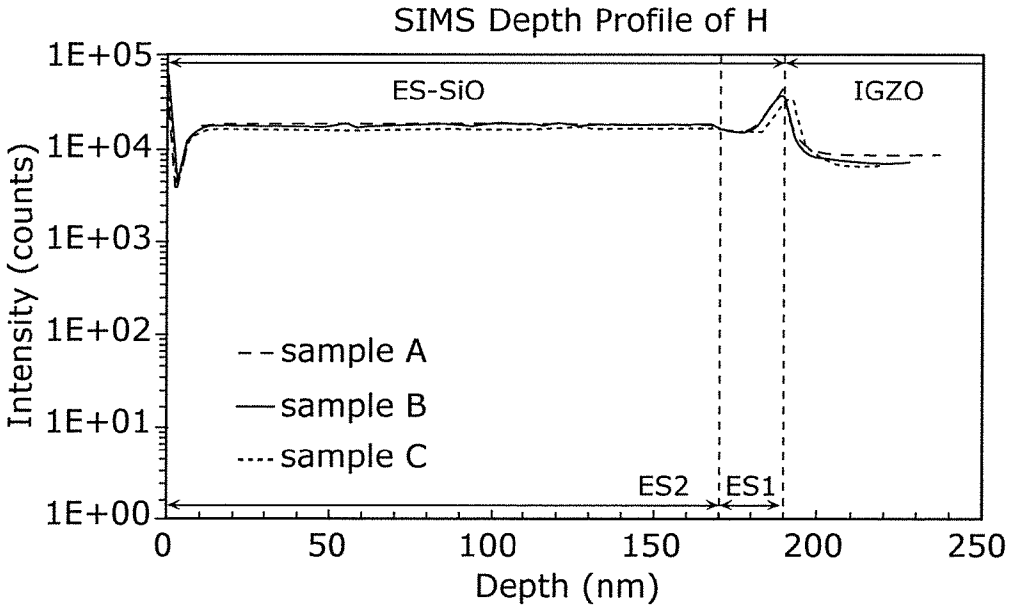
[図13A]


SIMS Depth Profile of F
ES-SiO
IGZO
Intensity (counts)
1E+06
1E+05
1E+04
1E+03
1E+02
1E+01
1E+00
sample A
sample B
sample C
ES2
ES1
0
50
100
150
200
250
Depth (nm)

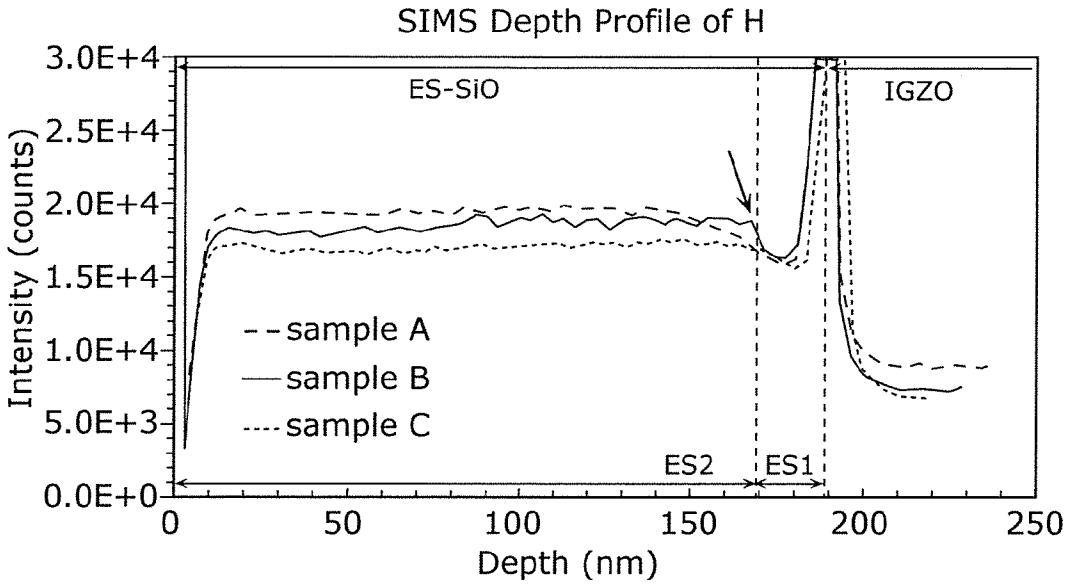
[図13B]


SIMS Depth Profile of NO
ES-SiO
IGZO
Intensity (counts)
1E+03
1E+02
1E+01
1E+00
sample A
sample B
sample C
ES2
ES1
0
50
100
150
200
250
Depth (nm)

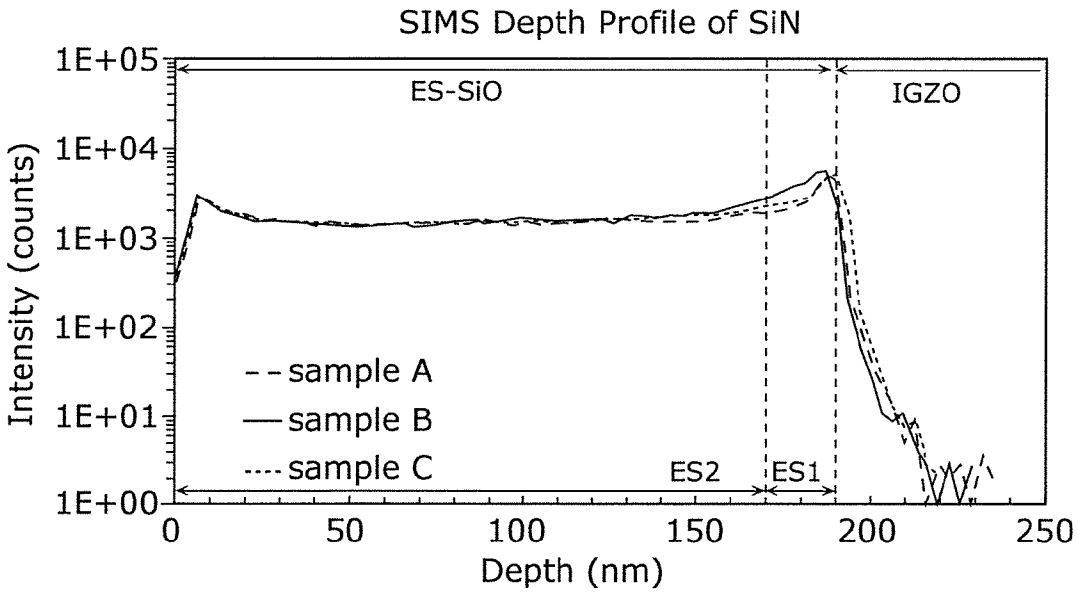
[図13C]


SIMS Depth Profile of H
1E+05
1E+04
1E+03
1E+02
1E+01
1E+00
Intensity (counts)
ES-SiO
IGZO
sample A
sample B
sample C
ES2
ES1
0
50
100
150
200
250
Depth (nm)

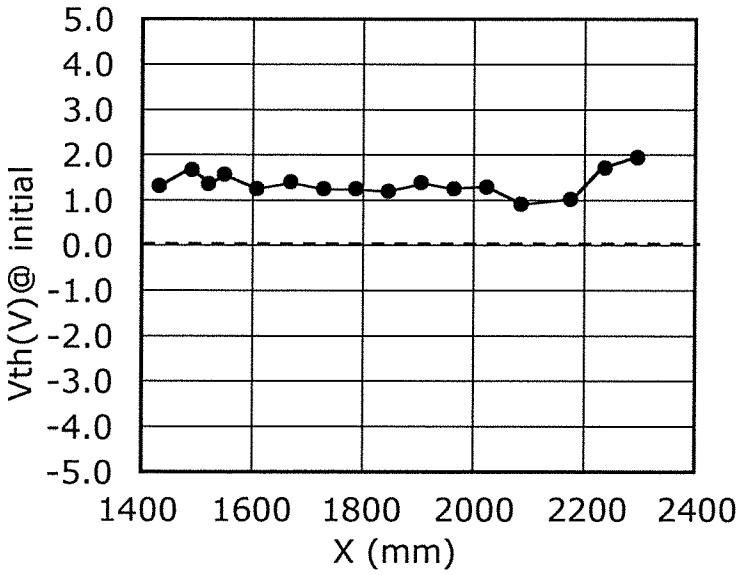
[図13D]


SIMS Depth Profile of H
3.0E+4
2.5E+4
2.0E+4
1.5E+4
1.0E+4
5.0E+3
0.0E+0
Intensity (counts)
ES-SiO
IGZO
sample A
sample B
sample C
ES2
ES1
0
50
100
150
200
250
Depth (nm)

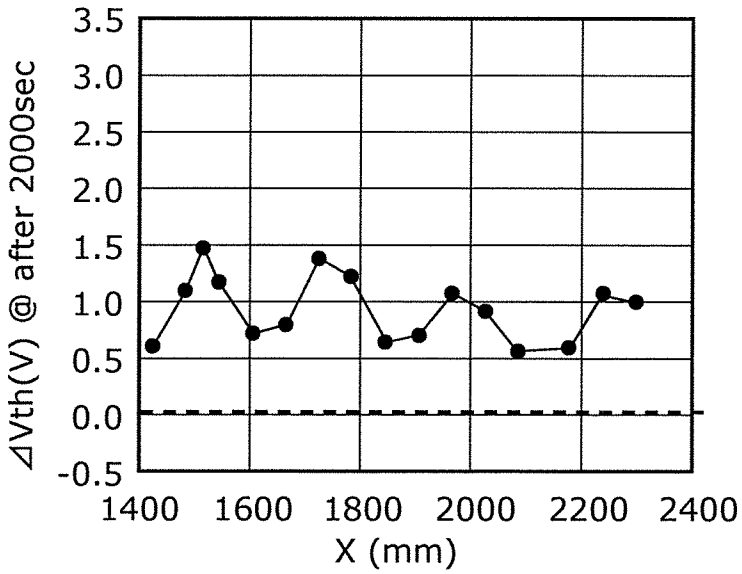
[図13E]


SIMS Depth Profile of SiN
1E+05
1E+04
1E+03
1E+02
1E+01
1E+00
Intensity (counts)
ES-SiO
IGZO
sample A
sample B
sample C
ES2
ES1
0
50
100
150
200
250
Depth (nm)

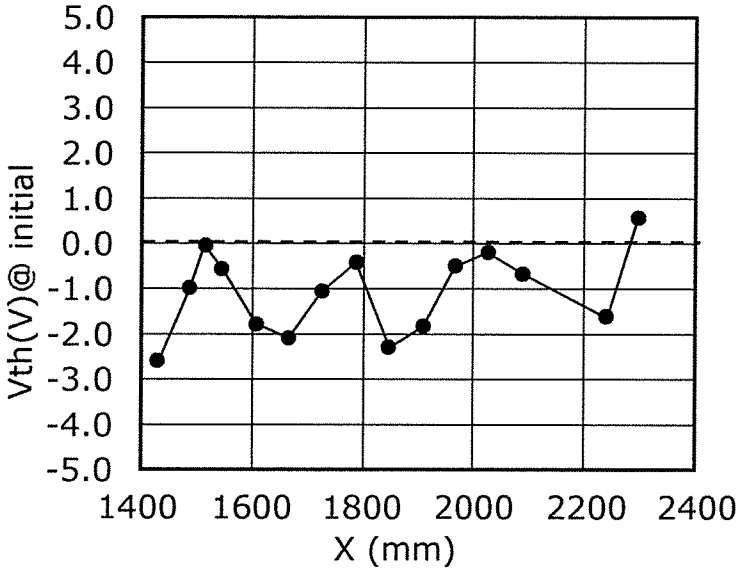
[図14A]


5.0
4.0
3.0
2.0
1.0
0.0
-1.0
-2.0
-3.0
-4.0
-5.0
Vth(V)@ initial
1400
1600
1800
2000
2200
2400
X (mm)

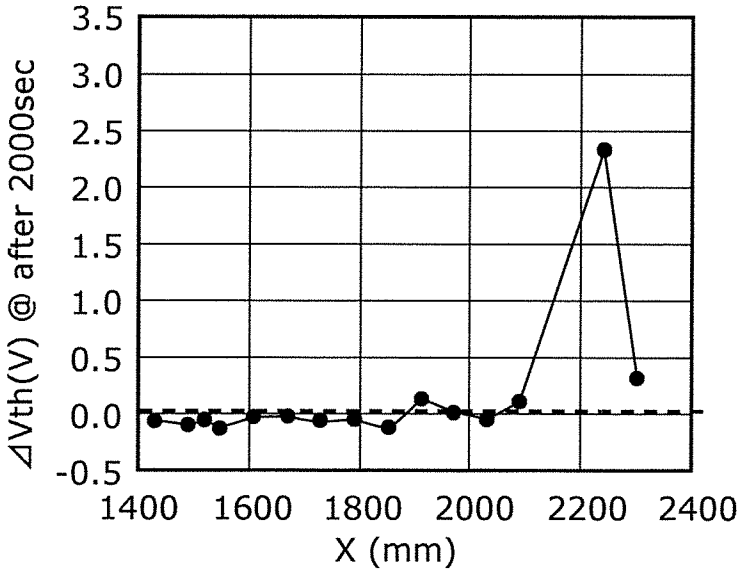
[図14B]


3.5
3.0
2.5
2.0
1.5
1.0
0.5
0.0
-0.5
⊿Vth(V) @ after 2000sec
1400
1600
1800
2000
2200
2400
X (mm)

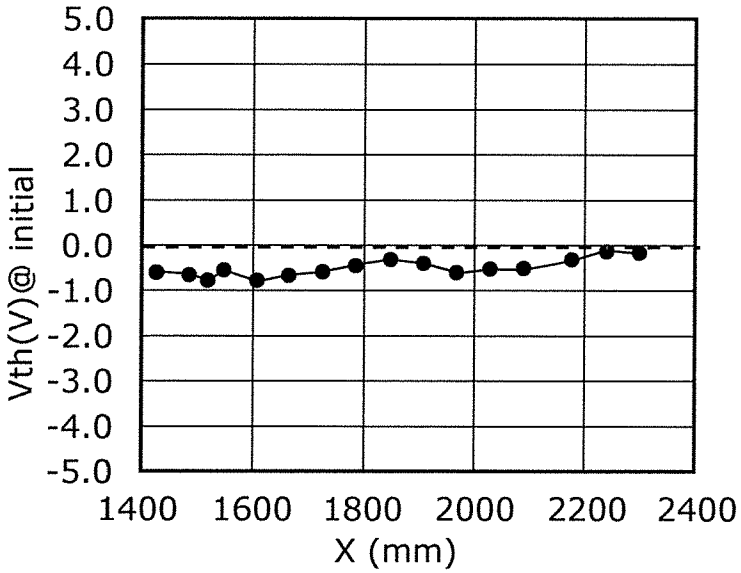
[図15A]


5.0
4.0
3.0
2.0
1.0
0.0
-1.0
-2.0
-3.0
-4.0
-5.0
Vth(V)@ initial
1400
1600
1800
2000
2200
2400
X (mm)

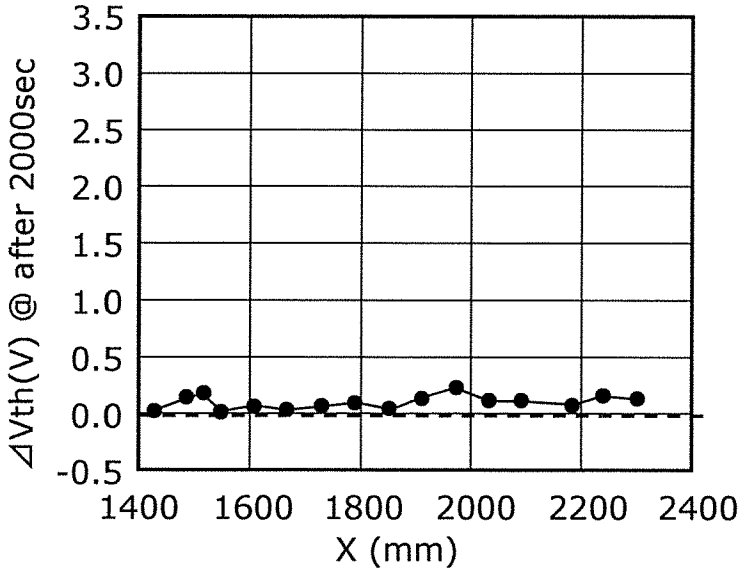
[図15B]


3.5
3.0
2.5
2.0
1.5
1.0
0.5
0.0
-0.5
⊿Vth(V) @ after 2000sec
1400
1600
1800
2000
2200
2400
X (mm)

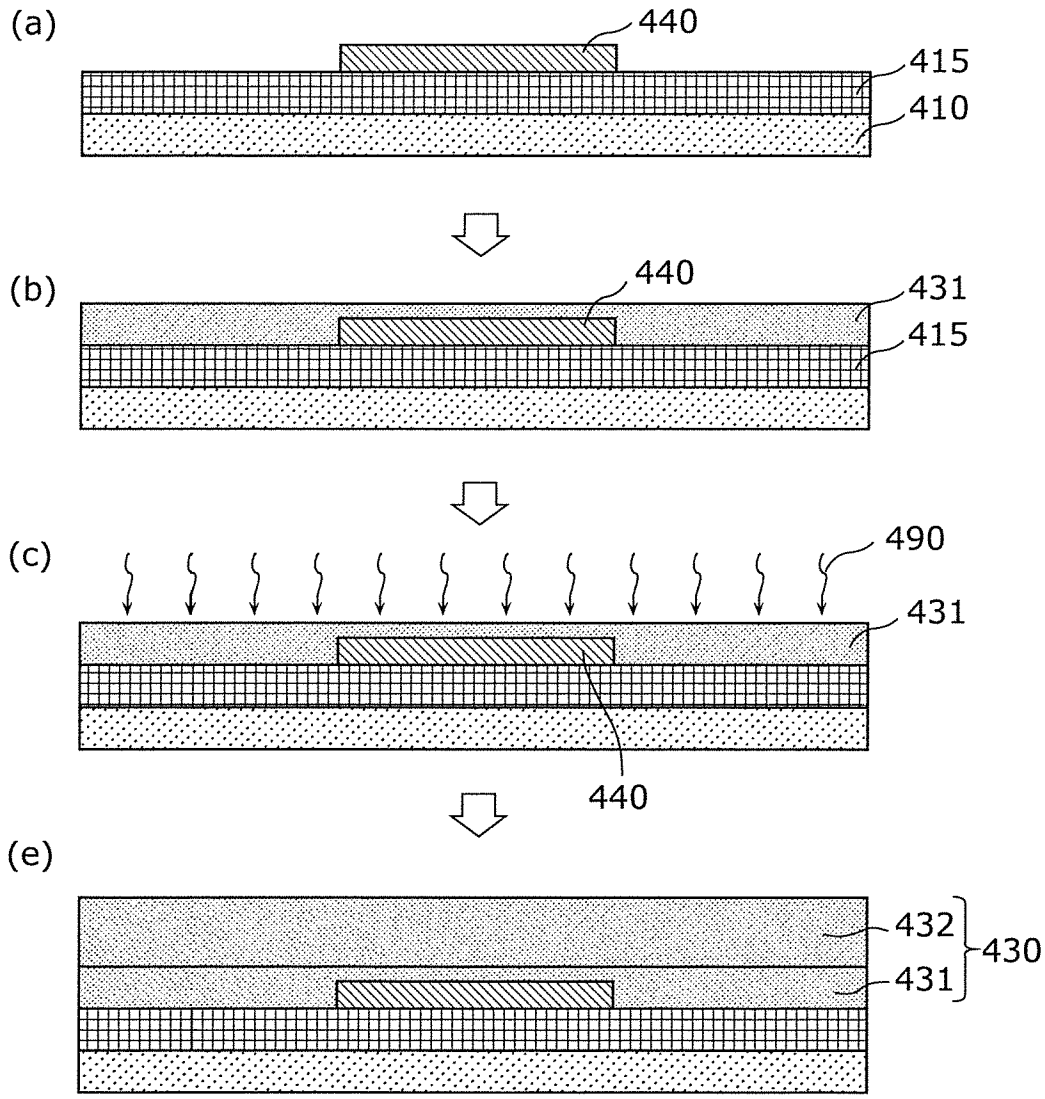
[図16A]


5.0
4.0
3.0
2.0
1.0
0.0
-1.0
-2.0
-3.0
-4.0
-5.0
Vth(V)@ initial
1400
1600
1800
2000
2200
2400
X (mm)

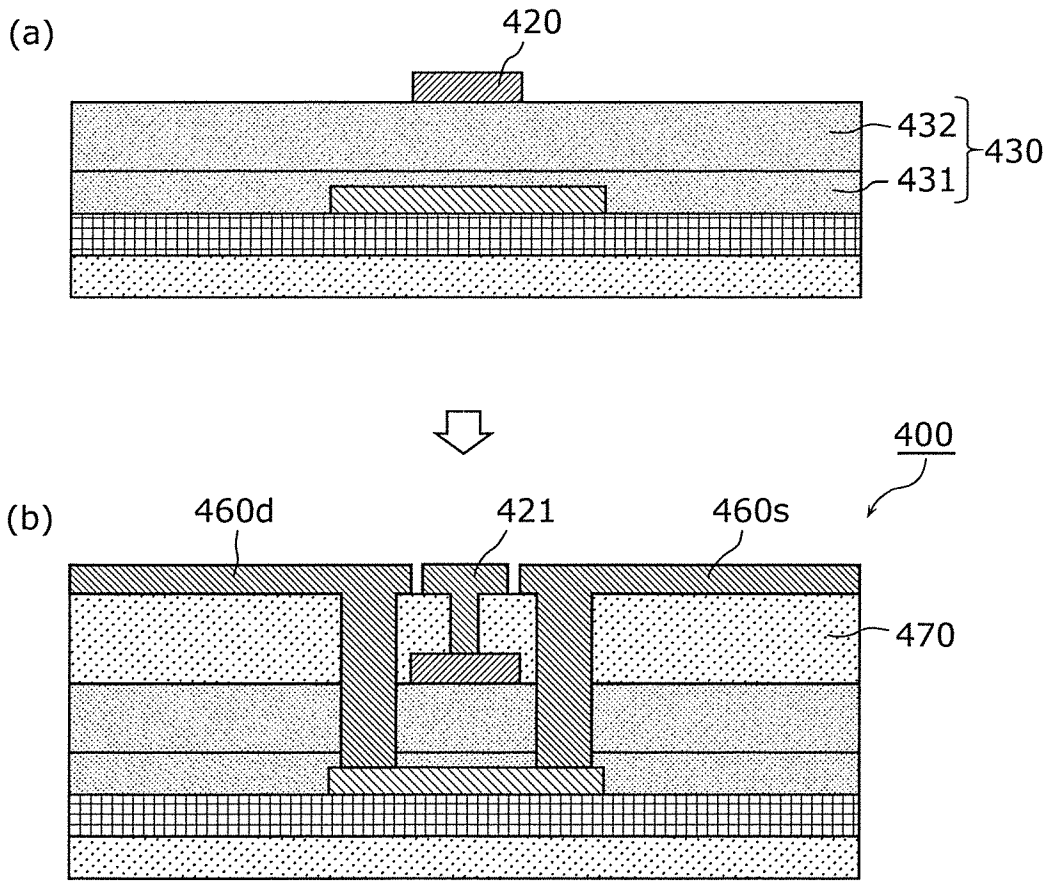
[図16B]


3.5
3.0
2.5
2.0
1.5
1.0
0.5
0.0
-0.5
⊿Vth(V) @ after 2000sec
1400
1600
1800
2000
2200
2400
X (mm)

[図17A]



[図17B]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/002131

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, *H01L29/786*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-175713 A (Semiconductor Energy Laboratory Co., Ltd.), 05 September 2013 (05.09.2013), paragraphs [0027] to [0165]; fig. 1 to 3 & US 2013/0187153 A1 & WO 2013/111756 A1 & TW 201349501 A & KR 10-2014-0116391 A	1,3,5,7-12 2,4,6,13,14
X A	JP 2013-201428 A (Semiconductor Energy Laboratory Co., Ltd.), 03 October 2013 (03.10.2013), paragraphs [0027] to [0107], [0287] to [0300]; fig. 1, 2, 10 (Family: none)	1,3,5,7-12 2,4,6,13,14

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 June 2015 (10.06.15)	23 June 2015 (23.06.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／００２１３１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X A	JP 2013-175713 A (株式会社半導体エネルギー研究所) 2013.09.05, 段落 0027-0165, 第 1-3 図 & US 2013/0187153 A1 & WO 2013/111756 A1 & TW 201349501 A & KR 10-2014-0116391 A	1,3,5,7-12 2,4,6,13,14
X A	JP 2013-201428 A (株式会社半導体エネルギー研究所) 2013.10.03, 段落 0027-0107, 0287-0300, 第 1,2,10 図 (ファミリーなし)	1,3,5,7-12 2,4,6,13,14

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１０．０６．２０１５	２３．０６．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　５３８２
岩本　勉
電話番号　０３－３５８１－１１０１　内線　３５１６