

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-156718

(P2012-156718A)

(43) 公開日 平成24年8月16日(2012.8.16)

(51) Int.Cl.	F I	テーマコード (参考)
HO3K 19/0175 (2006.01)	HO3K 19/00 1O1F	5G053
HO2J 7/00 (2006.01)	HO2J 7/00 S	5G503
HO1M 10/44 (2006.01)	HO1M 10/44 P	5H030
HO1M 10/48 (2006.01)	HO1M 10/44 1O1	5H040
HO1M 2/10 (2006.01)	HO1M 10/48 3O1	5J056

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2011-13326 (P2011-13326)
 (22) 出願日 平成23年1月25日 (2011.1.25)

(71) 出願人 000002325
 セイコーインスツル株式会社
 千葉県千葉市美浜区中瀬1丁目8番地
 (74) 代理人 100154863
 弁理士 久原 健太郎
 (74) 代理人 100142837
 弁理士 内野 則彰
 (74) 代理人 100123685
 弁理士 木村 信行
 (72) 発明者 三谷 正宏
 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
 (72) 発明者 平岡 直洋
 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
 最終頁に続く

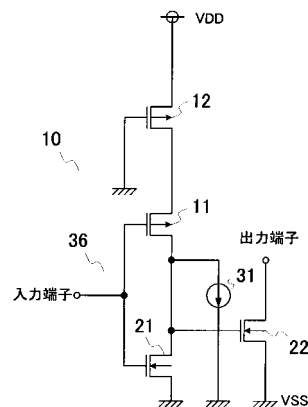
(54) 【発明の名称】 出力回路、温度スイッチIC、及び、電池パック

(57) 【要約】

【課題】電源電圧が動作電圧以下でも出力が不定にならず、かつ面積の小さい出力回路を提供する。

【解決手段】インバータ回路の電源端子にスイッチ回路を設け、電源電圧が回路の動作電圧以下のとき、スイッチ回路がインバータ回路の動作を停止させる。そして、インバータ回路の出力端子に電流源を設け、インバータ回路の動作が停止したときに出力を電源電圧に固定する、ように構成した。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

オープンドレイン出力の出力回路であって、
 前記出力回路の入力端子に接続されたインバータ回路と、
 ゲートが前記インバータ回路の出力端子に接続され、ドレインが前記出力回路の出力端子に接続され、ソースが第 1 電源端子に接続された出力 MOS トランジスタと、
 前記インバータ回路と第 2 電源端子の間に設けられたスイッチ回路と、
 前記出力 MOS トランジスタのゲートと前記第 1 電源端子との間に設けられた電流源と、
 を備え、
 前記スイッチ回路は、電源電圧が前記出力回路の最低動作電圧よりも低いとオフすることを特徴とする出力回路。

10

【請求項 2】

前記スイッチ回路は、ゲートが第 1 電源端子に接続された MOS トランジスタで構成され、
 前記 MOS トランジスタの閾値電圧の絶対値は前記最低動作電圧である、ことを特徴とする請求項 1 記載の出力回路。

【請求項 3】

前記スイッチ回路は、更に第 1 電源端子と第 2 電源端子の間に直列に接続させた第 2 の電流源と第 2 の MOS トランジスタとを備え、
 前記第 2 の電流源と前記第 2 の MOS トランジスタとの接続ノードが前記 MOS トランジスタのゲートに接続され、前記 MOS トランジスタと前記第 2 の MOS トランジスタの閾値電圧の絶対値の合計電圧が前記最低動作電圧である、ことを特徴とする請求項 2 記載の出力回路。

20

【請求項 4】

温度に基づいた温度電圧を生成する温度電圧生成回路と、
 異常温度に対応した基準電圧を生成する基準電圧生成回路と、
 前記温度電圧と前記基準電圧とを比較し、比較結果により、出力電圧を反転させるコンパレータと、
 前記コンパレータの出力端子に接続される、請求項 1 から 3 のいずれか記載の出力回路と、
 を備えることを特徴とする温度スイッチ IC。

30

【請求項 5】

電池と前記電池の充放電を制御する電池保護 IC を備えた電池パックであって、
 前記電池の充放電経路に設けられる充電制御用 FET と、
 異常温度を検出する請求項 4 記載の温度スイッチ IC と、
 を備え
 前記温度スイッチ IC が異常温度を検出すると、前記充電制御用 FET をオフすることを特徴とする電池パック。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、片側の出力がハイインピーダンスである出力回路に関し、特に電源電圧が低い時に安定して動作する出力回路に関する。また、その出力回路を備えた温度スイッチ IC、及び電池パックに関する。

40

【背景技術】

【0002】

従来は出力回路について説明する。図 7 は、従来は出力回路を示す回路図である。

従来は出力回路は、入力端子に接続されたインバータ 97 と、出力ドライバである NMOS トランジスタ 93 と、電源と接地の間に設けられたダイオード接続された NMOS トランジスタ 95 及び容量 96 と、それらによって制御される NMOS トランジスタ 94 と、
 を備える。

【0003】

50

回路に電源が投入されると、電源電圧 V_{DD} は徐々に高くなる。NMOSトランジスタ95は、電源電圧 V_{DD} が閾値電圧 V_{thn95} よりも低い間は、非導通である。NMOSトランジスタ94は、容量96により、ゲート電圧が接地電圧 V_{SS} になるのでオフする。よって、出力回路の出力端子はハイインピーダンス状態である。従って、電源投入時などの電源電圧 V_{DD} が回路の最低動作電圧よりも低い場合、出力回路の出力端子は必ずハイインピーダンス状態に確定される。

【0004】

電源電圧 V_{DD} がNMOSトランジスタ95の閾値電圧 V_{thn95} よりも高くなると、NMOSトランジスタ95は導通する。容量96は、NMOSトランジスタ95の流す電流によって充電される。NMOSトランジスタ94は、ゲート電圧が徐々に高くなり、閾値電圧よりも高くなるとオンする。NMOSトランジスタ94がオンすると、NMOSトランジスタ93は、機能が有効になり、インバータ97の出力を出力端子に伝える。出力回路の入力端子の電圧がローレベルの場合は、NMOSトランジスタ93はオンし、出力端子の出力電圧 V_{OUT} は接地電圧 V_{SS} になる。また、出力回路の入力端子の電圧がハイレベルの場合は、NMOSトランジスタ93はオフし、出力端子の出力電圧 V_{OUT} はハイインピーダンス状態になる（例えば、特許文献1参照）。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平06-095668号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0006】

従来の出力回路は、NMOSトランジスタ93と直列にNMOSトランジスタ94が設けられている。出力ドライバであるNMOSトランジスタ93は、ドライブ能力が要求されるので、大きいサイズのNMOSトランジスタが用いられる。従って、NMOSトランジスタ94は、NMOSトランジスタ93と同等以上のドライブ能力が要求される。従来の出力回路は、NMOSトランジスタ94はサイズが大きいので、出力回路の面積が大きくなってしまふ、という課題があった。

30

【0007】

本発明の出力回路は、上記課題に鑑みてなされ、面積の小さい出力回路を提供する。

【課題を解決するための手段】

【0008】

本発明は、上記課題を解決するため、オープンドレイン出力の出力回路であって、前記出力回路の入力端子に接続されたインバータ回路と、ゲートが前記インバータ回路の出力端子に接続され、ドレインが前記出力回路の出力端子に接続され、ソースが第1電源端子に接続された出力MOSトランジスタと、前記インバータ回路と第2電源端子の間に設けられたスイッチ回路と、前記出力MOSトランジスタのゲートと前記第1電源端子との間に設けられた電流源と、を備え、前記スイッチ回路は、電源電圧が前記出力回路の最低動作電圧よりも低いとオフすることを特徴とする出力回路を提供する。

40

【発明の効果】

【0009】

本発明の出力回路は、電源電圧が回路の動作電圧以下のとき、インバータの動作を停止させ、出力ドライバのゲートを制御してオフする、ように構成した。従って、出力ドライバのソースと電源の間にサイズの大きいMOSトランジスタを必要としないので、電源電圧が動作電圧以下でも出力が不定にならず、かつ面積の小さい出力回路を提供することができる。

【図面の簡単な説明】

【0010】

【図1】本実施形態の出力回路を示す回路図である。

50

【図 2】本実施形態の出力回路の他の例を示す回路図である。

【図 3】本実施形態の出力回路の他の例を示す回路図である。

【図 4】電池パックを示すブロック図である。

【図 5】電池保護 IC を示すブロック図である。

【図 6】温度スイッチ IC を示すブロック図である。

【図 7】従来 of 出力回路を示す回路図である。

【発明を実施するための形態】

【0011】

以下、本発明の実施形態を、図面を参照して説明する。

図 1 は、本実施形態の出力回路を示す回路図である。

10

出力回路 10 は、PMOS トランジスタ 11 及び 12 と、NMOS トランジスタ 21 及び 22 と、電流源 31 を備える。

【0012】

PMOS トランジスタ 11 は、ゲートが出力回路 10 の入力端子に接続され、ソースが PMOS トランジスタ 12 のドレインに接続され、ドレインが NMOS トランジスタ 22 のゲートに接続される。NMOS トランジスタ 21 は、ゲートが出力回路の入力端子に接続され、ソースが接地端子（接地電圧側の電源供給端子）に接続され、ドレインが NMOS トランジスタ 22 のゲートに接続される。PMOS トランジスタ 12 は、ゲートが接地端子に接続され、ソースが電源端子（電源電圧側の電源供給端子）に接続される。PMOS トランジスタ 12 は、PMOS トランジスタ 11 及び NMOS トランジスタ 21 で構成

20

【0013】

電流源 31 は、PMOS トランジスタ 11 のドレインと接地端子との間に設けられる。NMOS トランジスタ 22 は、ソースが接地端子に接続され、ドレインが出力回路 10 の出力端子に接続される。NMOS トランジスタ 22 は、オープンドレイン形式の出力ドライバである。

【0014】

ここで、PMOS トランジスタ 12 の閾値電圧の絶対値 $|V_{thp12}|$ は、PMOS トランジスタ 11 の閾値電圧の絶対値 $|V_{thp11}|$ よりも高く、出力回路 10 の最低動作電源電圧である。電源電圧 V_{DD} が最低動作電源電圧よりも低いと、PMOS トランジスタ 12 はオフして電源電圧 V_{DD} をインバータ 36 に供給しない。また、電流源 31 は NMOS トランジスタ 22 をオフさせる。

30

【0015】

次に、出力回路 10 の動作について説明する。

電源が投入され、電源電圧 V_{DD} が高くなる。この時、電源電圧 V_{DD} が PMOS トランジスタ 12 の閾値電圧の絶対値 $|V_{thp12}|$ よりも低いと、PMOS トランジスタ 12 はオフする。すると、電源電圧 V_{DD} は、インバータ 36 に供給されない。よって、このインバータ 36 の出力端子が電流源 31 によってプルダウンされるので、インバータ 36 の出力電圧は接地電圧 V_{SS} である。出力ドライバである NMOS トランジスタ 22 は、ゲート電圧が接地電圧 V_{SS} になるのでオフし、出力回路 10 の出力端子はハイインピーダンス状態になる。従って、出力回路 10 の出力端子は、それを入力端子に接続する後段の回路の電源電圧にプルアップされるので、後段の回路は誤動作しない。

40

【0016】

電源電圧 V_{DD} が PMOS トランジスタ 12 の閾値電圧の絶対値 $|V_{thp12}|$ よりも高くなると、PMOS トランジスタ 12 はオンする。すると、電源電圧 V_{DD} は、インバータ 36 に供給される。

【0017】

ここで、出力回路 10 の入力端子の電圧がローレベルであると、インバータ 36 により、NMOS トランジスタ 22 のゲート電圧はハイレベルになり、NMOS トランジスタ 22 はオンし、出力電圧 V_{OUT} は接地電圧 V_{SS} になる。なお、電流源 31 の駆動能力は

50

、PMOSトランジスタ11の駆動能力よりも低く設計されている。

【0018】

また、出力回路10の入力端子の電圧がハイレベルであると、インバータ36により、NMOSトランジスタ22のゲート電圧はローレベルになり、NMOSトランジスタ22はオフし、出力回路10の出力端子はハイインピーダンス状態になる。

【0019】

本実施形態の出力回路によれば、電源電圧が回路の動作電圧以下のとき、インバータの動作を停止させ、出力ドライバのゲートを電流源によってオフするように構成したので、出力ドライバと電源間にサイズの大きいMOSトランジスタを必要としない。従って、出力回路10の面積を小さくすることが出来る。

10

【0020】

また、電源投入時などの電源電圧VDDが出力回路10の最低動作電源電圧よりも低い場合、出力電圧VOUTは必ずハイインピーダンスになるので、後段の回路が誤動作しない。

【0021】

図2は、本実施形態の出力回路の他の例を示す回路図である。図2の出力回路10は、更に、電流源32とPMOSトランジスタ13を備えている。

【0022】

PMOSトランジスタ13と電流源32は、電源端子と接地端子の間に直列に接続される。PMOSトランジスタ13は、ゲート及びドレインが接地端子に接続される。電流源32とPMOSトランジスタ13のソースとの接続点は、PMOSトランジスタ12のゲートと接続される。

20

【0023】

このような構成にすると、出力回路10の最低動作電源電圧は、電流源32及び2個のPMOSトランジスタ12～13で設定される。即ち、電源電圧VDDが2個のPMOSトランジスタ12及び13の閾値電圧の絶対値の合計電圧よりも高くなると、PMOSトランジスタ12はオンし、電源電圧VDDがインバータ36に供給される。

【0024】

なお、図2の出力では、PMOSトランジスタ12のゲートと接地端子との間に、ダイオード接続されるPMOSトランジスタ13が設けられているが、ダイオード接続されるNMOSトランジスタが設けられても良い。

30

【0025】

図3は、本実施形態の出力回路の他の例を示す回路図である。図3に示すように、NMOSトランジスタ22のゲートは、PMOSトランジスタ11のドレインに抵抗33を介して接続されてもよい。

【0026】

このような構成にすると、抵抗33とNMOSトランジスタ22のゲート・ソース間容量によってローパスフィルタが構成されるので、サージによるNMOSトランジスタ22の誤動作が少なくなる。なお、抵抗33とNMOSトランジスタ21のドレインとの接続点に接続されても良い。

40

【0027】

なお、図1の出力回路において、インバータ36へ電源電圧VDDの供給を制御するためのNMOSトランジスタが、インバータ36と接地端子との間に設けられても良い。また、図1では、オープンドレイン形式のNMOSトランジスタ22が使用され、電源電圧VDDが出力回路10の最低動作電源電圧よりも低い場合、出力電圧VOUTは電源電圧VDDになる。しかし、図示しないが、オープンドレイン形式のPMOSトランジスタが使用され、電源電圧VDDが出力回路10の最低動作電源電圧よりも低い場合、出力電圧VOUTは接地電圧VSSになるようにしても良い。この時、インバータ36への電源電圧VDDの供給を制御するためのNMOSトランジスタのゲートは、電源端子に接続され、ソースは、接地端子に接続され、ドレインは、NMOSトランジスタ21のソースに接

50

続される。オーブンドレイン形式のPMOSトランジスタのゲートは、インバータ36の出力端子に接続され、ソースは、電源端子に接続され、ドレインは、出力回路10の出力端子に接続される。電流源31は、電源端子とインバータ36の出力端子との間に設けられる。抵抗41は、出力回路10の出力端子と接地端子との間に設けられる。

【0028】

ここで、電源電圧VDDがNMOSトランジスタの閾値電圧 V_{thn} よりも高くなると、NMOSトランジスタはオンし、電源電圧VDDがインバータ36に供給される。

【0029】

また、電源電圧VDDがPMOSトランジスタ12の閾値電圧の絶対値 $|V_{thp12}|$ よりも低いと、PMOSトランジスタ12はオフする。すると、電源電圧VDDは、インバータ36に供給されない。よって、このインバータ36の出力端子は電流源31によってプルアップされるので、インバータ36の出力電圧は電源電圧VDDである。PMOSトランジスタはオフし、抵抗41により、出力回路10の出力端子はプルダウンされ、出力電圧VOUTは接地電圧VSSである。

10

【0030】

次に、出力回路10の適用例の1つについて説明する。まず、出力回路10を備える温度スイッチIC、及び、電池保護ICを備える電池パックの構成について説明する。ここで、温度スイッチICは、異常温度を検出する。電池保護ICは、電池を過充電・過放電から保護する。図4は、電池パックを示すブロック図である。図5は、電池保護ICを示すブロック図である。図6は、温度スイッチICを示すブロック図である。

20

【0031】

電池パック50は、図4に示すように、電池保護IC51、温度スイッチIC52、P型FET53~55、抵抗57、及び、電池58を備える。また、電池パック50は、外部端子EB+、及び、外部端子EB-を備える。

【0032】

電池保護IC51は、図5に示すように、基準電圧生成回路61~62、過充電検出コンパレータ64、及び、過放電検出コンパレータ63を備える。また、電池保護IC51は、電源端子、接地端子、充電制御端子CO、及び、放電制御端子DOを備える。

【0033】

温度スイッチIC52は、図6に示すように、温度電圧生成回路75、基準電圧生成回路71~72、高温検出コンパレータ73、低温検出コンパレータ74、NOR回路76、及び、出力回路10を備える。温度電圧生成回路75は、図示しないが、PNPバイポーラトランジスタ等によって構成される。また、温度スイッチIC52は、電源端子、接地端子、及び、出力端子DETを備える。

30

【0034】

電池保護IC51の電源端子は、電池58の正極端子に接続され、接地端子は、電池58の負極端子に接続され、放電制御端子DOは、P型FET53のゲートに接続され、充電制御端子COは、P型FET54のゲート及びP型FET55のドレインに接続される。温度スイッチIC52の電源端子は、電池58の正極端子に接続され、接地端子は、電池58の負極端子に接続され、出力端子DETは、P型FET55のゲートに接続される。

40

【0035】

抵抗57は、外部端子EB+と、出力端子DETとP型FET55のゲートとの接続点と、の間に設けられる。P型FET53のソース及びバックゲートは、電池58の正極端子に接続され、ドレインは、P型FET54のドレインに接続される。P型FET54のソース及びバックゲートは、外部端子EB+に接続される。P型FET55のソース及びバックゲートは、外部端子EB+に接続される。外部端子EB-は、電池58の負極端子に接続される。つまり、P型FET53~54は、電池58の充放電経路に直列に設けられる。

【0036】

50

基準電圧生成回路 6 1 ~ 6 2 と過充電検出コンパレータ 6 4 と過放電検出コンパレータ 6 3 とは、電源端子と接地端子との間に設けられる。過充電検出コンパレータ 6 4 の反転入力端子は、基準電圧生成回路 6 2 の出力端子に接続され、非反転入力端子は、電源端子に接続され、出力端子は、充電制御端子 C O に接続される。過放電検出コンパレータ 6 3 の反転入力端子は、電源端子に接続され、非反転入力端子は、基準電圧生成回路 6 1 の出力端子に接続され、出力端子は、放電制御端子 D O に接続される。

【 0 0 3 7 】

基準電圧生成回路 7 1 ~ 7 2 と高温検出コンパレータ 7 3 と低温検出コンパレータ 7 4 と温度電圧生成回路 7 5 と N O R 回路 7 6 と出力回路 1 0 とは、電源端子と接地端子との間に設けられる。高温検出コンパレータ 7 3 の非反転入力端子は、基準電圧生成回路 7 1 の出力端子に接続され、反転入力端子は、温度電圧生成回路 7 5 の出力端子に接続される。低温検出コンパレータ 7 4 の非反転入力端子は、温度電圧生成回路 7 5 の出力端子に接続され、反転入力端子は、基準電圧生成回路 7 2 の出力端子に接続される。N O R 回路 7 6 の第一入力端子は、高温検出コンパレータ 7 3 の出力端子に接続され、第二入力端子は、低温検出コンパレータ 7 4 の出力端子に接続され、出力端子は、出力回路 1 0 の入力端子に接続される。出力回路 1 0 の出力端子は、出力端子 D E T に接続される。

10

【 0 0 3 8 】

温度スイッチ I C 5 2 は、異常温度を検出すると、出力電流を流す。出力電流に基づき、抵抗 5 7 は電圧を発生する。P 型 F E T 5 5 は、抵抗 5 7 に発生する電圧により、オンする。すると、充電制御用の P 型 F E T 5 4 はオフし、充電が制御される。また、電池 5 8 が過充電状態になると、電池保護 I C 5 1 は P 型 F E T 5 4 がオフするよう動作する。電池 5 8 が過放電状態になると、放電制御用の P 型 F E T 5 3 がオフするよう動作する。

20

【 0 0 3 9 】

次に、電池パック 5 0 の動作について説明する。

[電池 5 8 が過充電状態である時の動作] 電池パック 5 0 に充電器 (図示せず) が接続される。基準電圧生成回路 6 2 は、電池 5 8 が過充電状態であることを示す過充電電圧に対応した基準電圧 V R E F 2 を生成する。過充電検出コンパレータ 6 4 は、電池 5 8 の電圧の分圧電圧と基準電圧 V R E F 2 とを比較し、比較結果により、出力電圧を反転させる。具体的には、電池 5 8 の電圧の分圧電圧が基準電圧 V R E F 2 以上になると、過充電検出コンパレータ 6 4 の出力電圧は反転してハイレベルになる。すると、P 型 F E T 5 4 は

30

【 0 0 4 0 】

[電池 5 8 が過放電状態である時の動作] 電池パック 5 0 に負荷 (図示せず) が接続される。基準電圧生成回路 6 1 は、電池 5 8 が過放電状態であることを示す過放電電圧に対応した基準電圧 V R E F 1 を生成する。過放電検出コンパレータ 6 3 は、電池 5 8 の電圧の分圧電圧と基準電圧 V R E F 1 とを比較し、比較結果により、出力電圧を反転させる。具体的には、電池 5 8 の電圧の分圧電圧が基準電圧 V R E F 1 以下になると、過放電検出コンパレータ 6 3 の出力電圧は反転してハイレベルになる。すると、P 型 F E T 5 3 はオフし、電池 5 8 からの放電が停止する。

40

【 0 0 4 1 】

[高温の異常温度時の動作] 温度電圧生成回路 7 5 は、温度に基づいた温度電圧 V T E M P を生成する。温度電圧生成回路 7 5 は、温度が高くなると温度電圧 V T E M P が低くなる特性を有する。基準電圧生成回路 7 1 は、検出されるべき高温の異常温度に対応した基準電圧 V R E F 3 を生成する。高温検出コンパレータ 7 3 は、温度電圧 V T E M P と基準電圧 V R E F 3 とを比較し、比較結果により、出力電圧を反転させる。具体的には、温度が高くなることにより、温度電圧 V T E M P が低くなり、温度電圧 V T E M P が基準電圧 V R E F 3 以下になると、高温検出コンパレータ 7 3 の出力電圧はハイレベルになる。つまり、温度が高温の異常温度以上になると、高温検出コンパレータ 7 3 の出力電圧はハイレベルになる。すると、N O R 回路 7 6 の出力電圧はローレベルになり、出力回路 1 0 がオンして抵抗 5 7 に電流を流し、抵抗 5 7 に電圧が発生し、出力端子 D E T の電圧は口

50

ーレベルになる。すると、P型FET55はオンし、P型FET54はオフし、電池58への充電が停止する。

【0042】

[低温の異常温度時の動作] 基準電圧生成回路72は、検出されるべき低温の異常温度に対応した基準電圧VREF4を生成する。低温検出コンパレータ74は、温度電圧VTEMPと基準電圧VREF4とを比較し、比較結果により、出力電圧を反転させる。具体的には、温度が低くなることにより、温度電圧VTEMPが高くなり、温度電圧VTEMPが基準電圧VREF4以上になると、低温検出コンパレータ74の出力電圧はハイレベルになる。つまり、温度が低温の異常温度以下になると、低温検出コンパレータ74の出力電圧はハイレベルになる。すると、前述のように、電池58への充電が停止する。

10

【0043】

このようにすると、前述の出力回路10の動作により、電源電圧VDDが出力回路10の最低動作電源電圧よりも低い場合、温度スイッチIC52の出力回路10は必ずオフする。すると、出力回路10の出力端子つまり温度スイッチIC52の出力端子DETの電圧は、抵抗57により、外部端子EB+の電圧に必ずプルアップされる。よって、電源電圧VDDが出力回路10の最低動作電源電圧よりも低い場合、P型FET55は必ずオフするので、温度スイッチIC52はP型FET55を介してP型FET54を必ず制御することができない。すると、例えば、電池58が0ボルト付近の電圧になっている状態から充電される場合、電池58の電圧(電源電圧VDD)が低いことから、温度スイッチIC52が誤動作してP型FET54をオフさせ、電池58の電圧が低いにも拘らず、充電が停止してしまうということが防止される。

20

【0044】

なお、図6に示すように、電池パック50の保護機能として過充電検出コンパレータ64及び過放電コンパレータ63が必要になっている。しかし、図示しないが、電池パック50の仕様上、保護機能として過放電検出機能が不要になる場合、過放電検出コンパレータ63は削除されても良い。この時、P型FET53も削除される。

【0045】

また、図6に示すように、電池パック50の保護機能として高温検出コンパレータ73及び低温検出コンパレータ74が必要になっている。しかし、電池パック50の仕様上、保護機能として低温検出機能または高温検出機能が不要になる場合、低温検出コンパレータ74または高温検出コンパレータ73がなくても良い。

30

また、抵抗57やP型FET55などは、温度スイッチIC52によって内蔵されても良い。

【0046】

また、図4では、充放電制御用のP型FET53～54が外部端子EB+と電池58の正極端子との間に設けられたが、図示しないが、2つのN型FETが外部端子EB-と電池58の負極端子との間に設けられても良い。この時、P型FET55と抵抗57と電池保護IC51の内部回路と温度スイッチIC52の内部回路とは、適宜変更される。

【0047】

また、温度スイッチIC52は、図4では、充電制御用のP型FET54のみを制御しているが、図示しないが、放電制御用のP型FET53のみを制御しても良い。また、P型FET53～54の両方を制御しても良い。

40

【符号の説明】

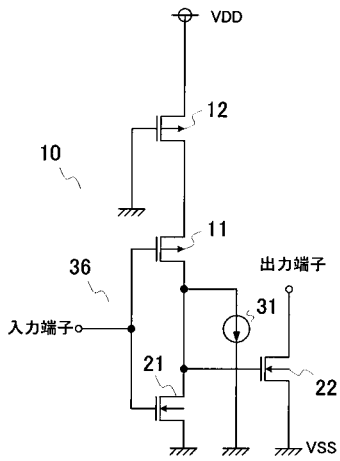
【0048】

- 10 出力回路
- 31 電流源
- 50 電池パック
- 51 電池保護IC
- 52 温度スイッチIC
- 58 電池

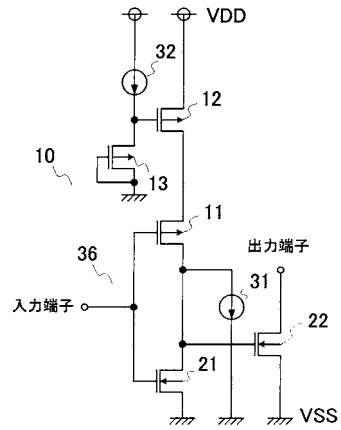
50

- 6 1、6 2、7 1、7 2 基準電圧生成回路
- 6 3 過放電検出コンパレータ
- 6 4 過充電検出コンパレータ
- 7 3 高温検出コンパレータ
- 7 4 低温検出コンパレータ
- 7 5 温度電圧生成回路

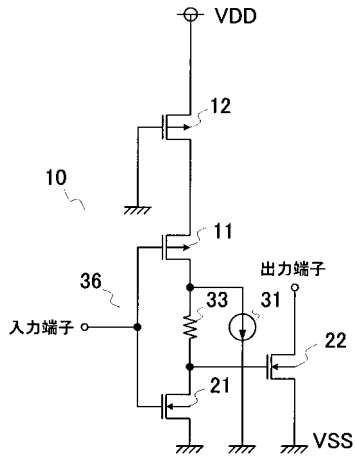
【 図 1 】



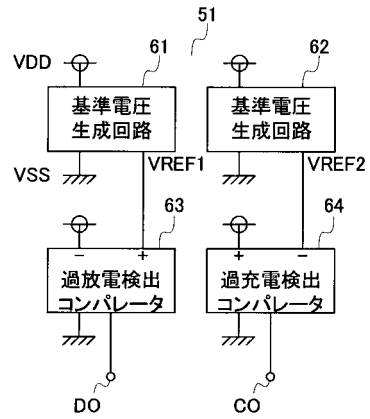
【 図 2 】



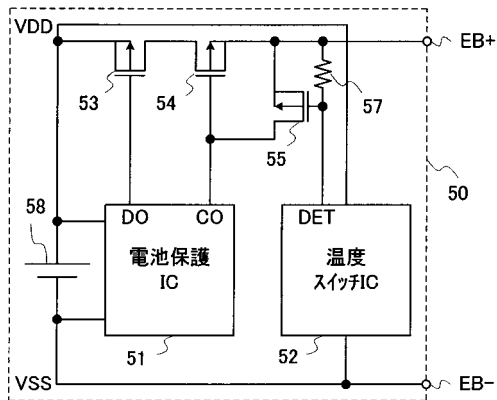
【 図 3 】



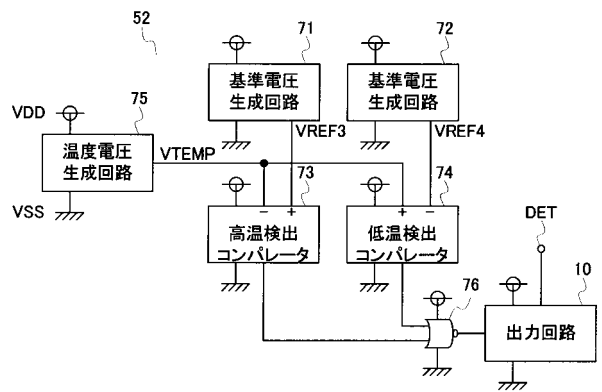
【 図 5 】



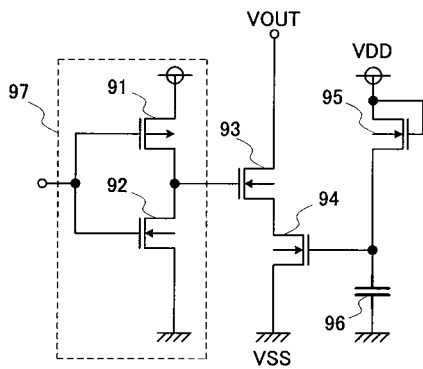
【 図 4 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 2 H	7/18	(2006.01)	H 0 1 M 2/10	E
			H 0 2 H 7/18	

(72)発明者 杉浦 正一

千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内

(72)発明者 五十嵐 敦史

千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内

Fターム(参考) 5G053 AA12 BA04 BA06 CA02 EA09 EC03
 5G503 AA01 BA01 BB01 FA18 GA01 GA12
 5H030 AA03 AA04 AS20 BB01 BB21 FF27
 5H040 AA27 AA40 AY08
 5J056 AA04 BB18 BB57 CC01 DD28 FF08 GG10