

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294791

(P2005-294791A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.Cl.⁷

H O 1 L 21/8247

H O 1 L 27/115

H O 1 L 29/788

H O 1 L 29/792

F I

H O 1 L 29/78

3 7 1

H O 1 L 27/10

4 3 4

テーマコード (参考)

5 F O 8 3

5 F 1 O 1

審査請求 未請求 請求項の数 36 O L (全 38 頁)

(21) 出願番号 特願2004-194150 (P2004-194150)

(22) 出願日 平成16年6月30日 (2004.6.30)

(31) 優先権主張番号 特願2004-65882 (P2004-65882)

(32) 優先日 平成16年3月9日 (2004.3.9)

(33) 優先権主張国 日本国 (JP)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 302062931

N E Cエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100102864

弁理士 工藤 実

(72) 発明者 戸田 昭夫

東京都港区芝五丁目7番1号 日本電気株

式会社内

(72) 発明者 藤枝 信次

東京都港区芝五丁目7番1号 日本電気株

式会社内

最終頁に続く

(54) 【発明の名称】 不揮発性メモリ及び不揮発性メモリの製造方法

(57) 【要約】

【課題】

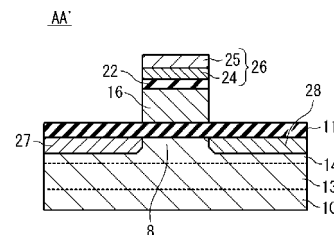
チャネル領域の半導体基板の応力を制御し、メモリセルの電流のオン/オフ比を高くすること、同時に、ゲート酸化膜の劣化を抑制する。

【解決手段】

【0190】

ソース電極27、ドレイン電極28、第1絶縁層11、電荷蓄積層16、第2絶縁層22、及び制御ゲート電極26を具備する不揮発性メモリを用いる。ソース電極27は半導体基板10内に設けられる。ドレイン電極28は半導体基板10内にソース電極27から離れて設けられる。第1絶縁層11はソース電極27とドレイン電極28との間の第1領域8を覆うように設けられる。電荷蓄積層16は第1絶縁層11を介して第1領域8を覆うように設けられる。第2絶縁層22は電荷蓄積層16を覆うように設けられる。制御ゲート電極26は第2絶縁層22を覆うように設けられる。第1領域8における圧縮応力の大きさが50MPa以下である。

【選択図】 図1B



【特許請求の範囲】

【請求項 1】

半導体基板内に設けられたソース電極と、
前記半導体基板内に前記ソース電極から離れて設けられたドレイン電極と、
前記ソース電極及び前記ドレイン電極の少なくとも一部、及び、前記ソース電極と前記ドレイン電極との間の第 1 領域を覆うように設けられた第 1 絶縁層と、
前記第 1 絶縁層を介して前記第 1 領域を覆うように設けられた電荷蓄積層と、
前記電荷蓄積層を覆うように設けられた第 2 絶縁層と、
前記第 2 絶縁層を覆うように設けられた制御ゲート電極と
を具備し、
前記第 1 領域における圧縮応力の大きさが、50 MPa 以下である
不揮発性メモリ。

10

【請求項 2】

請求項 1 に記載の不揮発性メモリにおいて、
前記第 1 領域における引張応力の大きさが、50 MPa 以下である
不揮発性メモリ。

【請求項 3】

請求項 1 又は 2 に記載の不揮発性メモリにおいて、
前記制御ゲート電極は、前記第 2 絶縁層側から順に半導体膜、金属膜の積層構造を有する
不揮発性メモリ。

20

【請求項 4】

請求項 3 に記載の不揮発性メモリにおいて、
前記金属膜は、タングステン、タンタル、モリブデン、窒化タングステン、窒化タンタル、及び窒化モリブデンのうちの少なくとも一つを含む
不揮発性メモリ。

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の不揮発性メモリにおいて、
前記半導体基板の少なくとも一部が表面側から順にシリコン、シリコンゲルマニウムの積層構造を有する
不揮発性メモリ。

30

【請求項 6】

請求項 1 乃至 4 のいずれか一項に記載の不揮発性メモリにおいて、
前記ソース電極及び前記ドレイン電極の少なくとも一方が、炭素が添加されたシリコンゲルマニウム及び炭素が添加されたシリコンのうちの少なくとも一方を含む
不揮発性メモリ。

【請求項 7】

請求項 1 乃至 6 のいずれかに記載の不揮発性メモリにおいて、
前記電荷蓄積層が、半導体薄膜である
不揮発性メモリ。

40

【請求項 8】

請求項 1 乃至 6 のいずれかに記載の不揮発性メモリにおいて、
前記電荷蓄積層が電荷捕獲中心を含有する絶縁層である
不揮発性メモリ。

【請求項 9】

請求項 8 に記載の不揮発性メモリにおいて、
前記電荷捕獲中心を含有する絶縁層は、窒化シリコン、酸化アルミニウム、酸窒化アルミニウム、酸化ハフニウム、酸窒化ハフニウム、酸化シリコンハフニウム、酸窒化シリコンハフニウム、酸化ジルコニウム、酸窒化ジルコニウム、酸化シリコンジルコニウム、及び、酸窒化シリコンジルコニウムのうちの少なくとも一つである

50

不揮発性メモリ。

【請求項 10】

請求項 1 乃至 6 のいずれかに記載の不揮発性メモリにおいて、
前記電荷蓄積層は、絶縁体薄膜と半導体微粒子とから形成される
不揮発性メモリ。

【請求項 11】

請求項 1 乃至 6 のいずれかに記載の不揮発性メモリにおいて、
前記第 2 絶縁層を持たず、かつ、前記電荷蓄積層が強誘電体ある
不揮発性メモリ。

【請求項 12】

請求項 1 乃至 6 のいずれかに記載の不揮発性メモリにおいて、
前記第 2 絶縁層を持たず、かつ、前記電荷蓄積層が第 1 絶縁層側から順に金属、強誘電
体の積層構造を有する
不揮発性メモリ。

10

【請求項 13】

請求項 7 乃至 12 に記載の不揮発性メモリにおいて、
前記第 1 絶縁層と前記制御ゲート電極とを覆うように設けられた第 3 絶縁層と
を更に具備する
不揮発性メモリ。

【請求項 14】

請求項 13 に記載の不揮発性メモリにおいて、
前記第 3 絶縁膜は、引張応力を有する
不揮発性メモリ。

20

【請求項 15】

請求項 13 又は 14 に記載の不揮発性メモリにおいて、
前記第 3 絶縁膜は、SiN 膜、SiON 膜、SiCN 膜、AlO 膜、及び AlSiN 膜
の少なくとも一つを含む
不揮発性メモリ。

【請求項 16】

請求項 13 乃至 15 のいずれか一項に記載の不揮発性メモリにおいて、
前記電荷蓄積層、前記第 2 絶縁層及び前記制御ゲート電極の側面を覆い、下部が前記第
1 絶縁層に接するように設けられたサイドウォールを更に具備し、
前記サイドウォールは、
前記第 1 絶縁層に概ね平行な第 1 層と、
前記側面に概ね平行な第 2 層と
を備え、
前記第 1 層は、引張応力を有する
不揮発性メモリ。

30

【請求項 17】

請求項 16 に記載の不揮発性メモリにおいて、
前記第 1 層は、SiN 膜、SiON 膜、SiCN 膜、AlO 膜、及び AlSiN 膜の少
なくとも一つを含む
不揮発性メモリ。

40

【請求項 18】

請求項 1 乃至 17 のいずれかに記載の不揮発性メモリにおいて、
前記半導体基板内に設けられた素子分離絶縁部を更に具備する
不揮発性メモリ。

【請求項 19】

請求項 18 に記載の不揮発性メモリにおいて、
前記素子分離絶縁部は、少なくとも一部にシリコン窒化膜を含むトレンチ溝である

50

不揮発性メモリ。

【請求項 20】

半導体基板上に第 1 絶縁層を形成するステップと、

前記半導体基板の第 1 領域上の前記第 1 絶縁層を覆うように、電荷蓄積膜、第 2 絶縁層及び制御ゲート電極がこの順で積層された上部構造を形成するステップと、

前記半導体基板内において、ソース電極及びドレイン電極を、各々が前記第 1 領域に接し、互いに離れるように形成するステップと

を具備し、

前記上部構造を形成するステップは、

不揮発性メモリ製造後の前記第 1 領域における圧縮応力の大きさが 50 MPa 以下、あるいは引張応力の大きさが 50 MPa 以下であるように、前記制御ゲート電極として前記第 2 絶縁層側から順に半導体膜、金属膜の積層構造を形成するステップを備える

不揮発性メモリの製造方法。

10

【請求項 21】

請求項 20 に記載の不揮発性メモリの製造方法において、

前記金属膜は、タングステン、タンタル、モリブデン、窒化タングステン、窒化タンタル、及び窒化モリブデンのうちの少なくとも一つを含む膜である

不揮発性メモリの製造方法。

【請求項 22】

半導体基板上に、シリコンゲルマニウム膜とシリコン膜とがこの順に積層された積層構造を形成するステップと、

20

前記積層構造上に、第 1 絶縁層を形成するステップと、

前記半導体基板の第 1 領域上の前記第 1 絶縁層を覆うように、電荷蓄積膜、第 2 絶縁層及び制御ゲート電極がこの順で積層された上部構造を形成するステップと、

前記半導体基板内において、ソース電極及びドレイン電極を、各々が前記第 1 領域に接し、互いに離れるように形成するステップと

を具備し、

前記積層構造は、不揮発性メモリ製造後の前記第 1 領域における圧縮応力の大きさが 50 MPa 以下、あるいは引張応力の大きさが 50 MPa 以下となるように形成される

不揮発性メモリの製造方法。

30

【請求項 23】

シリコン基板上に、第 1 絶縁層を形成するステップと、

前記シリコン基板の第 1 領域上の前記第 1 絶縁層を覆うように、電荷蓄積膜、第 2 絶縁層及び制御ゲート電極がこの順で積層された上部構造を形成するステップと、

前記シリコン基板内のソース電極及びドレイン電極となる部分の少なくとも一部に、炭素を添加したシリコンゲルマニウム膜及び炭素を添加したシリコン膜の少なくとも一方を形成するステップと、

前記シリコン基板内において前記ソース電極及び前記ドレイン電極を、各々が前記第 1 領域に接し、互いに離れるように形成するステップと

を具備し、

40

前記炭素を添加されたシリコンゲルマニウム膜及び前記炭素を添加されたシリコン膜は、不揮発性メモリ製造後の前記第 1 領域における圧縮応力の大きさが 50 MPa 以下、あるいは引張応力の大きさが 50 MPa 以下であるように形成される

不揮発性メモリの製造方法。

【請求項 24】

半導体基板上に、素子分離絶縁部を形成するステップと、

前記素子分離絶縁部以外の前記半導体基板上に第 1 絶縁層を形成するステップと、

前記半導体基板の第 1 領域上の前記第 1 絶縁層を覆うように、電荷蓄積膜、第 2 絶縁層及び制御ゲート電極がこの順で積層された上部構造を形成するステップと、

前記半導体基板内において、ソース電極及びドレイン電極を、各々が前記第 1 領域に接

50

し、互いに離れるように形成するステップと
を具備し、

前記素子分離絶縁部を形成するステップは、

不揮発性メモリ製造後の前記第1領域における圧縮応力の大きさが50MPa以下、あるいは引張応力の大きさが50MPa以下であるように、前記素子分離絶縁部の少なくとも一部を窒化シリコン膜が含まれるトレンチ溝で形成するステップを備える

不揮発性メモリの製造方法。

【請求項25】

半導体基板上に第1絶縁層を形成するステップと、

前記半導体基板の第1領域上の前記第1絶縁層を覆うように、電荷蓄積膜、第2絶縁層 10
及び制御ゲート電極がこの順で積層された上部構造を形成するステップと、

前記半導体基板内において、ソース電極及びドレイン電極を、各々が前記第1領域に接し、互いに離れるように形成するステップと、

前記第1絶縁層上及び前記上部構造上に、前記第1領域における圧縮応力の大きさが50MPa以下、あるいは引張応力の大きさが50MPa以下であるように第3絶縁層を形成するステップと

を具備する

不揮発性メモリの製造方法。

【請求項26】

請求項25に記載の不揮発性メモリの製造方法において、

前記第3絶縁層を形成するステップは、
シラン又はジクロルシランを原料ガスとして、CVD法で600 以上の温度にて製膜 20
するステップを備える

不揮発性メモリの製造方法。

【請求項27】

請求項25に記載の不揮発性メモリの製造方法において、

前記第3絶縁層を形成するステップは、

モノメチルシランとヒドラジンを原料ガスとして、CVD法で製膜するステップを備える

不揮発性メモリの製造方法。

30

【請求項28】

請求項25乃至27のいずれか一項に記載の不揮発性メモリの製造方法において、

前記第1絶縁層上及び前記上部構造上に、第4絶縁層を形成するステップと、

前記第4絶縁層のうち、前記上部構造の側面を除いた部分を除去して、前記側面にサイドウォールを形成するステップと

を更に具備し、

前記サイドウォールは、引張応力を有する

不揮発性メモリの製造方法。

【請求項29】

請求項28に記載の不揮発性メモリにおいて、

前記第3絶縁層及び前記サイドウォールのうちの少なくとも一方は、SiN膜、SiO 40
N膜、SiCN膜、AlO膜、及びAlSiN膜の少なくとも一つを含む

不揮発性メモリの製造方法。

【請求項30】

請求項20乃至29のいずれかに記載の不揮発性メモリの製造方法において、

前記上部構造を形成するステップは、

前記電荷蓄積膜として、半導体薄膜を形成するステップを備える

不揮発性メモリの製造方法。

【請求項31】

請求項20乃至29のいずれかに記載の不揮発性メモリの製造方法において、

50

前記上部構造を形成するステップは、

前記電荷蓄積膜として、電荷捕獲中心を含有する絶縁膜を形成するステップを備える
不揮発性メモリの製造方法。

【請求項 3 2】

請求項 3 1 に記載の不揮発性メモリの製造方法において、

前記電荷捕獲中心を含有する前記絶縁膜を形成するステップが、

窒化シリコン、酸化アルミニウム、酸窒化アルミニウム、酸化ハフニウム、酸窒化ハフニウム、酸化シリコンハフニウム、酸窒化シリコンハフニウム、酸化ジルコニウム、酸窒化ジルコニウム、酸化シリコンジルコニウム、酸窒化シリコンジルコニウムのうちの少なくとも一つの薄膜を形成するステップを備える

10

不揮発性メモリの製造方法。

【請求項 3 3】

請求項 2 0 乃至 2 9 のいずれかに記載の不揮発性メモリの製造方法において、

前記上部構造を形成するステップは、

前記電荷蓄積膜として、絶縁体と半導体微粒子とからなる薄膜を形成するステップを備える

不揮発性メモリの製造方法。

【請求項 3 4】

請求項 2 0 乃至請求項 2 9 のいずれかに記載の不揮発性メモリの製造方法において、

前記上部構造を形成するステップは、

前記電荷蓄積膜として、強誘電体薄膜を形成するステップを備え、前記第 2 絶縁層を形成するステップを有しない

20

不揮発性メモリの製造方法。

【請求項 3 5】

請求項 2 0 乃至 2 9 のいずれかに記載の不揮発性メモリの製造方法において、

前記上部構造を形成するステップは、

前記電荷蓄積膜として、前記第 1 絶縁層側から順に、金属、強誘電体の積層構造を持つ薄膜を形成するステップを備え、前記第 2 絶縁層を形成するステップを有しない

不揮発性メモリの製造方法。

【請求項 3 6】

請求項 2 0 乃至 3 5 のいずれか一項に記載の不揮発性メモリの製造方法において、

前記上部構造を用いて自己整合的に素子分離領域を形成するステップを更に具備する

不揮発性メモリの製造方法。

30

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は不揮発性メモリ及び不揮発性メモリの製造方法に関し、特にメモリセルの保持特性を改善した不揮発性メモリ及び不揮発性メモリの製造方法に関する。

【背景技術】

【0 0 0 2】

40

消去や書き込みをしない限り、一度記憶されたデータが電源を切っても消えないという不揮発性の特性を持つ不揮発性メモリが知られている。この不揮発性メモリのセル構造の例として、1 トランジスタ型メモリセル構造がある。このセル構造では、半導体基板上に形成されたゲート絶縁膜上に、電荷蓄積層と制御ゲートとがこの順に積層構造を形成している。電荷蓄積層に蓄積された電荷が記憶されるデータに対応する。1 トランジスタ型メモリセル構造は電荷蓄積層の構造により、以下のように分類される。すなわち、電荷蓄積層が層間絶縁膜と導電性を帯びるように不純物が導入された半導体とがこの順に積層した構造である場合、フローティングゲート型セルと呼ばれる。層間絶縁膜と電荷捕獲中心を多く含む絶縁膜がこの順に積層した構造である場合、MONOS (Metal - Oxide - Nitride - Oxide - Semiconductor) 型セルと呼ばれる。ま

50

た、電荷蓄積層が層間絶縁膜と半導体の微粒子を含む絶縁膜とがこの順に積層した構造である場合、ナノクリスタル型セルと呼ばれる。この半導体の微粒子を含む絶縁膜は、さらに金属の微粒子を含む場合もある。さらに、電荷蓄積層が強誘電体、又は、強誘電体、金属電極がこの順に積層した構造である場合、MF(M)IS(Metal-Ferroelectric-(Metal)-Insulator-Semiconductor)型セルと呼ばれる。MFMI S型セルを用いた不揮発性メモリにおいては、電荷蓄積層に含まれる強誘電体の自発分極の方向が記憶されるデータに対応する。

【0003】

これらの1トランジスタ型メモリセル構造をとる不揮発性メモリの共通点は、データの書き込みや読み出しが、セル構造周辺の半導体基板上に形成された、ソース、ドレイン及び積層構造の制御ゲートを用いて、ソースとドレインの間のチャンネル領域に流れる電流を制御することで行われるということである。したがって、これらの構造を用いた不揮発性メモリの高性能化、高信頼性化を実現するには、その製造プロセスにおいて、チャンネル領域、ゲート絶縁膜の諸物性を十分に制御することが必須である。

【0004】

他方、メモリの大容量化、小型化の要請から、メモリセルの微細化が追求されている。これに伴い、素子分離に起因する応力が、チャンネル領域に及ぶようになる。浅いトレンチによる素子分離の場合、トレンチに埋設される絶縁膜はチャンネル領域において、基板表面に平行方向の圧縮応力を及ぼす。チャンネル領域に強い圧縮応力が印加されると、電子の移動度が低下する。このとき、メモリセルの電流のオン/オフ比が低下するため、ゲート酸化膜を介して電荷蓄積層に出し入れする電荷量を多くしなくてはならない。出し入れする電荷量が多くなると、ゲート酸化膜の劣化が著しくなり、オン電流の減少や、保持特性の劣化が生じる。また、浅いトレンチによる素子分離に起因する圧縮応力はチャンネル領域とともにゲート絶縁膜にも同様に印加される。ゲート絶縁膜に強い圧縮応力が印加されると、ゲート絶縁膜中に存在する、電子トラップの活性化エネルギーが減少する。このことは電子トラップに捕獲されていた電子が放出されやすくなること、したがって、トランジスタのしきい値電圧が変動しやすくなることを意味している。これは保持特性劣化の一因となる。

【0005】

以上ではチャンネル領域やゲート絶縁膜に対する圧縮応力の影響について述べたが、引張応力も、メモリ動作に影響を与える。強い引張応力がチャンネル領域及びゲート絶縁膜に印加されると、ゲート絶縁膜と半導体基板との界面に存在するダングリングボンド-水素原子等の結合が切断されやすくなる。したがって、強い引張応力下では、応力なしの場合に比べゲート絶縁膜/半導体基板界面の界面準位数が多い。このことは、強い引張応力下では界面準位の回復によるトランジスタのしきい値電圧の変動が大きくなることを意味している。よって、強い引張応力も保持特性劣化の一因である。

【0006】

したがって、保持特性劣化を抑制し、高信頼化された不揮発性メモリを実現するには、チャンネル領域における半導体基板応力の絶対値を低減する技術が望まれる。この技術により、メモリセルの電流のオン/オフ比を高くすること、ゲート酸化膜の劣化を抑制することとメモリセルの特性を維持することが可能となる。その結果、書き換え回数を向上することや、多値メモリに適するセル特性を得ることが可能となる。

【0007】

関連する技術として、特開平8-31962号公報に不揮発性半導体記憶装置の製造方法の技術が開示されている。この発明の目的は、ゲート絶縁膜特性の劣化をもたらさないような層間絶縁膜を実現することにある。この不揮発性半導体記憶装置の製造方法は、電気的に書き換え可能な不揮発性半導体記憶装置の製造方法である。ここで、不揮発性半導体記憶装置は、第1導電型を有する半導体基板にゲート絶縁膜を介して設けられた浮遊ゲート電極と、その浮遊ゲート電極上に少なくとも一部分が積層される形で層間絶縁膜を介して設けられた制御ゲート電極と、その半導体基板内に互いに分離して設けられた第2導

10

20

30

40

50

電型のソース、ドレイン領域を備える。そして、その層間絶縁膜として化学気相成長法により単層酸化シリコン膜を形成することを特徴とする。本公報では、この技術により、層間絶縁膜の応力が緩和されるため、ゲート絶縁膜の劣化が低減されると記載されている。

【0008】

【特許文献1】特開平8-31962号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

従って、本発明の目的は、チャネル領域における半導体基板の応力の絶対値を抑制することが可能な不揮発性メモリ及び不揮発性メモリの製造方法を提供することにある。

10

【0010】

また、本発明の他の目的は、メモリセルの電流のオン/オフ比を高くすることができる不揮発性メモリの構造及び不揮発性メモリの製造方法を提供することにある。

【0011】

本発明の更に他の目的は、ゲート酸化膜の劣化を抑制することができる不揮発性メモリの構造及び不揮発性メモリの製造方法を提供することにある。

【0012】

本発明の別の目的は、メモリセルの特性を維持し、書き換え回数を向上することが可能な不揮発性メモリの構造及び不揮発性メモリの製造方法を提供することにある。

【0013】

本発明の更に別の目的は、多値メモリに適するセル特性を得ることができる不揮発半導体メモリの構造及び不揮発性メモリの製造方法を提供することにある。

20

【課題を解決するための手段】

【0014】

以下に、発明を実施するための最良の形態で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、特許請求の範囲の記載と発明を実施するための最良の形態との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、特許請求の範囲に記載されている発明の技術的範囲の解釈に用いてはならない。

【0015】

上記課題を解決するために、本発明の不揮発性メモリは、ソース電極(27)と、ドレイン電極(28)と、第1絶縁層(11)と、電荷蓄積層(16)と、第2絶縁層(22)と、制御ゲート電極(26)とを具備する。ソース電極(27)は、半導体基板(10)内に設けられている。ドレイン電極(28)は、半導体基板(10)内にソース電極(27)から離れて設けられている。第1絶縁層(11)は、ソース電極(27)及びドレイン電極(28)の少なくとも一部、及び、ソース電極(27)とドレイン電極(28)との間の第1領域(8)を覆うように設けられている。電荷蓄積層(16)は、第1絶縁層(11)を介して第1領域(8)を覆うように設けられている。第2絶縁層(22)は、電荷蓄積層(16)を覆うように設けられている。制御ゲート電極(26)は、第2絶縁層(22)を覆うように設けられている。第1領域(8)における圧縮応力の大きさが、50MPa以下である。

30

【0016】

上記の不揮発性メモリにおいて、第1領域(8)における引張応力の大きさが、50MPa以下である。

【0017】

上記の不揮発性メモリにおいて、制御ゲート電極(26)は、第2絶縁層(22)側から順に半導体膜(24)、金属膜(25)の積層構造を有する。

【0018】

上記の不揮発性メモリにおいて、金属膜(25)は、タングステン、タンタル、モリブデン、窒化タングステン、窒化タンタル、及び窒化モリブデンのうちの少なくとも一つを

50

含む。

【0019】

上記の不揮発性メモリにおいて、半導体基板(10)の少なくとも一部が表面側から順にシリコン、シリコンゲルマニウムの積層構造を有する。

【0020】

上記の不揮発性メモリにおいて、ソース電極(27)及びドレイン電極(28)の少なくとも一方が、炭素が添加されたシリコンゲルマニウム(29)及び炭素が添加されたシリコン(29)のうちの少なくとも一方を含む。

【0021】

上記の不揮発性メモリにおいて、電荷蓄積層(16)が、半導体薄膜である。

10

【0022】

上記の不揮発性メモリにおいて、電荷蓄積層(16)が電荷捕獲中心を含有する絶縁層である。

【0023】

上記の不揮発性メモリにおいて、その電荷捕獲中心を含有する絶縁層は、窒化シリコン、酸化アルミニウム、酸窒化アルミニウム、酸化ハフニウム、酸窒化ハフニウム、酸化シリコンハフニウム、酸窒化シリコンハフニウム、酸化ジルコニウム、酸窒化ジルコニウム、酸化シリコンジルコニウム、及び、酸窒化シリコンジルコニウムのうちの少なくとも一つである。

【0024】

上記の不揮発性メモリにおいて、電荷蓄積層(16)は、絶縁体薄膜(16a)と半導体微粒子(16b)とから形成される。

20

【0025】

上記の不揮発性メモリにおいて、第2絶縁層(22)を持たず、かつ、電荷蓄積層(16)が強誘電体である。

【0026】

上記の不揮発性メモリにおいて、第2絶縁層(22)を持たず、かつ、電荷蓄積層(16)が第1絶縁層側から順に金属、強誘電体の積層構造を有する。

【0027】

上記の不揮発性メモリにおいて、第1絶縁層(11)と制御ゲート電極(26)とを覆うように設けられた第3絶縁層(35)とを更に具備する。

30

【0028】

上記の不揮発性メモリにおいて、第3絶縁膜(35)は、引張応力を有する。

【0029】

上記の不揮発性メモリにおいて、第3絶縁膜(35)は、SiN膜、SiON膜、SiCN膜、AlO膜、及びAlSiN膜の少なくとも一つを含む。

【0030】

上記の不揮発性メモリにおいて、電荷蓄積層(16)、第2絶縁層(22)及び制御ゲート電極(26)の側面を覆い、下部が第1絶縁層(11)に接するように設けられたサイドウォール(30)を更に具備する。サイドウォール(30)は、第1絶縁層(11)に概ね平行な第1層と、その側面に概ね平行な第2層とを備えている。その第1層は、引張応力を有する。

40

【0031】

上記の不揮発性メモリにおいて、その第1層は、SiN膜、SiON膜、SiCN膜、AlO膜、及びAlSiN膜の少なくとも一つを含む。

【0032】

上記の不揮発性メモリにおいて、半導体基板(10)内に設けられた素子分離絶縁部(20)を更に具備する。

【0033】

上記の不揮発性メモリにおいて、素子分離絶縁部(20)は、少なくとも一部にシリコ

50

ン窒化膜を含むトレンチ溝（１９）である。

【００３４】

上記課題を解決するために、本発明の不揮発性メモリの製造方法は、半導体基板（１０）上に第１絶縁層（１１）を形成するステップと、半導体基板（１０）の第１領域（８）上の第１絶縁層（１１）を覆うように、電荷蓄積膜（１６）、第２絶縁層（２２）及び制御ゲート電極（２６）がこの順で積層された上部構造を形成するステップと、半導体基板（１０）内において、ソース電極（２７）及びドレイン電極（２８）を、各々が第１領域（８）に接し、互いに離れるように形成するステップとを具備する。その上部構造を形成するステップは、不揮発性メモリ製造後の第１領域（８）における圧縮応力の大きさが５０ＭＰａ以下、あるいは引張応力の大きさが５０ＭＰａ以下であるように、制御ゲート電極（２６）として第２絶縁層（２２）側から順に半導体膜（２４）、金属膜（２５）の積層構造を形成するステップを備える。

10

【００３５】

上記の不揮発性メモリの製造方法において、金属膜（２５）は、タングステン、タンタル、モリブデン、窒化タングステン、窒化タンタル、及び窒化モリブデンのうちの少なくとも一つを含む膜である。

【００３６】

上記課題を解決するために、本発明の不揮発性メモリの製造方法は、半導体基板（１０）上に、シリコンゲルマニウム膜（１０ｂ）とシリコン膜（１０ａ）とがこの順に積層された積層構造を形成するステップと、その積層構造上に、第１絶縁層（１１）を形成するステップと、半導体基板（１０）の第１領域（８）上の第１絶縁層（１１）を覆うように、電荷蓄積膜（１６）、第２絶縁層（２２）及び制御ゲート電極（２６）がこの順で積層された上部構造を形成するステップと、半導体基板（１０）内において、ソース電極（２７）及びドレイン電極（２８）を、各々が第１領域（８）に接し、互いに離れるように形成するステップとを具備する。その積層構造は、不揮発性メモリ製造後の第１領域（８）における圧縮応力の大きさが５０ＭＰａ以下、あるいは引張応力の大きさが５０ＭＰａ以下となるように形成される。

20

【００３７】

上記課題を解決するために、本発明の不揮発性メモリの製造方法は、シリコン基板（１０）上に、第１絶縁層（１１）を形成するステップと、シリコン基板（１０）の第１領域（８）上の第１絶縁層（１１）を覆うように、電荷蓄積膜（１６）、第２絶縁層（２２）及び制御ゲート電極（２６）がこの順で積層された上部構造を形成するステップと、シリコン基板（１０）内のソース電極（２７）及びドレイン電極（２８）となる部分の少なくとも一部に、炭素を添加したシリコンゲルマニウム膜（２９）及び炭素を添加したシリコン膜（２９）の少なくとも一方を形成するステップと、シリコン基板（１０）内においてソース電極（２７）及びドレイン電極（２８）を、各々が第１領域（８）に接し、互いに離れるように形成するステップとを具備する。炭素を添加されたシリコンゲルマニウム膜（２９）及び炭素を添加されたシリコン膜（２９）は、不揮発性メモリ製造後の第１領域（８）における圧縮応力の大きさが５０ＭＰａ以下、あるいは引張応力の大きさが５０ＭＰａ以下であるように形成される。

30

40

【００３８】

上記課題を解決するために、本発明の不揮発性メモリの製造方法は、半導体基板（１０）上に、素子分離絶縁部（２０）を形成するステップと、素子分離絶縁部（２０）以外の半導体基板（１０）上に第１絶縁層（１１）を形成するステップと、半導体基板（１０）の第１領域（８）上の第１絶縁層（１１）を覆うように、電荷蓄積膜（１６）、第２絶縁層（２２）及び制御ゲート電極（２６）がこの順で積層された上部構造を形成するステップと、半導体基板（１０）内において、ソース電極（２７）及びドレイン電極（２８）を、各々が第１領域（８）に接し、互いに離れるように形成するステップとを具備する。素子分離絶縁部（２０）を形成するステップは、不揮発性メモリ製造後の第１領域（８）における圧縮応力の大きさが５０ＭＰａ以下、あるいは引張応力の大きさが５０ＭＰａ以下

50

であるように、素子分離絶縁部(20)の少なくとも一部を窒化シリコン膜が含まれるトレンチ溝(19)で形成するステップを備える。

【0039】

上記課題を解決するために、本発明の不揮発性メモリの製造方法は、半導体基板(10)上に第1絶縁層(11)を形成するステップと、半導体基板(10)の第1領域(8)上の第1絶縁層(11)を覆うように、電荷蓄積膜(16)、第2絶縁層(22)及び制御ゲート電極(26)がこの順で積層された上部構造を形成するステップと、半導体基板(10)内において、ソース電極(27)及びドレイン電極(28)を、各々が第1領域(8)に接し、互いに離れるように形成するステップと、第1絶縁層(11)上及びその上部構造上に、第1領域(8)における圧縮応力の大きさが50MPa以下、あるいは引張応力の大きさが50MPa以下であるように第3絶縁層(35)を形成するステップとを具備する。

10

【0040】

上記の不揮発性メモリの製造方法において、第3絶縁層(35)を形成するステップは、シラン又はジクロルシランを原料ガスとして、CVD法で600以上の温度にて製膜するステップを備える。

【0041】

上記の不揮発性メモリの製造方法において、第3絶縁層(35)を形成するステップは、モノメチルシランとヒドラジンを原料ガスとして、CVD法で製膜するステップを備える。

20

【0042】

上記の不揮発性メモリの製造方法において、第1絶縁層(11)上及びその上部構造上に第4絶縁層(31a、32a、33a)を形成するステップと、第4絶縁層(31a、32a、33a)のうち、その上部構造の側面を除いた部分を除去して、その側面にサイドウォール(30)を形成するステップとを更に具備する。サイドウォール(30)は、引張応力を有する。

【0043】

上記の不揮発性メモリにおいて、第3絶縁層(35)及びサイドウォール(30)のうちの少なくとも一方は、SiN膜、SiON膜、SiCN膜、AlO膜、及びAlSiN膜の少なくとも一つを含む。

30

【0044】

上記の不揮発性メモリの製造方法において、その上部構造を形成するステップは、電荷蓄積膜(16)として、半導体薄膜を形成するステップを備える。

【0045】

上記の不揮発性メモリの製造方法において、その上部構造を形成するステップは、電荷蓄積膜(16)として、電荷捕獲中心を含有する絶縁膜を形成するステップを備える。

【0046】

上記の不揮発性メモリの製造方法において、その電荷捕獲中心を含有するその絶縁膜を形成するステップが、窒化シリコン、酸化アルミニウム、酸窒化アルミニウム、酸化ハフニウム、酸窒化ハフニウム、酸化シリコンハフニウム、酸窒化シリコンハフニウム、酸化ジルコニウム、酸窒化ジルコニウム、酸化シリコンジルコニウム、酸窒化シリコンジルコニウムのうちの少なくとも一つの薄膜を形成するステップを備える。

40

【0047】

上記の不揮発性メモリの製造方法において、その上部構造を形成するステップは、電荷蓄積膜(16)として、絶縁体(16a)と半導体微粒子(16b)とからなる薄膜を形成するステップを備える。

【0048】

上記の不揮発性メモリの製造方法において、その上部構造を形成するステップは、電荷蓄積膜(18)として、強誘電体薄膜を形成するステップを備え、第2絶縁層(22)を形成するステップを有しない。

50

【 0 0 4 9 】

上記の不揮発性メモリの製造方法において、その上部構造を形成するステップは、電荷蓄積膜（１８）として、第１絶縁層（１１）側から順に、金属、強誘電体の積層構造を持つ薄膜を形成するステップを備え、第２絶縁層（２２）を形成するステップを有しない。

【 0 0 5 0 】

上記の不揮発性メモリの製造方法において、その上部構造を用いて自己整合的に素子分離領域（２０）を形成するステップを更に具備する。

【 発明の効果 】

【 0 0 5 1 】

本発明により、チャネル領域（８）における半導体基板の応力を抑制することができる。その結果、メモリセルの電流のオン／オフ比を高くし、ゲート酸化膜の劣化を抑制することが可能となる。これにより、メモリセルの特性を維持し、書き換え回数を向上すると共に、多値メモリに適するセル特性を得ることができる。

【 発明を実施するための最良の形態 】

【 0 0 5 2 】

以下、本発明の不揮発性メモリ及び不揮発性メモリの製造方法の実施の形態に関して、添付図面を参照して説明する。

【 0 0 5 3 】

（第１の実施の形態）

まず、本発明の不揮発性メモリの第１の実施の形態について説明する。

【 0 0 5 4 】

図１Ａ及び図１Ｂは、本発明の不揮発性メモリの第１の実施の形態の構成を示す断面図である。ただし、図１Ｂは、図１ＡにおけるＡＡ'断面図である。不揮発性メモリは、半導体基板１０、ゲート絶縁層１１、浮遊ゲート１６、ポリシリコン層間絶縁層２２、制御ゲート２６及び素子分離絶縁部２０を具備する。ここでは、半導体基板１０の導電型がＰ型の場合について説明するが、Ｎ型の場合も同様に適用可能である。

【 0 0 5 5 】

図１Ｂを参照して、半導体基板１０は、Ｎ型不純物をドーブしたディープＮウエル１３と、半導体基板１０表面側のＰ型不純物をドーブしたＰウエル１４を備える。Ｐウエル１４には、Ｎ型のソース２７及びドレイン２８が半導体基板１０表面に接するように設けられている。ソース２７とドレイン２８との間の領域は、不揮発性メモリのチャネル領域８（第１領域）である。両者の距離は、例えば、１５０ｎｍである。

【 0 0 5 6 】

第１絶縁層としてのゲート絶縁層１１は、チャネル領域８とソース２７及びドレイン２８の各々の少なくとも一部とを覆うように設けられている。材質は、例えば、酸化シリコンである。膜厚は、電荷がトンネルすることが可能な大きさであり、例えば、１０ｎｍである。

【 0 0 5 7 】

電荷蓄積層としての浮遊ゲート１６は、チャネル領域８上のゲート絶縁層１１を覆うように設けられている。材質は、例えば、ポリシリコンである。膜厚は、例えば、２５０ｎｍである。半導体基板１０に平行な平面の大きさは、例えば１５０ｎｍ×１５０ｎｍである。

【 0 0 5 8 】

第２絶縁層としてのポリシリコン層間絶縁層２２は、浮遊ゲート１６を覆うように設けられている。材質は、例えば、酸化シリコンや、窒化シリコン／酸化シリコン／酸化シリコンの積層膜である。膜厚は、例えば、３０ｎｍである。

【 0 0 5 9 】

制御ゲート２６は、ポリシリコン層間絶縁層２２を覆うように設けられている。制御ゲート２６は、ポリシリコン層２４及び金属層２５を備える。ポリシリコン層２４は、ポリシリコン層間絶縁層２２を覆うように設けられている。膜厚は、例えば、１００ｎｍであ

る。金属層 25 は、ポリシリコン層 24 を覆うように設けられている。金属層 25 はチャネル領域 8 に引張応力を及ぼし、チャネル領域 8 の圧縮応力を緩和する。金属層 25 の膜厚は例えば 150 nm である。その材質は、たとえば、タングステン、タンタル、モリブデン及びそれらの窒化物である。それらの組み合わせ（積層膜）でも良い。

【0060】

金属層 25 は、その膜厚や、その膜中の材質を調整することにより、所望の引張応力とすることができる。また、上記タングステン等及びそれらの窒化物の成分の調整により、所望の引張応力とすることができる。例えば、タングステン等：他の導電性物質 = 90 : 10、などである。これにより、チャネル領域 8 の圧縮応力の大きさに対応して、その圧縮応力を緩和することができる。

10

【0061】

図 1 A を参照して、半導体基板 10 には、隣接する素子同士を分離する素子分離溝 19 が設けられ、素子分離絶縁部 20 が満たされている。素子分離絶縁部 20 は、例えば S T I (Shallow Trench Isolation) である。その深さは、N ウエル 13 よりも深い。材質は、例えば、酸化シリコンである。

【0062】

上記の構造を有する不揮発性メモリの特性について説明する。

図 3 4 は、メモリセルの電圧と電流との関係を示すグラフである。縦軸はドレイン電流 I であり、on はオン電流に対応し、off がオフ電流に対応する。横軸は制御ゲートの電圧 V_{CG} である。

20

破線のグラフは、チャネル領域 8 の応力が高い場合を示す。実線のグラフは、チャネル領域 8 の応力が低い場合を示す。“消去”は、データが消去されている場合を示す。“書き込み”は、データが書き込まれている場合を示す。

【0063】

この図において、チャネル領域 8 の応力が小さい場合（実線）の電圧 V_{CG} の閾値の変動 V_{TM2} は、応力が大きい場合（破線）の電圧 V_{CG} の閾値の変動 V_{TM1} に比較して小さくなる。データの書き換えに伴いチャネル領域 8 から浮遊ゲート 16 へ移動する電荷 Q は、

$$Q = C_{FG} \cdot V_{TM}$$

で表される。ここで、 C_{FG} は浮遊ゲート 16 とゲート絶縁層 11 とチャネル領域 8 とで形成される容量の大きさである。すなわち、応力を小さくするほど、閾値の変動 V_{TM} が、例えば V_{TM1} から V_{TM2} へと小さくなる。そうすると、上式より、データの書き換え毎にゲート絶縁層 11 を介して出し入れする電荷量が小さくなる。それにより、ゲート酸化膜の劣化が抑制され、オン電流の劣化や、保持特性の劣化が抑制される。

30

【0064】

図 3 5 は、チャネル領域 8 の圧縮応力とゲート電圧の閾値の変動との関係を示すグラフである。縦軸はゲート電圧の閾値の変動である V_{TM} シフト (V) (上記の V_{TM})、横軸はチャネル領域 8 の圧縮応力 (MPa) である。ただし、数字の符号であるマイナスは圧縮応力を示す。この図から、チャネル領域 8 の圧縮応力を小さくするほど、 V_{TM} シフト (V_{TM}) が小さく抑えられることが分かる。上記のような劣化の抑制等の効果を得るには、メモリセルの設計から V_{TM} シフトを 0.5 V 以下にすることが好ましい。その場合、チャネル領域 8 の圧縮応力を概ね 50 MPa 以下にする必要があることが分かる。更に、 V_{TM} シフトを 0.3 V 以下にすることがより好ましい。その場合、圧縮応力を概ね 20 MPa 以下にする。

40

【0065】

一方、チャネル領域 8 の引張り応力が大きい場合、例えば、J. Appl. Phys. 77, 699 - 705 (1995)、J. T. Yount, et al. に記載されるように、酸化シリコン/シリコン界面に存在する水素により終端された界面準位の結合が弱くなり、界面準位が生成しやすくなるという問題がある。トンネル膜/シリコン界面における界面準位の生成、回復は、フラッシュメモリではゲート電圧の閾値変動の原因となる

50

。したがって、引張応力が大きい場合もフラッシュメモリの保持特性は劣化する。良好な保持特性を得るためのチャネル領域 8 の引張り応力上限値は必ずしも明らかではないが、少なくとも + 5 0 M P a 以下の素子については良好な保持特性が得られることが分かっている。より好ましくは、+ 2 0 M P a である。ただし、数字の符号のプラスは引張応力を示す。したがって、チャネル領域 8 が + 5 0 M P a 以下の引張応力を有することは良好な保持特性を得るうえで好ましい。+ 2 0 M P a 以下の引張応力であることはより好ましい。

【 0 0 6 6 】

以上の結果から、チャネル領域 8 における応力 P は、- 5 0 M P a (圧縮) P + 5 0 M P a (引張) であることが好ましい。より好ましくは、- 2 0 M P a (圧縮) P + 2 0 M P a (引張) である。 10

【 0 0 6 7 】

また、上記のように $V_{T M}$ を小さくすることは、メモリセルの多値化にも効果がある。図 3 6 は、ゲート電圧の閾値の分布を示すグラフである。グラフの右側に示す“データ”は、記憶されるデータを示し、それに対応する閾値電圧 $V_{T M}$ が縦軸に示されている。横軸は、その度数である。各データに対応する閾値電圧 $V_{T M}$ は、その $V_{T M}$ シフト ($V_{T M}$) が小さいほど、狭い範囲に分布する。この図では例として 4 種類のデータのいずれかを格納できるとしているが、 $V_{T M}$ シフトを小さくするほど、より多くの種類のデータのいずれかを格納することが可能となる。

【 0 0 6 8 】

20

次に、本発明の不揮発性メモリの製造方法の第 1 の実施の形態について説明する。図 2 A 及び図 2 B ~ 図 1 1 A 及び図 1 1 B は、本発明の不揮発性メモリの製造方法の実施の形態の各ステップを説明する断面図である。ただし、各図における図 A と図 B との関係は、図 1 A 及び図 1 B との関係 (各図 B は各図 A の図 1 における A A ' 断面) と同じである。また説明には図 1 A 及び図 1 B も適宜用いる。

【 0 0 6 9 】

まず、図 2 A 及び図 2 B を参照して、表面を洗浄した半導体基板 1 0 を覆うように、熱酸化法で、ゲート絶縁膜 1 1 a を 1 0 n m の膜厚で形成する。

【 0 0 7 0 】

次に、図 3 A 及び図 3 B を参照して、ゲート絶縁膜 1 1 a を介して半導体基板 1 0 へ N 型不純物をイオン注入する。その後、熱処理により、ディープ N ウェル 1 3 を形成する。続いて、ゲート絶縁膜 1 1 a を介して半導体基板 1 0 へ P 型不純物をイオン注入する。その後、熱処理により、P ウェル 1 4 を形成する。 30

【 0 0 7 1 】

続いて、図 4 A 及び図 4 B を参照して、ゲート絶縁膜 1 1 a を覆うように、C V D (化学気相成長) 法でポリシリコン膜を 2 5 0 n m の膜厚で形成する。そのポリシリコン膜上に、C V D 法で窒化シリコン膜を 1 5 0 n m の膜厚で形成する。その後、フォトリソグラフィ及びエッチングの技術により、窒化シリコン膜及びポリシリコン膜をメモリセルの形状にパターンニングする。これより、窒化シリコン層 1 7 及び浮遊ゲート 1 6 が形成される。 40

【 0 0 7 2 】

その後、図 5 A を参照して、窒化シリコン層 1 7 及び浮遊ゲート 1 6 に対して、フォトリソグラフィ及びエッチングの技術により、自己整合的に素子分離溝 (トレンチ) 1 9 を形成する。その深さは、ディープ N ウェル 1 3 よりも深くする。ゲート絶縁膜 1 1 a は、ゲート絶縁層 1 1 になる。ただし、図 5 B を参照して、図 5 B 方向については、素子分離溝を形成しない。

【 0 0 7 3 】

次に、図 6 A 及び図 6 B を参照して、素子分離溝 1 9 を埋め、窒化シリコン層 1 7 及び浮遊ゲート 1 6 の周辺及び上部を覆うように高密度プラズマ C V D 法により、酸化シリコン層 2 0 d を形成する。そして、窒化シリコン 1 7 の表面が露出し、酸化シリコン層 2 0 50

dの表面が平坦になるようにCMP（化学機械研磨）法で、酸化シリコン層20dを研磨する。

【0074】

続いて、図7A及び図7Bを参照して、浮遊ゲート16上の窒化シリコン層17をウェットエッチングの技術により除去する。

【0075】

次に、図8A及び図8Bを参照して、異方性エッチングの技術により、酸化シリコン層20dを浮遊ゲート16の高さよりも低くし、素子分離絶縁部20とする。そして、素子分離絶縁部20、浮遊ゲート16及びゲート絶縁層11を覆うように、CVD法で、酸化シリコン膜22aを30nmの膜厚で形成する。

10

【0076】

更に、図9A及び図9Bを参照して、酸化シリコン膜22aを覆うように、CVD法で、ポリシリコン膜24aを100nmの膜厚で形成する。さらにポリシリコン膜を覆うように、マグネトロンスパッタ法でタングステン膜25aを形成する。このタングステン膜25aは半導体基板10に引張応力を印加する。この応力を用いて、チャンネル領域の応力を制御することができる。堆積速度や、スパッタ時の基板温度、膜厚を変化させ応力値を所望の値となるように制御する。

【0077】

その後、図10A及び図10Bを参照して、フォトリソグラフィ及びエッチングの技術により、酸化シリコン膜22a、ポリシリコン膜24a及びタングステン膜25aをパターンニングして、ポリシリコン層間絶縁層22、ポリシリコン層24、及び金属層25を形成する。

20

【0078】

図11A及び図11Bを参照して、ポリシリコン層24をマスクとして、N型不純物のイオン注入を行う。その後、熱処理により、ソース27及びドレイン28を形成する。

【0079】

上記製造方法により、図1A及び図1Bに示すチャンネル領域8の応力の小さい不揮発性メモリを製造することができる。

【0080】

本発明により、チャンネル領域の応力を緩和することができ、チャンネル領域での電子の移動度を向上させることができる。そのため、メモリセルのオン/オフ比が向上し、書き換え毎に浮遊ゲートに出し入れする電荷量を小さくすることができる。そして、ゲート絶縁膜（トンネル酸化膜）の劣化を低減することが可能となる。加えて、ゲート絶縁膜（トンネル酸化膜）とチャンネル領域との界面の応力を緩和することで、書き換え動作により生成される界面準位の増加が抑制される。それにより、オン電流の劣化を抑えることができる。それにより、不揮発性メモリにおける書き込み消去の書き換え動作の繰り返しによるオン電流の低下や、保持特性の劣化が抑制できる。

30

【0081】

（第2の実施の形態）

以下、本発明の不揮発性メモリの第2の実施の形態に関して、添付図面を参照して説明する。

40

【0082】

図12A及び図12Bは、本発明の不揮発性メモリの第2の実施の形態の構成を示す断面図である。ただし、図12Bは、図12AにおけるAA'断面図である。不揮発性メモリは、半導体基板10、ゲート絶縁層11、浮遊ゲート16、ポリシリコン層間絶縁層22、制御ゲート26及び素子分離絶縁部20を具備する。ここでは、半導体基板10の導電型がP型の場合について説明するが、N型の場合も同様に適用可能である。

【0083】

図12Bを参照して、半導体基板10は、N型不純物をドーブしたディープNウエル13と、半導体基板10表面側のP型不純物をドーブしたPウエル14を備える。Pウエル

50

14には、N型のソース27及びドレイン28が半導体基板10表面に接するように設けられている。ソース27とドレイン28との間の領域は、不揮発性メモリのチャネル領域8(第1領域)である。両者の距離は、例えば、150nmである。

【0084】

第1絶縁層としてのゲート絶縁層11は、チャネル領域8とソース27及びドレイン28の各々の少なくとも一部とを覆うように設けられている。材質は、例えば、酸化シリコンである。膜厚は、電荷がトンネルすることが可能な大きさであり、例えば、10nmである。

【0085】

電荷蓄積層としての浮遊ゲート16は、チャネル領域8上のゲート絶縁層11を覆うように設けられている。材質は、例えば、ポリシリコンである。膜厚は、例えば、250nmである。半導体基板10に平行な平面の大きさは、例えば150nm×150nmである。

【0086】

第2絶縁層としてのポリシリコン層間絶縁層22は、浮遊ゲート16を覆うように設けられている。材質は、例えば、酸化シリコンや、酸化シリコン/窒化シリコン/酸化シリコンの積層膜である。膜厚は、例えば、30nmである。

【0087】

制御ゲート26は、ポリシリコン層間絶縁層22を覆うように設けられている。材質は、例えば、多結晶シリコンである。膜厚は、例えば、200nmである。

【0088】

図12Aを参照して、半導体基板10には、隣接する素子同士を分離する素子分離溝19が設けられ、素子分離絶縁部20が満たされている。素子分離絶縁部20は、素子分離溝19に接する側から順に、酸化シリコン20a、窒化シリコン20b、酸化シリコン20cの層状構造をもつSTI(Shallow Trench Isolation)である。その深さは、ディープNウェル13よりも深く設ける。酸化シリコン20a、窒化シリコン20bの厚さは、例えば10nm、3nmである。この層状構造をもつSTIによりチャネル領域の応力を制御することができる。

【0089】

層状構造をもつSTIは、その各膜の膜厚の組み合わせ及び成膜条件、素子分離溝19の深さを調整することにより、チャネル領域8に与える応力を小さくすることができる。また、素子分離絶縁部20に用いる膜の材質(成分)の調整により、チャネル領域8に与える応力を小さくすることができる。

【0090】

図34～図36については、第1の実施の形態と同様であるので、その説明を省略する。

【0091】

次に、本発明の不揮発性メモリの製造方法の第2の実施の形態について説明する。図2A及び図2B～図5A及び図5B、図19A及び図19B～図21A及び図21B、図9A及び図9B～図11A及び図11Bは、本発明の不揮発性メモリの製造方法の実施の形態の各ステップを説明する断面図である。ただし、各図における図Aと図Bとの関係は、図12A及び図12Bとの関係(各図Bは各図Aの図12におけるAA'断面)と同じである。また説明には図12A及び図12Bも適宜用いる。

【0092】

まず、不揮発性メモリの製造方法の第1の実施の形態に基づき、図2A及び図2B～図5A及び図5Bに示される素子分離溝19の形成まで行う。

【0093】

次に、図13A及び図13Bを参照して、素子分離溝19の内壁及び浮遊ゲート16の外壁を熱酸化法で酸化して、酸化シリコン層20aを形成する。厚さは、例えば10nmである。続いて、プラズマCVD法で窒化シリコン膜20bを形成する。厚さは、例えば

3 nmである。さらに、高密度プラズマCVD法で酸化シリコン膜20cを、素子分離溝19を埋めるように形成する。そして、窒化シリコン膜17の表面が露出するまで、窒化シリコン膜20b及び酸化シリコン膜20cをCMPで研磨する。このような層状構造を持つSTIは通常のSTIに比べ、チャンネル領域に与える圧縮応力が小さい。したがって、良好な保持特性を得ることができる。チャンネル領域に与える応力の大きさは窒化シリコン膜20bの厚さや、酸化シリコン層20aの酸化条件により制御することができる。

【0094】

続いて、図14A及び図14Bを参照して、ウェットエッチングにより、浮遊ゲート16上の窒化シリコン層17及び窒化シリコン層20bの一部を取り除く。

【0095】

次に、図15A及び図15Bを参照して、異方性エッチングの技術により、酸化シリコン層20a及び酸化シリコン膜20cを窒化シリコン層20bの高さに合わせ、素子分離絶縁部20とする。そして、素子分離絶縁部20、浮遊ゲート16及びゲート絶縁層11を覆うように、CVD法で、酸窒化シリコン膜22aを形成する。膜厚は、例えば30 nmである。

【0096】

その後、上記の不揮発性メモリの製造方法の第1の実施の形態における図9A及び図9B～図11A及び図11Bで説明したステップ(工程)に基づき、上部構造およびソース27とドレイン28を形成する。ただし、上部構造を形成する際、金属膜25を形成するステップは必ずしも必要ではない。また、そのステップは、シリコンと金属との化合物薄膜を形成するステップであっても良い。

【0097】

上記製造方法により、図12A及び図12Bに示されるチャンネル領域8の応力の小さい不揮発性メモリを製造することができる。

【0098】

本実施の形態においても、第1の実施の形態で説明したものと同様の効果を得ることができる。

【0099】

(第3の実施の形態)

以下、本発明の不揮発性メモリの第3の実施の形態に関して、添付図面を参照して説明する。

【0100】

図16A及び図16Bは、本発明の不揮発性メモリの第3の実施の形態の構成を示す断面図である。ただし、図16Bは、図16AにおけるAA'断面図である。不揮発性メモリは、半導体基板10、ゲート絶縁層11、浮遊ゲート16、層間絶縁層22、制御ゲート26及び素子分離絶縁部20を具備する。ここでは、半導体基板10がP型の場合について説明するが、N型の場合も同様に適用可能である。

【0101】

図16Bを参照して、半導体基板10は、その表面側から順にシリコン層10a、シリコンゲルマニウム層10bの層構造を含む。不揮発性メモリが作られる前のシリコン層10aはシリコンゲルマニウム層10bから引張応力を受けており、不揮発性メモリが作られることにより生じる圧縮応力が打ち消されることになる。これによりチャンネル領域8の応力を制御することができる。さらに、半導体基板10はN型不純物をドーブしたディーブNウエル13と、半導体基板10表面側のP型不純物をドーブしたPウエル14を備える。Pウエル14には、N型のソース27及びドレイン28が半導体基板10表面に接するように設けられている。ソース27とドレイン28との間の領域は、不揮発性メモリのチャンネル領域8(第1領域)である。両者の距離は、例えば、150 nmである。

【0102】

層構造をもつ半導体基板10は、シリコンゲルマニウム層10b及びシリコン層10aの膜厚の組み合わせ及び成膜条件を調整することにより、チャンネル領域8に与える応力を

10

20

30

40

50

調整することができる。

【0103】

第1絶縁層としてのゲート絶縁層11は、チャンネル領域8とソース27及びドレイン28の各々の少なくとも一部とを覆うように設けられている。材質は、例えば、酸化シリコンである。膜厚は、電荷がトンネルすることが可能な大きさであり、例えば、10nmである。

【0104】

電荷蓄積層としての浮遊ゲート16は、チャンネル領域8上のゲート絶縁層11を覆うように設けられている。材質は、例えば、ポリシリコンである。膜厚は、例えば、250nmである。半導体基板10に平行な平面の大きさは、例えば150nm×150nmである。 10

【0105】

第2絶縁層としての層間絶縁層22は、浮遊ゲート16を覆うように設けられている。材質は、例えば、酸化シリコンや、酸化シリコン/窒化シリコン/酸化シリコンの積層膜である。膜厚は、例えば、30nmである。

【0106】

制御ゲート26は、層間絶縁層22を覆うように設けられている。材質は例えばポリシリコンである。膜厚は、例えば、200nmである。

【0107】

図16Aを参照して、半導体基板10には、隣接する素子同士を分離する素子分離溝19が設けられ、素子分離絶縁部20が満たされている。素子分離絶縁部20は、例えばSTI(Shallow Trench Isolation)である。その深さは、ディープNウエル13よりも深く設ける。材質は、例えば、酸化シリコンである。 20

【0108】

図34～図36については、第1の実施の形態と同様であるので、その説明を省略する。

【0109】

次に、本発明の不揮発性メモリの製造方法の第3の実施の形態について説明する。図17A及び図17B、図2A及び図2B～図11A及び図11Bは、本発明の不揮発性メモリの製造方法の実施の形態の各ステップを説明する断面図である。ただし、各図における図Aと図Bとの関係は、図16A及び図16Bとの関係(各図Bは各図Aの図16におけるAA'断面)と同じである。また説明には図16A及び図16Bも適宜用いる。 30

【0110】

図17A及び図17Bを参照して、まず表面を洗浄したシリコン基板10c上にCVD法によりシリコンゲルマニウム膜をシリコンゲルマニウム層10bとしてエピタキシャル成長させる。このとき、シリコンゲルマニウム膜の膜厚は、シリコン基板10cとの間に発生する応力が緩和するのに十分で、且つ、この応力緩和に伴い生じる結晶欠陥が、デバイス製造に支障のない密度にまで減少する膜厚である。その後CVD法によりシリコン膜をシリコン層10aとしてエピタキシャル成長させる。このシリコン膜にはシリコンゲルマニウム膜との格子定数の差から生じる引張応力が印加されている。これによりチャンネル領域8の応力を制御することができる。 40

【0111】

その後、上記の不揮発性メモリの製造方法の第1の実施の形態における図2A及び図2B～図11A及び図11Bで説明したステップに基づき、図17A及び図17Bに示された基板上に不揮発性メモリを形成する。その際、金属膜25を形成するステップは必ずしも必要ではない。また、そのステップは、シリコンと金属との化合物薄膜を形成するステップであっても良い。

【0112】

上記製造方法により、図16A及び図16Bに示されるチャンネル領域8の応力の小さい不揮発性メモリを製造することができる。

【0113】

本実施の形態においても、第1の実施の形態で説明したものと同様の効果を得ることができる。

【0114】

(第4の実施の形態)

以下、本発明の不揮発性メモリの第4の実施の形態に関して、添付図面を参照して説明する。

【0115】

図18A及び図18Bは、本発明の不揮発性メモリの第4の実施の形態の構成を示す断面図である。ただし、図18Bは、図18AにおけるAA'断面図である。不揮発性メモリは、シリコン基板10、ゲート絶縁層11、浮遊ゲート16、層間絶縁層22、制御ゲート26及び素子分離絶縁部20を具備する。ここでは、シリコン基板10がP型の場合について説明するが、N型の場合も同様に適用可能である。

【0116】

図18Bを参照して、シリコン基板10は、N型不純物をドーブしたディープNウエル13と、半導体基板10表面側のP型不純物をドーブしたPウエル14を備える。Pウエル14には、N型のソース27及びドレイン28が半導体基板10表面に接するように設けられている。ソース27とドレイン28との間の領域は、不揮発性メモリのチャンネル領域8(第1領域)である。両者の距離は、例えば、150nmである。領域29は半導体基板10をエッチングした後、炭素を添加したシリコンをエピタキシャル成長させた領域である。領域29は、ソース27とドレイン28は領域29の一部を含むように設けられている。この構造をとることで、チャンネル領域8には引張応力が印加される。この応力は、チャンネル領域8のシリコンと領域29の炭素を添加したシリコンとの間の格子定数の差によって生じる。その応力の大きさは炭素の添加量や、領域29とチャンネル8との位置関係、深さを変えることで調整することができる。それにより、その応力を使って、チャンネル領域8の応力を制御することができる。

【0117】

第1絶縁層としてのゲート絶縁層11は、チャンネル領域8とソース27及びドレイン28の各々の少なくとも一部とを覆うように設けられている。材質は、例えば、酸化シリコンである。膜厚は、電荷がトンネルすることが可能な大きさであり、例えば、10nmである。

【0118】

電荷蓄積層としての浮遊ゲート16は、チャンネル領域8上のゲート絶縁層11を覆うように設けられている。材質は、例えば、ポリシリコンである。膜厚は、例えば、250nmである。半導体基板10に平行な平面の大きさは、例えば150nm×150nmである。

【0119】

第2絶縁層としてのポリシリコン層間絶縁層22は、浮遊ゲート16を覆うように設けられている。材質は、例えば、酸化シリコンや、酸化シリコン/窒化シリコン/酸化シリコンの積層膜である。膜厚は、例えば、30nmである。

【0120】

制御ゲート26は、層間絶縁層22を覆うように設けられている。材質は例えばポリシリコンである。膜厚は、例えば、200nmである。

【0121】

図18Aを参照して、半導体基板10には、隣接する素子同士を分離する素子分離溝19が設けられ、素子分離絶縁部20が満たされている。素子分離絶縁部20は、例えばSTI(Shallow Trench Isolation)である。その深さは、ディープNウエル13よりも深く設ける。材質は、例えば、酸化シリコンである。

【0122】

図34～図36については、第1の実施の形態と同様であるので、その説明を省略する

。

【 0 1 2 3 】

次に、本発明の不揮発性メモリの製造方法の第 4 の実施の形態について説明する。図 2 A 及び図 2 B ~ 図 1 0 A 及び図 1 0 B、図 1 9 A 及び図 1 9 B ~ 図 2 2 A 及び図 2 2 B は、本発明の不揮発性メモリの製造方法の実施の形態の各ステップを説明する断面図である。ただし、各図における図 A と図 B との関係は、図 1 8 A 及び図 1 8 B との関係（各図 B は各図 A の図 1 8 における A A ' 断面）と同じである。また説明には図 1 8 A 及び図 1 8 B も適宜用いる。

【 0 1 2 4 】

まず、不揮発性メモリの製造方法の第 1 の実施の形態に基づき、図 2 A 及び図 2 B ~ 図 1 0 A 及び図 1 0 B に示される制御ゲート 2 6 の形成までを行う。この際、金属膜 2 5 を形成するステップは必ずしも必要ではない。また、このステップがシリコンと金属との化合物薄膜を形成するステップであっても良い。

【 0 1 2 5 】

次に、図 1 9 A 及び図 1 9 B を参照して、浮遊ゲート 1 6、層間絶縁層 2 2、制御ゲート 2 6 及びゲート絶縁層 1 1 を覆うように C V D 法により酸化シリコン膜 4 0 を形成する。

【 0 1 2 6 】

続いて、図 2 0 A 及び図 2 0 B を参照して、フォトリソグラフィ及びエッチングの技術により、酸化シリコン膜 4 0 及びゲート絶縁膜 1 1 をパターンニングする。

【 0 1 2 7 】

その後、図 2 1 A 及び図 2 1 B を参照して、酸化シリコン膜 4 0 をマスクとして半導体基板 1 0 をドライエッチングによりエッチングする。さらに、エッチングされた半導体基板表面を洗浄した後、選択的エピタキシャル成長の技術により半導体基板のエッチングされた領域にのみ、炭素が添加されたシリコン膜 2 9 を形成する。この炭素が添加されたシリコン膜 2 9 と半導体基板 1 0 との間の格子定数の差により、チャネル領域には引張応力が印加される。この応力によりチャネル領域の応力を制御することが可能となる。チャネル領域に印加される引張り応力の大きさは、添加される炭素の量により制御することができる。

【 0 1 2 8 】

次に、図 2 2 A 及び図 2 2 B を参照して、酸化シリコン膜をエッチングにより除去する。続いて、制御ゲート 2 6 をマスクとして、N 型不純物のイオン注入を行う。その後、熱処理により、ソース 2 7 及びドレイン 2 8 を形成する。

【 0 1 2 9 】

上記製造方法により、図 1 8 A 及び図 1 8 B に示されるチャネル領域 8 の応力の小さい不揮発性メモリを製造することができる。

【 0 1 3 0 】

本実施の形態においても、第 1 の実施の形態で説明したものと同様の効果を得ることができる。

【 0 1 3 1 】

（第 5 の実施の形態）

以下、本発明の不揮発性メモリの第 5 の実施の形態に関して、添付図面を参照して説明する。

【 0 1 3 2 】

図 2 3 A 及び図 2 3 B は、本発明の不揮発性メモリの第 5 の実施の形態の構成を示す断面図である。ただし、図 2 3 B は、図 2 3 A における A A ' 断面図である。不揮発性メモリは、シリコン基板 1 0、ゲート絶縁層 1 1、電荷蓄積絶縁層 1 6、層間絶縁層 2 2、制御ゲート 2 6 及び素子分離絶縁部 2 0 を具備する。ここでは、半導体基板 1 0 の導電型が P 型の場合について説明するが、N 型の場合も同様に適用可能である。

【 0 1 3 3 】

図 2 3 B を参照して、半導体基板 1 0 は、N 型不純物をドーブしたディープ N ウエル 1 3 と、半導体基板 1 0 表面側の P 型不純物をドーブした P ウエル 1 4 を備える。P ウエル 1 4 には、N 型のソース 2 7 及びドレイン 2 8 が半導体基板 1 0 表面に接するように設けられている。ソース 2 7 とドレイン 2 8 との間の領域は、不揮発性メモリのチャンネル領域 8 (第 1 領域) である。両者の距離は、例えば、1 5 0 n m である。

【 0 1 3 4 】

ゲート絶縁層 1 1 は、チャンネル領域 8 とソース 2 7 及びドレイン 2 8 の各々の少なくとも一部とを覆うように設けられている。材質は、例えば、酸化シリコンである。膜厚は、電荷がトンネルすることが可能な大きさであり、例えば、1 . 5 n m である。

【 0 1 3 5 】

電荷蓄積絶縁層 1 6 は、チャンネル領域 8 上のゲート絶縁層 1 1 上に設けられている。材質は、シリコン微粒子 1 6 b を含んだ酸化シリコン膜 1 6 a である。酸化シリコン膜 1 6 a の膜厚は、例えば、2 5 0 n m である。シリコン微粒子 1 6 b の粒径は例えば 5 n m である。半導体基板 1 0 に平行な平面の大きさは、例えば 1 5 0 n m × 1 5 0 n m である。

【 0 1 3 6 】

層間絶縁層 2 2 は、電荷蓄積絶縁層を覆うように設けられている。材質は、例えば、酸化シリコンである。膜厚は、例えば 7 n m である。

【 0 1 3 7 】

制御ゲート 2 6 は、層間絶縁層 2 2 を覆うように設けられている。制御ゲート 2 6 は、金属層 2 5 及びポリシリコン層 2 4 を備える。ポリシリコン層 2 4 は、ポリシリコン層間絶縁層 2 2 を覆うように設けられている。膜厚は、例えば、1 0 0 n m である。金属層 2 5 は、ポリシリコン層 2 4 を覆うように設けられている。金属層 2 5 はチャンネル領域 8 に引張応力を及ぼし、チャンネル領域 8 の圧縮応力を緩和する。金属層 2 6 A の膜厚は、例えば 1 5 0 n m である。その材質は、たとえば、タングステン、タンタル、モリブデンおよびそれらの窒化物である。

【 0 1 3 8 】

金属層 2 5 は、その膜厚や、その膜中の材質を調整することにより、所望の引張応力とすることができる。また、上記タングステン等及びそれらの窒化物の成分調整により、所望の引張応力とすることができる。これにより、チャンネル領域 8 の圧縮応力の大きさに対応して、その圧縮応力を緩和することができる。

【 0 1 3 9 】

図 2 3 A を参照して、半導体基板 1 0 には、隣接する素子同士を分離する素子分離溝 1 9 が設けられ、素子分離絶縁部 2 0 が満たされている。素子分離絶縁部 2 0 は、例えば S T I (Shallow Trench Isolation) である。その深さは、N ウエル 1 3 よりも深く設ける。材質は、例えば、酸化シリコンである。

【 0 1 4 0 】

図 3 4 ~ 図 3 6 については、第 1 の実施の形態と同様であるので、その説明を省略する。

【 0 1 4 1 】

本発明の不揮発性メモリの製造方法の第 5 の実施の形態については、電荷蓄積絶縁層 1 6 の材質が異なるほかは、第 1 の実施の形態と同様であるのでその説明を省略する。ただし、電荷蓄積絶縁層 1 6 は、シリコン微粒子を分散された酸化シリコンのスラリーを塗布、焼成して形成することが出来る。

【 0 1 4 2 】

本実施の形態においても、第 1 の実施の形態で説明したものと同様の効果を得ることができる。

【 0 1 4 3 】

(第 6 の実施の形態)

以下、本発明の不揮発性メモリの第 6 の実施の形態に関して、添付図面を参照して説明する。

10

20

30

40

50

【0144】

図24A及び図24Bは、本発明の不揮発性メモリの第6の実施の形態の構成を示す断面図である。ただし、図24Bは、図24AにおけるAA'断面図である。不揮発性メモリは、シリコン基板10、ゲート絶縁層11、電荷蓄積絶縁層16、層間絶縁層22、制御ゲート26及び素子分離絶縁部20を具備する。ここでは、半導体基板10の導電型がP型の場合について説明するが、N型の場合も同様に適用可能である。

【0145】

図24Bを参照して、半導体基板10は、N型不純物をドーブしたディープNウエル13と、半導体基板10表面側のP型不純物をドーブしたPウエル14を備える。Pウエル14には、N型のソース27及びドレイン28が半導体基板10表面に接するように設けられている。ソース27とドレイン28との間の領域は、不揮発性メモリのチャネル領域8(第1領域)である。両者の距離は、例えば、150nmである。

【0146】

ゲート絶縁層11は、チャネル領域8とソース27及びドレイン28の各々の少なくとも一部とを覆うように設けられている。材質は、例えば、酸化シリコンである。膜厚は、電荷がトンネルすることが可能な大きさであり、例えば、7nmである。

【0147】

電荷蓄積絶縁層16は、チャネル領域8上のゲート絶縁層11上に設けられている。材質は、例えば、窒化シリコン、酸化アルミニウム、酸窒化アルミニウム、酸化ハフニウム、酸窒化ハフニウム、酸窒化シリコンハフニウム、酸化ジルコニウム、酸窒化ジルコニウム、酸窒化シリコンジルコニウムのいずれかである。これらの材料により形成される電荷蓄積層16は、電荷捕獲中心を含有する。膜厚は、例えば、10nmである。半導体基板10に平行な平面の大きさは、例えば150nm×150nmである。

【0148】

層間絶縁層22は、電荷蓄積絶縁層16の上に設けられている。材質は、例えば、酸化シリコンである。膜厚は例えば7nmである。

【0149】

制御ゲート26は、層間絶縁層22を覆うように設けられている。制御ゲート26は、金属層25及びポリシリコン層24を備える。ポリシリコン層24は、ポリシリコン層間絶縁層22を覆うように設けられている。膜厚は、例えば、100nmである。金属層25は、ポリシリコン層26Aを覆うように設けられている。金属層25はチャネル領域8に引張応力を及ぼし、チャネル領域8の圧縮応力を緩和する。金属層25の膜厚は例えば150nmである。その材質は、たとえば、タングステン、タンタル、モリブデンおよびそれらの窒化物、それらの組み合わせ(積層)である。

【0150】

図24Aを参照して、半導体基板10には、隣接する素子同士を分離する素子分離溝19が設けられ、素子分離絶縁部20が満たされている。素子分離絶縁部20は、例えばSTI(Shallow Trench Isolation)である。その深さは、Nウエル13よりも深く設ける。材質は、例えば、酸化シリコンである。

【0151】

図34~図36については、第1の実施の形態と同様であるので、その説明を省略する。

【0152】

本発明の不揮発性メモリの製造方法の第6の実施の形態については、電荷蓄積絶縁層16の材質が異なるほかは、第1の実施の形態と同様であるのでその説明を省略する。

【0153】

本実施の形態においても、第1の実施の形態で説明したものと同様の効果を得ることができる。

【0154】

(第7の実施の形態)

10

20

30

40

50

以下、本発明の不揮発性メモリの第7の実施の形態に関して、添付図面を参照して説明する。

【0155】

図25A及び図25Bは、本発明の不揮発性メモリの第7の実施の形態の構成を示す断面図である。ただし、図25Bは、図25AにおけるAA'断面図である。不揮発性メモリは、半導体基板10、ゲート絶縁層11、強誘電体層18、制御ゲート26及び素子分離絶縁部20を具備する。ここでは、半導体基板10の導電型がP型の場合について説明するが、N型の場合も同様に適用可能である。強誘電体層18はゲート絶縁層11側から順に金属、強誘電体の積層構造をとる薄膜であっても良い。

【0156】

10

図25Bを参照して、半導体基板10は、N型不純物をドーブしたディープNウエル13と、半導体基板10表面側のP型不純物をドーブしたPウエル14を備える。Pウエル14には、N型のソース27及びドレイン28が半導体基板10表面に接するように設けられている。ソース27とドレイン28との間の領域は、不揮発性メモリのチャンネル領域8(第1領域)である。両者の距離は、例えば、150nmである。

【0157】

第1絶縁層としてのゲート絶縁層11は、チャンネル領域8とソース27及びドレイン28の各々の少なくとも一部とを覆うように設けられている。材質は、例えば、酸化ハフニウムである。膜厚は、例えば、8nmである。

【0158】

20

電荷蓄積層としての強誘電体層18は、チャンネル領域8上のゲート絶縁層11の上に設けられている。材質は、例えば、タンタル酸ビスマス酸ストロンチウムである。膜厚は、例えば、250nmである。半導体基板10に平行な平面の大きさは、例えば150nm×150nmである。ゲート絶縁層11と強誘電体層18との間に金属層(図示されず)を有していても良い。

【0159】

制御ゲート26は、強誘電体層16の上に設けられている。材質は例えばルテニウムである。膜厚は例えば100nmである。

【0160】

図25Aを参照して、半導体基板10には、隣接する素子同士を分離する素子分離溝19が設けられ、素子分離絶縁部20が満たされている。素子分離絶縁部20は、酸化シリコン20a、窒化シリコン20b、酸化シリコン20cの層状構造をもつSTI(Shallow Trench Isolation)である。その深さは、ディープNウエル13よりも深く設ける。酸化シリコン20a、窒化シリコン20bの厚さは例えば10nm、3nmである。この層状構造をもつSTIにより、第2の実施の形態と同様にチャンネル領域の応力を制御することができる。

30

【0161】

図34~図36については、第1の実施の形態と同様であるので、その説明を省略する。

【0162】

40

本発明の不揮発性メモリの製造方法の第7の実施の形態については、層間絶縁層22を設けないほかは、第2の実施の形態と同様であるのでその説明を省略する。

【0163】

本実施の形態においても、第1の実施の形態で説明したものと同様の効果を得ることができる。

【0164】

(第8の実施の形態)

以下、本発明の不揮発性メモリの第8の実施の形態に関して、添付図面を参照して説明する。

【0165】

50

図 2 6 A 及び図 2 6 B は、本発明の不揮発性メモリの第 8 の実施の形態の構成を示す断面図である。ただし、図 2 6 B は、図 2 6 A における A A ' 断面図である。不揮発性メモリは、半導体基板 1 0、ゲート絶縁層 1 1、浮遊ゲート 1 6、ポリシリコン層間絶縁層 2 2、制御ゲート 2 6、サイドウォール 3 0、層間絶縁層 3 5 及び素子分離絶縁部 2 0 を具備する。ここでは、半導体基板 1 0 が P 型の場合について説明するが、N 型の場合も同様に適用可能である。

【 0 1 6 6 】

図 2 6 B を参照して、半導体基板 1 0 は、N 型不純物をドーブしたディープ N ウエル 1 3 と、半導体基板 1 0 表面側の P 型不純物をドーブした P ウエル 1 4 を備える。P ウエル 1 4 には、N 型のソース 2 7 及びドレイン 2 8 が半導体基板 1 0 表面に接するように設けられている。ソース 2 7 とドレイン 2 8 との間の領域は、不揮発性メモリのチャネル領域 8 (第 1 領域) である。両者の距離は、例えば、1 5 0 n m である。

10

【 0 1 6 7 】

第 1 絶縁層としてのゲート絶縁層 1 1 は、チャネル領域 8 とソース 2 7 及びドレイン 2 8 の各々の少なくとも一部とを覆うように設けられている。材質は、例えば、酸化シリコンである。膜厚は、電荷がトンネルすることが可能な大きさであり、例えば、1 0 n m である。

【 0 1 6 8 】

電荷蓄積層としての浮遊ゲート 1 6 は、チャネル領域 8 上のゲート絶縁層 1 1 を覆うように設けられている。材質は、例えば、ポリシリコンである。膜厚は、例えば、2 5 0 n m である。半導体基板 1 0 に平行な平面の大きさは、例えば 1 5 0 n m × 1 5 0 n m である。

20

【 0 1 6 9 】

第 2 絶縁層としてのポリシリコン層間絶縁層 2 2 は、浮遊ゲート 1 6 を覆うように設けられている。材質は、例えば、酸化シリコンや、酸化シリコン / 窒化シリコン / 酸化シリコンの積層膜である。膜厚は、例えば、3 0 n m である。

【 0 1 7 0 】

制御ゲート 2 6 は、ポリシリコン層間絶縁層 2 2 を覆うように設けられている。制御ゲート 2 6 は、シリサイド層 2 5 及びポリシリコン層 2 4 を備える。ポリシリコン層 2 4 は、ポリシリコン層間絶縁層 2 2 を覆うように設けられている。膜厚は、例えば、2 0 0 n m である。シリサイド層 2 5 は、ポリシリコン層 2 4 を覆うように設けられている。材質は、例えば、C o S i 2 である。膜厚は、例えば、1 0 0 n m である。

30

【 0 1 7 1 】

サイドウォール 3 0 は、浮遊ゲート 1 6、ポリシリコン層間絶縁層 2 2 及び制御ゲート 2 6 の側面を覆い、下部がゲート絶縁層 1 1 に接するように設けられている。サイドウォール 3 0 は、引張応力を有する。そして、その引張応力により、チャネル領域 8 の圧縮応力を緩和することができる。特に、ゲート絶縁層 1 1 に接する部分及びそれと概ね平行な部分の引張応力の効果が大きい。サイドウォール 3 0 は、第 1 側壁絶縁層 3 1、第 2 側壁絶縁層 3 2 及び第 3 側壁絶縁層 3 3 を備える。

【 0 1 7 2 】

40

第 1 側壁絶縁層 3 1 は、浮遊ゲート 1 6、ポリシリコン層間絶縁層 2 2 及び制御ゲート 2 6 の側面を覆い、下部がゲート絶縁層 1 1 に接するように設けられている。材質は、例えば、酸化シリコンである。製造方法は、減圧 C V D 法に例示される C V D 法である。膜厚は、例えば、1 0 n m である。

第 2 側壁絶縁層 3 2 は、第 1 側壁絶縁層 3 1 の表面を覆うように設けられている。例えば、窒化シリコン (S i N)、S i O N 膜、S i C N 膜、A l O 膜、及び A l S i N 膜の少なくとも一つを含む膜である。製造方法は、減圧 C V D 法である。製膜温度は、6 0 0 以上 9 0 0 以下が好ましい。この範囲では、膜に引張応力を持たせることができる。膜厚は、例えば、1 0 n m である。

第 3 側壁絶縁層 3 3 は、第 2 側壁絶縁層 3 2 の表面を覆うように設けられている。材質

50

は、例えば、酸化シリコンである。製造方法は、製造方法は、減圧CVD法に例示されるCVD法である。膜厚は、例えば、20nmである。これら第1側壁絶縁層31、第2側壁絶縁層32及び第3側壁絶縁層33の少なくとも一つが、特に、半導体基板10の表面に概ね平行な方向に引張応力を有することにより、チャンネル領域8の圧縮応力を緩和することができる。

【0173】

第3絶縁層としての層間絶縁層35は、ゲート絶縁層11、サイドウォール30及び制御ゲート26を覆うように設けられている。例えば、窒化シリコン、SiON膜、SiCN膜、AlO膜、及びAlSiN膜の少なくとも一つを含む膜である。製造方法は、減圧CVD法のようなCVD法である。原料ガスは、シラン又はジクロルシランである。製膜温度は、膜質（膜に引張応力を持たせる条件）から600以上900以下が好ましい。膜厚は、例えば、200nmである。モノメチルシランとヒドラジンを原料ガスとして、CVD法で製膜しても良い。この層間絶縁層35は、引張応力を有する。そして、その引張応力により、チャンネル領域8の圧縮応力を緩和することができる。

10

【0174】

図26Aを参照して、半導体基板10には、隣接する素子同士を分離する素子分離溝19が設けられ、素子分離絶縁部20が満たされている。素子分離絶縁部20は、STI(Shallow Trench Isolation)に例示される。その深さは、ディープNウェル13よりも深く設ける。材質は、例えば、酸化シリコンである。

【0175】

20

図34～図36については、第1の実施の形態と同様であるので、その説明を省略する。

【0176】

次に、本発明の不揮発性メモリの製造方法の第8の実施の形態について説明する。図2A及び図2B～図8A及び図8B、図27A及び図27B～図33A及び図33Bは、本発明の不揮発性メモリの製造方法の実施の形態の各ステップを説明する断面図である。ただし、各図における図Aと図Bとの関係は、図26A及び図26Bとの関係（各図Bは各図Aの図26におけるAA'断面）と同じである。

【0177】

まず、不揮発性メモリの製造方法の第1の実施の形態に基づき、図2A及び図2B～図8A及び図8Bに示される酸窒化シリコン膜22aの形成までを行う。

30

【0178】

次に、図27A及び図27Bを参照して、酸窒化シリコン膜22aを覆うように、CVD法で、ポリシリコン膜24aを300nmの膜厚で形成する。

【0179】

その後、図28A及び図28Bを参照して、フォトリソグラフィ及びエッチングの技術により、酸窒化シリコン膜22a及びポリシリコン膜24aをパターンニングして、ポリシリコン層24及びポリシリコン層間絶縁層22を形成する。

【0180】

図29A及び図29Bを参照して、ポリシリコン層24をマスクとして、N型不純物のイオン注入を行い、その後の熱処理により、ソース27及びドレイン28を形成する。

40

【0181】

図30A及び図30Bを参照して、ゲート絶縁層11及びポリシリコン層24を覆うように、CVD法で、サイドウォール用の酸化シリコン膜31a、窒化シリコン膜32a及び酸化シリコン膜33aをそれぞれ10nm、10nm及び20nmの膜厚で形成する。その時、引張応力を有するように、上述の製造条件を用いる。それにより、チャンネル領域8の圧縮応力を低減することができる。

【0182】

図31A及び図31Bを参照して、異方性エッチングにより、サイドウォール30（第1側壁絶縁層31、第2側壁絶縁層32及び第3側壁絶縁層33）を形成する。

50

【 0 1 8 3 】

図 3 2 A 及び図 3 2 B を参照して、ポリシリコン層 2 4 を覆うように、スパッタ法で、C o 膜を 1 0 0 n m の膜厚で製膜後、フォトリソグラフィ及びエッチングの技術により、ポリシリコン層 2 4 上に C o 膜を残す。そして、熱処理によりポリシリコン層 2 4 と反応させ、1 0 0 n m 膜厚の C o S i 2 のシリサイド層 2 5 を形成する。これにより、制御ゲート 2 6 (シリサイド層 2 5 及びポリシリコン層 2 4) を形成する。

【 0 1 8 4 】

図 3 3 A 及び図 3 3 B を参照して、ゲート絶縁膜 1 1、サイドウォール 3 0 及び制御ゲート 2 6 を覆うように、C V D 法で、層間絶縁膜 3 5 を 2 0 0 n m の膜厚で形成する。その時、引張応力を有するように、上述の製造条件を用いる。それにより、チャンネル領域 8 の圧縮応力を低減することができる。

【 0 1 8 5 】

上記製造方法により、図 2 6 A 及び図 2 6 B に示されるチャンネル領域 8 の応力の小さい不揮発性メモリを製造することができる。

【 0 1 8 6 】

本実施の形態においても、第 1 の実施の形態で説明したものと同様の効果を得ることができる。

【 0 1 8 7 】

上記各実施の形態は、互いに矛盾が発生しない限り、重複して実施しても良い。

【 図面の簡単な説明 】

【 0 1 8 8 】

【 図 1 A 】 図 1 A は、本発明の不揮発性メモリの第 1 の実施の形態の構成を示す断面図である。

【 図 1 B 】 図 1 B は、図 1 A における A A ' 断面図である。

【 図 2 A 】 図 2 A は、本発明の不揮発性メモリの製造方法の第 1 の実施の形態のステップの一つにおける断面図である。

【 図 2 B 】 図 2 B は、図 2 A における A A ' 断面図である。

【 図 3 A 】 図 3 A は、本発明の不揮発性メモリの製造方法の第 1 の実施の形態のステップの一つにおける断面図である。

【 図 3 B 】 図 3 B は、図 3 A における A A ' 断面図である。

【 図 4 A 】 図 4 A は、本発明の不揮発性メモリの製造方法の第 1 の実施の形態のステップの一つにおける断面図である。

【 図 4 B 】 図 4 B は、図 4 A における A A ' 断面図である。

【 図 5 A 】 図 5 A は、本発明の不揮発性メモリの製造方法の第 1 の実施の形態のステップの一つにおける断面図である。

【 図 5 B 】 図 5 B は、図 5 A における A A ' 断面図である。

【 図 6 A 】 図 6 A は、本発明の不揮発性メモリの製造方法の第 1 の実施の形態のステップの一つにおける断面図である。

【 図 6 B 】 図 6 B は、図 6 A における A A ' 断面図である。

【 図 7 A 】 図 7 A は、本発明の不揮発性メモリの製造方法の第 1 の実施の形態のステップの一つにおける断面図である。

【 図 7 B 】 図 7 B は、図 7 A における A A ' 断面図である。

【 図 8 A 】 図 8 A は、本発明の不揮発性メモリの製造方法の第 1 の実施の形態のステップの一つにおける断面図である。

【 図 8 B 】 図 8 B は、図 8 A における A A ' 断面図である。

【 図 9 A 】 図 9 A は、本発明の不揮発性メモリの製造方法の第 1 の実施の形態のステップの一つにおける断面図である。

【 図 9 B 】 図 9 B は、図 9 A における A A ' 断面図である。

【 図 1 0 A 】 図 1 0 A は、本発明の不揮発性メモリの製造方法の第 1 の実施の形態のステップの一つにおける断面図である。

10

20

30

40

50

- 【図 10 B】図 10 B は、図 10 A における A A ' 断面図である。
- 【図 11 A】図 11 A は、本発明の不揮発性メモリの製造方法の第 1 の実施の形態のステップの一つにおける断面図である。
- 【図 11 B】図 11 B は、図 11 A における A A ' 断面図である。
- 【図 12 A】図 12 A は、本発明の不揮発性メモリの第 1 の実施の形態の構成を示す断面図である。
- 【図 12 B】図 12 B は、図 12 A における A A ' 断面図である。
- 【図 13 A】図 13 A は、本発明の不揮発性メモリの製造方法の第 2 の実施の形態のステップの一つにおける断面図である。
- 【図 13 B】図 13 B は、図 13 A における A A ' 断面図である。 10
- 【図 14 A】図 14 A は、本発明の不揮発性メモリの製造方法の第 2 の実施の形態のステップの一つにおける断面図である。
- 【図 14 B】図 14 B は、図 14 A における A A ' 断面図である。
- 【図 15 A】図 15 A は、本発明の不揮発性メモリの製造方法の第 2 の実施の形態のステップの一つにおける断面図である。
- 【図 15 B】図 15 B は、図 15 A における A A ' 断面図である。
- 【図 16 A】図 16 A は、本発明の不揮発性メモリの第 3 の実施の形態の構成を示す断面図である。
- 【図 16 B】図 16 B は、図 16 A における A A ' 断面図である。
- 【図 17 A】図 17 A は、本発明の不揮発性メモリの製造方法の第 3 の実施の形態のステップの一つにおける断面図である。 20
- 【図 17 B】図 17 B は、図 17 A における A A ' 断面図である。
- 【図 18 A】図 18 A は、本発明の不揮発性メモリの第 4 の実施の形態の構成を示す断面図である。
- 【図 18 B】図 18 B は、図 18 A における A A ' 断面図である。
- 【図 19 A】図 19 A は、本発明の不揮発性メモリの製造方法の第 4 の実施の形態のステップの一つにおける断面図である。
- 【図 19 B】図 19 B は、図 19 A における A A ' 断面図である。
- 【図 20 A】図 20 A は、本発明の不揮発性メモリの製造方法の第 4 の実施の形態のステップの一つにおける断面図である。 30
- 【図 20 B】図 20 B は、図 20 A における A A ' 断面図である。
- 【図 21 A】図 21 A は、本発明の不揮発性メモリの製造方法の第 4 の実施の形態のステップの一つにおける断面図である。
- 【図 21 B】図 21 B は、図 21 A における A A ' 断面図である。
- 【図 22 A】図 22 A は、本発明の不揮発性メモリの製造方法の第 4 の実施の形態のステップの一つにおける断面図である。
- 【図 22 B】図 22 B は、図 22 A における A A ' 断面図である。
- 【図 23 A】図 23 A は、本発明の不揮発性メモリの第 5 の実施の形態の構成を示す断面図である。
- 【図 23 B】図 23 B は、図 23 A における A A ' 断面図である。 40
- 【図 24 A】図 24 A は、本発明の不揮発性メモリの第 6 の実施の形態の構成を示す断面図である。
- 【図 24 B】図 24 B は、図 24 A における A A ' 断面図である。
- 【図 25 A】図 25 A は、本発明の不揮発性メモリの第 7 の実施の形態の構成を示す断面図である。
- 【図 25 B】図 25 B は、図 25 A における A A ' 断面図である。
- 【図 26 A】図 26 A は、本発明の不揮発性メモリの第 8 の実施の形態の構成を示す断面図である。
- 【図 26 B】図 26 B は、図 26 A における A A ' 断面図である。
- 【図 27 A】図 27 A は、本発明の不揮発性メモリの製造方法の第 4 の実施の形態のステ 50

ップの一つにおける断面図である。

【図 2 7 B】図 2 7 B は、図 2 7 A における A A ' 断面図である。

【図 2 8 A】図 2 8 A は、本発明の不揮発性メモリの製造方法の第 4 の実施の形態のステップの一つにおける断面図である。

【図 2 8 B】図 2 8 B は、図 2 8 A における A A ' 断面図である。

【図 2 9 A】図 2 9 A は、本発明の不揮発性メモリの製造方法の第 4 の実施の形態のステップの一つにおける断面図である。

【図 2 9 B】図 2 9 B は、図 2 9 A における A A ' 断面図である。

【図 3 0 A】図 3 0 A は、本発明の不揮発性メモリの製造方法の第 4 の実施の形態のステップの一つにおける断面図である。

10

【図 3 0 B】図 3 0 B は、図 3 0 A における A A ' 断面図である。

【図 3 1 A】図 3 1 A は、本発明の不揮発性メモリの製造方法の第 4 の実施の形態のステップの一つにおける断面図である。

【図 3 1 B】図 3 1 B は、図 3 1 A における A A ' 断面図である。

【図 3 2 A】図 3 2 A は、本発明の不揮発性メモリの製造方法の第 4 の実施の形態のステップの一つにおける断面図である。

【図 3 2 B】図 3 2 B は、図 3 2 A における A A ' 断面図である。

【図 3 3 A】図 3 3 A は、本発明の不揮発性メモリの製造方法の第 4 の実施の形態のステップの一つにおける断面図である。

【図 3 3 B】図 3 3 B は、図 3 3 A における A A ' 断面図である。

20

【図 3 4】図 3 4 は、メモリセルの電圧と電流との関係を示すグラフである。

【図 3 5】図 3 5 は、チャネル領域 8 の圧縮応力とゲート電圧の閾値の変動との関係を示すグラフである。

【図 3 6】図 3 6 は、ゲート電圧の閾値の分布を示すグラフである。

【符号の説明】

【 0 1 8 9 】

8 チャネル領域

1 0 半導体基板

1 0 a シリコン

1 0 b シリコンゲルマニウム

30

1 1 ゲート絶縁膜

1 3 N ウエル

1 4 P ウエル

1 6 電荷蓄積層

1 6 a 絶縁体

1 6 b 半導体微粒子

1 7 窒化シリコン

1 8 強誘電体膜

2 0 素子分離絶縁部

2 0 a 酸化シリコン

40

2 0 b 窒化シリコン

2 0 c 酸化シリコン

2 0 d 酸化シリコン

2 2 層間絶縁膜

2 2 a 酸窒化シリコン

2 4 ポリシリコン

2 4 a ポリシリコン膜

2 5 金属

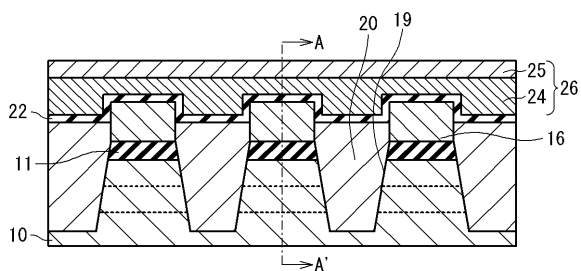
2 5 a 金属膜

2 6 制御ゲート

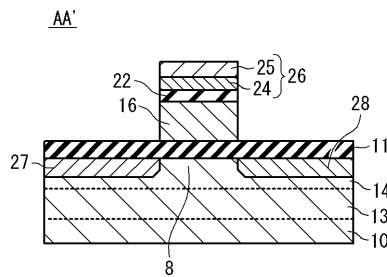
50

- 2 7 ソース
- 2 8 ドレイン
- 2 9 炭素が添加されたシリコン
- 4 0 酸化シリコン
- 3 0 サイドウォール
- 3 1 第 1 側壁絶縁層
- 3 2 第 2 側壁絶縁層
- 3 3 第 3 側壁絶縁層
- 3 5 第 2 層間絶縁膜

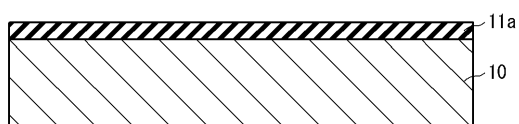
【図 1 A】



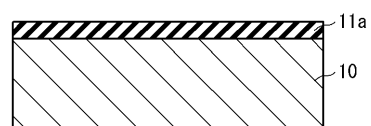
【図 1 B】



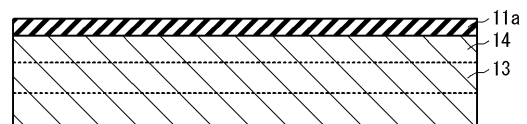
【図 2 A】



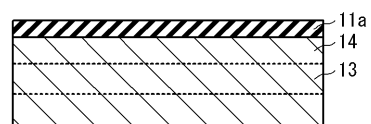
【図 2 B】



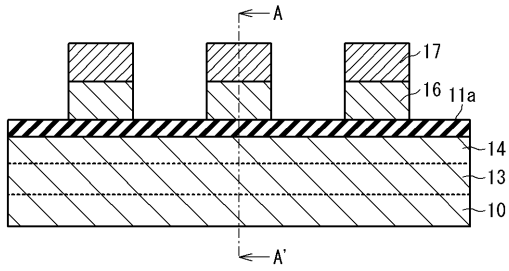
【図 3 A】



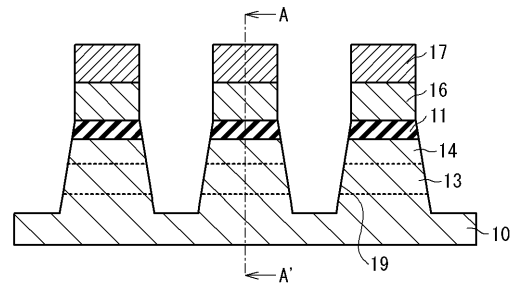
【図 3 B】



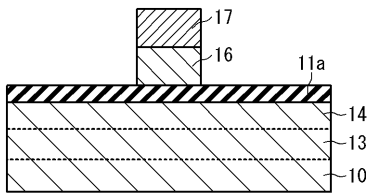
【図 4 A】



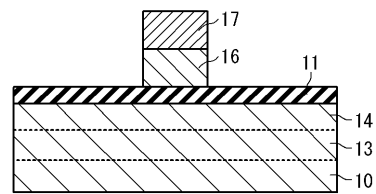
【図 5 A】



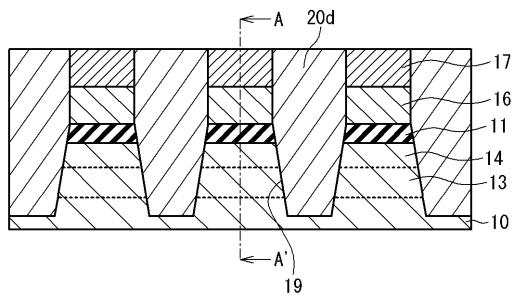
【図 4 B】



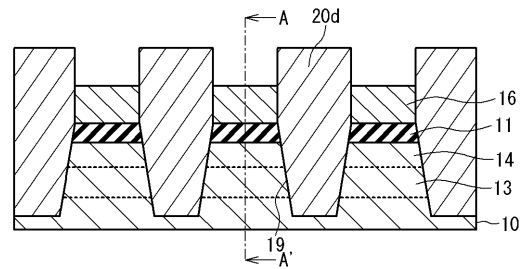
【図 5 B】



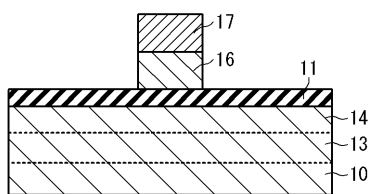
【図 6 A】



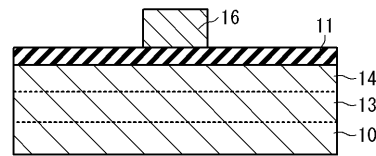
【図 7 A】



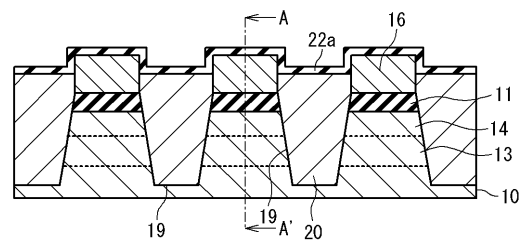
【図 6 B】



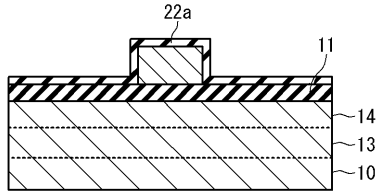
【図 7 B】



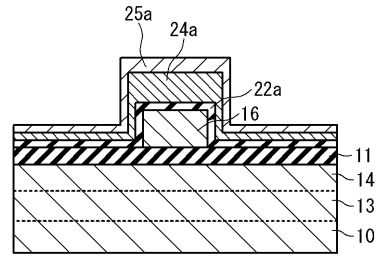
【図 8 A】



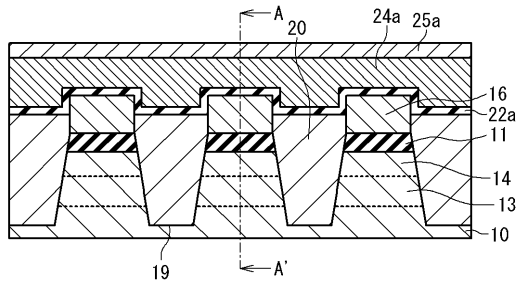
【図 8 B】



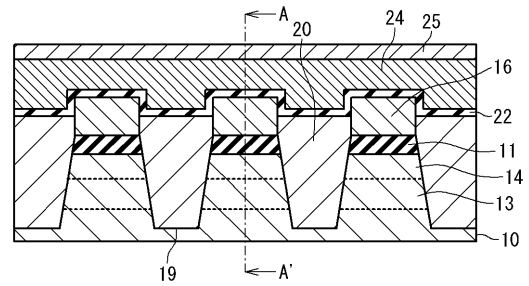
【図 9 B】



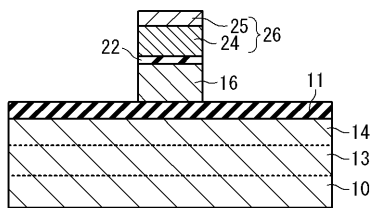
【図 9 A】



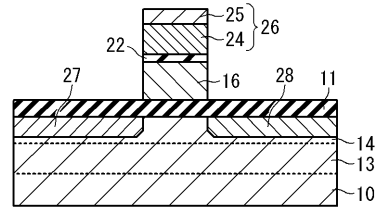
【図 10 A】



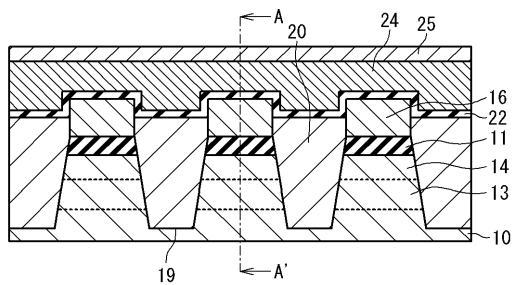
【図 10 B】



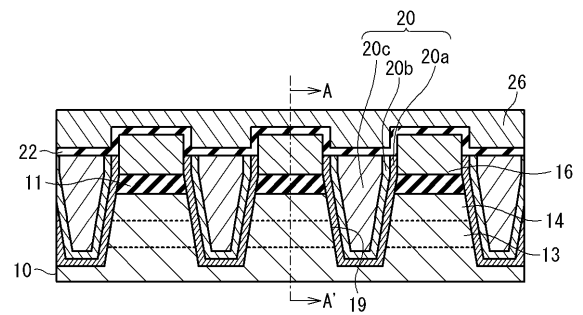
【図 11 B】



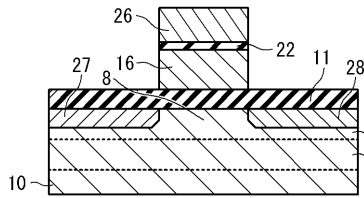
【図 11 A】



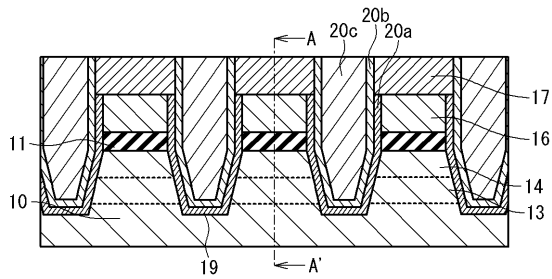
【図 12 A】



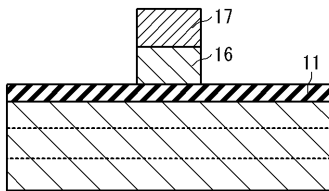
【図 1 2 B】



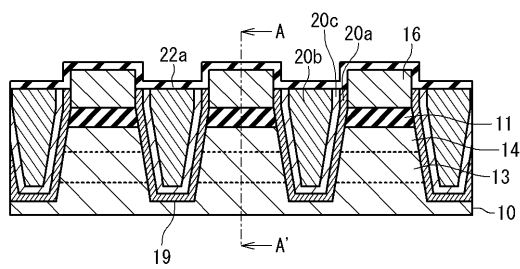
【図 1 3 A】



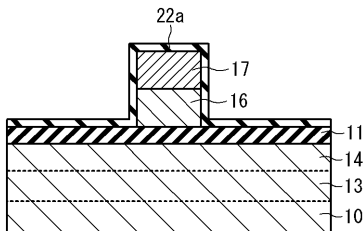
【図 1 3 B】



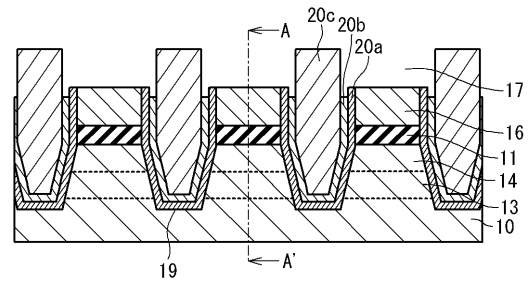
【図 1 5 A】



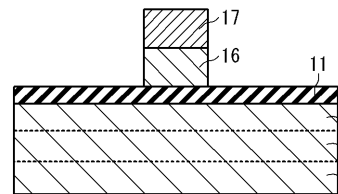
【図 1 5 B】



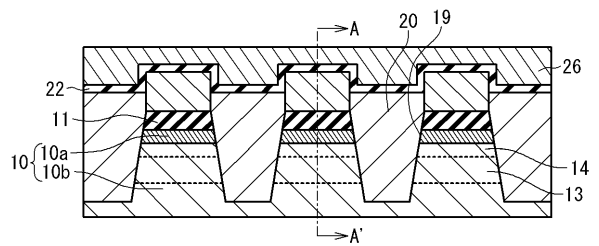
【図 1 4 A】



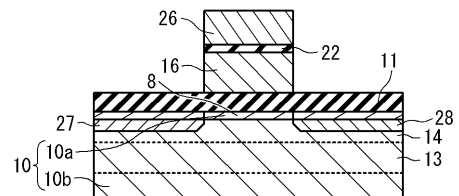
【図 1 4 B】



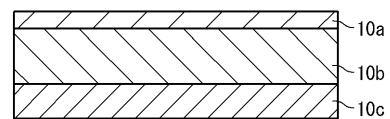
【図 1 6 A】



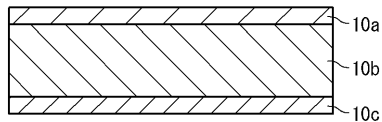
【図 1 6 B】



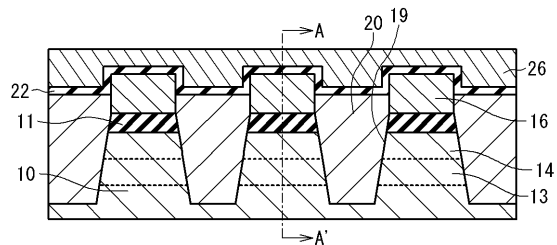
【図 1 7 A】



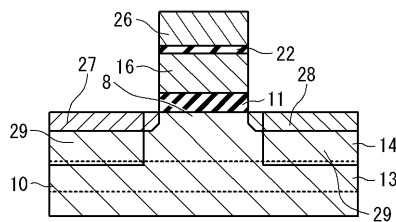
【図 17 B】



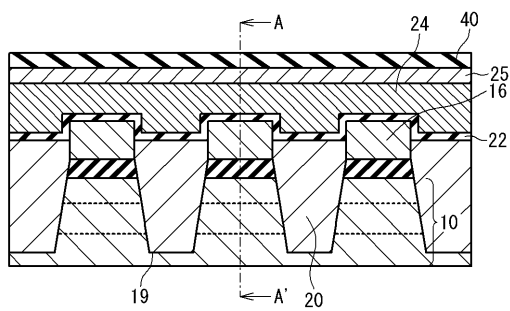
【図 18 A】



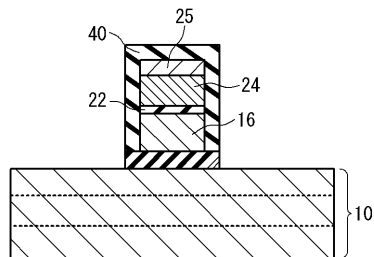
【図 18 B】



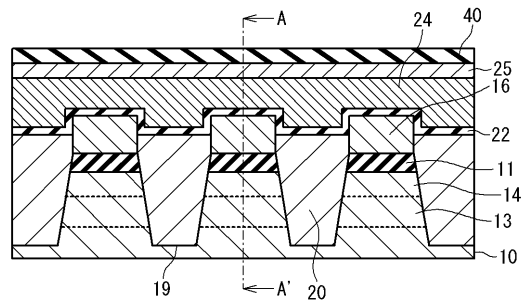
【図 20 A】



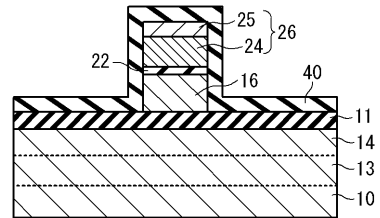
【図 20 B】



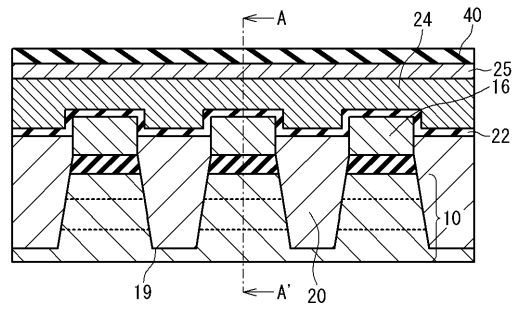
【図 19 A】



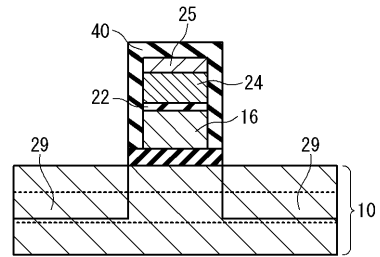
【図 19 B】



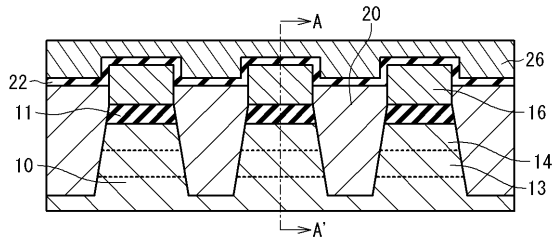
【図 21 A】



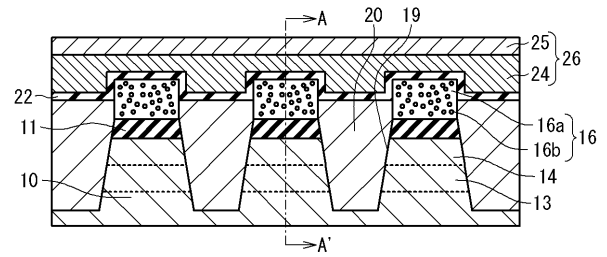
【図 21 B】



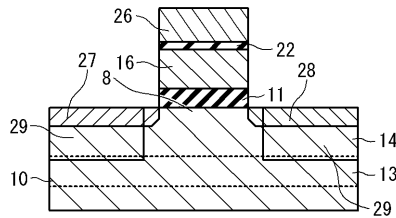
【図 2 2 A】



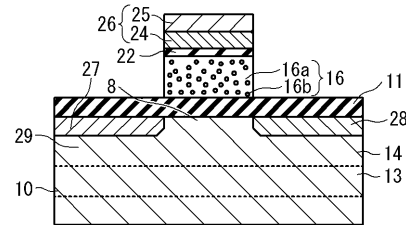
【図 2 3 A】



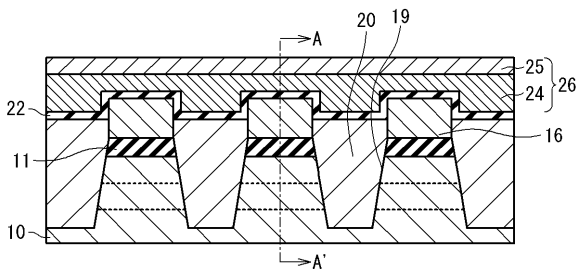
【図 2 2 B】



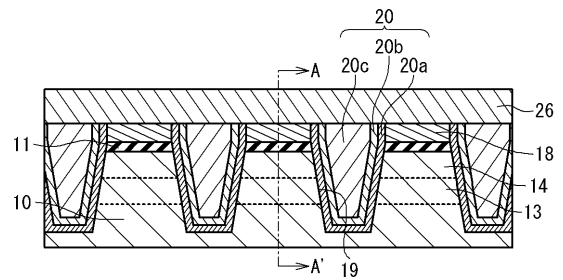
【図 2 3 B】



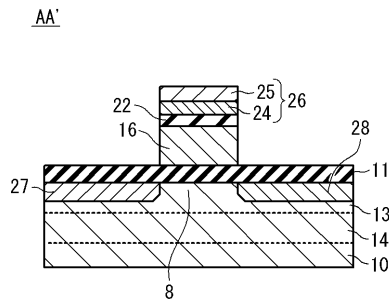
【図 2 4 A】



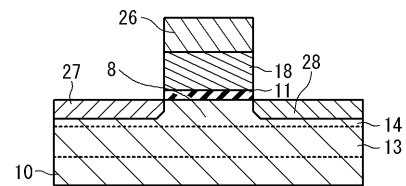
【図 2 5 A】



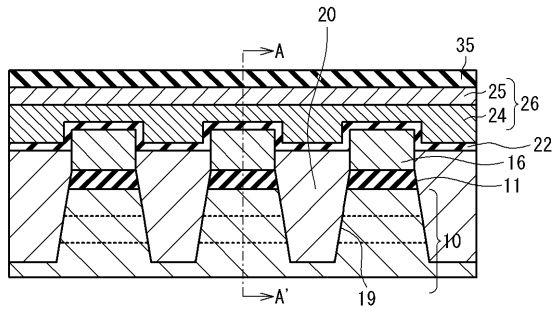
【図 2 4 B】



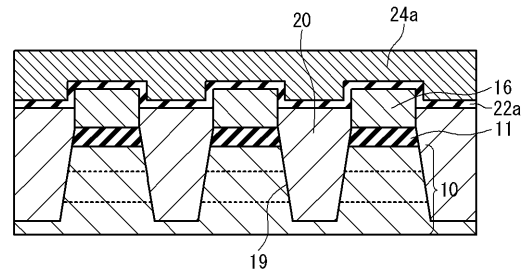
【図 2 5 B】



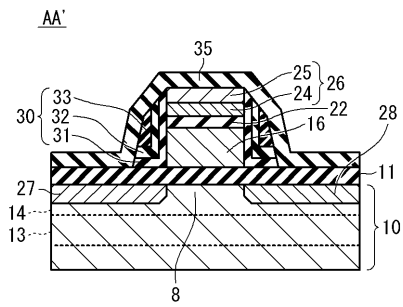
【図 26 A】



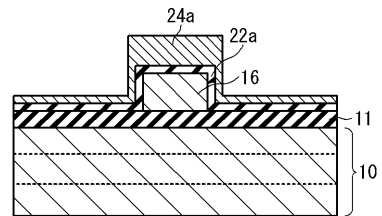
【図 27 A】



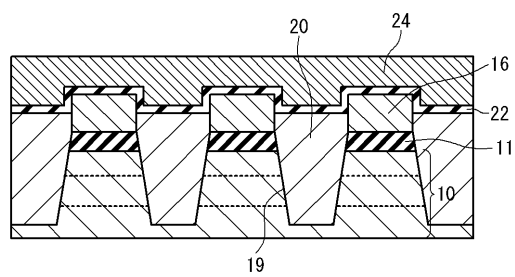
【図 26 B】



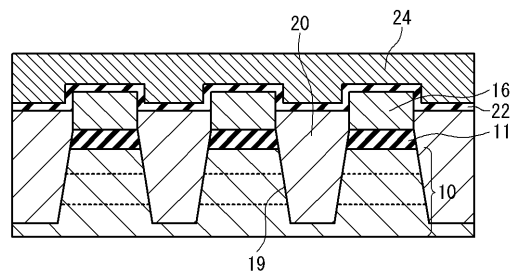
【図 27 B】



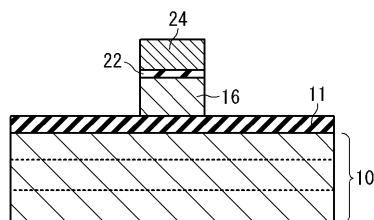
【図 28 A】



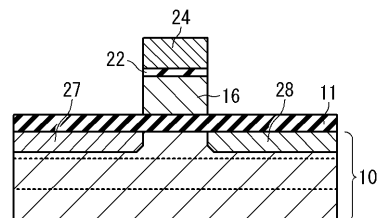
【図 29 A】



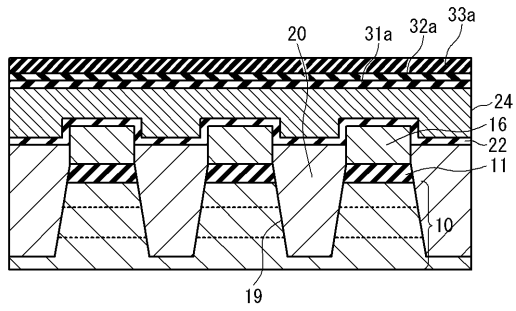
【図 28 B】



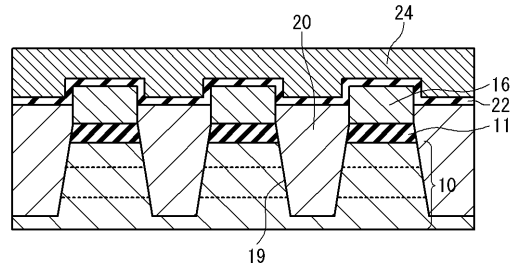
【図 29 B】



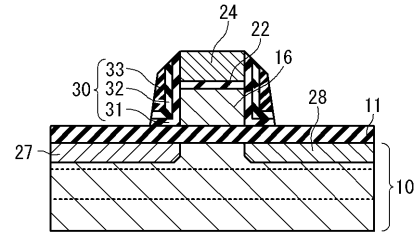
【図 30 A】



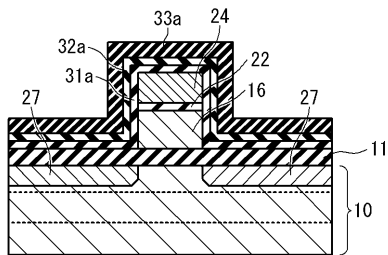
【図 31 A】



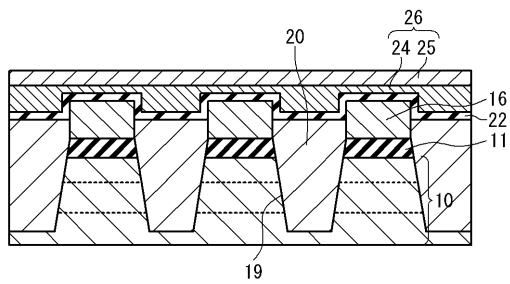
【図 31 B】



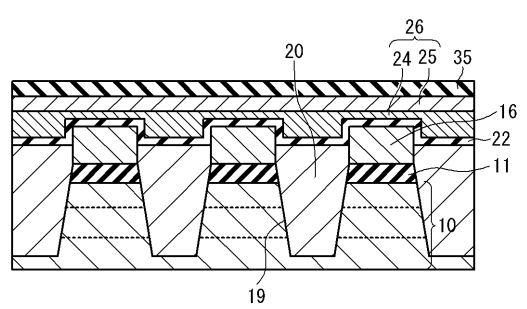
【図 30 B】



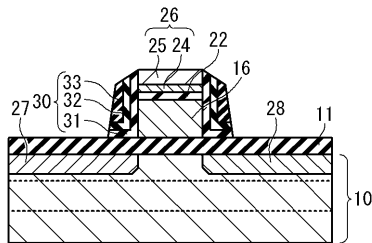
【図 32 A】



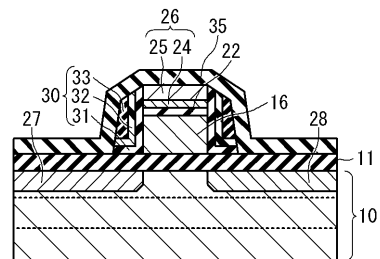
【図 33 A】



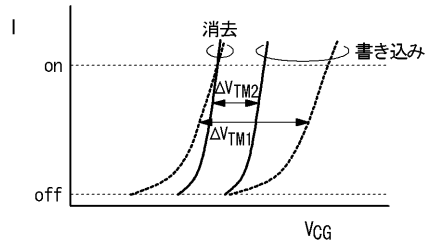
【図 32 B】



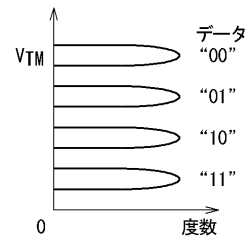
【図 33 B】



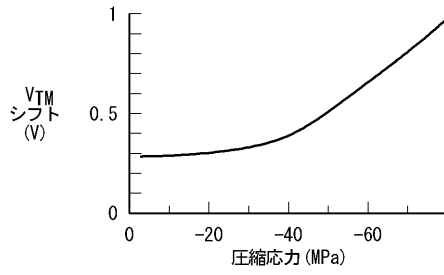
【図 3 4】



【図 3 6】



【図 3 5】



フロントページの続き

(72)発明者 西坂 禎一郎
神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

(72)発明者 金森 宏治
神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

(72)発明者 鈴木 潤一
神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

(72)発明者 児玉 典昭
神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

(72)発明者 田 康秀
神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

F ターム(参考) 5F083 EP02 EP18 EP23 EP55 ER21 GA27 HA10 JA02 JA04 JA05
JA19 JA35 JA39 JA53 NA01 NA06 PR40
5F101 BA02 BA29 BA36 BA44 BA45 BA47 BB02 BB05 BD35 BD39
BE07 BF03 BH19