

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年6月30日(30.06.2016)



(10) 国際公開番号
WO 2016/104264 A1

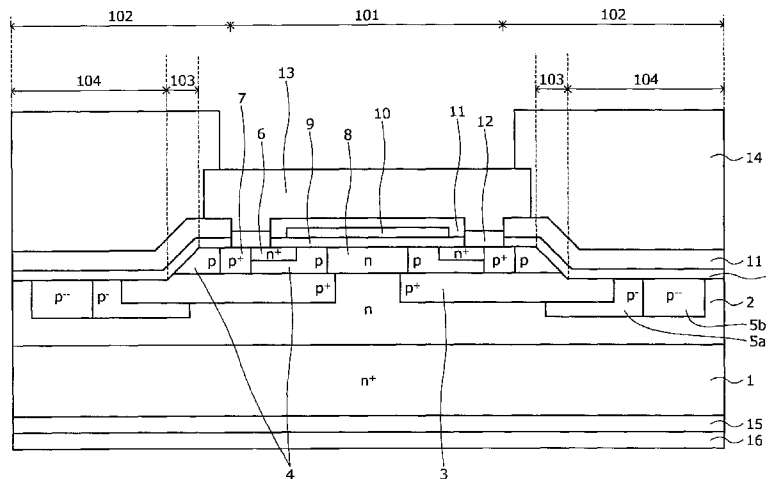
- (51) 国際特許分類:
H01L 29/06 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2015/085148
- (22) 国際出願日: 2015年12月16日(16.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-263020 2014年12月25日(25.12.2014) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 木下 明将(KINOSHITA, Akimasa); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 大月 正人(OTSUKI, Masahito); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング5階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A MOS gate structure is provided on a p-type base layer (4) side of a silicon carbide semiconductor body obtained by a successive epitaxial growth of an n-type drift layer (2) and the p-type base layer (4) on a front surface of an n⁺-type silicon carbide substrate (1). On a front surface of the body, a step part (103) produced between the p-type base layer (4) and the n-type drift layer (2), and a flat part (104) disposed further toward the outer side than the step part are provided in a termination structure part (102). In a surface layer of the n-type drift layer (2), a p⁺-type base region (3) constituting the MOS gate structure is formed in contact with the p-type base layer (4). The outermost p⁺-type base region (3) extends from an active region (101) to the flat part (104), and an entire lower side of this portion is covered by the innermost p⁻-type region (5a) that constitutes a voltage resistant structure provided in the flat part (104). In this way, a semiconductor device with increased voltage resistance can be provided.

(57) 要約:

[続葉有]

WO 2016/104264 A1



n⁺型炭化珪素基板（１）のおもて面上にn型ドリフト層（２）およびp型ベース層（４）を順にエピタキシャル成長させてなる炭化珪素半導体基体のp型ベース層（４）側に、MOSゲート構造が設けられている。基体おもて面には、終端構造部（１０２）に、p型ベース層（４）とn型ドリフト層（２）との間に生じた段差部（１０３）と、それよりも外側に平坦部（１０４）と、が設けられている。n型ドリフト層（２）の表面層に、p型ベース層（４）に接するように、MOSゲート構造を構成するp⁺型ベース領域（３）が設けられている。最も外側のp⁺型ベース領域（３）は、活性領域（１０１）から平坦部（１０４）まで延在し、この部分の下側全体を、平坦部（１０４）に設けられた耐圧構造を構成する最も内側のp⁺型領域（５a）が覆う。このようにすることで、耐圧を向上させることができる半導体装置を提供することができる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] 従来、高電圧や大電流を制御するパワー半導体装置の構成材料として、シリコン（Si）が用いられている。パワー半導体装置は、バイポーラトランジスタやIGBT（Insulated Gate Bipolar Transistor：絶縁ゲート型バイポーラトランジスタ）、MOSFET（Metal Oxide Semiconductor Field Effect Transistor：絶縁ゲート型電界効果トランジスタ）など複数種類あり、これらは用途に合わせて使い分けられている。

[0003] 例えば、バイポーラトランジスタやIGBTは、MOSFETに比べて電流密度は高く大電流化が可能であるが、高速にスイッチングさせることができない。具体的には、バイポーラトランジスタは数kHz程度のスイッチング周波数での使用が限界であり、IGBTは数十kHz程度のスイッチング周波数での使用が限界である。一方、パワーMOSFETは、バイポーラトランジスタやIGBTに比べて電流密度が低く大電流化が難しいが、数MHz程度までの高速スイッチング動作が可能である。

[0004] 市場では大電流と高速性とを兼ね備えたパワー半導体装置への要求が強く、IGBTやパワーMOSFETはその改良に力が注がれ、現在ではほぼ材料限界に近いところまで開発が進んでいる。パワー半導体装置の観点からシリコンに代わる半導体材料が検討されており、低オン電圧、高速特性、高温特性に優れた次世代のパワー半導体装置を作製（製造）可能な半導体材料として炭化珪素（SiC）が注目を集めている（例えば、下記非特許文献1参照）。

[0005] 炭化珪素は、化学的に非常に安定した半導体材料であり、バンドギャップ

が3 eVと広く、高温でも半導体として極めて安定的に使用することができる。また、炭化珪素は、最大電界強度もシリコンより1桁以上大きいため、オン抵抗を十分に小さくすることができる半導体材料として期待される。このような炭化珪素の特長は、炭化珪素以外の、シリコンよりもバンドギャップが広い半導体（以下、ワイドバンドギャップ半導体とする）である例えば窒化ガリウム（GaN）にもあてはまる。このため、ワイドバンドギャップ半導体を用いることにより、半導体装置の低抵抗化および高耐圧化を図ることができる（例えば、下記非特許文献2参照）。

[0006] また、低抵抗化および高耐圧化を実現した別の半導体装置として、チャンネル（反転層）となる部分（ベース領域）をエピタキシャル成長により形成することで、チャンネルが形成される部分の結晶性を高めて高品質化を図った装置が提案されている（例えば、下記特許文献1参照）。下記特許文献1では、チャンネルが形成される部分の結晶性を高めてチャンネル抵抗を低減させることで、低抵抗化および高耐圧化を実現している。

[0007] チャンネルとなる部分をエピタキシャル成長により形成した半導体装置として、チャンネルとなる部分を含むエピタキシャル層の、終端構造部の部分を除去することで活性領域と終端構造部との境界付近に生じた段差部にp型領域を設け、段差部におけるp型不純物の深さ方向における分布をなだらかにし、段差部での電界集中を緩和して耐圧低下を防止する装置が提案されている（例えば、下記特許文献2参照）。

先行技術文献

特許文献

[0008] 特許文献1：特開2006-147789号公報

特許文献2：特開2010-045388号公報

非特許文献

[0009] 非特許文献1：ケイ・シェナイ（K. Shenai）、外2名、オプティマム
セミコンダクターズ フォー ハイパワー エレクトロニクス（Optimum Semiconductors for High-Power

Electronics)、アイ・トリプル・イー トランザクションズ
オン エレクトロン デバイズ (IEEE Transactions
on Electron Devices)、1989年9月、第36巻、
第9号、p. 1811-1823

非特許文献2: ビー・ジャヤン・バリガ (B. Jayant Baliga)
著、シリコン カーバイド パワー デバイズ (Silicon Car
bide Power Divices)、(米国)、ワールド サイエ
ンティフィック パブリッシング カンパニー (World Scienti
fic Publishing Co.)、2006年3月30日、p. 6
1

発明の概要

発明が解決しようとする課題

[0010] しかしながら、上記特許文献1では、チャンネルとなる部分を含むエピタキシャル層の、活性領域以外の部分(すなわち終端構造部の部分)は必要ない部分であり、除去する必要がある。このため、エピタキシャル層を除去するためのエッチングのばらつきや、活性領域と終端構造部との境界付近に生じた段差部の形状等の悪影響により、耐圧が低下するという問題がある。上記特許文献2では、段差部にp型領域を設けることで段差部での電界集中による耐圧低下を防止することができるが、電界集中部が段差部から活性領域付近に移動するため、信頼性が低下する虞がある。

[0011] この発明は、上述した従来技術による問題点を解消するため、耐圧を向上させることができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0012] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置であって、次の特徴を有する。第1導電型の半導体基板のおもて面に、第1導電型の第1半導体層が設けられている。前記第1半導体層の不純物濃度は、前記半導体基板

の不純物濃度よりも低い。前記第1半導体層の、前記半導体基板側に対して反対側の表面層に、第2導電型の第1半導体領域が選択的に設けられている。前記第1半導体層の、前記半導体基板側に対して反対側の表面に、前記第1半導体領域を覆うように、第2導電型の第2半導体層が設けられている。前記第2半導体層の不純物濃度は、前記第1半導体領域の不純物濃度よりも低い。

[0013] 前記第1半導体層の、前記半導体基板側に対して反対側の表面層の、前記第1半導体領域よりも外側に、第2導電型の第2半導体領域が選択的に設けられている。前記第2半導体領域の不純物濃度は、前記第1半導体領域の不純物濃度よりも低い。前記第2半導体領域は、前記耐圧構造を構成する。そして、前記終端構造部には、前記第2半導体層と前記第1半導体層との間の段差部と、前記段差部よりも外側に露出された前記第1半導体層の表面からなる平坦部と、が設けられている。最も外側の前記第1半導体領域は、前記活性領域から前記平坦部まで延在する。前記第2半導体領域は、前記平坦部に設けられ、前記第1半導体領域の、前記平坦部に延在する部分の前記半導体基板側全体を覆う。

[0014] また、この発明にかかる半導体装置は、上述した発明において、前記第2半導体領域は、前記第1半導体領域の、前記平坦部に延在する部分と前記段差部に重なるように設けられていることを特徴とする。

[0015] また、この発明にかかる半導体装置は、上述した発明において、前記第2半導体領域は、前記第2半導体層まで延在し、前記第2半導体層の外周部に重なるように設けられていることを特徴とする。

[0016] また、この発明にかかる半導体装置は、上述した発明において、第1導電型の第3、4半導体領域、ゲート電極および第1、2電極をさらに備える。前記第3半導体領域は、前記第2半導体層の内部に選択的に設けられている。前記第4半導体領域は、前記第3半導体領域と離して、前記第2半導体層を深さ方向に貫通して前記第1半導体層に達する。前記ゲート電極は、前記第2半導体層の、前記第3半導体領域と前記第4半導体領域とに挟まれた領

域の表面上にゲート絶縁膜を介して設けられている。前記第1電極は、前記第2半導体層および前記第3半導体領域に接する。前記第2電極は、前記半導体基板の裏面に設けられている。

[0017] また、この発明にかかる半導体装置は、上述した発明において、第1導電型の第3半導体領域、トレンチ、ゲート電極および第1、2電極をさらに備える。前記第3半導体領域は、前記第2半導体層の内部に選択的に設けられている。前記トレンチは、前記第3半導体領域、前記第2半導体層および前記第1半導体領域、または前記第1半導体領域の一部を貫通して前記第1半導体層に達する。前記ゲート電極は、前記トレンチの内部にゲート絶縁膜を介して設けられている。前記第1電極は、前記第2半導体層および前記第3半導体領域に接する。前記第2電極は、前記半導体基板の裏面に設けられている。

[0018] また、この発明にかかる半導体装置は、上述した発明において、前記第2半導体層の内部に選択的に設けられた第2導電型の第5半導体領域をさらに備える。そして、最も外側の前記第5半導体領域は、前記第2半導体領域まで延在し、前記第2半導体領域に接することを特徴とする。

[0019] また、この発明にかかる半導体装置は、上述した発明において、最も外側の前記第5半導体領域は、前記第2半導体領域の内周部に重なるように設けられていることを特徴とする。

[0020] また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置であって、次の特徴を有する。第1導電型の半導体基板のおもて面に、第1導電型の第1半導体層が設けられている。前記第1半導体層の不純物濃度は、前記半導体基板の不純物濃度よりも低い。前記第1半導体層の、前記半導体基板側に対して反対側の表面層に、第2導電型の第1半導体領域が選択的に設けられている。前記第1半導体層の、前記半導体基板側に対して反対側の表面に、前記第1半導体領域を覆うように、第2導電型の第2半導体層が設けられて

いる。前記第2半導体層の不純物濃度は、前記第1半導体領域の不純物濃度よりも低い。

[0021] 前記第1半導体層の、前記半導体基板側に対して反対側の表面層の、前記第1半導体領域よりも外側に、第2導電型の第2半導体領域が選択的に設けられている。前記第2半導体領域の不純物濃度は、前記第1半導体領域の不純物濃度よりも低い。前記第2半導体領域は、前記耐压構造を構成する。前記第2半導体層の内部に、第1導電型の第3半導体領域が選択的に設けられている。前記第2半導体層の内部に、第2導電型の第5半導体領域が選択的に設けられている。前記第2半導体層の、前記第3半導体領域と前記第1半導体層との間の領域に接してゲート絶縁膜が設けられている。前記ゲート絶縁膜を挟んで前記第2半導体層の反対側にゲート電極が設けられている。第1電極は、前記第2半導体層および前記第3半導体領域に接する。第2電極は、前記半導体基板の裏面に設けられている。そして、前記終端構造部には、前記第2半導体層と前記第1半導体層との間の段差部と、前記段差部よりも外側に露出された前記第1半導体層の表面からなる平坦部と、が設けられている。最も外側の前記第1半導体領域は、前記活性領域から前記平坦部まで延在する。最も外側の前記第5半導体領域は、前記平坦部まで延在し、前記第1半導体領域の、前記平坦部に延在する部分の前記半導体基板側全体を覆う。

[0022] また、この発明にかかる半導体装置は、上述した発明において、前記第2半導体領域の、前記半導体基板側に対して反対側の表面は、前記第2半導体層の、前記半導体基板側に対して反対側の表面よりも前記半導体基板側に位置することを特徴とする。

[0023] また、この発明にかかる半導体装置は、上述した発明において、前記第2半導体領域と前記第1半導体層との界面は、前記第1半導体領域と前記第1半導体層との界面よりも前記半導体基板側に位置することを特徴とする。

[0024] 上述した発明によれば、第2電極に高電圧を印加したときに、最も外側の第1半導体領域の外周端部、または、耐压構造を構成する第2半導体領域に

電界を集中させることができる。このため、活性領域にエピタキシャル成長により不純物濃度の低い第2半導体層からなるベース領域を形成してオン抵抗を低減させた構成とする場合においても、第2半導体層を形成することによって生じた段差部に電界が集中することを防止することができる。これにより、耐圧が低下することを防止することができる。

発明の効果

[0025] 本発明にかかる半導体装置によれば、耐圧を向上させることができ、高耐圧を維持することができるという効果を奏する。

図面の簡単な説明

- [0026] [図1]図1は、実施の形態1にかかる半導体装置の構造を示す断面図である。
- [図2]図2は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。
- [図3]図3は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。
- [図4]図4は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。
- [図5]図5は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。
- [図6]図6は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。
- [図7]図7は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。
- [図8]図8は、実施の形態2にかかる半導体装置の構造を示す断面図である。
- [図9]図9は、実施の形態3にかかる半導体装置の構造を示す断面図である。
- [図10]図10は、比較例1の半導体装置の構造を示す断面図である。
- [図11]図11は、ダブルゾーンJTE構造を構成する内側のp型領域の不純物濃度と耐圧との関係を示す特性図である。
- [図12]図12は、比較例2の半導体装置の構造を示す断面図である。

[図13]図13は、活性領域と終端構造部との境界付近の電界強度分布を示す特性図である。

発明を実施するための形態

[0027] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることの一例を意味するが、最適な構造によっては濃度が逆転する場合もある。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“-”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数を表している。

[0028] (実施の形態1)

実施の形態1にかかる半導体装置の構造について、炭化珪素(SiC)半導体を用いたプレーナゲート構造の縦型MOSFETを例に説明する。図1は、実施の形態1にかかる半導体装置の構造を示す断面図である。図1に示す実施の形態1にかかる半導体装置は、n⁺型ドレイン層となるn⁺型炭化珪素基板1のおもて面上にn型ドリフト層(第1半導体層)2となるn型炭化珪素エピタキシャル層およびp型ベース層(第2半導体層)4となるp型炭化珪素エピタキシャル層を順に堆積してなる炭化珪素半導体基体(半導体チップ)を用いて製造(作製)される。炭化珪素半導体基体には、中央部付近に活性領域101が設けられ、活性領域101の周囲を囲む外周部に終端構造部102が設けられている。活性領域101は、オン状態のときに主電流が流れる領域である。終端構造部102は、n型ドリフト層2の基体おもて面側の電界を緩和し耐圧を保持する領域である。

[0029] 炭化珪素半導体基体のおもて面側において、p型ベース層4となるp型炭化珪素エピタキシャル層は、活性領域101から活性領域101と終端構造

部102との境界付近にまで延在する。すなわち、炭化珪素半導体基体のおもて面には、終端構造部102の、活性領域101との境界付近に、p型ベース層4の外周部が除去されることでp型ベース層4とn型ドリフト層2との間に生じた段差部103が設けられている。炭化珪素半導体基体のおもて面の、段差部103よりも外側（チップ端部側）の部分は、n型ドリフト層2の表面を露出させてなる平坦部104である。平坦部104における基体おもて面（後述するp⁻型領域（第2半導体領域）5aやp⁻型領域5bの表面）は、活性領域101における基体おもて面（p型ベース層4の表面）よりも深い（基体裏面に近い）位置にある。

[0030] 活性領域101において、炭化珪素半導体基体のおもて面側（p型ベース層4側）には、プレーナゲート構造のMOSゲート（金属-酸化膜-半導体からなる絶縁ゲート）構造が設けられている。図1には、活性領域101に1つ以上配置される単位セル（素子の機能単位）のうちの1つの単位セルを図示する。具体的には、n型ドリフト層2（n型炭化珪素エピタキシャル層）の、n⁺型炭化珪素基板1側に対して反対側の表面層には、p⁺型ベース領域（第1半導体領域）3が選択的に設けられている。最も外側（終端構造部102側）のp⁺型ベース領域3は、終端構造部102の平坦部104にまで延在し、平坦部104における基体おもて面（すなわち終端構造部102の、p型ベース層4が堆積されていない部分）に露出されている。p⁺型ベース領域3は、p型ベース層4とともにベース領域を構成する。

[0031] n型ドリフト層2の、n⁺型炭化珪素基板1側に対して反対側の表面には、n型ドリフト層2の、隣り合うp⁺型ベース領域3間に挟まれた部分、および、p⁺型ベース領域3の、平坦部104に延在する部分以外の部分を覆うように、p型ベース層4（p型炭化珪素エピタキシャル層）が選択的に堆積されている。p型ベース層4の不純物濃度は、p⁺型ベース領域3の不純物濃度よりも低い。エピタキシャル成長によりp型ベース層4を形成することで、チャネルが形成される部分の結晶性を高めることができるため、チャネル抵抗（すなわちオン抵抗）を低減させることができる。p型ベース層4の内部に

は、 p^+ 型ベース領域3上の部分に、 n^+ 型ソース領域（第3半導体領域）6および p^+ 型コンタクト領域（第5半導体領域）7がそれぞれ選択的に設けられている。 n^+ 型ソース領域6および p^+ 型コンタクト領域7は互いに接する。 n^+ 型ソース領域6は、 p^+ 型コンタクト領域7よりも後述する n 型ウェル領域（第4半導体領域）8に近い位置に配置されている。

[0032] また、 p 型ベース層4の内部には、深さ方向に p 型ベース層4を貫通して n 型ドリフト層2に達する n 型ウェル領域8が設けられている。 n 型ウェル領域8は、隣り合うベース領域間に挟まれ、かつゲート電極10直下（基体側）に配置されるJFET（Junction Field Effect Transistor）領域である。 n 型ウェル領域8は、 n 型ドリフト層2とともにドリフト領域を構成する。 p 型ベース層4の、 n^+ 型ソース領域6と n 型ウェル領域8とに挟まれた部分の表面には、ゲート絶縁膜9を介してゲート電極10が設けられている。ゲート電極10は、ゲート絶縁膜9を介して、 n 型ウェル領域8の表面に設けられていてもよい。ゲート絶縁膜9は、コンタクト電極を必要とする部分を除いて炭化珪素半導体基体のおもて面側の全面に設けられていてもよい。図示省略するが、複数の単位セルが配置される場合、各単位セルのMOSゲート構造は並列に配置される。

[0033] 層間絶縁膜11は、炭化珪素半導体基体のおもて面側の全面に、ゲート電極10を覆うように設けられている。ソース電極（第1電極）12は、層間絶縁膜11を深さ方向に貫通するコンタクトホールを介して n^+ 型ソース領域6および p^+ 型コンタクト領域7に接するとともに、層間絶縁膜11によってゲート電極10と電氣的に絶縁されている。おもて面電極パッド13は、すべての単位セルのソース電極12に接するように、活性領域101全体にわたって設けられている。おもて面電極パッド13の端部は、終端構造部102の層間絶縁膜11上に延在し、例えば段差部103よりも内側（活性領域101側）で終端している。終端構造部102において、層間絶縁膜11上には、おもて面電極パッド13の端部、および、最も外側の単位セルのソース電極12の外側の端部を覆うように、例えばポリイミドからなるパッシベ

ーション膜などの保護膜14が設けられている。保護膜14は、放電防止の機能を有する。

[0034] また、終端構造部102において、n型ドリフト層2の、n⁺型炭化珪素基板1側に対して反対側の表面層には、不純物濃度の異なる複数のp型領域（p⁻型領域5aおよびp⁻型領域5b）で構成された耐圧構造が設けられている。この耐圧構造は、活性領域101と終端構造部102との境界付近の電界集中を緩和する機能を有する。具体的には、p⁻型領域5aは、平坦部104における基体おもて面に露出されるように設けられ、最も外側のp⁺型ベース領域3に接し、かつ当該p⁺型ベース領域3の周囲を囲む。また、p⁻型領域5aは、平坦部104から内側に例えば段差部103にまで延在し、最も外側のp⁺型ベース領域3の、平坦部104に延在する部分の下側（ドレイン側）全体を覆う。p⁻型領域5bは、p⁻型領域5aよりも外側に設けられ、p⁻型領域5aに接し、かつp⁻型領域5aの周囲を囲む。

[0035] すなわち、p⁻型領域5aおよびp⁻型領域5bは、活性領域101の周囲を囲む同心円状に設けられ、ダブルゾーンJTE（Junction Termination Extension）構造を構成する。p⁻型領域5aおよびp⁻型領域5bとn型ドリフト層2との界面は、p⁺型ベース領域3とn型ドリフト層2との界面よりもドレイン側に位置する。すなわち、p⁻型領域5aおよびp⁻型領域5bの厚さは、p⁺型ベース領域3の、平坦部104における厚さ（基体おもて面からの深さ）よりも厚い。終端構造部102（段差部103および平坦部104も含む）における基体おもて面は、層間絶縁膜11（またはゲート絶縁膜9および層間絶縁膜11を順に積層した絶縁層）によって覆われている。p⁻型領域5aおよびp⁻型領域5bは、この層間絶縁膜11によって活性領域101の単位セルと電氣的に絶縁されている。

[0036] 終端構造部102に配置する耐圧構造は、ダブルゾーンJTE構造に代えて、マルチゾーンJTE構造や、FLR（Field Limiting Ring）構造など、電界集中を緩和するための他の耐圧構造としてもよい。マルチゾーンJTE構造とは、不純物濃度の異なる3つ以上のp型領域を

活性領域 101 の周囲を囲む同心円状に、かつ外側に向うほど不純物濃度の低い p 型領域が配置されるように隣接して配置した耐压構造である。FLR 構造は、複数の p 型領域を活性領域 101 の周囲を囲む同心円状に、所定の間隔を空けて配置した耐压構造であり、製造の難易度によらず適用可能である。炭化珪素半導体基体の裏面（n⁺型炭化珪素基板 1 の裏面）には、活性領域 101 から終端構造部 102 にわたって、ドレイン電極である裏面電極（第 2 電極）15 が設けられている。裏面電極パッド 16 は、裏面電極 15 の表面に設けられている。

[0037] 次に、実施の形態 1 にかかる半導体装置の製造方法について、例えば 1200V の耐压クラスの、炭化珪素半導体を用いたプレーナゲート構造の縦型 MOSFET を作製する場合を例に説明する。図 2～7 は、実施の形態 1 にかかる半導体装置の製造途中の状態を示す断面図である。まず、図 2 に示すように、例えば、 $2 \times 10^{19} / \text{cm}^3$ 程度の不純物濃度で窒素（N）などの n 型不純物がドーピングされた n⁺型炭化珪素基板（半導体ウエハ）1 を用意する。n⁺型炭化珪素基板 1 のおもて面は、例えば <11-20> 方向に 4 度程度のオフ角を有する（000-1）面であってもよい。次に、n⁺型炭化珪素基板 1 のおもて面上に、n 型ドリフト層 2 として、例えば、 $1.0 \times 10^{16} / \text{cm}^3$ の不純物濃度で窒素などの n 型不純物がドーピングされた厚さ 10 μm の n 型炭化珪素エピタキシャル層を成長させる。

[0038] 次に、図 3 に示すように、フォトリソグラフィおよびイオン注入によって、活性領域 101 における n 型ドリフト層 2 の表面層に、p⁺型ベース領域 3 を選択的に形成する。最も外側の p⁺型ベース領域 3 は、終端構造部 102 に延在するように形成する。このイオン注入においては、例えば、ドーパントをアルミニウム（Al）とし、p⁺型ベース領域 3 の不純物濃度が $1.0 \times 10^{18} / \text{cm}^3$ となるようにドーズ量を設定してもよい。p⁺型ベース領域 3 の厚さは、例えば、0.5 μm であってもよい。隣り合う p⁺型ベース領域 3 間の距離は、例えば 1.6 μm であってもよい。

[0039] 次に、n 型ドリフト層 2 の表面に、p 型ベース層 4 となる p 型炭化珪素エ

ピタキシャル層を例えば $0.5\ \mu\text{m}$ の厚さで成長させる。p型ベース層4は、例えばアルミニウムがドーピングされてなる。このとき、例えば、p型ベース層4の不純物濃度が $5.0 \times 10^{15} / \text{cm}^3$ となるようにアルミニウムがドーピングされたp型炭化珪素エピタキシャル層を成長させてもよい。これにより、n⁺型炭化珪素基板1、n型ドリフト層2およびp型ベース層4を順に堆積してなる炭化珪素半導体基体が作製される。

[0040] 次に、図4に示すように、フォトリソグラフィおよびイオン注入によって、p型ベース層4の、n型ドリフト層2上の部分の導電性を反転させて、n型ウェル領域8を選択的に形成する。このイオン注入においては、例えば、ドーパントを窒素とし、n型ウェル領域8の不純物濃度が $5.0 \times 10^{16} / \text{cm}^3$ となるようにドーズ量を設定してもよい。n型ウェル領域8の幅および厚さは、例えば、それぞれ $2.0\ \mu\text{m}$ および $0.6\ \mu\text{m}$ であってもよい。次に、フォトリソグラフィおよびエッチングによって終端構造部102におけるp型ベース層4の外周部を除去し、終端構造部102にn型ドリフト層2を露出させる。

[0041] p型ベース層4の外周部を除去することによって、終端構造部102の、活性領域101との境界付近において、p型ベース層4とn型ドリフト層2との間に段差部103が形成される。また、この段差部103よりも外側（チップ外側となる部分）に、n型ドリフト層2の表面が露出されてなる平坦部104が形成される。このとき、最も外側のp⁺型ベース領域3の、平坦部104に延在する部分を所定の厚さで残すことができればよく、終端構造部102の外周部におけるエピタキシャル層を、p型ベース層4の厚さ以上の厚さ（例えば $0.7\ \mu\text{m}$ 程度）で除去してもよい。この場合、最も外側のp⁺型ベース領域3の、平坦部104に延在する部分は $0.3\ \mu\text{m}$ 程度の厚さで残る。

[0042] 次に、フォトリソグラフィおよびイオン注入を繰り返し行い、終端構造部102に露出したn型ドリフト層2の表面層に、ダブルゾーンJTE構造を構成するp⁻型領域5aおよびp⁻型領域5bをそれぞれ選択的に形成する。こ

のとき、 p^- 型領域5 aは、最も外側の p^+ 型ベース領域3の、平坦部104に延在する部分の下側全体を覆うように形成する。 p^- 型領域5 aを形成するためのイオン注入は、例えば、ドーパントをアルミニウムとし、 p^- 型領域5 aの不純物濃度が $6.0 \times 10^{17} / \text{cm}^3$ となるようにドーズ量を設定してもよい。 p^- 型領域5 aの幅および厚さは、例えば、それぞれ $80 \mu\text{m}$ および $0.5 \mu\text{m}$ であってもよい。 p^- 型領域5 bを形成するためのイオン注入は、例えば、ドーパントをアルミニウムとし、 p^- 型領域5 bの不純物濃度が $3.0 \times 10^{17} / \text{cm}^3$ となるようにドーズ量を設定してもよい。 p^- 型領域5 bの幅および厚さは、例えば、それぞれ $60 \mu\text{m}$ および $0.5 \mu\text{m}$ であってもよい。

[0043] 次に、フォトリソグラフィおよびイオン注入によって、 p 型ベース層4の、 p^+ 型ベース領域3上の部分の表面層に、 n^+ 型ソース領域6を選択的に形成する。次に、フォトリソグラフィおよびイオン注入によって、 p 型ベース層4の、 p^+ 型ベース領域3上の部分の表面層に、 p^+ 型コンタクト領域7を選択的に形成する。次に、 p^- 型領域5 a、 p^- 型領域5 b、 n^+ 型ソース領域6、 p^+ 型コンタクト領域7および n 型ウェル領域8を活性化させるための熱処理（アニール）を行う。このときの熱処理温度および熱処理時間は、例えば、それぞれ 1620°C および2分間であってもよい。 p^- 型領域5 a、 p^- 型領域5 b、 n^+ 型ソース領域6、 p^+ 型コンタクト領域7および n 型ウェル領域8を形成する順序は種々変更可能である。 p^- 型領域5 aおよび p^- 型領域5 bは、平坦部104の形成後、活性化熱処理の前に形成すればよい。 p^- 型領域5 aを形成するためのイオン注入の注入領域と、 p^+ 型ベース領域3を形成するためのイオン注入の注入領域とが一部重なってもよい。また、活性化熱処理は、各領域を形成するためのイオン注入ごとに行ってもよい。

[0044] 次に、図5に示すように、炭化珪素半導体基体のおもて面側を熱酸化し、ゲート絶縁膜9を例えば 100nm 程度の厚さで形成する。この熱酸化は、例えば、酸素（ O_2 ）ガスと水素（ H_2 ）ガスとの混合雰囲気中において 1000°C 程度の温度の熱処理によって行ってもよい。これにより、 p 型ベース層4および n 型ドリフト層2の表面に形成された各領域がゲート絶縁膜9で覆

われる。次に、ゲート絶縁膜 9 上に、ゲート電極 10 として、例えばリン (P) がドーパされた多結晶シリコン層を形成する。次に、多結晶シリコン層をパターニングして、p 型ベース層 4 の、n⁺型ソース領域 6 と n 型ウェル領域 8 とに挟まれた部分上に多結晶シリコン層を残す。このとき、n 型ウェル領域 8 上に多結晶シリコン層を残してもよい。次に、ゲート絶縁膜 9 を覆うように、層間絶縁膜 11 として例えばリンガラス (PSG: Phospho Silicate Glass) を 1.0 μm 程度の厚さで成膜 (形成) する。

[0045] 次に、図 6 に示すように、フォトリソグラフィおよびエッチングによって層間絶縁膜 11 およびゲート絶縁膜 9 を選択的に除去してコンタクトホールを形成し、n⁺型ソース領域 6 および p⁺型コンタクト領域 7 を露出させる。次に、層間絶縁膜 11 を平坦化するための熱処理 (リフロー) を行う。次に、図 7 に示すように、層間絶縁膜 11 上に、コンタクトホールの内部に埋め込むように、ソース電極 12 となる例えばニッケル (Ni) 膜を成膜する。次に、フォトリソグラフィおよびエッチングによってニッケル膜を選択的に除去し、コンタクトホールに露出する n⁺型ソース領域 6 および p⁺型コンタクト領域 7 上にのみニッケル膜を残す。次に、炭化珪素半導体基体の裏面 (n⁺型炭化珪素基板 1 の裏面) 全面に、裏面電極 15 を構成する複数の金属膜のうちの最下層となる例えばニッケル膜を成膜する。

[0046] 次に、例えば 970 °C 程度の温度で熱処理して、炭化珪素半導体基体の両面のニッケル膜を炭化珪素半導体部と反応させてニッケルシリサイド膜を生成する。これにより、ソース電極 12 と炭化珪素半導体部とのオーミック接合、および、裏面電極 15 と炭化珪素半導体部とのオーミック接合が形成される。次に、例えばスパッタ法によって、炭化珪素半導体基体のおもて面の全面に、ソース電極 12 を覆うようにおもて面電極パッド 13 を堆積 (形成) する。おもて面電極パッド 13 の、層間絶縁膜 11 上の部分の厚さは、例えば 5 μm 程度であってもよい。おもて面電極パッド 13 は、例えば、アルミニウムを主成分とする金属で形成してもよい。次に、おもて面電極パッド

13をパターニングして、終端構造部102における層間絶縁膜11を露出させる。

[0047] 次に、層間絶縁膜11およびおもて面電極パッド13の表面に、保護膜14として例えばポリイミド膜を形成する。次に、フォトリソグラフィおよびエッチングによって保護膜14を選択的に除去して、おもて面電極パッド13を露出させるとともに、終端構造部102における層間絶縁膜11上からおもて面電極パッド13の端部に延在するように保護膜14を残す。次に、炭化珪素半導体基体の裏面のニッケルシリサイド膜の表面全面に、裏面電極パッド16として例えばチタン(Ti)膜、ニッケル膜および金(Au)膜を順に積層してなる積層膜を形成する。その後、半導体ウエハをチップ状に切断(ダイシング)することで、図1に示すMOSFETが完成する。

[0048] 以上、説明したように、実施の形態1によれば、最も外側のp⁺型ベース領域を終端構造部の平坦部にまで延在させ、かつ耐圧構造を構成する最も内側のp型領域の内周部によって、最も外側のp⁺型ベース領域の、平坦部に延在する部分の下側全体を覆うことで、ドレイン電極に高電圧を印加したときに、最も外側のp⁺型ベース領域の外周端部、または、耐圧構造を構成する複数のp型領域に電界を集中させることができる。このため、活性領域にエピタキシャル成長により不純物濃度の低いp型ベース層を形成してオン抵抗を低減させた構成とする場合においても、p型ベース層を形成することによって生じた段差部に電界が集中することを防止することができる。

[0049] また、耐圧構造を構成する複数のp型領域に電界を集中させることができるため、エピタキシャル成長により形成された不純物濃度の低いp型ベース層側に空乏層が伸びることを防止することができる。これにより、耐圧が低下することを防止することができるため、従来よりも耐圧を向上させることができる。したがって、低オン抵抗で、かつ高耐圧の半導体装置を提供することができる。また、実施の形態1によれば、最も外側のp⁺型ベース領域を形成するためのイオン注入や、耐圧構造を構成する最も内側のp型領域を形成するためのイオン注入に用いるマスクの開口範囲を適宜変更することで、

新たな工程を追加することなく、低オン抵抗で、かつ高耐压の半導体装置を作製することができる。

[0050] (実施の形態2)

次に、実施の形態2にかかる半導体装置の構造について説明する。図8は、実施の形態2にかかる半導体装置の構造を示す断面図である。実施の形態2にかかる半導体装置が実施の形態1にかかる半導体装置と異なる点は、ダブルゾーンJTE構造を構成する2つのp型領域(p⁻型領域25aおよびp⁻型領域5b)のうちの内側のp⁻型領域25aを、基体おもて面に沿って平坦部104から活性領域101にまで延在させ、p型ベース層4の外周部に重なるように設けている点である。

[0051] 具体的には、p⁻型領域25aは、p⁺型ベース領域3の、平坦部104および段差部103に延在する部分と、p型ベース層4の、段差部103に延在する部分とに重なるように設けられ、例えば最も外側のp⁺型コンタクト領域7に接する(ハッチングされた部分)。実施の形態2にかかる半導体装置の製造方法は、実施の形態1にかかる半導体装置の製造方法において、p⁻型領域25aを形成するためのイオン注入を、p型ベース層4の外周部にまで重なる広い範囲に行えばよい。このとき、p⁻型領域25aを形成するためのイオン注入の注入領域と、p⁺型ベース領域3を形成するためのイオン注入の注入領域とが一部重なってもよい。

[0052] 以上、説明したように、実施の形態2によれば、耐压構造を構成する最も内側のp型領域を、最も外側のp⁺型ベース領域の、平坦部に延在する部分に重なるように設けることで、実施の形態1と同様の効果を得ることができる。また、実施の形態2によれば、耐压構造を構成する最も内側のp型領域をp型ベース層の一部にまで重なるように設けることで、p型ベース層の外周部の不純物濃度を高くすることができる。これにより、p型ベース層の内部に空乏層が伸びることを防止することができる。また、実施の形態2によれば、p型ベース層の外周部の不純物濃度を高くことができ、プロセス変動による耐压のばらつきを回避することができる。

[0053] (実施の形態3)

次に、実施の形態3にかかる半導体装置の構造について説明する。図9は、実施の形態3にかかる半導体装置の構造を示す断面図である。実施の形態3にかかる半導体装置が実施の形態1にかかる半導体装置と異なる点は、最も外側のp⁺型コンタクト領域(第5半導体領域)27を、基体おもて面に沿って活性領域101から平坦部104にまで延在させ、ダブルゾーンJTE構造を構成する2つのp型領域のうちの内側のp⁻型領域5aの内周部に重なるように設けている点である。

[0054] 具体的には、最も外側のp⁺型コンタクト領域27は、p型ベース層4の、段差部103に延在する部分と、p⁺型ベース領域3の、平坦部104および段差部103に延在する部分と、p⁻型領域5aの、p⁺型ベース領域3の下側を覆う部分と、に重なるように設けられている(ハッチングされた部分)。実施の形態3にかかる半導体装置の製造方法は、実施の形態1にかかる半導体装置の製造方法において、p⁺型コンタクト領域27を形成するためのイオン注入を、p⁻型領域5aの内周部にまで重なる広い範囲に行えばよい。このとき、p⁺型コンタクト領域27を形成するためのイオン注入と、p⁺型ベース領域3を形成するためのイオン注入の注入領域とが一部重なってもよい。

[0055] 実施の形態3においては、p⁺型ベース領域3の、平坦部104に延在する部分の下側全体が、最も外側のp⁺型コンタクト領域27によって覆われる。このため、p⁺型ベース領域3の、平坦部104に延在する部分の下側がp⁻型領域5aによって覆われていなくてもよい。すなわち、最も外側のp⁺型コンタクト領域27は、p型ベース層4の、段差部103に延在する部分と、p⁺型ベース領域3の、平坦部104および段差部103に延在する部分と、に重なるように設けられていてもよい(不図示)。また、p⁺型ベース領域3の、平坦部104に延在する部分の下側がp⁻型領域5aによって覆われている場合、最も外側のp⁺型コンタクト領域27は、p⁻型領域5aの内周端部に接する程度に延在した状態であってもよい。

[0056] 以上、説明したように、実施の形態3によれば、最も外側のp⁺型コンタク

ト領域を、耐圧構造を構成する最も内側の p 型領域の一部にまで重なるように設けることで、ドレイン電極に高電圧を印加したときに、最も外側の p⁺型コンタクト領域の外周端部、または、耐圧構造を構成する複数の p 型領域に電界を集中させることができる。これにより、実施の形態 1 と同様の効果を得ることができる。また、実施の形態 3 によれば、最も外側の p⁺型コンタクト領域を、耐圧構造を構成する最も内側の p 型領域の一部にまで重なるように設けることで、p 型ベース層の外周部の不純物濃度を高くすることができる。これにより、実施の形態 2 と同様の効果を得ることができる。

[0057] (実施例)

次に、実施例にかかる半導体装置の耐圧について検証した。図 10 は、比較例 1 の半導体装置の構造を示す断面図である。図 11 は、ダブルゾーン JTE 構造を構成する内側の p⁻型領域の不純物濃度と耐圧との関係を示す特性図である。まず、実施の形態 2 にかかる半導体装置の製造方法にしたがい、例示した上記諸条件で、ダブルゾーン JTE 構造を構成する内側の p⁻型領域 25 a を p 型ベース層 4 の一部にまで重なるように設けた MOSFET (図 8 参照) を作製した (以下、実施例とする)。比較として、ダブルゾーン JTE 構造を構成する内側の p⁻型領域 35 a によって、最も外側の p⁺型ベース領域 3 の、平坦部 104 に延在する部分の下側の一部を覆う MOSFET (図 10 参照) を作製した (以下、比較例 1 とする)。

[0058] 実施例および比較例 1 は、それぞれ、終端構造部 102 に段差部 103 を形成するときのエピタキシャル層のエッチング量 (エッチング深さ) を、標準の 0.7 μm (以下、標準エッチング量とする) と、標準より深い 0.9 μm (以下、過剰エッチング量とする) とした 2 つの試料を作製した。また、実施例および比較例 1 とともに、ダブルゾーン JTE 構造を構成する外側の p⁻型領域 5 b の不純物濃度を内側の p⁻型領域 25 a, 35 a の不純物濃度の半分とした。比較例 1 の p⁻型領域 35 a 以外の構成は、実施例と同様である。これら実施例および比較例 1 の p⁻型領域 25 a, 35 a の不純物濃度と耐圧との関係をシミュレーションした結果を図 11 に示す。図 11 の横軸は p⁻

型領域 25 a, 35 a の不純物濃度であり、縦軸は耐圧 $B V d s s$ である。

[0059] 図 11 に示す結果より、比較例 1 では、標準エッチング量である場合、 p^- 型領域 35 a の不純物濃度が $3.0 \times 10^{17} / \text{cm}^3$ 未満で耐圧が低下することが確認された。また、比較例 1 では、過剰エッチング量である場合、 p^- 型領域 35 a の不純物濃度が $3.0 \times 10^{18} / \text{cm}^3$ 未満で耐圧が低下することが確認された。これらのことから、活性化率の低下や過剰エッチングによるキャリア濃度の低下が重複して起こることにより耐圧の低下が生じることがわかる。一方、実施例においては、標準エッチング量である場合と過剰エッチング量である場合ともに、 p^- 型領域 25 a の不純物濃度が $1.00 \times 10^{17} / \text{cm}^3$ 未満で耐圧が低下することが確認された。このことから、実施例は、プロセス変動による悪影響の少ない構造であることが確認された。

[0060] 次に、実施例にかかる半導体装置の活性領域と終端構造部との境界付近の電界強度分布について検証した。図 12 は、比較例 2 の半導体装置の構造を示す断面図である。図 13 は、活性領域と終端構造部との境界付近の電界強度分布を示す特性図である。図 13 (a) には、実施例の終端構造部 111 (図 8 参照) の電界強度分布を示す。図 13 (b) には、比較例 1 の終端構造部 121 (図 10 参照) の電界強度分布を示す。図 13 (c) には、比較例 2 の終端構造部 122 (図 12 参照) の電界強度分布を示す。比較例 2 は、最も外側の p^+ 型ベース領域 33 を平坦部 104 にまで延在させない構成となっている。比較例 2 の、 p^+ 型ベース領域 33 以外の構成は、比較例 1 と同様である。

[0061] 図 13 (b) に示すように、比較例 1 では、活性領域 101 と終端構造部 102 との境界付近 131 に電界が集中していることが確認された。一方、図 13 (a) に示すように、実施例においては、電界強度を終端構造部 102 に分散させることができることが確認された。このことから、実施例のように、ダブルゾーン JTE 構造を構成する内側の p^- 型領域 25 a によって、最も外側の p^+ 型ベース領域 3 の、平坦部 104 に延在する部分の下側全体を覆うことで、活性領域 101 の電界集中を緩和することができることが確認

された。

- [0062] また、図13(c)に示すように、比較例2では、活性領域101と終端構造部102との境界付近132にのみ電界が集中していることが確認された。すなわち、比較例2のように最も外側のp⁺型ベース領域33を平坦部104にまで延在させない場合、比較例1と同様に活性領域101の電界集中を緩和することができず、耐圧が低下することが確認された。一方、実施例においては、最も外側のp⁺型ベース領域3を平坦部104にまで延在させることで、電界が集中する箇所を平坦部104に移動させることができる。このため、活性領域101の電界集中を緩和することができ、高耐圧を維持することができる。
- [0063] したがって、図11, 13の結果から、実施例のように、最も外側のp⁺型ベース領域3を平坦部104にまで延在させ、かつ当該p⁺型ベース領域3の平坦部104に延在する部分の下側全体をp⁻型領域25aによって覆うことで、高耐圧を維持することができることが確認された。図示省略するが、実施の形態1, 3にかかる半導体装置(図1, 9参照)においても、実施例(実施の形態2にかかる半導体装置)と同様に、最も外側のp⁺型ベース領域3を平坦部104にまで延在させ、かつ当該p⁺型ベース領域3の平坦部104に延在する部分の下側全体をp⁻型領域5aまたはp⁺型コンタクト領域27によって覆う構成であるため、実施例と同様の効果を有する。
- [0064] 以上において本発明は、上述した各実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。例えば、上述した各実施の形態において、各部の寸法や不純物濃度等は要求される仕様等に応じて適宜設定される。また、上述した各実施の形態では、炭化珪素基板の主面(おもて面)を<11-20>方向に4度程度のオフ角を有する(000-1)面とした場合を例に説明したが、これに限らず、炭化珪素基板の主面の面方位は設計条件などに合わせて種々変更可能である。また、本発明は、トレンチゲート構造のMOSFETに適用した場合においても同様の効果を奏する。この場合、例えばn⁺型ソース領域、p型ベース層となるp型炭化珪素エピタキシャル

層、および p⁺型ベース領域を貫通して、n 型ドリフト層となる n 型炭化珪素エピタキシャル層の p⁺型ベース領域以外の部分に達するトレンチを形成し、このトレンチの内部にゲート絶縁膜を介してゲート絶縁膜を設ければよい。

[0065] また、上述した各実施の形態では、MOSFET を例に説明しているが、本発明は、基体おもて面側に MOS ゲート構造を備えた IGBT などの MOS 型半導体装置に適用可能である。また、上述した実施の形態では、炭化珪素半導体を用いた場合を例に説明しているが、これに限らず、窒化ガリウム (GaN) やダイヤモンドなど他のワイドバンドギャップ半導体やシリコン (Si) 半導体を用いた場合においても同様の効果が得られる。また、各実施の形態では第 1 導電型を n 型とし、第 2 導電型を p 型としたが、本発明は第 1 導電型を p 型とし、第 2 導電型を n 型としても同様に成り立つ。

産業上の利用可能性

[0066] 以上のように、本発明にかかる半導体装置は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に有用であり、特にワイドバンドギャップ半導体を用いた半導体装置に適している。

符号の説明

- [0067]
- 1 n⁺型炭化珪素基板
 - 2 n 型ドリフト層
 - 3 p⁺型ベース領域
 - 4 p 型ベース層
 - 5 a, 25 a p⁻型領域
 - 5 b p⁻型領域
 - 6 n⁺型ソース領域
 - 7, 27 p⁺型コンタクト領域
 - 8 n 型ウェル領域
 - 9 ゲート絶縁膜
 - 10 ゲート電極
 - 11 層間絶縁膜

- 1 2 ソース電極
- 1 3 おもて面電極パッド
- 1 4 保護膜
- 1 5 裏面電極
- 1 6 裏面電極パッド
- 1 0 1 活性領域
- 1 0 2 終端構造部
- 1 0 3 段差部
- 1 0 4 平坦部

請求の範囲

- [請求項1] 電流が流れる活性領域と、前記活性領域の外側に配置され、耐压構造が形成された終端構造部と、を有する半導体装置であって、
- 第1導電型の半導体基板のおもて面に設けられた、前記半導体基板よりも不純物濃度の低い第1導電型の第1半導体層と、
- 前記第1半導体層の、前記半導体基板側に対して反対側の表面層に選択的に設けられた第2導電型の第1半導体領域と、
- 前記第1半導体層の、前記半導体基板側に対して反対側の表面に、前記第1半導体領域を覆うように設けられた、前記第1半導体領域よりも不純物濃度の低い第2導電型の第2半導体層と、
- 前記第1半導体層の、前記半導体基板側に対して反対側の表面層の、前記第1半導体領域よりも外側に選択的に設けられ前記耐压構造を構成する、前記第1半導体領域よりも不純物濃度の低い第2導電型の第2半導体領域と、
- を備え、
- 前記終端構造部には、
- 前記第2半導体層と前記第1半導体層との間の段差部と、
- 前記段差部よりも外側に露出された前記第1半導体層の表面からなる平坦部と、が設けられており、
- 最も外側の前記第1半導体領域は、前記活性領域から前記平坦部まで延在し、
- 前記第2半導体領域は、前記平坦部に設けられ、前記第1半導体領域の、前記平坦部に延在する部分の前記半導体基板側全体を覆うことを特徴とする半導体装置。
- [請求項2] 前記第2半導体領域は、前記第1半導体領域の、前記平坦部に延在する部分と前記段差部に重なるように設けられていることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第2半導体領域は、前記第2半導体層まで延在し、前記第2半

導体層の外周部に重なるように設けられていることを特徴とする請求項 2 に記載の半導体装置。

[請求項4] 前記第 2 半導体層の内部に選択的に設けられた第 1 導電型の第 3 半導体領域と、

前記第 3 半導体領域と離して、前記第 2 半導体層を深さ方向に貫通して前記第 1 半導体層に達する第 1 導電型の第 4 半導体領域と、

前記第 2 半導体層の、前記第 3 半導体領域と前記第 4 半導体領域とに挟まれた領域の表面上に、ゲート絶縁膜を介して設けられたゲート電極と、

前記第 2 半導体層および前記第 3 半導体領域に接する第 1 電極と、
前記半導体基板の裏面に設けられた第 2 電極と、

をさらに備えることを特徴とする請求項 1 に記載の半導体装置。

[請求項5] 前記第 2 半導体層の内部に選択的に設けられた第 1 導電型の第 3 半導体領域と、

前記第 3 半導体領域、前記第 2 半導体層および前記第 1 半導体領域、または前記第 1 半導体領域の一部を貫通して前記第 1 半導体層に達するトレンチと、

前記トレンチの内部にゲート絶縁膜を介して設けられたゲート電極と、

前記第 2 半導体層および前記第 3 半導体領域に接する第 1 電極と、
前記半導体基板の裏面に設けられた第 2 電極と、

をさらに備えることを特徴とする請求項 1 に記載の半導体装置。

[請求項6] 前記第 2 半導体層の内部に選択的に設けられた第 2 導電型の第 5 半導体領域をさらに備え、

最も外側の前記第 5 半導体領域は、前記第 2 半導体領域まで延在し、前記第 2 半導体領域に接することを特徴とする請求項 4 に記載の半導体装置。

[請求項7] 最も外側の前記第 5 半導体領域は、前記第 2 半導体領域の内周部に

重なるように設けられていることを特徴とする請求項6に記載の半導体装置。

[請求項8]

電流が流れる活性領域と、前記活性領域の外側に配置され、耐压構造が形成された終端構造部と、を有する半導体装置であって、

第1導電型の半導体基板のおもて面に設けられた、前記半導体基板よりも不純物濃度の低い第1導電型の第1半導体層と、

前記第1半導体層の、前記半導体基板側に対して反対側の表面層に選択的に設けられた第2導電型の第1半導体領域と、

前記第1半導体層の、前記半導体基板側に対して反対側の表面に、前記第1半導体領域を覆うように設けられた、前記第1半導体領域よりも不純物濃度の低い第2導電型の第2半導体層と、

前記第1半導体層の、前記半導体基板側に対して反対側の表面層の、前記第1半導体領域よりも外側に選択的に設けられ前記耐压構造を構成する、前記第1半導体領域よりも不純物濃度の低い第2導電型の第2半導体領域と、

前記第2半導体層の内部に選択的に設けられた第1導電型の第3半導体領域と、

前記第2半導体層の内部に選択的に設けられた第2導電型の第5半導体領域と、

前記第2半導体層の、前記第3半導体領域と前記第1半導体層との間の領域に接して設けられたゲート絶縁膜と、

前記ゲート絶縁膜を挟んで前記第2半導体層の反対側に設けられたゲート電極と、

前記第2半導体層および前記第3半導体領域に接する第1電極と、

前記半導体基板の裏面に設けられた第2電極と、

を備え、

前記終端構造部には、

前記第2半導体層と前記第1半導体層との間の段差部と、

前記段差部よりも外側に露出された前記第1半導体層の表面からなる平坦部と、が設けられており、

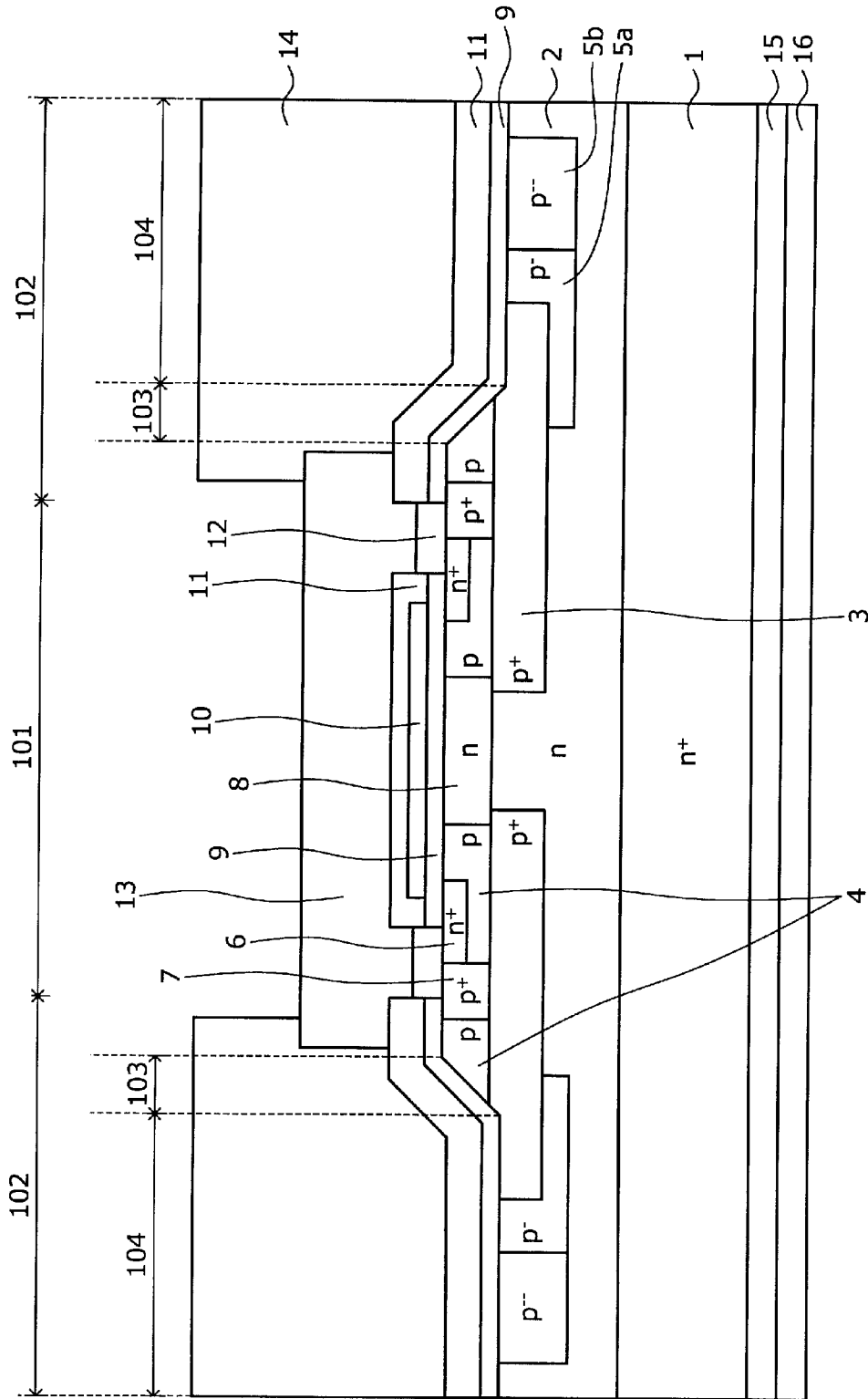
最も外側の前記第1半導体領域は、前記活性領域から前記平坦部まで延在し、

最も外側の前記第5半導体領域は、前記平坦部まで延在し、前記第1半導体領域の、前記平坦部に延在する部分の前記半導体基板側全体を覆うことを特徴とする半導体装置。

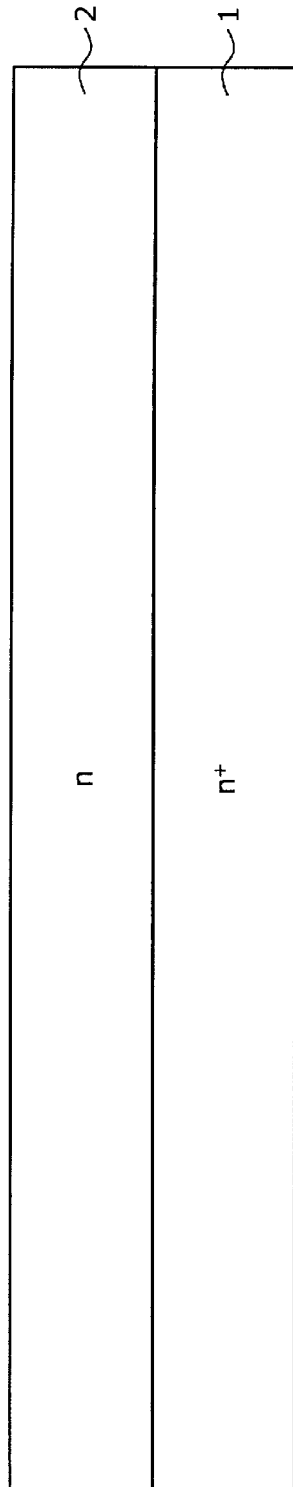
[請求項9] 前記第2半導体領域の、前記半導体基板側に対して反対側の表面は、前記第2半導体層の、前記半導体基板側に対して反対側の表面よりも前記半導体基板側に位置することを特徴とする請求項1に記載の半導体装置。

[請求項10] 前記第2半導体領域と前記第1半導体層との界面は、前記第1半導体領域と前記第1半導体層との界面よりも前記半導体基板側に位置することを特徴とする請求項1～9のいずれか一つに記載の半導体装置。

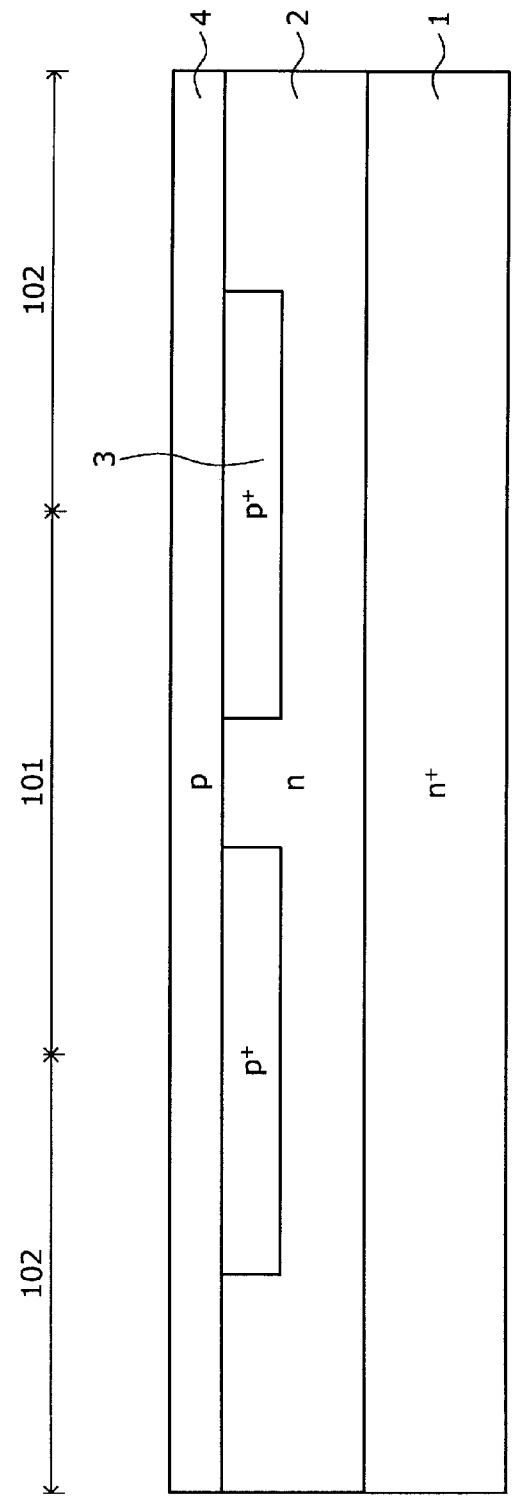
[図1]



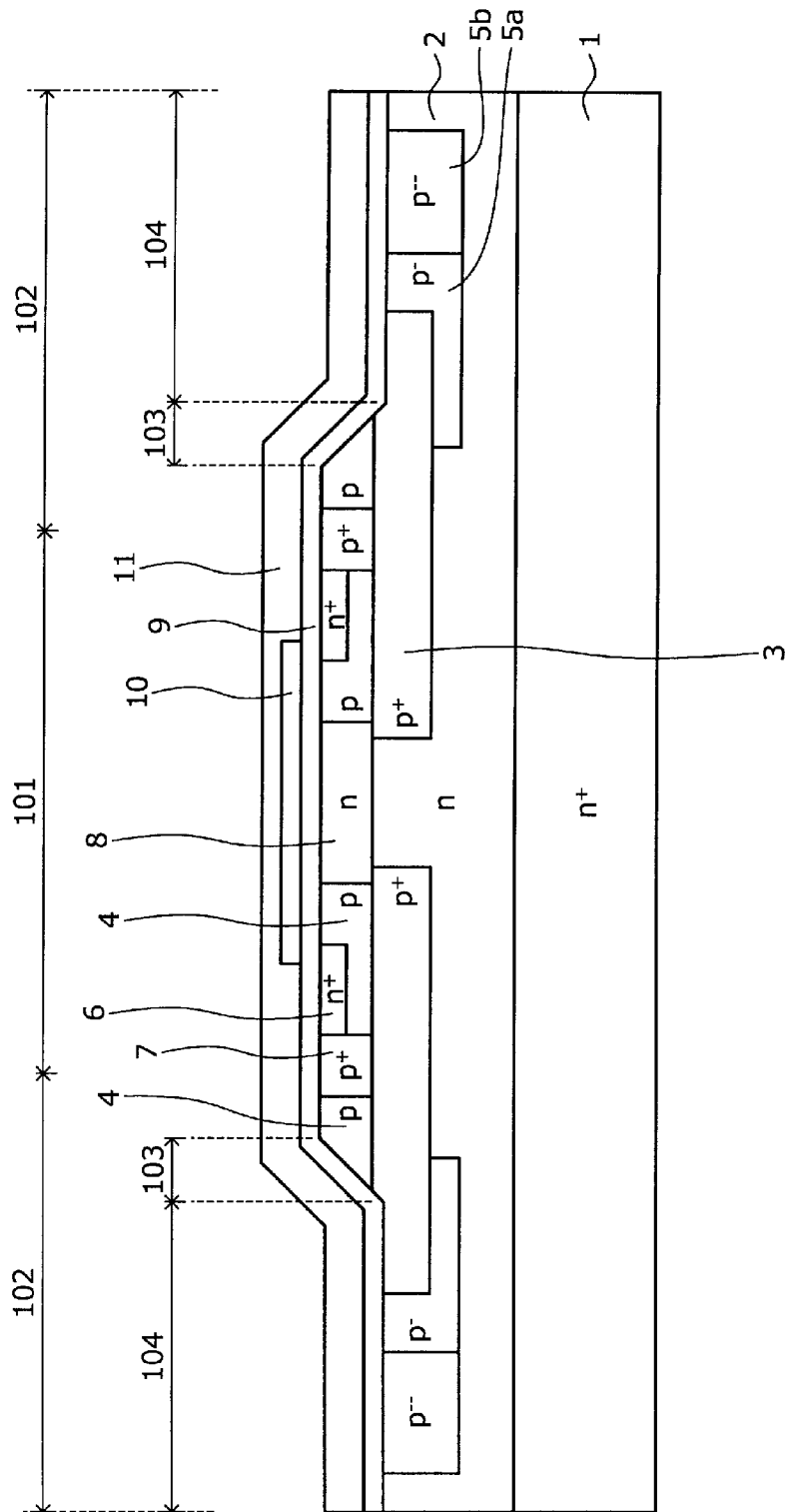
[図2]



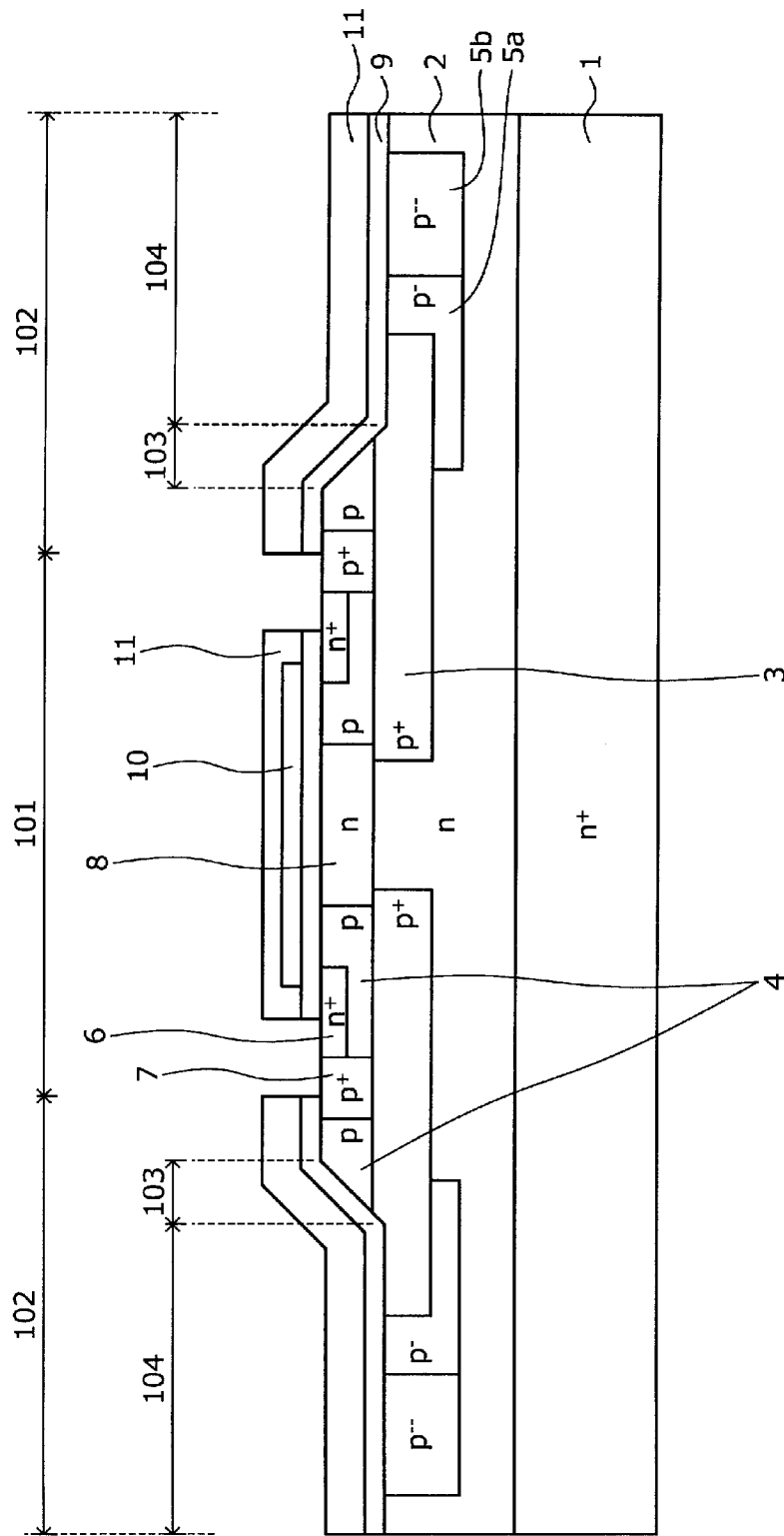
[図3]



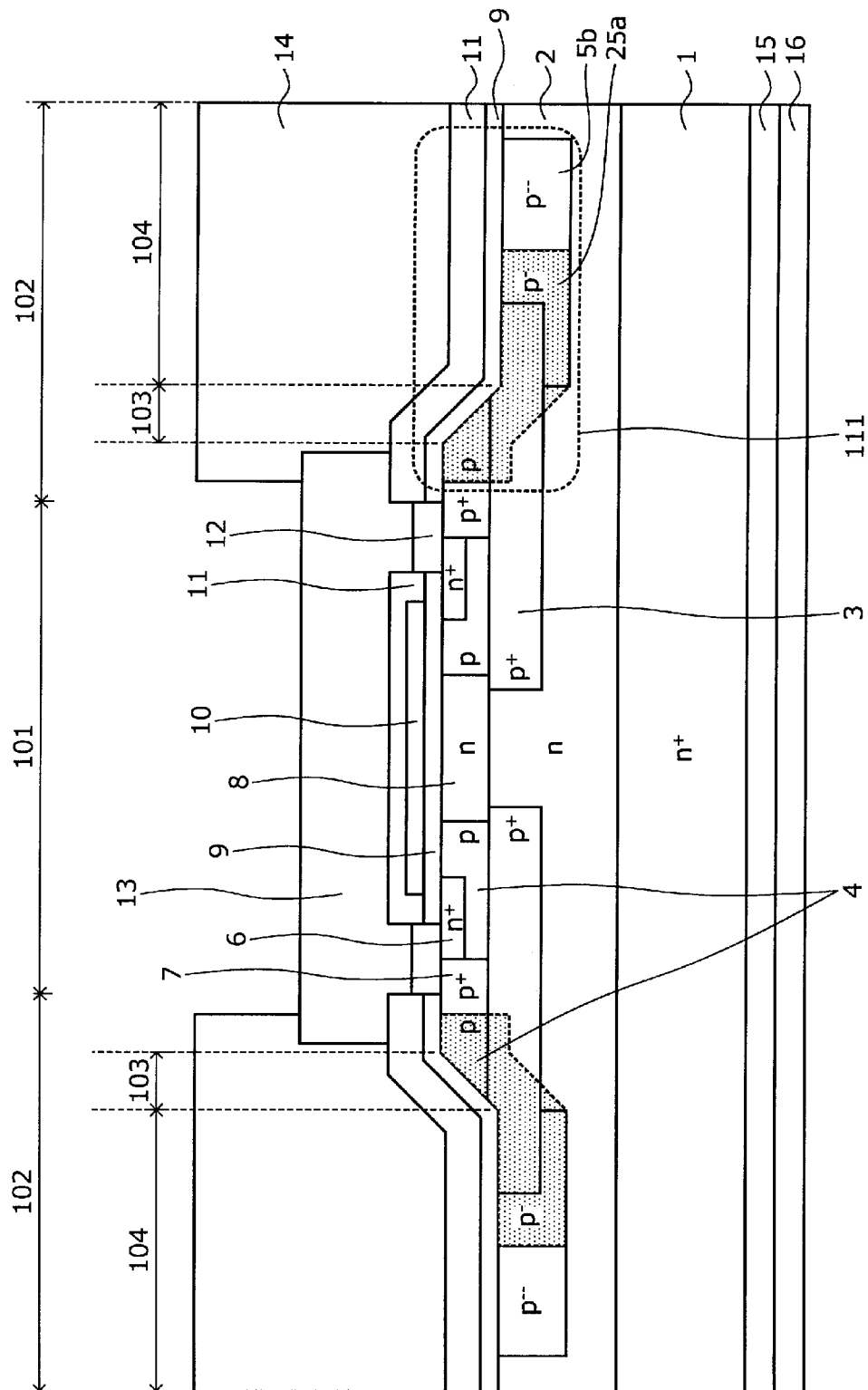
[図5]



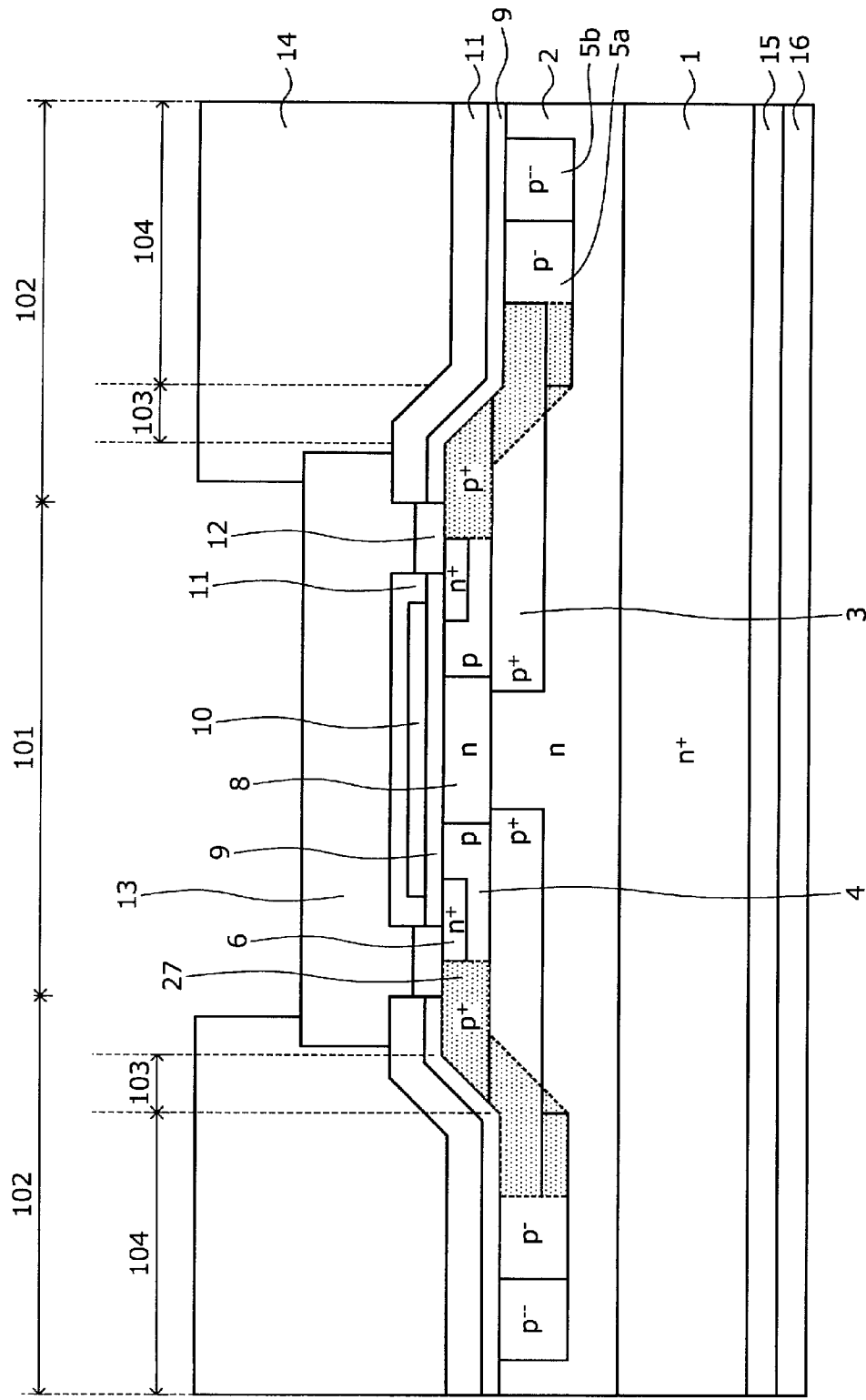
[図6]



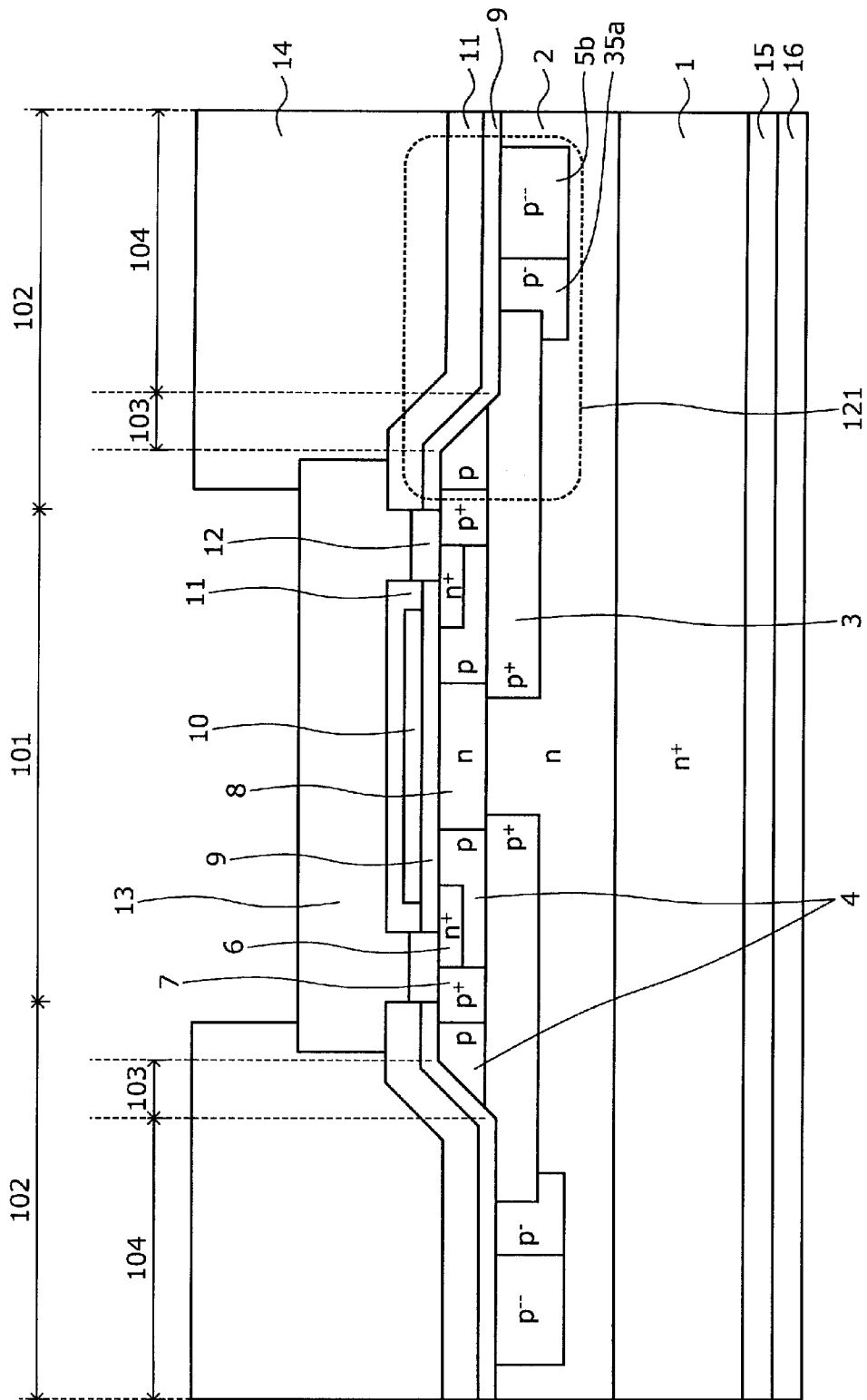
[8]



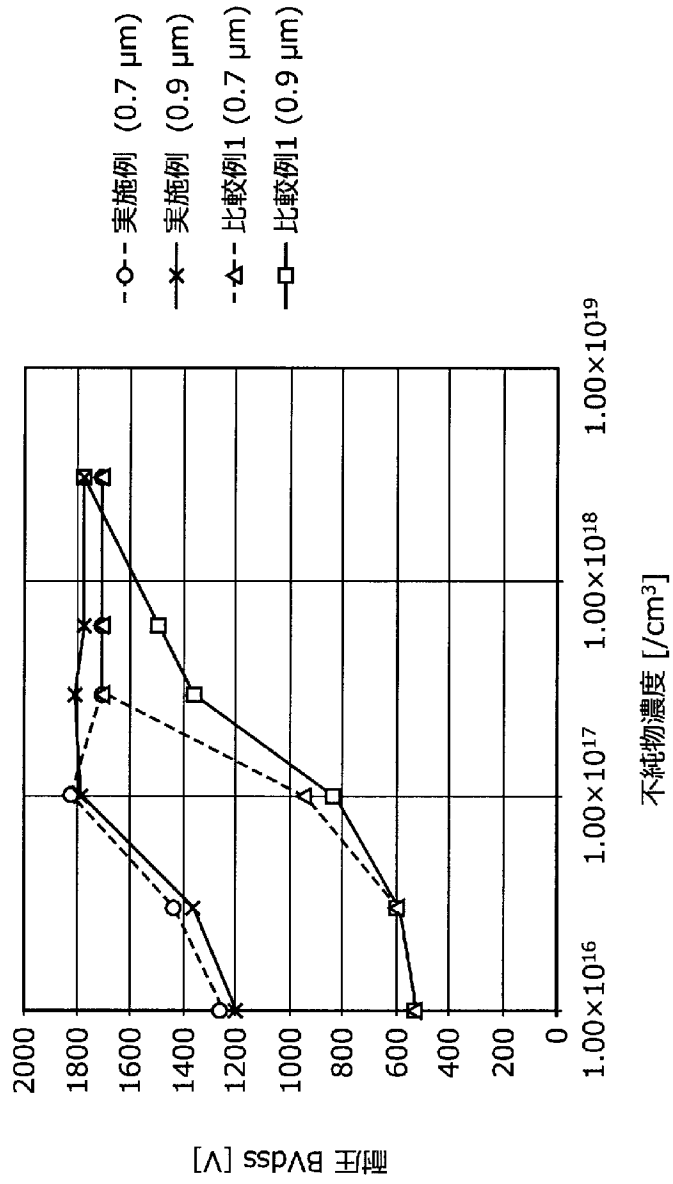
[図9]



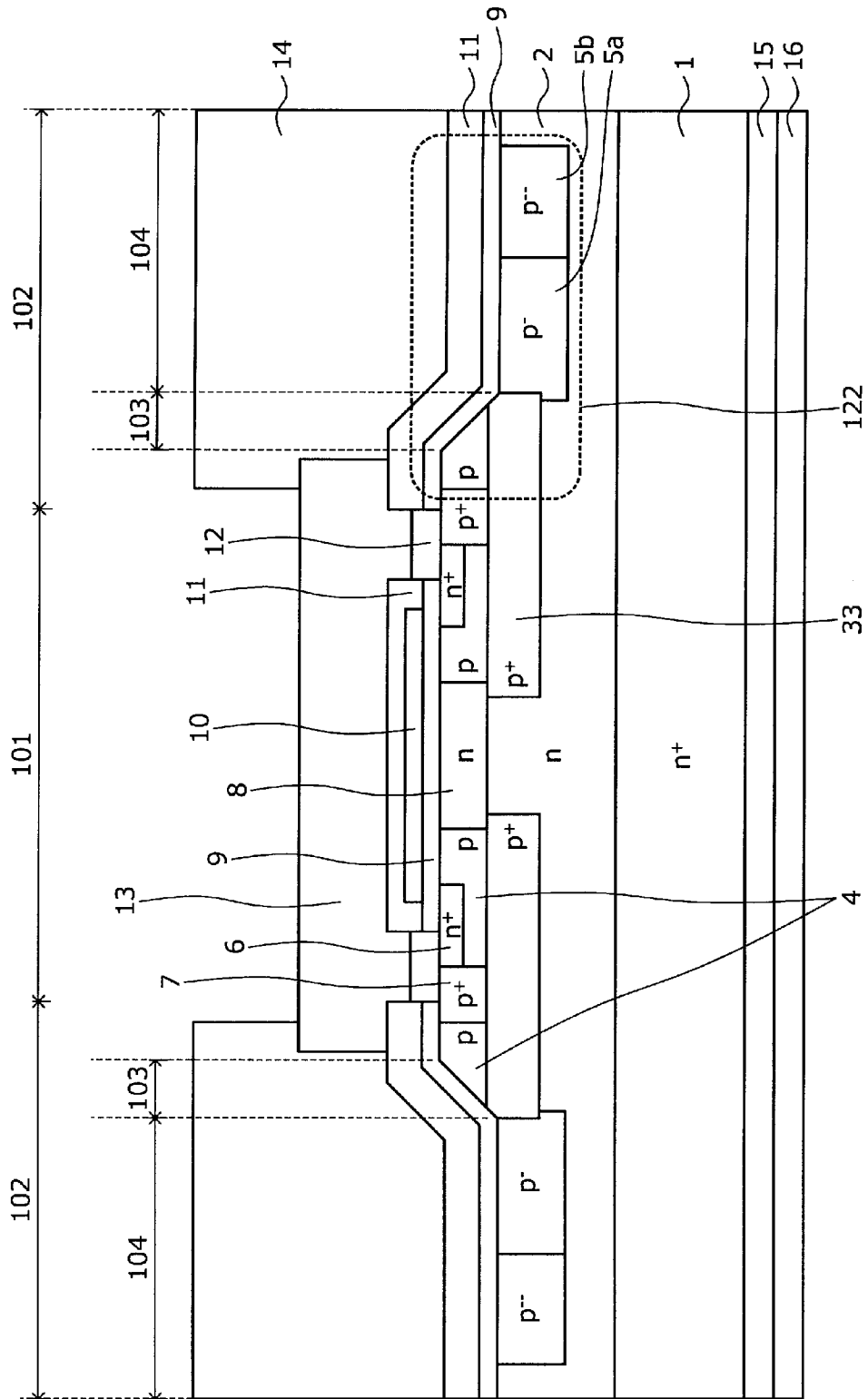
[図10]



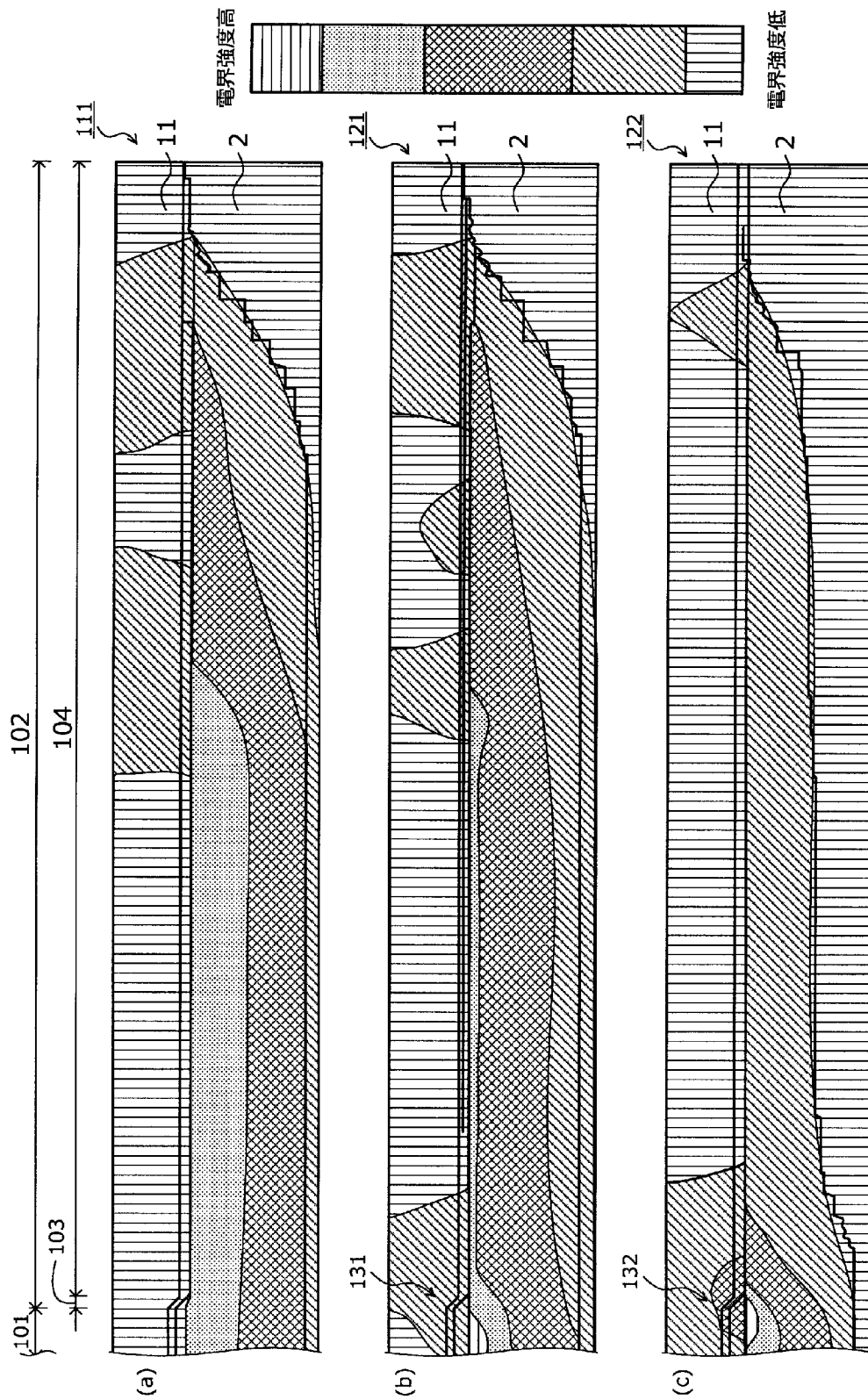
[図11]



[図12]



[圖13]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/085148

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/06(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/06, H01L21/336, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-232564 A (National Institute of Advanced Industrial Science and Technology), 14 November 2013 (14.11.2013), paragraphs [0055] to [0080]; fig. 5 & US 2015/0115285 A1 paragraphs [0066] to [0092]; fig. 5 & WO 2013/161449 A1	1-10
A	JP 2008-98536 A (National Institute of Advanced Industrial Science and Technology), 24 April 2008 (24.04.2008), paragraphs [0022] to [0026]; fig. 1 to 3 & US 2010/0012951 A1 paragraphs [0055] to [0059]; fig. 1 to 3 & WO 2008/047522 A1 & EP 2075847 A1	1-10

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 February 2016 (15.02.16)	Date of mailing of the international search report 01 March 2016 (01.03.16)
--	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/085148

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-147789 A (National Institute of Advanced Industrial Science and Technology), 08 June 2006 (08.06.2006), paragraphs [0017] to [0022]; fig. 1, 2 & US 2009/0134402 A1 paragraphs [0060] to [0063]; fig. 1, 2 & WO 2006/054394 A1 & EP 1814162 A1 & CN 101065847 A	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/06(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/06, H01L21/336, H01L29/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-232564 A (独立行政法人産業技術総合研究所) 2013. 11. 14, 0055 段落ないし 0080 段落、図 5 & US 2015/0115285 A1, 0066 段落 ないし 0092 段落、図 5 & WO 2013/161449 A1	1-10
A	JP 2008-98536 A (独立行政法人産業技術総合研究所) 2008. 04. 24, 0022 段落ないし 0026 段落、図 1 ないし 図 3 & US 2010/0012951 A1, 0055 段落ないし 0059 段落、図 1 ないし 図 3 & WO 2008/047522 A1 & EP 2075847 A1	1-10

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

15. 02. 2016

国際調査報告の発送日

01. 03. 2016

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

棚田 一也

5 F

9361

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-147789 A (独立行政法人産業技術総合研究所) 2006.06.08, 0017 段落ないし 0022 段落、図 1 及び図 2 & US 2009/0134402 A1, 0060 段落ないし 0063 段落、図 1 及び図 2 & WO 2006/054394 A1 & EP 1814162 A1 & CN 101065847 A	1-10