(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3725270号

(P3725270)

(45)発行日　平成17年12月7日(2005.12.7)　(24)登録日　平成17年9月30日(2005.9.30)

(51)Int.Cl.[7]	F I		
G11C 11/407	G11C	11/34	362S
G11C 11/401	G11C	11/34	362C
G11C 11/41	G11C	11/34	301D
H01L 21/822	H01L	27/04	F
H01L 27/04			

請求項の数 7　(全 12 頁)

(21)出願番号　特願平8-334273
(22)出願日　平成8年12月13日(1996.12.13)
(65)公開番号　特開平10-177788
(43)公開日　平成10年6月30日(1998.6.30)
審査請求日　平成11年10月29日(1999.10.29)
審判番号　不服2001-15249(P2001-15249/J1)
審判請求日　平成13年8月29日(2001.8.29)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100070150
弁理士　伊東　忠彦
(72)発明者　篠崎　直治
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

合議体
審判長　佐藤　伸夫
審判官　山本　穂積
審判官　竹中　辰利

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

Ｎ個の動作モードのうちの一つを入力信号により選択して、選択された動作モードで動作する半導体装置であって、

前記入力信号をデコードして前記Ｎ個の動作モードのうちのＮ－１個の動作モードから一つを選択する第１の回路と、該第１の回路の出力の論理演算に基づいて、該Ｎ－１個の動作モードの何れもが選択されないときに、該Ｎ個の動作モードのうちの残りの１個の動作モードを選択する第２の回路とからなる選択回路と、

該選択回路が選択した動作モードに応じて動作する内部回路

を含むことを特徴とする半導体装置。

【請求項２】

前記半導体装置は半導体記憶装置であり、前記動作モードはＣＡＳレイテンシであることを特徴とする請求項１に記載の半導体装置。

【請求項３】

前記半導体装置は半導体記憶装置であり、前記動作モードはバーストレングスであることを特徴とする請求項１に記載の半導体装置。

【請求項４】

前記選択した動作モードに応じて動作する内部回路は、メモリセルアレイに対する読み出し書き込み制御部であることを特徴とする請求項１に記載の半導体装置。

【請求項５】

前記入力信号はＭビットの信号であり、前記Ｎ個は、２のＭ乗より小さいことを特徴とする請求項１に記載の半導体装置。

【請求項６】

前記半導体装置は半導体記憶装置であり、前記Ｍビットの入力信号はＭ個のアドレス端子を介して前記選択回路に入力されることを特徴とする請求項５記載の半導体装置。

【請求項７】

前記Ｍビットの入力信号は、モードレジスタセットコマンドの入力と同時に前記Ｍ個のアドレス端子に入力されることを特徴とする請求項６記載の半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

【０００２】

本発明は半導体装置に関し、詳しくは外部入力により動作モードを設定できる半導体装置に関する。

【従来の技術】

【０００３】

半導体装置の多くは、その動作モードを設定する機能が設けられている。そのような半導体装置に於て、動作モードを設定するためのパラメータは、特定のレジスタ（以下モードレジスタと呼ぶ）に格納されるのが一般的である。

【０００４】

例えば従来のＳＤＲＡＭに於ては、ＳＤＲＡＭの動作モードを規定するパラメータとして、ＣＡＳレイテンシ、バーストレングス、バーストタイプ等を外部から設定できる。これらのパラメータを設定する場合、ＳＤＲＡＭのコマンド入力からモード設定動作を指示し、アドレス入力からパラメータを入力してＳＤＲＡＭ内のモードレジスタにパラメータを書き込む。

【０００５】

図７は、従来の１６ＭＳＤＲＡＭに於けるモードレジスタセットを説明するための図である。図７（Ａ）は、ＳＤＲＡＭに供給されるクロック信号、図７（Ｂ）はコマンド入力、図７（Ｃ）はアドレス入力を示す。図７（Ｂ）及び（Ｃ）に示されるように、コマンド入力にモードレジスタセットコマンドＭＲＳを入力し、アドレス入力にモードレジスタに設定するデータを入力する。データ入力後、コマンド入力にアクティベイトコマンドＡＣＴを入力して、新規設定されたモードを有効にする。

【０００６】

図７（Ｄ）には、モードレジスタに設定されるデータとアドレス入力との関係を示す。図７（Ｄ）に示されるように、アドレス入力Ａ０からＡ２の３ビットはバーストレングスを設定し、アドレス入力Ａ３はバーストタイプを設定し、アドレス入力Ａ４からＡ６の３ビットはＣＡＳレイテンシを設定する。なおＡ７乃至Ａ１１のビットは現時点では用いられない。

【０００７】

例えばＣＡＳレイテンシとは、データ読み出しコマンド入力に対して、データ読み出し動作の開始がどれくらい遅れるかを設定するパラメータである。このＣＡＳレイテンシを設定するためには、上述のようにアドレス入力Ａ４からＡ６の３ビットを用いる。従って８通りの異なった設定が可能であるが、現在定義されている設定は３通り或いは４通りであり、３つのビットＡ４乃至Ａ６のビットパターンの中には使用されないパターンが存在する。

【０００８】

図８は、従来のレイテンシデコーダの回路構成を示す。このレイテンシデコーダはモードレジスタ内に含まれるものであり、アドレス入力ビットを保持するモードレジスタ内のラッチから対応する３ビットを受け取りデコードするものである。

【０００９】

図８のレイテンシデコーダ２００は、インバータ２０１乃至２０３、ＮＡＮＤ回路２０４乃至２０７、インバータ２０８乃至２１１を含む。インバータ２０１乃至２０３は、アドレス入力ビットＡ４乃至Ａ６をラッチが保持したデータＭＲＡ４乃至ＭＲＡ６を受け取る。ＮＡＮＤ回路２０４乃至２０７は、データＭＲＡ４乃至ＭＲＡ６の各ビットに関して、そのままのビットか或いは反転したビットの何れかを受け取る。インバータ２０８乃至２１１は各々、ＮＡＮＤ回路２０４乃至２０７の出力を受け取り反転する。

【００１０】

インバータ２０８乃至２１１の出力は各々、デコード信号ＣＬ１乃至ＣＬ４であり、その横に示されるアドレス入力ビットＡ４乃至Ａ６の各ビットパターンに対応する。即ち例えば、インバータ２０８のデコード信号ＣＬ１は、Ａ４乃至Ａ６が「１００」であるときにＨＩＧＨ（選択）になる信号である。図８の例においては、レイテンシデコーダ２００の出力はデコード信号ＣＬ１乃至ＣＬ４の４つであり、アドレス入力Ａ４乃至Ａ６が図に示されるビットパターン以外の組み合わせであるときは、全てのデコード信号ＣＬ１乃至ＣＬ４はＬＯＷ（非選択）になる。

【００１１】

このように未定義のビットパターンを入力した場合に全ての出力が非選択になってしまうのは、レイテンシデコーダ２００に限られた動作ではなく、モードレジスタに含まれるバーストレングスデコーダやバーストタイプデコーダ等の他のデコーダにおいても同様である。

【発明が解決しようとする課題】

【００１２】

ＣＡＳレイテンシ、バーストレングス、バーストタイプ等をモードレジスタに設定する場合、上述のように現状では使用しないビットパターンを入力すると、デコーダ出力即ちモードレジスタからの出力が全て非選択になる。従来のＳＤＲＡＭ等の半導体装置に於ては、このように未定義の設定を行った場合には、カタログに記載されていない予期できない動作をチップが行う可能性がある。その結果として、例えばメモリに於ては、メモリセルのデータを破壊してしまう等の危険性があった。

【００１３】

本発明は、半導体装置に於て動作モードを設定するモードレジスタに未定義の入力が行われた場合であっても、装置が通常動作を行えるように構成することを目的とする。

【課題を解決するための手段】

【００１４】

本発明において、Ｎ個の動作モードのうちの一つを入力信号により選択して、選択された動作モードで動作する半導体装置は、前記入力信号をデコードして前記Ｎ個の動作モードのうちのＮ－１個の動作モードから一つを選択する第１の回路と、該第１の回路の出力の論理演算に基づいて、該Ｎ－１個の動作モードの何れもが選択されないときに、該Ｎ個の動作モードのうちの残りの１個の動作モードを選択する第２の回路とからなる選択回路と、該選択回路が選択した動作モードに応じて動作する内部回路を含むことを特徴とする。

【００１５】

上記発明に於ては、Ｎ－１個の動作モードを選択する第１の回路を設け、第１の回路がＮ－１個の動作モードの何れも選択しないときには、残りの動作モードを選択するように構成される。従って、未定義入力が行われた場合には、この残りの動作モードが選択されることになり、未定義データの設定により半導体装置が予期できない動作をしてコア回路のデータを破壊してしまう等の損害を避けることが出来る。

【発明の実施の形態】

【００１６】

以下に本発明の実施例を添付の図面を用いて説明する。図１は、本発明の第１の実施例によるＳＤＲＡＭのレイテンシデコーダの回路構成図を示す。なお本発明は、レイテンシデコーダに限られるものではなく、半導体装置の動作モードを設定するモードレジスタに

関して、設定データをデコードするデコーダ一般に適用できるものである。

【００１７】

図１のレイテンシデコーダ１０は、インバータ１１乃至１３、ＮＡＮＤ回路１４乃至１６、インバータ１７乃至１９、及びＮＯＲ回路２０を含む。インバータ１１乃至１３は、アドレス入力ビットＡ４乃至Ａ６をモードレジスタのラッチが保持したデータＭＲＡ４乃至ＭＲＡ６を受け取る。ＮＡＮＤ回路１４乃至１６は、データＭＲＡ４乃至ＭＲＡ６の各ビットに関して、そのままのビットか或いは反転したビットの何れかを受け取る。インバータ１７乃至１９は各々、ＮＡＮＤ回路１４乃至１６の出力を受け取り反転する。

【００１８】

ＮＯＲ回路２０は、インバータ１７乃至１９の出力を受け取り、インバータ１７乃至１９の出力が全てＬＯＷ（非選択）の場合のみＨＩＧＨ（撰択）信号を出力する。ＮＯＲ回路２０の出力がデコード信号ＣＬ１であり、インバータ１７乃至１９の出力は各々、デコード信号ＣＬ２乃至ＣＬ４である。各デコード信号ＣＬ１乃至ＣＬ４がＨＩＧＨ（選択）になる条件が、図１の各出力の横にアドレス入力ビットＡ４乃至Ａ６のビットパターンとして示される。

【００１９】

図８の従来のレイテンシデコーダ１０と比較して、図１の第１の実施例のレイテンシデコーダ１０に於ては、デコード信号ＣＬ１が選択される条件が従来のものとは異なり、デコード信号ＣＬ２乃至ＣＬ３が選択されないときにＨＩＧＨとなる。即ち、従来同様にアドレス入力ビットＡ４乃至Ａ６が「１００」の場合に選択されると共に、未定義入力がなされた場合にも、デコード信号ＣＬ１が選択されることになる。

【００２０】

従って図１のような構成のデコーダを用いれば、未定義の設定がなされた場合であっても、その設定を既定義の出力のうちの一つに割り当てることによって、半導体装置の誤動作を防ぐことができる。図２は、図１のレイテンシデコーダ１０を用いた場合の半導体チップ内のレイテンシデコード信号の配線を模式的に示す。従来技術例として図９に、図８のレイテンシデコーダ２００を用いた場合の半導体チップ内のレイテンシデコード信号の配線を模式的に示す。

【００２１】

図９に示される配線に於ては、図８のレイテンシデコーダ２００のデコード信号ＣＬ１乃至ＣＬ４をチップ２２０内部の他のユニットに供給するように、長距離配線２２１乃至２２４を介して伝送する構成となっている。それに対して図２に示される配線に於ては、図１のレイテンシデコーダ１０のデコード信号ＣＬ２乃至ＣＬ４のみを、長距離配線３１乃至３３を介してチップ３０内部で伝送する構成となっている。これはレイテンシデコーダ１０に於て、デコード信号ＣＬ１は、デコード信号ＣＬ２乃至ＣＬ４が非選択の時に選択となる信号であるので、長距離配線を介して各ユニットに配送する必要がないからである。

【００２２】

レイテンシデコード信号を必要とする各ユニットに於ては、レイテンシデコーダ１０から送られたデコード信号ＣＬ２乃至ＣＬ４を基にして、デコード信号ＣＬ１を生成すればよい。図３は、デコード信号ＣＬ２乃至ＣＬ４を基にしてデコード信号ＣＬ１を生成する回路の一例を示す。図３のＮＯＲ回路３５は、デコード信号ＣＬ２乃至ＣＬ４を受け取り、それら全てがＬＯＷ（非選択）の場合のみＨＩＧＨ（撰択）信号を出力する。即ち、ＮＯＲ回路３５の出力は、デコード信号ＣＬ１となる。

【００２３】

このような回路を、レイテンシデコード信号を必要とする各ユニットに設けることによって、デコード信号ＣＬ１を長距離配線を用いて伝送する必要がなくなる。長距離配線の方が、図３の様な単純な回路よりもチップ内のスペースを大きくとるので、図３の回路を各ユニットに設けて長距離配線を一本減らすことによって、チップ内スペースの効率的な使用を実現できる。

【００２４】
なお図３のＮＯＲ回路３５は、図１のＮＯＲ回路２０をモードレジスタ内部から、デコード信号を必要とする各ユニットに移動させたものと考えることができる。即ち図２のような配線を用いた場合には、図１のＮＯＲ回路２０は不要となるので削除し、その代わりに図３のＮＯＲ回路３５を各ユニットに設ければよい。
【００２５】
図４は、本発明の参考例によるＳＤＲＡＭのモードレジスタ及びその周辺を示す。図４に於て、１０２はコマンド信号入力端子、１０３はアドレス信号入力端子、１１０はモードレジスタコントロール部であり、１１１がモードレジスタである。モードレジスタ１１１は、ラッチ制御回路４０、ラッチ２３０、バーストレングスデコーダ２４０、図８と同一のレイテンシデコーダ２００、バーストタイプデコーダ２５０を含む。図４の構成は、ラッチ制御回路４０が設けられていることを除けば、従来のモードレジスタ及びその周辺と同一の構成である。
【００２６】
コマンド信号入力端子１０２に入力されたコマンド信号（図７参照）は、モードレジスタコントロール部１１０に供給される。アドレス信号入力端子に入力されたアドレス信号（図７参照）は、モードレジスタコントロール部１１０及びモードレジスタ１１１に供給される。モードレジスタコントロール部１１０は、受け取ったコマンド信号がモードレジスタ設定を指定する時に、アドレス信号のタイミングに応じて、イネーブル信号ｒｇｗｚを出力する。従来の構成に於ては、モードレジスタ１１１が受け取ったイネーブル信号ｒｇｗｚは、直接にラッチ２３０に供給され、ラッチ２３０がアドレス信号をラッチする。
【００２７】
参考例に於ては、モードレジスタ１１１が受け取ったイネーブル信号ｒｇｗｚは、まずラッチ制御回路４０に供給される。ラッチ制御回路４０は、イネーブル信号ｒｇｗｚ以外にアドレス信号を受け取り、このアドレス信号の内容に応じて、イネーブル信号ｒｇｗｚをラッチ２３０に共有するか否かを決定する。具体的には、アドレス信号が未定義の設定に対応する場合には、イネーブル信号ｒｇｗｚをラッチ２３０に供給しない。
【００２８】
図５は、ラッチ制御回路４０の回路構成を示す。図５のラッチ制御回路４０は、インバータ４１乃至４３、ＮＡＮＤ回路４４乃至４７、インバータ４８乃至５１、ＮＯＲ回路５２、インバータ５３及び５４、及びＮＯＲ回路５５を含む。インバータ４１乃至４３は、アドレス信号のビットＡ４乃至Ａ６を受け取る。ＮＡＮＤ回路４４乃至４７は、アドレス入力ビットＡ４乃至Ａ６の各ビットに関して、そのままのビットか或いは反転したビットの何れかを受け取る。インバータ４８乃至５１は各々、ＮＡＮＤ回路４４乃至４７の出力を受け取り反転する。
【００２９】
インバータ４８乃至５１の出力はデコード信号ＣＬａ乃至ＣＬｄであり、これらが選択されてＨＩＧＨとなる条件が、アドレス入力ビットＡ４乃至Ａ６のビットパターンとして図５に示される。図８に示されるアドレス入力ビットＡ４乃至Ａ６のビットパターンと比較すれば明らかなように、図５のデコード信号ＣＬａ乃至ＣＬｄのビットパターンは、未定義のビットパターンに対応する。即ち、図５のインバータ４８乃至５１は、未定義のビットパターン入力がなされた場合に、そのいずれかの出力がＨＩＧＨになる。
【００３０】
ＮＯＲ回路５２は、デコード信号ＣＬａ乃至ＣＬｄを受け取る。ＮＯＲ回路５２は、デコード信号ＣＬａ乃至ＣＬｄの何れかがＨＩＧＨの場合にＬＯＷ信号を出力し、デコード信号ＣＬａ乃至ＣＬｄの全てがＬＯＷの場合にＨＩＧＨ信号を出力する。インバータ５３は、ＮＯＲ回路５２の出力を反転する。インバータ５３の出力は、制御信号ｓｔｏｐｚとして示される。制御信号ｓｔｏｐｚは、デコード信号ＣＬａ乃至ＣＬｄの何れかがＨＩＧＨの場合、即ち未定義入力がなされた場合にＨＩＧＨになる信号である。
【００３１】

制御信号ｓｔｏｐｚは、２入力ＮＯＲ回路５５の一方の入力に供給される。ＮＯＲ回路５５のもう一方の入力には、インバータ５４で反転されたイネーブル信号ｒｇｗｚが供給される。制御信号ｓｔｏｐｚがＨＩＧＨの場合には、ＮＯＲ回路５５の出力は常にＬＯＷとなる。従って、イネーブル信号ｒｇｗｚはＮＯＲ回路５５によってブロックされる。制御信号ｓｔｏｐｚがＬＯＷの場合には、ＮＯＲ回路５５は、イネーブル信号ｒｇｗｚの反転に対してインバータとして動作する。従って、イネーブル信号ｒｇｗｚの反転が更に反転され、ＮＯＲ回路５５は元のイネーブル信号ｒｇｗｚを出力する。

【００３２】

ＮＯＲ回路５５の出力は、ラッチ制御信号ｒｇｗｓｚとしてラッチ２３０に供給される（図４参照）。このようにラッチ制御回路４０は、未定義入力がなされた場合にはイネーブル信号ｒｇｗｚをブロックし、既定義入力がなされた場合には、イネーブル信号ｒｇｗｚをラッチ制御信号ｒｇｗｓｚとして出力する。このラッチ制御信号ｒｇｗｓｚを受け取ると、ラッチ２３０は、アドレス入力Ａ０乃至Ａ０６をラッチする。

【００３３】

従って、図４及び図５に示される本発明の参考例によるモードレジスタ１１１に於ては、ＣＡＳレイテンシに対して未定義入力が行われた場合にその入力を設定しないので、未定義入力が行われた場合のＳＤＲＡＭの誤動作を防ぐことができる。

【００３４】

なお図４及び図５の構成では、バーストレングスに対して未定義入力が行われた場合に、未定義入力がそのままラッチ２３０によって保持され、更にバーストレングスデコーダ２４０によりデコードされ出力されてしまう（バーストタイプは１ビットであり、未定義の設定はない）。従って、バーストレングスに対しても同様の誤動作回避機能を設けたいのであれば、Ａ０乃至Ａ２に対しても未定義入力を検出するように、図５の回路を変更すればよい。

【００３５】

本発明の参考例は、未定義入力がなされた場合に未定義入力を検出してモードレジスタへの書き込みを禁止するように構成されるが、この構成はＳＤＲＡＭのモードレジスタに限られることなく、種々の半導体装置に適用可能であることは明らかである。

【００３６】

図６は、本発明の参考例のモードレジスタを適用したＳＤＲＡＭの構成例を示す。図６のＳＤＲＡＭは、クロック信号入力端子１０１、コマンド信号入力端子１０２、アドレス信号入力端子１０３、データ信号入出力端子１０４、内部クロック発生部１０５、コマンド入力バッファ１０６、アドレス入力バッファ１０７、データ出力バッファ１０８、データ入力バッファ１０９、モードレジスタコントロール部１１０、図４に示されるモードレジスタ１１１、コマンドデコード部１１２、アドレスデコード部１１３、パインライン１１４及び１１５、書き込みコントロール部１１６、書き込みアンプ１１７、センスアンプ１１８、読み出し・書き込み制御部１１９、読み出しアンプ１２０、及びメモリセルアレイ１２１を含む。

【００３７】

図６のＳＤＲＡＭに於て、本発明によるモードレジスタ１１１を用いる以外は、従来のＳＤＲＡＭと同一の構造である。図６のＳＤＲＡＭの動作を簡単に説明する。クロック信号入力端子１０１に供給されたクロック信号は、内部クロック発生部１０５に供給されて、内部回路を制御するための様々な内部クロック信号が生成される。内部クロック発生部１０５から供給される内部クロック信号に基づいて、コマンド入力バッファ１０６、アドレス入力バッファ１０７、及びデータ入力バッファ１０９は各々、コマンド信号入力端子１０２、アドレス信号入力端子１０３、データ信号入出力端子１０４に入力されたコマンド信号、アドレス信号、及びデータ信号を取り込む。

【００３８】

入力されたコマンド信号は、コマンド入力バッファ１０６からコマンドデコード部１１２に供給されてデコードされる。コマンドのデコード結果に応じて、内部回路が制御され

る。コマンドとしてモードレジスタセットコマンドが与えられたときには、モードレジスタコントロール部１１０がモードレジスタセットコマンドに応じて、アドレス入力バッファ１０７から供給されたアドレス信号をモードレジスタ１１１に書き込む。

【００３９】

入力されたアドレス信号は、アドレス入力バッファ１０７からアドレスデコード部１１３に供給されてデコードされる。アドレスのデコード結果に応じて、メモリセルアレイ１２１の指定されたアドレスがアクセスされる。入力されたデータ信号は、データ入力バッファ１０９から、書き込みアンプ１１７とセンスアンプ１１８とを介して、メモリセルアレイ１２１の指定されたアドレスに格納される。逆にメモリセルアレイ１２１の指定されたアドレスから読み出されたデータは、センスアンプ１１８、読み出しアンプ１２０、パイプライン１１４及び１１５を介して、データ出力バッファ１０８に供給される。データ出力バッファ１０８は、内部クロック発生部１０５からの内部クロックに基づいて、データをデータ入出力端子１０４に出力する。

【００４０】

書き込みコントロール部１１６は、コマンドデコード部１１２のコマンドデコード結果に応じて、制御信号を読み出し・書き込み制御部１１９に供給する。またコマンドデコード結果に基づいて、データ入力バッファ１０９を制御する。読み出し・書き込み制御部１１９は、書き込み信号Ｗｒｉｔｅ、読み出し信号Ｒｅａｄ、コラム線選択信号（図示せず）等の制御信号を生成する。例えばコラム線選択信号は、複数のセンスアンプを含むセンスアンプ１１８に供給されて、選択されたセンスアンプに対するデータ読み出し・データ書き込みを所定期間だけ可能にする。書き込み信号Ｗｒｉｔｅは、書き込みアンプ１１７に供給されて、データ入力バッファ１０９からの入力データを所定のタイミングでグローバルデータバスＧＤＢ０及びＧＤＢ１に供給する。書き込み信号Ｒｅａｄは、読み出しアンプ１２０に供給されて、グローバルデータバスＧＤＢ０及びＧＤＢ１上の読み出しデータを所定のタイミングでパイプライン１１５に供給する。

【００４１】

モードレジスタ１１１は、前述のように、バーストレングス、バーストタイプ、ＣＡＳレイテンシ等の設定値を格納する。例えばＣＡＳレイテンシについて説明すると、モードレジスタ１１１は、設定されたＣＡＳレイテンシを示すＣＡＳレイテンシ判別信号（デコード信号）ＣＬ１乃至ＣＬ４を出力する（ＣＡＳレイテンシ設定が４以上可能なときには、更にＣＬ５・・・を出力する）。これらのＣＡＳレイテンシ判別信号ＣＬ１乃至ＣＬ４は、読み出し・書き込み制御部１１９に供給される。このＣＡＳレイテンシ判別信号ＣＬ１乃至ＣＬ４に基づいて、読み出し・書き込み制御部１１９はデータ読み出しのタイミングを制御する。

【００４２】

モードレジスタ１１１に未定義のＣＡＳレイテンシを誤って設定しようとしても、図４及び図５を参照して説明されたように、未定義の入力はモードレジスタ内に設定されることがない。従って、図６のＳＤＲＡＭに於て、ＣＡＳレイテンシに未定義入力を与えたときでも、ＳＤＲＡＭの誤動作を避けることが出来る。勿論、ＣＡＳレイテンシ以外に、バーストレングス等のパラメータに対しても、誤動作回避のために未定義入力禁止機能を設けてもよいことは明らかである。

【００４３】

なお図６のＳＤＲＡＭに於て、モードレジスタ１１１として図４の構成のものを用いるのではなく、従来のモードレジスタに図１のレイテンシデコーダを用いた構成としてもよい。この場合、ＣＡＳレイテンシに対して未定義入力がなされると、例えばＣＡＳレイテンシ判別信号ＣＬ１が選択される。従って、ＳＤＲＡＭの誤動作を避けることが出来る。またこの場合、ＣＡＳレイテンシ判別信号ＣＬ１乃至ＣＬ４のためのＳＤＲＡＭ内の配線を、図２のようにＣＡＳレイテンシ判別信号ＣＬ２乃至ＣＬ４だけに対して設け、図３のＮＯＲ回路を読み出し・書き込み制御部１１９等に含める構成としてもよい。

【００４４】

本発明は実施例に基づいて説明されたが、上述の実施例に限定されることなく、特許請求の範囲内で様々な変形・修正が可能である。

【発明の効果】

【００４５】

本発明に於ては、Ｎ－１個の動作モードを選択する第１の回路を設け、第１の回路がＮ－１個の動作モードの何れも選択しないときには、残りの動作モードを選択するように構成される。従って、未定義入力が行われた場合には、この残りの動作モードが選択されることになり、未定義データの設定により半導体装置が予期できない動作をしてコア回路のデータを破壊してしまう等の損害を避けることが出来る。

【図面の簡単な説明】

【図１】本発明の第１の実施例によるＳＤＲＡＭのレイテンシデコーダの回路構成図である。

【図２】図１のレイテンシデコーダを用いた場合の半導体チップ内のレイテンシデコード信号の配線を模式的に示す図である。

【図３】デコード信号ＣＬ２乃至ＣＬ４を基にしてデコード信号ＣＬ１を生成する回路の一例を示す図である。

【図４】本発明の第２の実施例によるＳＤＲＡＭのモードレジスタ及びその周辺の構成を示す図である。

【図５】図４のラッチ制御回路の回路構成図である。

【図６】本発明の第２の実施例のモードレジスタを適用したＳＤＲＡＭの構成例を示す図である。

【図７】（Ａ）乃至（Ｄ）は、従来のＳＤＲＡＭに於けるモードレジスタへのデータ設定を説明するための図である。

【図８】従来のレイテンシデコーダの回路構成図である。

【図９】図８のレイテンシデコーダを用いた場合の半導体チップ内のレイテンシデコード信号の配線を模式的に示す図である。

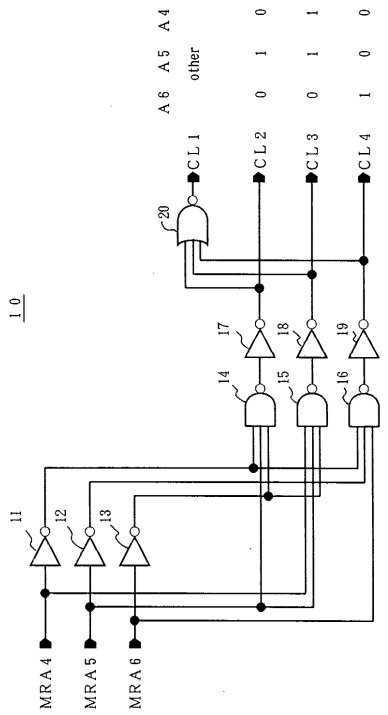
【符号の説明】

１０　　レイテンシデコーダ
３０　　チップ
３１、３２、３３　長距離配線
４０　　ラッチ制御回路
１０１　クロック信号入力端子１０１
１０２　コマンド信号入力端子
１０３　アドレス信号入力端子
１０４　データ信号入出力端子
１０５　内部クロック発生部
１０６　コマンド入力バッファ
１０７　アドレス入力バッファ
１０８　データ出力バッファ
１０９　データ入力バッファ
１１０　モードレジスタコントロール部
１１１　モードレジスタ
１１２　コマンドデコード部
１１３　アドレスデコード部
１１４、１１５　パインライン
１１６　書き込みコントロール部
１１７　書き込みアンプ
１１８　センスアンプ
１１９　ショート回路
１２０　読み出しアンプ

１２１　メモリセルアレイ
２００　センスアンプ
２０５　読み出しアンプ
２０６　書き込みアンプ
２００　レイテンシデコーダ
２２０　チップ
２２１、２２２、２２３、２２４　長距離配線
２３０　ラッチ
２４０　バーストレングスデコーダ
２５０　バーストタイプデコーダ

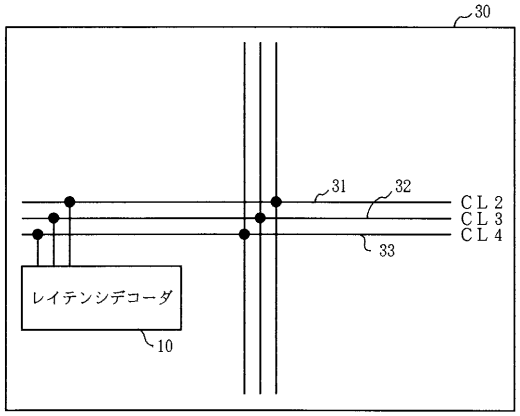
【図１】

本発明の第１の実施例によるＳＤＲＡＭの
レイテンシデコーダの回路構成図



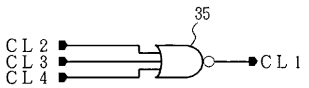
【図２】

図１のレイテンシデコーダを用いた場合の半導体チップ内の
レイテンシデコード信号の配線を模式的に示す図



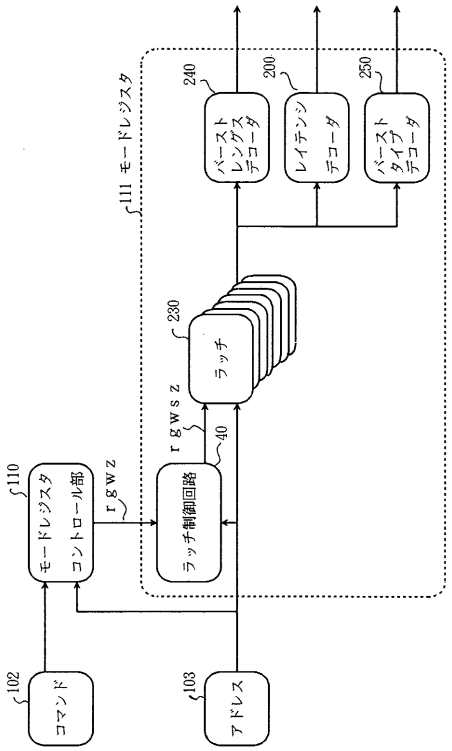
【図３】

デコード信号ＣＬ２乃至ＣＬ４を基にして
デコード信号ＣＬ１を生成する回路の一例を示す図



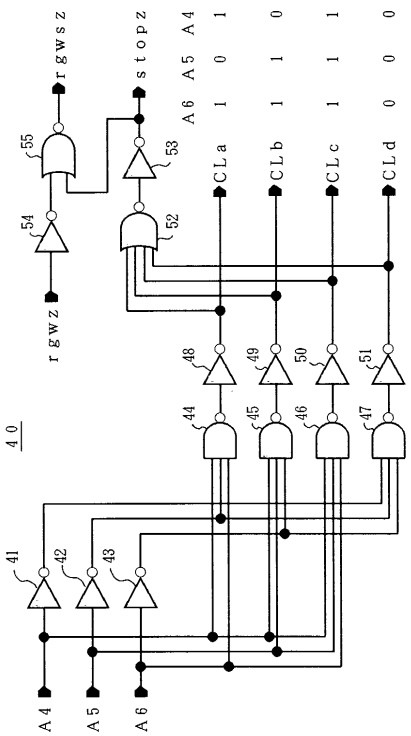
【図４】

本発明の第２の実施例によるＳＤＲＡＭの
モードレジスタ及びその周辺の構成を示す図



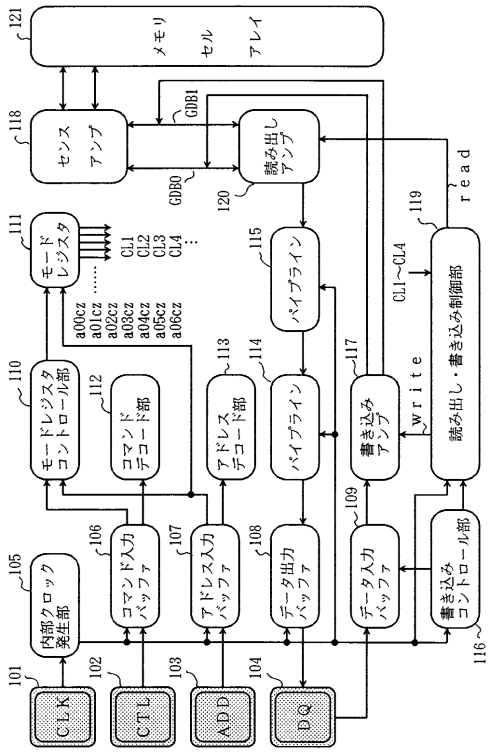
【図５】

図４のラッチ制御回路の回路構成図



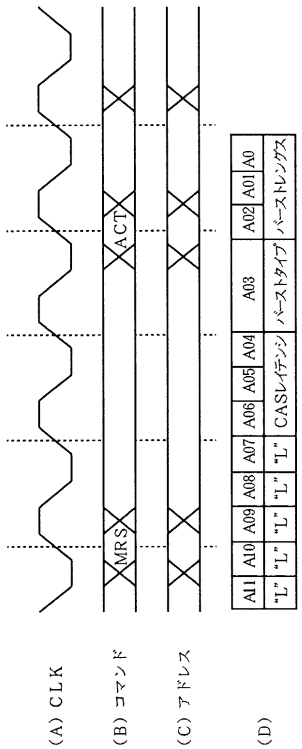
【図６】

本発明の第２の実施例のモードレジスタを適用した
ＳＤＲＡＭの構成例を示す図



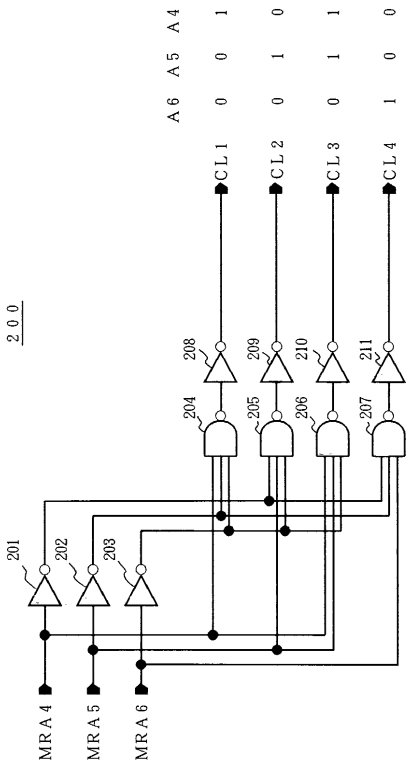
【図７】

従来のＳＤＲＡＭに於けるモードレジスタへの
データ設定を説明するための図



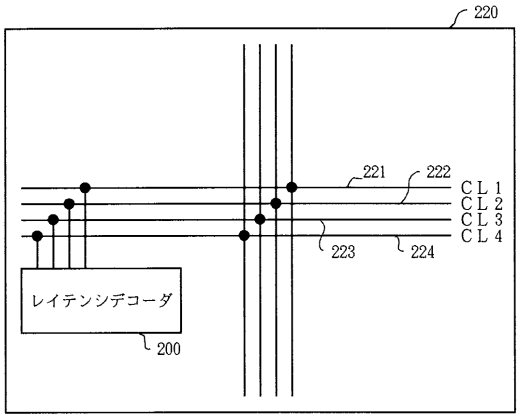
【図８】

従来のレイテンシデコーダの回路構成図



【図９】

図８のレイテンシデコーダを用いた場合の半導体チップ内の
レイテンシデコード信号の配線を模式的に示す図



フロントページの続き

(56)参考文献 特開平８－２４９８９０（ＪＰ，Ａ）
特開昭５１－４４４４７（ＪＰ，Ａ）
特開平６－１９５９６３（ＪＰ，Ａ）
特開平７－７８４６６（ＪＰ，Ａ）
特開平１－２５１３９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11
G06F 5