

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 18 年 7 月 13 日 (2006.7.13)

【公表番号】特表 2002-533928 (P2002-533928A)
 【公表日】平成 14 年 10 月 8 日 (2002.10.8)
 【出願番号】特願 2000-590213 (P2000-590213)
 【国際特許分類】

H 0 1 L 27/00 (2006.01)

G 1 1 C 13/00 (2006.01)

H 0 1 L 27/10 (2006.01)

【F I】

H 0 1 L 27/00 3 0 1 C

G 1 1 C 13/00 Z

H 0 1 L 27/10 3 0 1

【誤訳訂正書】

【提出日】平成 18 年 5 月 29 日 (2006.5.29)

【誤訳訂正 1】

【訂正対象書類名】明細書

【訂正対象項目名】請求項 1

【訂正方法】変更

【訂正の内容】

【請求項 1】 1 つ以上の薄膜デバイス (1) を含む容量増大化可能なデータ処理装置、具体的にはデータ記憶装置であって、

各薄膜デバイス (1) が、同一の拡がりをもって重ね合わされた薄膜材料から成る複数の副層 (S) によって作られた平坦層であり、

前記各薄膜デバイス (1) の複数の副層 (S) が、電気絶縁性および / または導電性および / または半導電性の構造体と、副層 (S) における薄膜材料で実現された情報記憶能力を有する構造体とを含み、

前記構造体が、前記薄膜デバイスにおける能動および受動電子回路素子または論理セルを実現するために、前記薄膜デバイス (1) を形成する、スタックにおける隣接する複数の副層における同種の他の構造体と電氣的に整合または接触しており、

前記薄膜デバイス (1) の前記能動および受動回路素子が、3 次元構造によって実現され、該薄膜デバイス (1) の隣り合う 2 つ以上の副層 (S) を貫通して延在し、前記能動および受動回路素子が、1 つ以上の副層 (S) における水平方向の導電性構造体と、1 つ以上の前記副層 (S) を貫通して延在する垂直方向の導電性構造体とによって電氣的に接続され、さらに

2 つ以上の薄膜デバイス (1) が重合して配設されている前記データ処理装置において

、
 各薄膜デバイス (1) が、1 つ以上のマトリックス・アドレス指定可能メモリ (3 ') を形成する 1 つ以上のメモリ領域 (3) を含み、それぞれが、ストライプ状の並列導電性構造形態 (7) または電極構造形態の第 1 組の電極と、該第 1 組の電極における電極構造体 (7) と概ね直交するように配向された対応する電極構造形態の第 2 組の電極 (8) とに接触した、副層 (S) にあるメモリ媒体 (6) を含み、

前記各組の電極が、前記メモリ媒体を有する前記副層の両側にそれぞれ隣接する別の副層 (S) に設けられ、もって前記第 1 および第 2 組の電極における前記電極構造体 (7 、 8) の間の交差点で、前記メモリ媒体 (6) にアドレス指定可能なメモリ・セルが作られており、

各薄膜デバイス (1) が、1 つ以上のメモリ (3 ') 内で前記メモリ・セルを制御し、

駆動し、かつアドレス指定するための電子薄膜回路を形成する回路領域(2)をさらに含み、

前記電子薄膜回路が、電流経路を介して、メモリ(3')の前記第1および第2組の電極の各々における電極構造体(7、8)と接続されており、前記電流経路は、前記第1および第2組の電極が設けられた同じ副層内で導電性構造体として形成されており、

各薄膜デバイス(1)が、前記データ処理装置の全ての別の薄膜デバイスに対してインターフェースを有し、前記インターフェースが、通信・信号回線、および、該通信・信号回線処理するためのサポート回路によって実現されており、

前記通信・信号回線と前記サポート回路が、それぞれ前記薄膜デバイス(1)における専用インターフェース領域(4)に設けられていることを特徴とする容量増大化可能なデータ処理装置。

【誤訳訂正2】

【訂正対象書類名】明細書

【訂正対象項目名】請求項16

【訂正方法】変更

【訂正の内容】

【請求項16】 1つ以上の分離層(16)が、隣接する薄膜デバイス(1)間に薄片状に設けられ、単独で、または選択された組み合わせで、それぞれが、電気、温度、光、または機械的な絶縁機能または平面化機能を実行し、それぞれの場合に、各膜デバイス(1)の前記インターフェース領域が、それぞれの分離層(16)にある経路を介して電氣的に接続されていることを特徴とする請求項15に記載された容量増大化可能なデータ処理装置。

【誤訳訂正3】

【訂正対象書類名】明細書

【訂正対象項目名】請求項19

【訂正方法】変更

【訂正の内容】

【請求項19】 1つ以上の分離層(16)が、隣接する薄膜デバイス(1)間に薄片状に設けられ、単独で、または選択された組み合わせで、それぞれが、電気、温度、光、または機械的な絶縁機能または平面化機能を実行することと、

分離層(16)だけが、隣接する2つの薄膜デバイスの重なり合った部分に設けられ、薄膜デバイス(1)間の分離層(16)が、個々の薄膜デバイス(1)間の電気接続(4')のための経路の無い非破壊層を形成するように、各薄膜デバイス(1)のインターフェース部分(4)が、ずらして配置された領域内の薄膜デバイス(1)の露出表面部分上に設けられていることを特徴とする請求項17に記載された容量増大化可能なデータ処理装置。

【誤訳訂正4】

【訂正対象書類名】明細書

【訂正対象項目名】0009

【訂正方法】変更

【訂正の内容】

【0009】

前記目的およびその他の特徴と利点は、容量増大化可能なデータ処理装置、具体的にはデータ記憶装置を使用する本発明に従って達成され、各薄膜デバイスが、1つ以上のマトリックス・アドレス指定可能メモリを形成する1以上のメモリ領域を含み、それぞれが、ストライプ状の並列導電性構造形態または電極構造形態の第1組の電極と、第1組の電極における電極構造体と概ね直交するように配向された対応する電極構造形態の第2組の電極に接触した、副層にあるメモリ媒体を含み、各組の電極が、前記メモリ媒体を有する前記副層の両側にそれぞれ隣接する別の副層に設けられ、もって第1および第2組の電極における電極構造体の間の交差点で、メモリ媒体にアドレス指定可能なメモリ・セルが作ら

れており、各薄膜デバイスが、1つ以上のメモリ内でメモリ・セルを制御し、駆動し、かつアドレス指定するための電子薄膜回路を形成する回路領域をさらに含み、前記電子回路が、電流経路を介してメモリの第1組および第2組の電極における電極構造体と、接続されており、前記電流経路は、前記第1および第2組の電極が設けられた同じ副層内で導電性構造体として形成されており、各薄膜デバイスが、前記データ処理装置の全ての別の薄膜デバイスに対してインターフェースを有し、前記インターフェースが、通信・信号回線、および、該通信・信号回線処理するためのサポート回路によって実現され、前記通信・信号回線と前記サポート回路が、それぞれ薄膜デバイスにおける専用のインターフェース領域に設けられていることを特徴とする。

【誤訳訂正5】

【訂正対象書類名】明細書

【訂正対象項目名】0019

【訂正方法】変更

【訂正の内容】

【0019】

次いで、1つ以上の分離層が、隣接する薄膜デバイス間でインターリーブ（薄片状に間挿）され、単独で、または選択された組み合わせで、それぞれが、電気、温度、光、または機械的な絶縁機能または平面化機能を実行すること、および分離層だけが隣接する2の薄膜デバイスの重なり合った部分に提供されることが好ましく、薄膜デバイス間の分離層が、別々の薄膜デバイス間の電気接続用の経路なしで非破壊層を形成するように、それぞれの薄膜デバイスのインターフェース部分が、そのずらして配置された領域内の薄膜デバイスの露出表面部分上に提供されることも好ましい。

【誤訳訂正6】

【訂正対象書類名】明細書

【訂正対象項目名】0025

【訂正方法】変更

【訂正の内容】

【0025】

本発明で使用する薄膜デバイス1の他の実施形態が図3aに示されており、これは図2aの実施形態にほぼ対応し、位置ずれ配置されたメモリで作成されたメモリ・スタックを備えているが、ここでは図3aの平面図に示されるように、図3aの線C-Cに沿う断面図3bおよび図3aの線D-Dに沿う断面図3cで、こうしたスタックが対角線に沿って現れる。それぞれ図2aおよび図3aに示されるようなスタックのメモリ配置は、回路領域2の表面積を効率よく活用することに関して有利であると同時に、位置ずれ配置によって、メモリと回路領域2における電子回路との間の相互接続を簡略化することができる。もちろん、回路領域2内のメモリ領域3におけるメモリ3'の相互配置は、本質的にはなんらかの特定の幾何図形的配列に限定されるものではないが、実施形態および薄膜デバイス1の形態要素によって与えられる境界内で変えることができる。

【誤訳訂正7】

【訂正対象書類名】明細書

【訂正対象項目名】0027

【訂正方法】変更

【訂正の内容】

【0027】

メモリ材料6がポリマーである場合、その情報記憶能力は、電流または電圧が印加されたときのそのインピーダンス値の変化と、電流または電圧の印加を停止した後においても該変化したインピーダンス値の変化を維持することによって定まる。このメモリは、スイッチング可能材料（この材料は、たとえば、ポリマー形態の強誘電性材料であり、その分極状態が特定の論理状態を表す）、または、M（TCNQ）等の電荷移動金属有機錯体であってよい。一般に、当該技術分野で知られた、マトリックス・アドレス指定可能メモリ

で使用可能な多数の異なるメモリ材料があり、この点について、たとえば前述の公開 P C T / N O 9 8 / 0 0 1 8 5 で言及されている。図 4 では、メモリはサンドイッチされた状態で設けられるが、ただし、他の電極構成、たとえば本出願に属する P C T / N O 9 8 / 0 0 2 1 2 に開示されたようなブリッジ構成を使用することは無条件かつ全面的に可能であって、下になる電極 7 および上になる電極 8 が交差点で相互に絶縁されることになる場合、もちろんその一部が、このような場合でもメモリ材料がその情報記憶能力を保證する特性を持たなければならないことを必要とする電極を介して、メモリ材料 6 が設けられる。典型的には、この場合、メモリ材料は共役ポリマーであってよい。

【誤訳訂正 8】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 3 0

【訂正方法】変更

【訂正の内容】

【0 0 3 0】

図 6 b もスタック構造の薄膜デバイス 1 を示すが、ここでは、能動電子回路 1 4 を有する基板 1 3 上に設けられる。この基板は、無機半導電性材料、たとえばシリコンまたはシリコン変性材でより良く実現することが可能であり、能動電子回路は、たとえば C M O S 技術で実現される。基板 1 3 における能動電子回路 1 4 は、薄膜デバイスにおけるメモリの管理における制御タスクおよび通信タスクを意図するものであって、薄膜デバイス 1 の回路領域 2 で、薄膜回路と協働するように適合される。この場合、回路領域 2 における薄膜回路を、効率の良いメモリの制御および駆動を維持するために必要なものに制約できるので、メモリ目的で薄膜デバイス 1 により多くの空きを残すことになると同時に、たとえばメモリへのデータの並列入出力に関して、誤り訂正、メモリの再マッピングなどのための処理タスクは、基板における能動電子回路 1 4 によって実施されるデバイスの処理によって対処することができる。スタックされた薄膜デバイスにおけるインターフェース領域 4 にある垂直相互接続 4 ' は、基板 1 3 上のインターフェース部分 1 5 と通信し、このインターフェース部分を介した、回路 1 4 と垂直相互接続 4 ' との間の電氣的接続は、たとえばインターフェース部分 1 5 に形成される金属経路によって行なうことができるが、これは C M O S 回路を基板内に設ける場合には、C M O S 互換プロセスで実行されなければならない。スタックされた薄膜デバイスにおけるインターフェース領域 4 に I / O インターフェース 1 2 を作成する代わりに、ここでは基板のインターフェース 1 5 に関してこの I / O インターフェース 1 2 を提供することができる。

【誤訳訂正 9】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 3 2

【訂正方法】変更

【訂正の内容】

【0 0 3 2】

図 6 c の実施形態の変形で、装置を図 7 に示されるように実現することができる。ここでは各薄膜デバイス 1 の間に分離層 1 6 が設けられている。これらの層については、例えば、本出願人によるノルウェー特許出願第 9 8 0 7 8 1 号（その記載内容を本明細書に援用する）に記載されている。これらの分離層は、単独でまたは選択された組み合わせのいずれかで、たとえば電気、温度、光、または機械的に分離した機能を実施することができる。スタックされた構成では、平面化層としても使用することができる。薄膜デバイス 1 におけるインターフェース領域 4 が図 7 に示されるように設けられるときには、これらが分離層 1 6 を貫通することを前提としており、たとえば分離層における経路（vias：バイア）により相互接続を行わなければならない、その中には、分離機能に関して有害であり、さらに製造過程のコスト増加をもたらす可能性のあるものもある。これを避ける方法の 1 つが、前述のように薄膜デバイス 1 をスタック構造内に設けることであって、ここでは相互に位置をずらして配置することである。

【誤訳訂正 10】

【訂正対象書類名】明細書

【訂正対象項目名】0039

【訂正方法】変更

【訂正の内容】

【0039】

本明細書による装置における各薄膜デバイス1は、スタック構造体にするための接合を実行する前に、専用分離層16上に設けることができる。薄膜デバイス1における独立副層の厚さは、 $1\mu\text{m}$ よりもかなり下、たとえば $0.1\mu\text{m}$ まで薄くすることが可能であるが、これはすなわち、キャリア基板または基板上に設けられる、分離層16に容易に対応できる薄膜デバイス1と合わせて、たとえば厚さ $20\mu\text{m}$ の構成要素を構成する場合、100を超える副層を含むことが可能であって、薄膜技術で比較的複雑な電子回路を実現するのに十分であり、同時に各メモリ領域3に何十もの独立メモリ3'を積み重ねできることを示唆している。大きさが $1\mu\text{m}^2$ のメモリ・セルを使用すると、たとえば 1cm^2 の単一のメモリは、この種のメモリ・セルを 10^8 個含むことが可能であり、したがって、少なくとも 10^8 ビットを格納することができる。たとえばクレジット・カード・サイズの薄膜デバイスであれば、こうした独立メモリを40個含むことになり、したがって0.5Gバイトを格納する。たとえばPCMCIAのような厚さ3mmのカードとして提供可能な装置の場合、100個のスタックされた薄膜デバイスを含むことが可能であり、この装置には、形態要因によって与えられる条件の範囲内で、50Gバイトを格納できることがわかる。各薄膜デバイスの表面積をより効率よく活用する、すなわちメモリ領域3の面積を大きくすることによって、また個々のメモリ・セルの大きさは小さくすることによって、少なくとも $0.25\mu\text{m} \times 0.25\mu\text{m}$ サイズまで小さくすることは現実的であると思われるので、さらに大きな記憶容量を得ることができる。この場合、単刀直入に言えば、記憶容量は800Gバイトまで上げることが可能であり、したがってこのように本発明により実現される装置は、現在ほとんどのパーソナル・コンピュータまたはワークステーションで使用可能な大容量記憶デバイスまたはハードディスクに代わるものとなる可能性がある。