



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I426523 B

(45) 公告日：中華民國 103 (2014) 年 02 月 11 日

(21) 申請案號：098121697

(22) 申請日：中華民國 98 (2009) 年 06 月 26 日

(51) Int. Cl. : G11C7/00 (2006.01)

(30) 優先權：2008/06/27 美國 12/163,233

(71) 申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)  
美國

(72) 發明人：羅 哈里 RAO, HARI (IN) ; 杜云 DU, YUN (CN) ; 于春 YU, CHUN (CN)

(74) 代理人：陳長文

(56) 參考文獻：

JP	2000-21175A	US	4590588
US	4739497	US	5898637
US	5933855	US	6735104B2
US	6937532B2	US	2004/0022098A1
WO	96/36050A1		

審查人員：蕭明椿

申請專利範圍項數：16 項 圖式數：7 共 0 頁

(54) 名稱

動態省電記憶體架構

DYNAMIC POWER SAVING MEMORY ARCHITECTURE

(57) 摘要

本發明係關於一種記憶體，其包括多個介面埠。該記憶體亦包括至少兩個子陣列，其各具有該記憶體之所有位元線之一例項及該記憶體之字線的一部分。該記憶體具有一共同解碼器，其耦接至該等子陣列且經組態以控制該等字線中之每一者。該記憶體亦包括耦接至該等介面埠中之每一者之若干多工器。該等多工器經組態以基於在該等介面埠中之一或多者處所接收之一記憶體單元的一位址而引起對該等子陣列中之一者的選擇。

A memory includes multiple interface ports. The memory also includes at least two sub-arrays each having an instance of all of the bit lines of the memory and a portion of the word lines of the memory. The memory has a common decoder coupled to the sub-arrays and configured to control each of the word lines. The memory also includes multiplexers coupled to each of the interface ports. The multiplexers are configured to cause the selection of one of the sub-arrays based upon an address of a memory cell received at one or more of the interface ports.

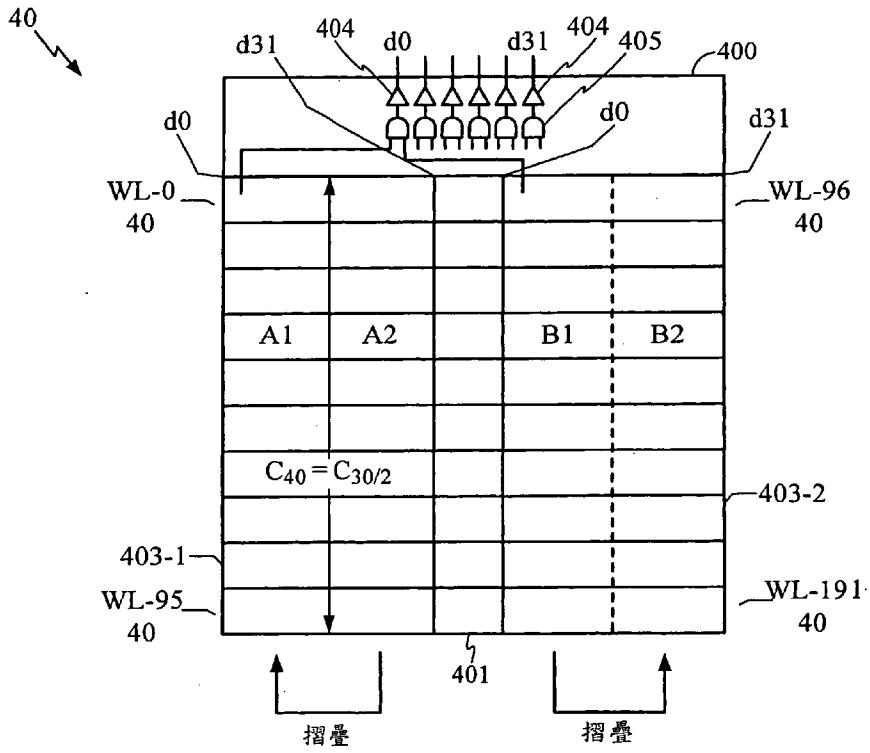


圖4

- 40 . . . 記憶體
- 400 . . . 預解碼器
- 403-1 . . . 子陣列
- 403-2 . . . 子陣列
- 404 . . . 位元線驅動器
- 405 . . . 多工器
- A1、A2 . . . 子陣列之一半
- B1、B2 . . . 子陣列之一半
- d0-d31 . . . 位元線
- WL<sub>40</sub>-0-WL<sub>40</sub>-191 . . . 字線

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 98121697

※ 申請日： 98.6.26

※IPC 分類：G11C 7/00 (2006.01)

## 一、發明名稱：(中文/英文)

動態省電記憶體架構

DYNAMIC POWER SAVING MEMORY ARCHITECTURE

## 二、中文發明摘要：

本發明係關於一種記憶體，其包括多個介面埠。該記憶體亦包括至少兩個子陣列，其各具有該記憶體之所有位元線之一例項及該記憶體之字線的一部分。該記憶體具有一共同解碼器，其耦接至該等子陣列且經組態以控制該等字線中之每一者。該記憶體亦包括耦接至該等介面埠中之每一者之若干多工器。該等多工器經組態以基於在該等介面埠中之一或多者處所接收之一記憶體單元的一位址而引起對該等子陣列中之一者的選擇。

## 三、英文發明摘要：

A memory includes multiple interface ports. The memory also includes at least two sub-arrays each having an instance of all of the bit lines of the memory and a portion of the word lines of the memory. The memory has a common decoder coupled to the sub-arrays and configured to control each of the word lines. The memory also includes multiplexers coupled to each of the interface ports. The multiplexers are configured to cause the selection of one of the sub-arrays based upon an address of a memory cell received at one or more of the interface ports.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

40	記憶體
400	預解碼器
403-1	子陣列
403-2	子陣列
404	位元線驅動器
405	多工器
A1、A2	子陣列之一半
B1、B2	子陣列之一半
d0-d31	位元線
WL <sub>40</sub> -0 — WL <sub>40</sub> -191	字線

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

8008540

## 六、發明說明：

### 【發明所屬之技術領域】

本揭示案大體而言係關於記憶體架構，且更特定言之係關於減小動態功率消耗之記憶體架構。

### 【先前技術】

記憶體將支援性基礎結構中之一者提供至現代電腦及電子裝置。隨著每單位面積記憶體容量及密度增加，較小裝置已大體變得更能夠進行複雜及強大之處理，諸如音訊、視訊、圖形及其類似物之處理。許多此等較小裝置作為獨立、掌上型裝置而存在，諸如行動電話、個人數位助理(PDA)及其類似物。因為大部分(若非所有)掌上型裝置藉由使用電池組提供主要裝置電力而操作，所以功率管理在任何掌上型裝置設計過程(包括將用於此等裝置中之記憶體之設計)中具有高優先權。

圖1為說明標準半導體裝置10之圖式。半導體裝置10為整合式晶片裝置，其含有雙處理器-處理器100及101，及晶片上記憶體102至105。當設計半導體裝置10時，常常首先在電腦輔助設計環境中計劃各種閘極及組件。在半導體製造商實際開始製造半導體裝置10之前產生映射及微影計劃。對設計而言重要的一項考慮為每一組件在半導體材料內之實體佔據面積或覆蓋面積。此項考慮影響半導體裝置10之大小及總平面布置圖(floor plan)。平面布置圖大體被認為係由半導體裝置10之組合組件所佔據之實體藍圖或總覆蓋面積。

半導體裝置10由電池組106供電。因此，半導體裝置10可為諸如行動電話、PDA、掌上型裝置或其類似物之諸多不同裝置內的多種不同專用處理系統。如上所提及，設計半導體裝置10時之另一考慮為包括記憶體102至105之每一嵌入式構成組件的功率消耗特性。

此等嵌入式記憶體所消耗之功率通常經量測為動態或有效功率與備用或靜態功率之組合。備用/靜態功率大體被認為係切斷狀態之電流漏泄，其甚至在裝置被認為切斷時亦出現。儘管靜態功率慣為掌上型或行動產業中之問題，但其已大體經由上部開關(head switch)及底部開關(foot switch)之使用而受到控制。然而，動態功率仍被認為係可達成省電之領域，該動態功率為基於與記憶體間之應用交互作用之功率消耗。因為動態功率與特定應用存取記憶體之方式有關，所以常常提示仔細調諧及控制以便使功率降低。

### 【發明內容】

本發明之各種代表性實施例係關於記憶體組件，其經組態以減小動態功率消耗。一種記憶體組件包括：一記憶體介面，其用於輸入/輸出通信；一解碼器，其耦接至該記憶體介面；至少兩個記憶體子陣列，其包括若干記憶體單元；位元線及字線；及若干多工器，其耦接至該記憶體介面。為了實現功率減小，該記憶體架構經修改以使得每一子陣列包括專用於該記憶體組件之所有位元線之一例項及專用於該記憶體之所有字線的一部分。因為位元線之長度

受每一子陣列中之字線的數目影響，所以當小於整個數目之字線包括於每一子陣列中時位元線較短地結束。縮短之位元線減小電容，此減小動態功率消耗。多工器用於基於在記憶體介面處所接收之位址的至少一部分輔助對正確子陣列之選擇。

本發明之代表性實施例係關於記憶體，其包括複數個介面埠及至少兩個子陣列，其各具有記憶體之所有位元線之一例項及記憶體之所有字線的一部分。記憶體亦包括一解碼器，其耦接至該等子陣列且其經組態以控制字線。記憶體具有若干多工器，其耦接至該複數個介面埠中之每一者及該解碼器。該等多工器可操作以基於所接收之記憶體單元位址的至少一部分引起對適當子陣列之選擇。

本發明之額外代表性實施例係關於用於製造一記憶體之方法，其包括：形成各具有複數個記憶體單元之至少兩個子陣列；將一解碼器耦接於子陣列中之每一者之間；在子陣列中之每一者中形成一組位元線，其中每一組具有記憶體可存取之位元線之總數的一例項；及在於一端處耦接至該解碼器之子陣列中之每一者中形成多個字線。每一子陣列中之字線之數目小於經提供用於記憶體中的所有字線。該方法亦包括形成一或多個多工器，其耦接至該解碼器且經組態以基於記憶體位址資訊促進對適當子陣列之選擇。

本發明之其他代表性實施例係關於記憶體，該等記憶體由以下各者構成：一記憶體介面；一解碼器，其耦接至該記憶體介面；一第一記憶體區塊，其耦接至該解碼器且包

括記憶體之所有位元線之第一例項及記憶體之一組所有字線的第一部分；及一第二記憶體區塊，其耦接至該解碼器且包括所有位元線之第二例項及該組所有字線的第二部分。該記憶體亦包括一選擇器，其耦接至該記憶體介面且經組態以回應於在該記憶體介面處所接收之資訊促進對第一記憶體區塊或第二記憶體區塊中之一者的選擇。

前述內容已相當廣泛地概括本發明之特徵及技術優點以便可更好地理解以下之本發明的詳細描述。下文中將描述本發明之額外特徵及優點，其形成本發明之申請專利範圍的標的物。熟習此項技術者應瞭解，所揭示之概念及特定實施例可易於用作修改或設計其他結構以用於執行本發明之相同目的之基礎。熟習此項技術者亦應認識到，此等等效構造並不脫離如在附加申請專利範圍中闡述之本發明之精神及範疇。當結合隨附圖式考慮時，將自以下描述更好地理解據信為本發明之特性的新穎特徵(關於其組織與操作方法兩者)連同其他目標及優點。然而，應明確理解，諸圖中之每一者僅為說明及描述之目的而提供，且並不意欲作為本發明之限制的定義。

### 【實施方式】

為了更全面地理解本發明，現參考結合隨附圖式展開之以下描述。

記憶體中之動態功率經量測為以某速率切換之位元線的電容、記憶體之電源電壓或擺動電壓及操作之頻率(亦即，實際上切換位元線之頻率)的組合。記憶體之動態功

率可由以下式子表示：

$$P_{DYN}=CV^2f\alpha \quad (1)$$

其中「C」為以速率「 $\alpha$ 」切換之總電容，「 $f$ 」為操作之頻率，且「V」為記憶體結構之電源電壓。因此，為了減小記憶體結構中之動態功率，可減小C、V、 $f$ 或 $\alpha$ 中之任一者。

減小電壓、頻率或速率將減小動態功率。然而，減小電壓、頻率或速率亦降低效能。因而，減小電容被視為更有益的解決方案。因為位元線之長度判定彼位元線之電容，所以電容可藉由縮短位元線來減小。

現轉至圖2，展示一方塊圖，其說明標準記憶體20。該記憶體20包含預解碼器201、解碼器203及子陣列204-1及204-2。子陣列204-1具有位元線205-1—205-M/2及字線206-1—206-N。記憶體單元207-[1,1]—207-[N,M/2]在位元線205-1—205-M/2與字線206-1—206-N中之每一者的相交處。類似地，子陣列204-2包含位於位元線205-(M/2+1)—205-M與字線206-1—206-N之相交處的記憶體單元207-[1,(M/2+1)]—207-[N,M]。解碼器203包括字線驅動器202-1—202-N，其將在讀取及寫入處理期間驅動字線206-1—206-N中之選定者。類似地，位元線驅動器208-1—208-M/2及208-(M/2+1)—208-M在讀取及寫入處理期間驅動位元線205-1—205-M/2及205-(M/2+1)—205-M。位元線205-1—205-M中之每一者具有「L」之長度。

預解碼器201自一輸入介面209接收輸入，該輸入介面

209在圖2中所描繪之實例實施例中包括輸入埠Ad(位址)、Ck(時脈)、R(讀取)及W(寫入)。預解碼器201對輸入提供初始解碼。解碼器203消耗預解碼器201之最初所解碼之輸出。基於所接收之位址輸入，解碼器203藉由啟動字線驅動器202-1—202-N中之適當者來發現且啟動適當字線。此將啟動沿經啟動字線之記憶體單元中之每一者。該位址將進一步用於使用位元線驅動器208-1—208-M/2或208-(M/2+1)—208-M中之適當者來識別待啟動之適當位元線。視執行讀取或是寫入而定，位元線將使得資料自記憶體單元讀取或寫入至該單元中。

圖3為說明標準記憶體30之方塊圖。記憶體30在結構上類似於記憶體20(圖2)且包括在子陣列302-1中之位元線d0-d15及子陣列302-2中之位元線d16-d31與字線WL<sub>30</sub>-0—WL<sub>30</sub>-191之相交處的記憶體單元。記憶體30之特定實施例具有32條位元線。位址大小通常將判定待被包括之字線之最大數目。記憶體30使用8位元位址且圖中說明32條位元線。8位元位址足以界定達至256條字線之位址空間。然而，並非始終必需使用最大位址空間中之所有字線。記憶體30係經說明為具有跨子陣列302-1及302-2之192條字線。

記憶體30之佔據面積(其為在半導體材料上所佔據之空間或面積的量)形成高的矩形形狀。此形狀由字線WL<sub>30</sub>-0—WL<sub>30</sub>-191之數目產生，該數目大體上超過位元線d0-d31之數目。當前製造之記憶體之此典型縱橫比形成長位元線，此又導致抬高動態功率消耗之大電容(C<sub>30</sub>)。此外，在「高

而窄 (tall and skinny)」的矩形佔據面積之情況下，將信號選徑投送至半導體晶片上之不同部分或區塊可成為問題，因為此矩形形狀未最大化晶片上之覆蓋面積。此記憶體可潛在地阻礙通信信號在兩點之間的可能最直線路中行進。

矩形佔據面積具有與按比例調整此等裝置時之實體製造限制有關的額外缺點。當在電腦輔助設計環境中進行繪製時，轉角可在電腦螢幕之圖形界限內看似非常尖銳。此外，電腦設計環境可允許組件「彎曲」或成形以匹配半導體區域之非均一開放區域。然而，當進行將彼等尖銳轉角或非慣例形狀操作至實際半導體材料中之印刷及微影術時，轉角經修圓。使用當前微影技術來產生完全尖銳的轉角或複雜的形狀是非常困難的(若非不可能)。在所設計之矩形或不規則形狀之情況下，隨其半導體材料中變得愈來愈小，修圓最終形成一可能無法印刷及/或蝕刻至半導體材料上之物件。

圖4為說明根據本發明之一實施例所組態之記憶體40的方塊圖。記憶體40具有與記憶體30(圖3)相同總數之位元線(d0-d31)及字線(WL<sub>40</sub>-0 - WL<sub>40</sub>-191)。為了減小記憶體40中之位元線電容，記憶體40在圖中表示為「摺疊」的。參考記憶體30(圖3)，子陣列302-1可展示為兩半A1及A2。當記憶體「摺疊」時，替代在具有一半位元線及所有字線之高而窄的矩形中A1及A2呈現為一個在另一個之頂部，而將記憶體40之子陣列403-1組態為在具有所有位元線(d0-d31)及一半字線(WL<sub>40</sub>-0 - WL<sub>40</sub>-95)之例項的較短矩形中

02年0月29日修正於說明

A1在A2旁。類似地，子陣列403-2組態為B1在B2旁，其中具有所有位元線(d0-d31)及另一半字線(WL<sub>40-96</sub>—WL<sub>40-191</sub>)之另一例項。因為子陣列403-1及403-2中之每一者具有一半字線，所以位元線d0-d31之長度等於記憶體30(圖3)之字線長度的一半。位元線長度之一半對應於電容之一半， $C_{40} = C_{30}/2$ ，其對應於動態功率之一半。此外，記憶體40之新的佔據面積導致產生大體上正方形的形狀，此非常有益於組件設計。

應注意，本發明之各種實施例亦可在概念上被視作具有包含在B1旁之A1的子陣列403-1。A1及B1該兩個區域共用相同的字線位址，但位元線不同。類似地，區域A2及B2共用相同的字線位址，但具有不同的位元線，因此其亦可在概念上被視作在子陣列403-2中彼此並列。

預解碼器400包括位元線驅動器404及多工器405。多工器405用於判定在起始讀取或寫入過程時存取哪一子陣列。使用位元線識別符之輸入及記憶體單元位址之至少一部分，多工器405將判定存取子陣列403-1或是403-2。舉例而言，視位址範圍而定，位元線d0可在子陣列403-1或403-2中。考慮圖4中所說明之組態，若位址範圍為95或更小，則子陣列403-1將被多工器405選擇。否則，若位址範圍為96或更大，則子陣列403-2將被多工器405選擇。

為了實施用於多工器405之邏輯，考慮記憶體40之分割。在圖4中所描繪之實施例中的192條字線之情況下，使用8位元位址(位元「A0-A7」，A7為最高有效位元

(MSB))。記憶體40之分割發生在經提供用於記憶體40之總字線的中間處或在數目95處。因此，首先判定8位元位址中有幾個MSB將允許在子陣列403-1中之字線95(WL<sub>40</sub>-95)與子陣列403-2中之字線96(WL<sub>40</sub>-96)之間的轉變點處之連續中斷。單一MSB不可用於記憶體40以判定存取哪一子陣列。如上所提及，因為記憶體40使用8位元位址，所以可能的總位址空間為256。若使用單一MSB A7，則隨記憶體40經組態，所計算出之自存取子陣列403-1至存取子陣列403-2之轉變將出現在第128條字線WL<sub>40</sub>-127(亦即，2<sup>7</sup>)而非95處。因此，所檢查出之MSB將引起子陣列403-1及403-2之不正確映射。多工器405將繼續關於字線96-128(WL<sub>40</sub>-95 - WL<sub>40</sub>-127)指導對子陣列403-1的存取，即使此等字線之實體位置係在記憶體40中之子陣列403-2中。為了獲得在圖4中所說明之特定實例中於字線95處之準確轉變，以下邏輯式子控制由多工器405進行之選擇：

$$A7 \cdot \overline{A6} + \overline{A7} \cdot A6 \cdot A5$$

因此，多工器405將發信號以選擇子陣列206-1，直至其偵測到位址之三(3)個MSB為0-1-1或兩(2)個MSB為1-0為止。當遇到彼等兩個組合中之任一者時，多工器405將發信號以選擇子陣列206-2。

應注意，在本發明之各種額外及/或替代實施例中，由多工器所使用之特定邏輯式子將反映在子陣列與由特定記憶體所使用之字線的總數之間所選擇的分割。舉例而言，

在利用 256 條字線及 8 位元位址之記憶體中，且選擇了各具有總字線之恰好一半的兩個子陣列，則將僅檢查 MSB A7。在此實施例中，若 A7 為 0，則所要位元線將在第一子陣列中，否則，所要位元線將在第二子陣列中。

實務上，並非所有可用記憶體容量可為必需的。在第二實施例中，其中使用 8 位元位址且僅需要 128 條字線以提供足夠的記憶體容量，多工器將留意最後兩個 MSB (A7 及 A6)，其中邏輯函數為：

$$\overline{A7} \cdot A6 + A7 \cdot \overline{A6}$$

應進一步注意，在本發明之各種額外及/或替代實施例中的任何特定子陣列中之位元線之長度可藉由額外「摺疊」或組態進一步減小。本發明之實施例不僅限於圖 4 中所描繪之組態。

圖 5 為說明根據本發明之一實施例所組態之記憶體 50 的方塊圖。記憶體 50 由包括位元線驅動器 506 及多工器 507 之預解碼器 500、共同解碼器 501 及子陣列 502-505 構成。替代將記憶體子陣列「摺疊」一次(如圖 4 中所示)，而將記憶體 50 組態為使其子陣列「摺疊」多次(例如，兩次)，從而產生四個子陣列，子陣列 502-505。如先前所提及，「摺疊」實際上意謂組態子陣列 502-505 中之每一者以使其具有全組位元線 BL-0 - BL-M，但具有可定址字線之總數 (WL-0-WL-N) 的僅一部分。如圖 5 中所說明，子陣列 502 具有字線 WL-0 - WL-(N/4-1)，子陣列 503 具有字線 WL-(N/4) - WL-(N/2-1)，子陣列 504 具有字線 WL-(N/2) - WL-

( $3/4N-1$ )，且子陣列 505 具有字線  $WL-(3/4N-1) - WL-N$ 。

藉由進一步分割子陣列 502-505 中之每一者中的字線的數目，相應位元線  $BL-0 - BL-M$  更短(亦即，長度  $L_5$ )。與記憶體 20(圖 2)相比， $L_5=L/4$ 。因此，記憶體 50 將具有記憶體 20(圖 2)之四分之一電容及四分之一的動態功率要求。與記憶體 40(圖 4)相比，若變數中之每一者相同，則記憶體 50 之基於長度  $L_5$  之電容將等於  $C_{40}$  之  $1/2$ 。

預解碼器 500 處理經由多工器 507 對額外子陣列的存取。使用位元線數目及字線位址之輸入，多工器 507 能夠準確地選擇子陣列 502-505 中之正確者。多工器 507 檢查一給定組之字線位址 MSB。待檢查之 MSB 之特定數目將基於計劃用於記憶體之字線的數目以及計劃用於每一子陣列之分割點來判定。

圖 6 為比較圖 3 之記憶體 30 之動態功率與圖 4 之記憶體 40 之動態功率的曲線。曲線 600 表示記憶體單元以增加之字線於記憶體 30 中被存取時的動態功率。隨著記憶體 30 中被存取之記憶體單元的字線位址不斷變大，位元線  $d0-d15$  之長度不斷變大，此導致產生自 0 至  $P_{30}$  之大體上線性的動態功率消耗。曲線 601 表示記憶體單元以增加之字線於記憶體 40 中被存取時的動態功率消耗。如曲線 601 中可見，記憶體 40 之動態功率消耗開始以與曲線 600 相同的方式大體上線性地增加。然而，當到達字線 96 時，動態功率再次下降至字線 0 之類似位準，因為位元線長度立即下降至初始長度。記憶體 40 之最大功率經展示為  $P_{40}$ ，其在字線 96 處

下降之前等於 $P_{30}/2$ 。曲線601接著進一步展示再次穩定增加直至到達最後字線(字線191)之動態功率。此處又，在字線191處，記憶體40之動態功率消耗為 $P_{40}$ 或 $P_{30}/2$ 。因此，根據本發明之一實施例所組態之記憶體40的總動態功率為記憶體30之動態功率的大致一半。

圖7為說明經實施用於形成根據本發明之一實施例所組態的記憶體結構之實例區塊的流程圖。在區塊700中，形成至少兩個子陣列，其各具有多個記憶體單元。在區塊701中，將共同解碼器耦接於子陣列中之每一者之間。在區塊702中，在子陣列中之每一者中形成一組位元線，其中每一組含有記憶體可存取之位元線的總數的例項。在區塊703中，在子陣列中之每一者中形成諸多字線。每一字線在一端處耦接至該共同解碼器。每一子陣列中之字線之數目小於經提供用於記憶體中之所有字線。在區塊704中，形成一或多個多工器且其經組態以基於位址資訊促進對子陣列中之一者的選擇。

儘管已詳細描述本發明及其優點，但應理解，可在不脫離如由附加申請專利範圍所界定之本發明之精神及範疇的情況下在本文中進行各種改變、取代及更改。此外，本申請案之範疇並不意欲限於說明書中所描述之過程、機器、產品、物質組成、手段、方法及步驟之特定實施例。如一般熟習此項技術者將易於自本發明之揭示內容瞭解，根據本發明，可利用當前存在或日後將開發之過程、機器、產品、物質組成、手段、方法或步驟，其執行與本文中所描

述之相應實施例大體上相同的功能或達成與本文中所描述之相應實施例大體上相同結果。因此，附加申請專利範圍意欲在其範疇內包括此等過程、機器、產品、物質組成、手段、方法或步驟。

### 【圖式簡單說明】

圖1為說明標準半導體裝置之圖；

圖2為說明標準記憶體之方塊圖；

圖3為說明另一標準記憶體之方塊圖；

圖4為說明根據本揭示案之教示所組態之記憶體的方塊圖；

圖5為說明根據本揭示案之教示所組態之另一記憶體的方塊圖；

圖6為比較標準記憶體與根據本揭示案之教示所組態的記憶體之一實施例之動態功率的曲線；及

圖7為說明用於實施本揭示案之教示的一實施例之實例區塊的流程圖。

### 【主要元件符號說明】

10	標準半導體裝置
20	標準記憶體
30	標準記憶體
40	記憶體
50	記憶體
100	處理器
101	處理器

102	晶片上記憶體
103	晶片上記憶體
104	晶片上記憶體
105	晶片上記憶體
106	電池組
201	預解碼器
202-1 – 202-N	字線驅動器
203	解碼器
204-1	子陣列
204-2	子陣列
205-1 – 205-M	位元線
206-1 – 206-N	字線
207-[1,1] – 207-[N,M]	記憶體單元
208-1 – 208-M	位元線驅動器
209	輸入介面
302-1	子陣列
302-2	子陣列
400	預解碼器
403-1	子陣列
403-2	子陣列
404	位元線驅動器
405	多工器
500	預解碼器
501	共同解碼器

502	子陣列
503	子陣列
504	子陣列
505	子陣列
506	位元線驅動器
507	多工器
600	曲線
601	曲線
d0-d31	位元線
A1、A2	子陣列之一半
B1、B2	子陣列之一半
BL-0—BL-M	位元線
WL-0—WL-N	字線
WL <sub>30</sub> -0—WL <sub>30</sub> -191	字線
WL <sub>40</sub> -0—WL <sub>40</sub> -191	字線

## 七、申請專利範圍：

### 1. 一種記憶體，其包含：

複數個介面埠；

複數個位元線驅動器；

複數條位元線，該等位元線與該複數個位元線驅動器係一對一對應；

至少兩個子陣列，該至少兩個子陣列中之每一者包含該記憶體之該複數條位元線之一例項及該記憶體之複數條字線之一部分；

一解碼器，其耦接至該至少兩個子陣列及該複數個介面埠，該解碼器經組態以控制該複數條字線；及

複數個多工器，該等多工器與該複數個位元線係一對一對應；

其中該每一多工器可操作以基於在該複數個介面埠中之一或多者處所接收之一記憶體單元的一位址而僅將與其相對應的位元線之一例項耦接至與其相對應的位元線。

### 2. 如請求項 1 之記憶體，其中該部分包含該記憶體之該複數條字線的一半。

### 3. 如請求項 1 之記憶體，其進一步包含：

一預解碼器，其耦接於該複數個介面埠與該解碼器之間，其中該預解碼器處理用於該解碼器之操作的該資訊。

### 4. 如請求項 1 之記憶體，其中該複數個介面埠中之該一或

多者中之每一者包含以下項中之至少兩者：

- 一 位址埠；
- 一 時脈埠；
- 一 讀取埠；及
- 一 寫入埠。

5. 如請求項1之記憶體，其中該至少兩個子陣列、該解碼器及該多工器之一實體組態提供該記憶體之大體上正方形的一佔據面積。
6. 如請求項1之記憶體，其中該複數條字線小於可由該記憶體定址之字線之一總數。
7. 如請求項1之記憶體，其中該位址之一組最高有效位元(MSB)由該多工器使用以選擇該至少兩個子陣列中之該一者。
8. 如請求項7之記憶體，其中該組MSB係基於該至少兩個子陣列中之該複數條字線之該部分來選擇。
9. 如請求項7之記憶體，其中該組MSB包含一最小數目之MSB，其特定言之識別在該至少兩個子陣列之間的一轉變點。
10. 一種記憶體，其包含：
  - 一 記憶體介面；
  - 一 解碼器，其耦接至該記憶體介面；
  - 一 第一記憶體區塊，其耦接至該解碼器，該第一記憶體區塊包含：
    - 一 第一組位元線，其耦接至該記憶體之所有位元

線；及

一第一組字線，其包含該記憶體之所有字線之一第一連續子組；

一第二記憶體區塊，其耦接至該解碼器，該第二記憶體區塊包含：

一第二組位元線，其耦接至該記憶體之所有位元線；及

一第二組字線，其包含所有字線之一第二連續子組，該第二組字線不包括該第一組字線；及

一選擇器，其耦接至該記憶體介面且經組態以回應於在該記憶體介面處所接收之資訊促進對該第一記憶體區塊或該第二記憶體區塊中之一者的選擇。

11. 如請求項10之記憶體，其進一步包含：

一預解碼器，其耦接於該記憶體介面與該解碼器之間。

12. 如請求項10之記憶體，其中該記憶體介面包含複數個輸入/輸出埠，其中該複數個輸入/輸出埠中之每一者包含以下項中之一者：一位址埠、一時脈埠、一讀取埠或一寫入埠。

13. 如請求項10之記憶體，其中該記憶體之一佔據面積為大體上正方形。

14. 如請求項10之記憶體，其中該資訊包含該組所有字線中之一者之一位址的一組最高有效位元(MSB)。

15. 如請求項10之記憶體，其中該組MSB對應於在該第一組

與該第二組之間的一轉變點。

16. 如請求項10之記憶體，其進一步包含：

一或多個額外記憶體區塊，其耦接至該解碼器，該一或多個額外記憶體區塊包含：

一額外組位元線，其耦接至所有位元線；及

一額外組連續字線，其包含該記憶體之所有字線之一額外子組；

其中該選擇器回應於所接收之該資訊進一步選擇該第一記憶體區塊或該第二記憶體區塊或該一或多個額外記憶體區塊中之一者中之一者。

八、圖式：

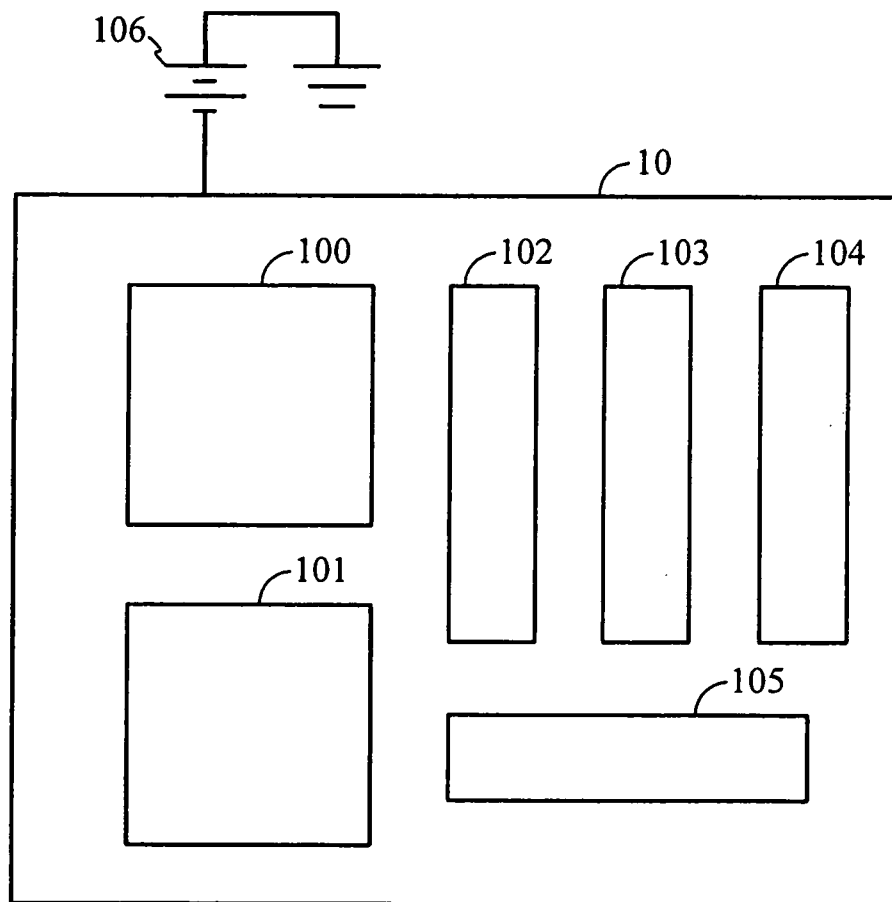


圖1

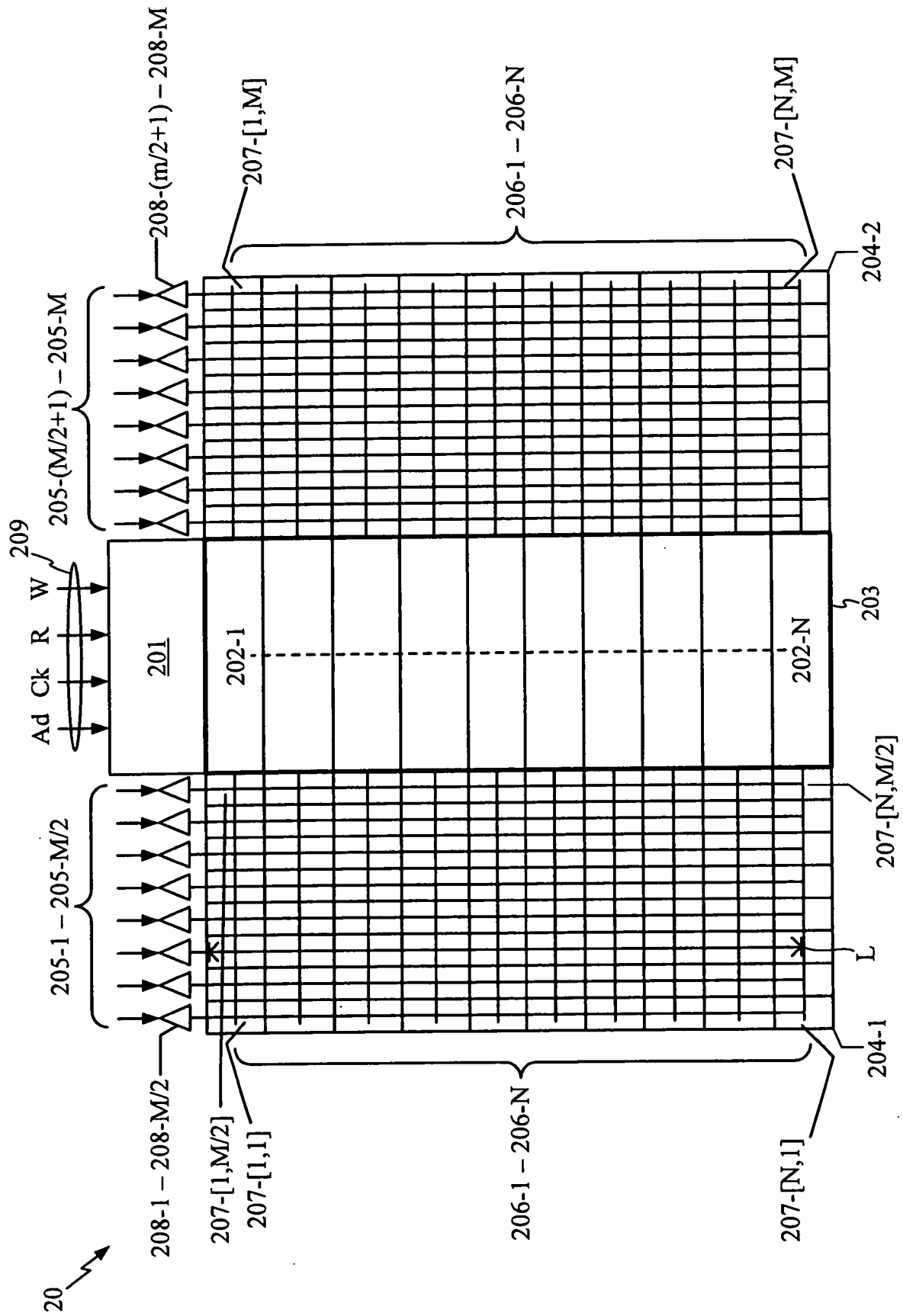


圖 2

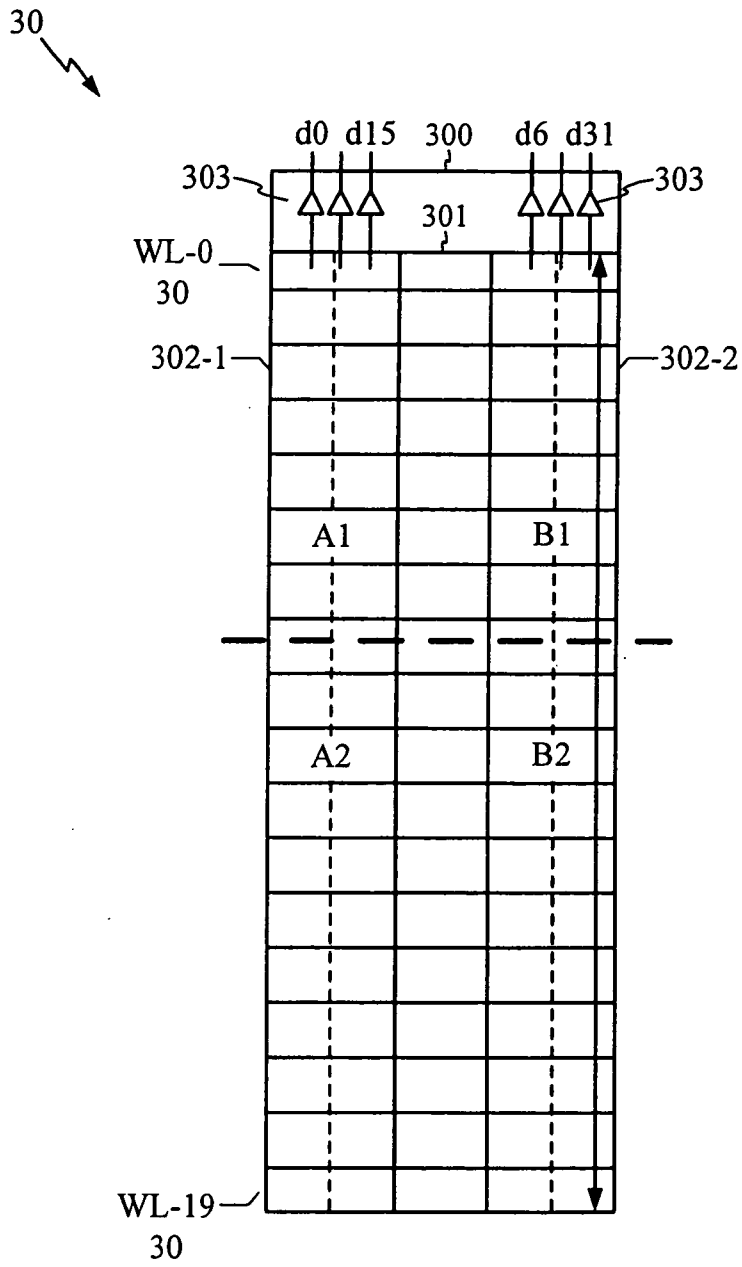


圖3

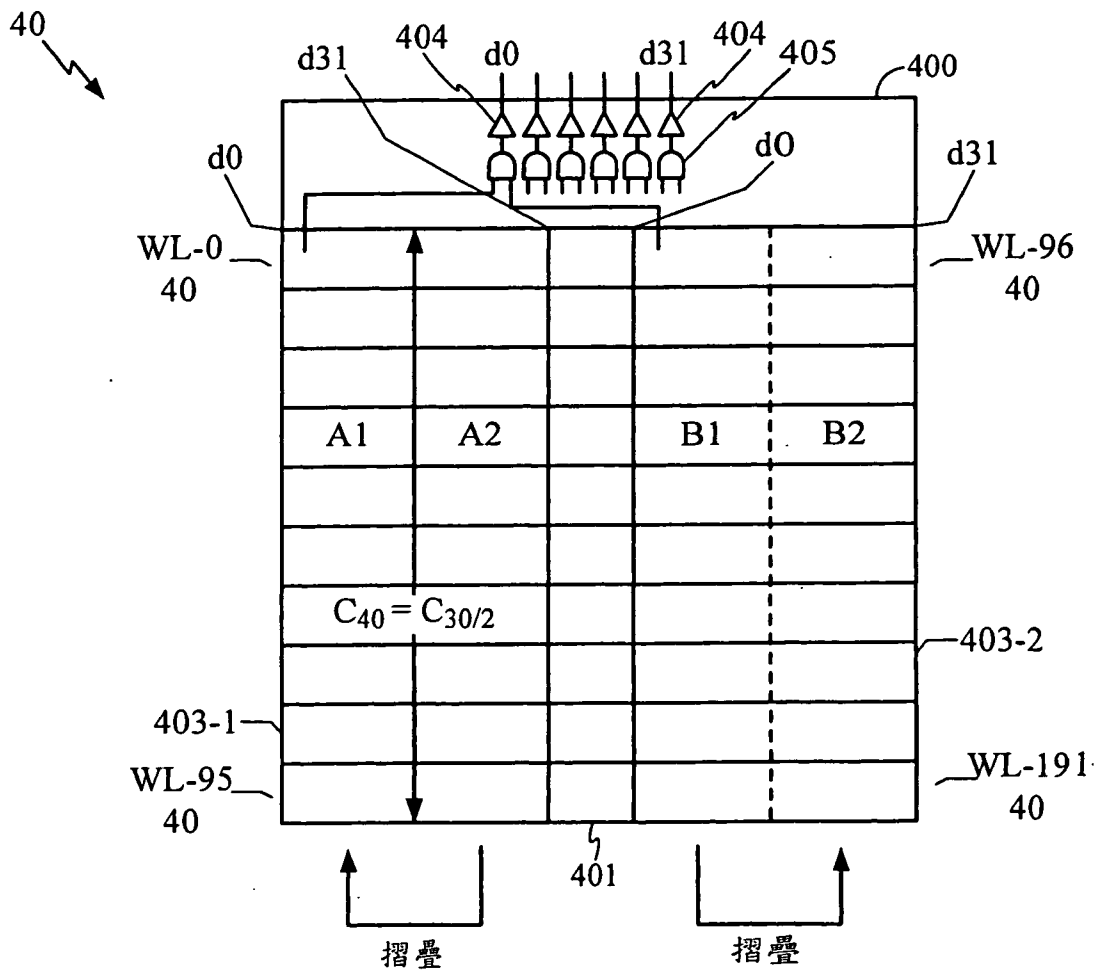


圖4

50

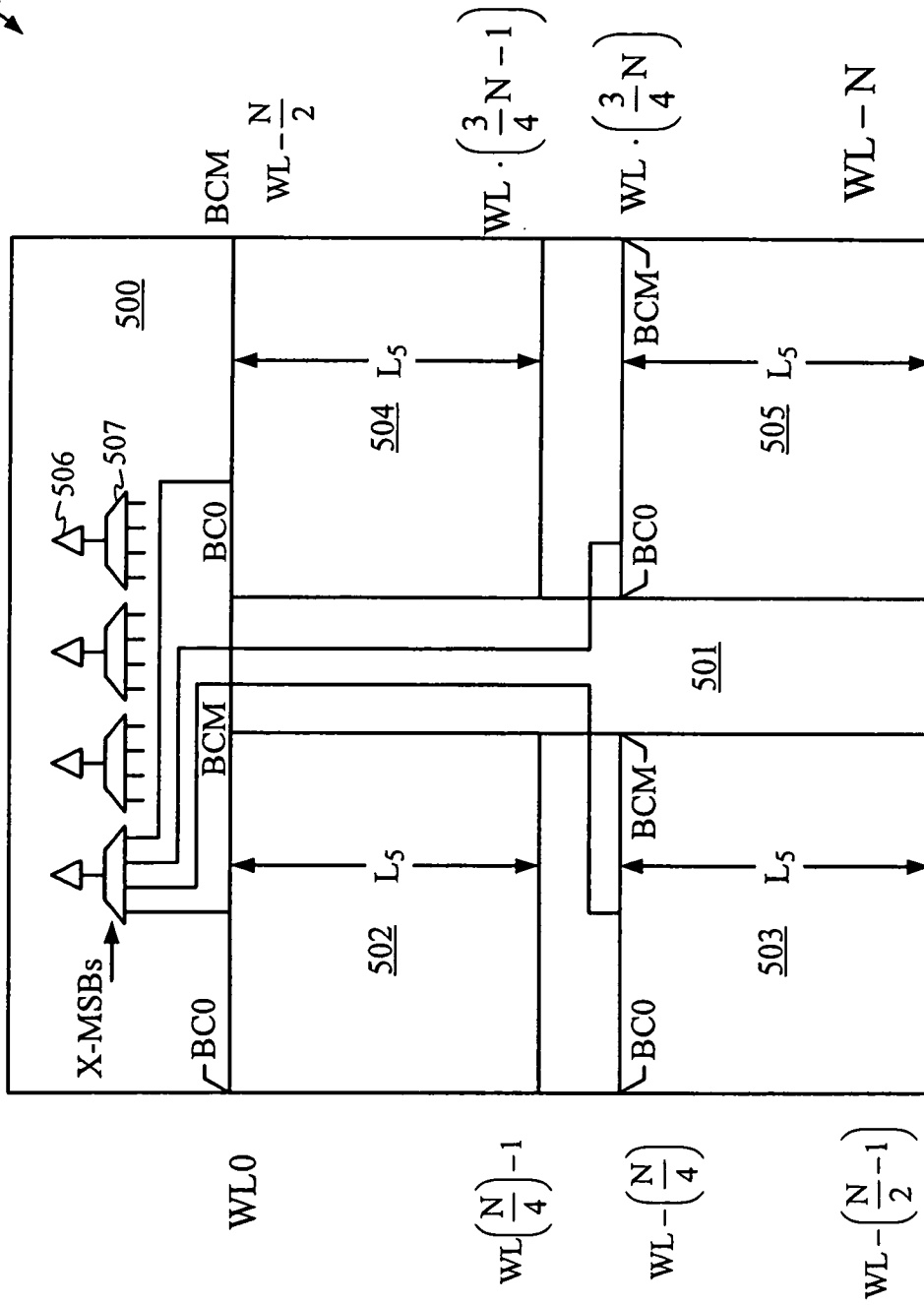


圖5

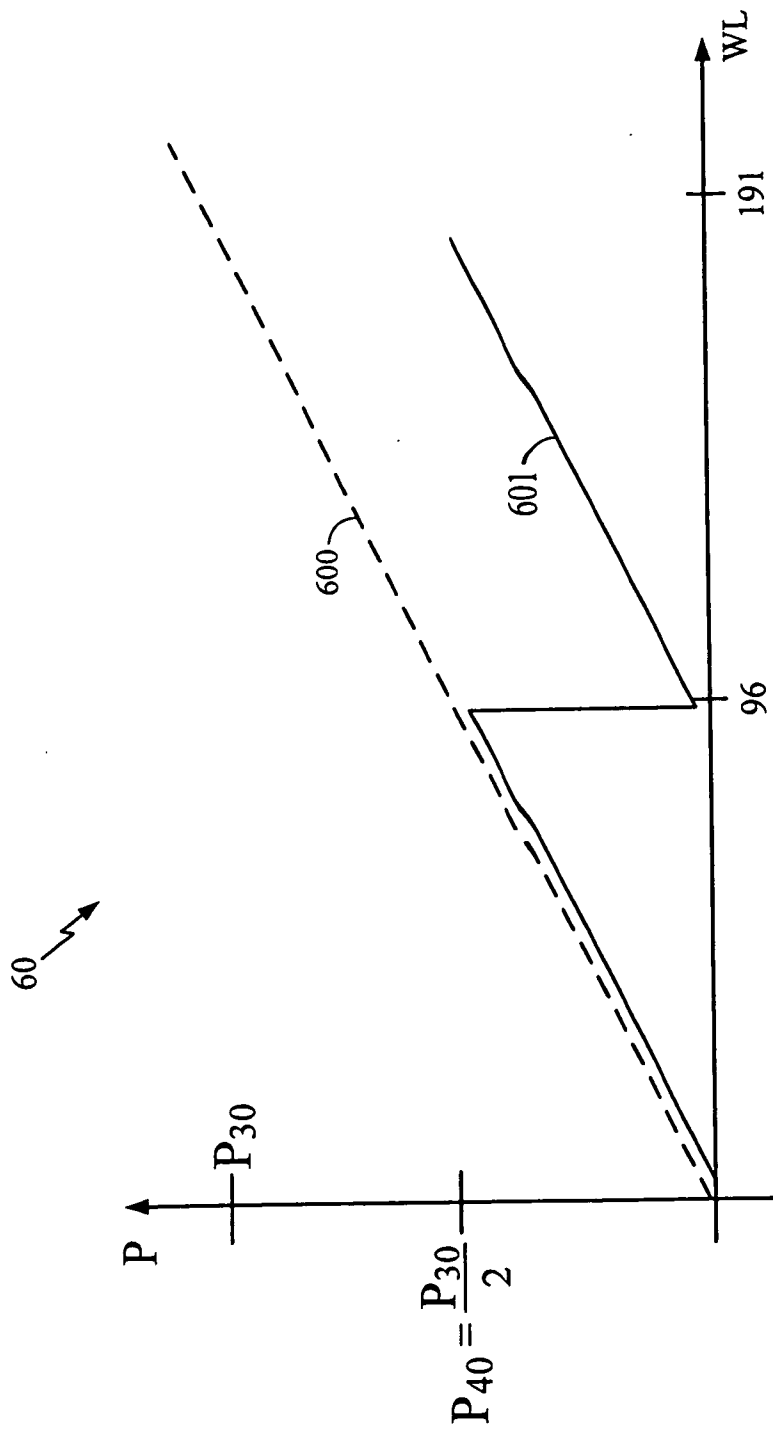


圖6

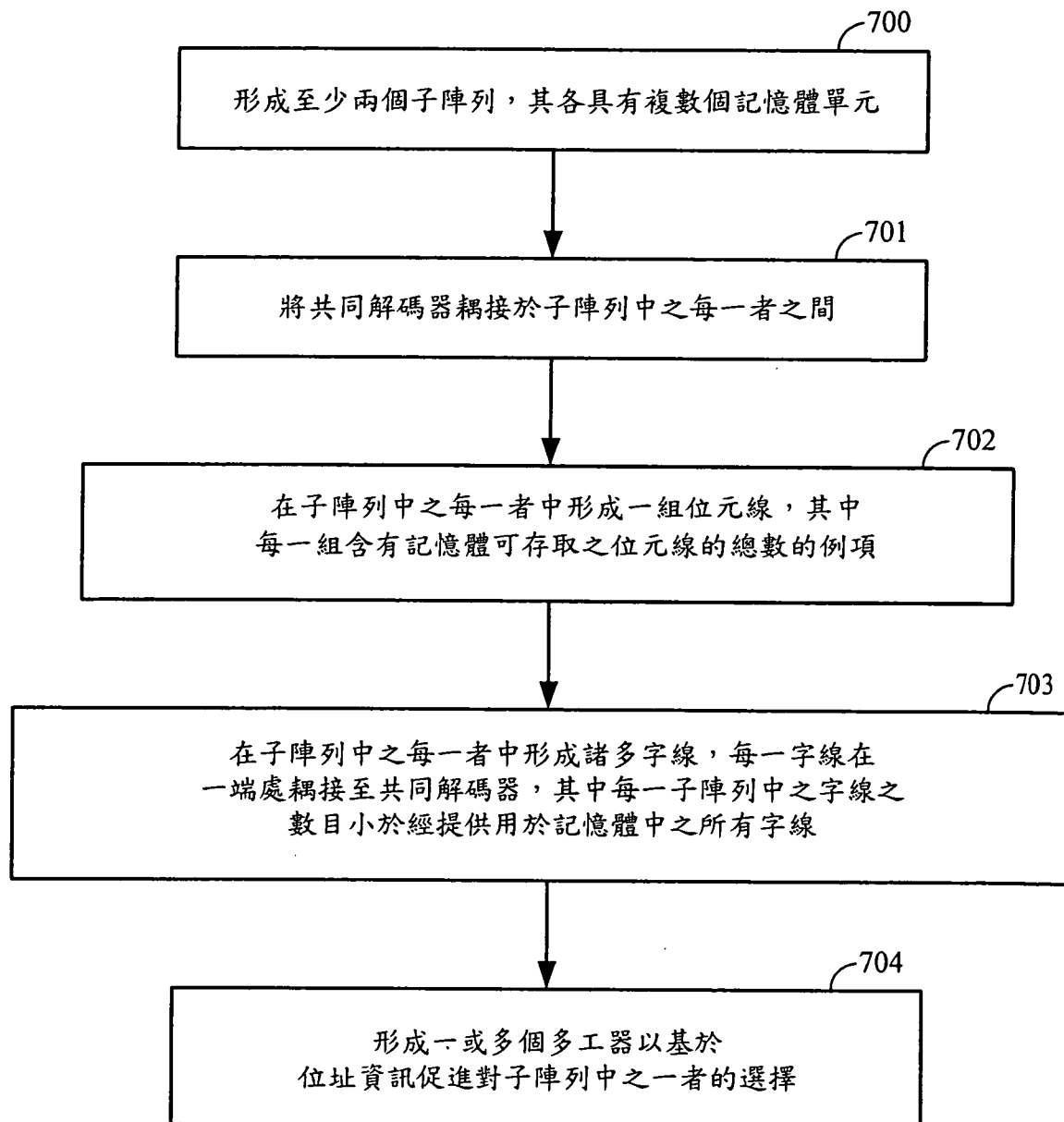


圖7