

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. <sup>7</sup>  
H01L 29/786

(11) 공개번호 특2002 - 0004848  
(43) 공개일자 2002년01월16일

(21) 출원번호 10 - 2001 - 0039285  
(22) 출원일자 2001년07월02일

(30) 우선권주장 JP - P - 2000 - 0020 2000년07월03일 일본(JP)  
1175

(71) 출원인 닛본 덴기 가부시끼가이샤  
가네꼬 히사시  
일본국 도쿄도 미나토구 시바 5쵸메 7방 1고

(72) 발명자 기도슈사쿠  
일본국가고시마켄이즈미시오노하라마치2080가고시마닛본덴기가부시끼가이샤나이

(74) 대리인 조의제

심사청구 : 있음

(54) 패턴형성방법 및 박막트랜지스터의 제조방법

## 요약

TFT를 구성하는 막이 절연기판상에 적층된 후, 막두께가 다른 복수의 영역을 가진 레지스트 마스크가 전술한 막의 최상층상에서 패턴화되어 형성된다. 다음, 이 레지스트 마스크를 이용하는 리프트오프 기술에 의하여 패턴화시킴으로써 전도막이 형성된다. 또는, 막두께가 다른 복수의 영역을 가진 다른 레지스트 마스크를 에칭마스크로 이용하여, 적층된 재료막들 중에서 복수의 재료막이 연속적으로 프로세스된다. 전술한 새로운 패턴형성방법과 프로세스 방법에 의하여, 종래 기술에서 5회의 포토리소그래피 공정에 의하여 제조되었던 액정표시장치가 2회나 3회의 포토리소그래피 공정에 의하여 제조된다.

대표도  
도 3f

색인어  
액정표시장치, 패턴, TFT, 박막트랜지스터

명세서

## 도면의 간단한 설명

도 1(a) 내지 도 1(e)는 종래 기술을 설명하기 위하여 2층전극의 제조공정순서를 나타내는 단면도;  
 도 2(a) 내지 도 2(d)는 본 발명의 제1 실시예를 설명하기 위하여 2층전극의 제조공정순서를 나타내는 단면도;  
 도 3(a) 내지 도 3(f)는 본 발명의 제1 실시예의 변형예를 설명하기 위하여 TFT의 제조공정순서를 나타내는 단면도;  
 도 4는 본 발명의 제2 실시예를 설명하기 위하여 액정표시장치의 화소부분을 나타내는 평면도;  
 도 5(a) 내지 도 5(c)는 본 발명의 제2 실시예를 설명하기 위하여 TFT의 제조공정순서를 나타내는 단면도;  
 도 6(a) 내지 도 6(c)는 상기 공정의 연속성을 설명하기 위하여 TFT의 제조공정순서를 나타내는 단면도;  
 도 7(a) 및 도 7(b)는 상기 공정의 연속성을 설명하기 위하여 TFT의 제조공정순서를 나타내는 단면도;  
 도 8(a) 및 도 8(b)는 상기 공정의 연속성을 설명하기 위하여 TFT의 제조공정순서를 나타내는 단면도;  
 도 9(a) 내지 도 9(c)는 본 발명의 제3 실시예를 설명하기 위하여 TFT의 제조공정순서를 나타내는 단면도;  
 도 10(a) 및 도 10(b)는 상기 공정의 연속성을 설명하기 위하여 TFT의 제조공정순서를 나타내는 단면도;  
 도 11은 본 발명의 제3 실시예를 설명하기 위하여 액정표시장치의 화소부분을 나타내는 평면도;  
 도 12(a) 내지 도 12(d)는 본 발명의 제4 실시예를 설명하기 위하여 TFT의 제조공정순서를 나타내는 단면도; 및  
 도 13(a) 및 도 13(b)는 상기 공정의 연속성을 설명하기 위하여 TFT의 제조공정순서를 나타내는 단면도이다.

\*도면의 주요부분에 대한 부호의 설명

- 1, 21, 61, 91:유리기판
- 2:하층전극
- 3:절연층
- 4, 42, 63, 97:제1 부분
- 5, 5a, 43, 43a, 64, 64a, 98, 98a:제2 부분
- 6, 44, 50, 50a, 62, 75, 75a, 96:레지스트 마스크
- 7, 51:제1 개구
- 8, 8a, 52:제2 개구
- 9, 26, 28, 29, 76, 77, 78, 99:콘택트홀
- 10:금속막

11:상층전극

22, 65, 92:게이트전극

23, 67, 94:반도체층

24, 25, 72, 73, 103, 104:소스/드레인전극

27, 80, 102:게이트단자전극

30, 81:투명전극배선

32, 66, 93:게이트절연막

33:아몰퍼스 실리콘막

34:n<sup>+</sup> 아몰퍼스 실리콘막

35, 101:금속전도막

36:레지스트막

37:차광부

38:반투광부

39:투명부

40:포토마스크

41:노광조사광

45, 68, 95:n<sup>+</sup> 아몰퍼스 실리콘층

46, 69, 79:금속전도층

47, 48, 70, 71, 105, 106:옴층

49, 74, 107:패시베이션막

53, 79, 100:투명전극막

108:개구부

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 패턴형성방법에 관한 것으로, 보다 상세하게는, 액정표시장치에 이용되는 박막트랜지스터(TFT)의 제조방법 및 그의 패턴을 형성하는 방법에 관한 것이다.

액정표시장치의 능동 매트릭스 기판에 있어서, TFT, 특히 역스태거형(inverted staggered type) TFT가 일반적으로 이용된다. 액정표시장치의 이 능동 매트릭스 기판의 제조에 있어서, 현재 5회의 포토리소그래피공정(이하, 포토리소 공정이라고 한다.)을 수행해야만 한다.

액정표시장치의 이 능동 매트릭스 기판(예를 들면, TFT기판)에 있어서, 제조공정의 횟수는 반도체 집적회로의 경우보다 작다. 그러나, 액정표시장치의 능동 매트릭스 기판을 제조하는데 이용되는 종래 기술에 있어서, 최소한 포토리소공정을 5회 수행해야만 한다. 이로 인하여 제조비용을 증가시키는 요인이 된다. 따라서, 액정표시장치의 능동 매트릭스 기판을 제조하기 위한 포토리소그래피공정의 수를 감소시키는 것이 본질적이다.

이 제조공정을 감소시키기 위하여, 포토리소그래피공정의 수를 감소시키는 것이 효과적이다.

본 발명가는 포토리소그래피공정의 횟수를 감소시키고 포토리소그래피공정을 단순화시키는 데에 여러 해 동안 연구하여 왔다. 예를 들면, 일본 특개평11 - 307780호의 공보에는, 포토리소그래피기술의 특수한 노광방법에 의하여 막두께가 서로 다른 복수의 영역을 가지는 레지스트 마스크를 형성하는 방법을 제출하였으며, 이와 같은 레지스트 마스크를 이용하여 TFT를 제조하는 기술을 개시하고 있다.

제조공정을 감소시키기 위하여, 포토리소그래피공정의 수를 감소시키는 전술한 방법을 제외하고 포토리소그래피공정을 이용하는 리프트오프기술(liftoff technique)이 알려져 있다. 리프트오프 기술은 반도체 집적회로의 배선을 형성하기 위하여 종종 사용되며, 액정표시장치의 박막트랜지스터를 제조하는 공정의 수를 감소시키는데 이용된다. 따라서, 먼저, 종래 기술에 따라 이 리프트오프 기술에 의한 배선의 형성을 일본 특개평7 - 240535호 공보에 기재된 선행기술을 참조하여 도 1(a) 내지 1(e)를 기초로 설명한다.

도 1(a)에 나타난 바와 같이, 투명절연기판인 유리기판(201) 상에 크롬과 같은 금속을 패턴화시켜 TFT의 게이트전극으로서의 하층전극(202)이 형성된다(제1 포토레지스트(제 2PR공정)).

TFT의 게이트절연층으로서의 절연층(203)은 하층전극(202)을 피복하도록 형성되고, TFT의 능동층으로서의 반도체막이 형성된 후 TFT의 반도체영역(미도시)을 형성하도록 패턴화된다(제2 PR 공정).

TFT의 소스전극과 드레인전극을 형성하기 위하여, 반도체영역을 피복하기 위한 크롬과 같은 금속막이 형성된 후 패턴화되어 소스전극과 드레인전극(미도시)이 형성된다(제 3PR공정). 반도체영역의 표면에 형성된 고농도의 불순물 반도체층을 부분적으로 제거하기 위하여 소스전극과 드레인전극을 마스크로 이용한다. 다음, 소스전극과 드레인전극 사이에 위치한 고농도의 불순물 반도체층을 제거한다.

이렇게 하여, 제1 개구(204)를 가지는 제1 레지스트 마스크(205)가 공지의 포토리소그래피 공정에 의하여 형성된다(제4 PR공정). 다음, 제1 레지스트 마스크(205)를 에칭 마스크로 이용하여, 하층전극(202)의 표면에 도달하는 콘택트홀(206)을 절연층(203)에 형성한다.

도 1(b)에 나타난 바와 같이, 차광부(207) 및 투광부(208)를 가진 포토마스크(209)를 마스크로 이용하여, 제1 레지스트 마스크(205)를 다시 노광조사광(210)으로 노광한다. 이 노광 후, 전술한 레지스트막은 일반적인 방법에 의하여 현상된다.

따라서, 도 1(c)에 나타난 바와 같이, 상기의 콘택트홀(206) 보다 큰 크기의 개구를 가진 제2 개구(211)를 구비한 제2 레지스트 마스크(212)를 형성한다(제5 PR공정).

금속막(213)은 스퍼터법에 의하여 전표면에 증착된다. 따라서, 도 1(d)에 나타난 바와 같이, 절연층(203)의 노광면, 제2 레지스트 마스크(212) 및 하층전극(202)을 직접 피복하는 금속막(213)을 형성한다.

다음, 제2 레지스트 마스크(212)를 일반적인 리프트오프(liftoff)기술로 제거한다. 이 제2 레지스트 마스크(21)를 제거하는 공정에 있어서, 제2 레지스트 마스크(212)를 직접 피복하는 금속막(213)의 부분은 동시에 제거되어 금속막(213)을 패턴화시킨다.

따라서, 도 1(e)에 나타난 바와 같이, 절연층(203)에 제공된 콘택트홀(206)을 통하여 하층전극(202)을 연결하는 상층전극(214)을 형성한다.

상술한 바와 같이, 서로 접속하는 두 층의 배선을 형성하기 위한 종래 기술에 있어서, 이 제조방법이 리프트오프 기술이나 에칭기술에 의하더라도, 먼저 하층전극을 형성하고 마지막에 상층전극을 형성하기 위하여 적어도 5번의 포토리소그래피 공정을 수행해야만 한다.

또한, 전술한 종래기술은 리프트오프 기술을 이용하는 포토리소그래피 공정을 단축하는 것이다. 그러나, 종래 기술에 따르면, 에칭, 예를 들면, 절연층(203)의 건식에칭에 있어서, 제1 레지스트 마스크(205)는 빛이나 이온으로 조사되기 때문에, 그 표면이 변한다. 도 1(b)에서 설명한 노광조사광(210)에 의하여 이와 같이 변질된 제1 레지스트 마스크(205)로 패턴전사(pattern transfer)하려고 하여도, 광은 변질된 막 표면에 의하여 산란되기 때문에, 제1 레지스트 마스크(205) 자신에 대한 노광이 수행되지 않는다. 따라서, 이 방법은 능동 매트릭스 기판을 제조하기 위하여 전극이나 배선을 형성하는 경우에는 적용할 수 없다.

상술한 바와 같이, 종래 기술에 있어서, 적어도 5번의 포토리소그래피 공정을 수행해야 할 필요가 있다. 이것은 제조비용의 증가 요인이 되어 왔다. 따라서, 액정표시장치에 대한 능동 매트릭스 기판을 제조하기 위한 포토리소그래피 공정의 수를 감축하는 것이 본질적이며, 기술의 발전이 강하게 요망된다.

그러한 포토리소그래피 공정수의 감축은 액정표시장치의 수율을 증가시키고, 생산성을 개선시키고, 더욱이 신뢰성을 증가시킨다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 포토리소그래피 공정의 수를 간단하게 감축할 수 있는 새로운 패턴 형성 방법을 제공하는 것이다.

본 발명의 다른 목적은 액정표시장치의 제조 공정이 대폭 감축될 수 있는 새로운 TFT의 제조 방법을 제공하는 것이다.

### 발명의 구성 및 작용

하나의 바람직한 방식으로 본 발명을 실행함에 있어서, 본 발명은 제1 부분, 제1 부분보다 두꺼운 제2 부분 및 제1 부분 내의 개구를 마스크층에 형성하도록 다른 막두께를 가진 마스크층에 의하여 실현되는 리프트오프(liftoff) 기술을 이용한다. 아래에 제1 층을 가진 제2 층상에 마스크층을 형성한 후, 상기 마스크층을 에칭마스크로 이용하여 제2 층을 에칭하여 제2 층에서 제1 층의 표면까지 도달하는 개구를 형성한다. 개구를 형성한 후, 동시에, 마스크층의 제1 부분을 제3 부분으로 남겨 놓은 마스크층을 에칭함으로써 마스크층의 제1 부분을 제거한다. 제1 층에 접속되는 제3 층 패턴을 형성하기 위하여, 제2 층의 개구를 포함하는 제2 층 전면(全面)상에 제3 층을 증착한 후, 제3 부분을 제거한 다음 제3 부분의 표면을 피복하는 제3 층을 제거함으로써, 제3 층 패턴을 형성한다. 또한, 본 발명의 상기 패턴을 형성하는 방법을 박막트랜지스터의 제조에도 적용할 때, 박막트랜지스터는 다음과 같이 바람직하게 제조된다.

박막트랜지스터의 제조공정에 있어서, 본 발명은 최소한 두 종류의 레지스트 마스크를 이용하며, 박막부분(薄膜部分)과 박막부분보다 두꺼운 후막부분(厚膜部分)이 제1 레지스트 마스크 내에 형성되도록 제1 레지스트 마스크는 다른 막두께를 가지며, 박막부분(薄膜部分), 후막부분(厚膜部分) 및 박막부분내의 개구가 제2 레지스트 마스크 내에 형성되도록 제2 레지스트 마스크는 다른 막두께를 가진다.

아래에 제1 전도막 패턴을 가진 제1 절연층상에 증착된 제2 전도막상에 제1 레지스트 마스크가 형성된 후, 제1 레지스트 마스크를 에칭마스크로 이용하여 제2 전도막을 막 전체의 두께로 에칭하여 제1 절연층상에서 제2 전도막 패턴을 형성한다. 제2 전도막 패턴이 형성된 후, 동시에 제1 레지스트 마스크의 후막부분을 "제1 후막잔존부분"으로 남겨놓는 제1 레지스트 마스크를 에칭하여 제1 레지스트 마스크의 박막부분을 제거한다. 제2 전도막 패턴에서 에칭된 패턴을 형성하기 위하여, 제1 후막잔존부분을 에칭마스크로 이용하여 표면으로부터 제2 전도막 패턴의 일부를 에칭한 후 제1 후막잔존부분을 제거한다.

제2 전도막 패턴에서 에칭된 패턴이 형성된 후, 제2 절연층이 제1 절연층의 표면을 피복하는 제2 전도막 패턴상에서 증착된다. 그 후, 제2 레지스트 마스크가 제2 절연층상에 형성된 후, 제2 레지스트 마스크를 에칭마스크로 이용하여 제2 절연층을 에칭함으로써 제2 전도막 패턴의 표면까지 도달하는 개구를 제2 절연층 내에서 형성한다. 개구가 제2 절연층 내에서 형성된 후, 동시에 제2 레지스트 마스크의 후막부분을 "제2 후막잔존부분"으로 남겨놓는 제2 레지스트 마스크를 에칭하여 제2 레지스트 마스크의 박막부분을 제거한다. 제2 전도막 패턴에 접속되는 제3 전도막 패턴을 형성하기 위하여, 제3 전도막이 제2 절연층의 개구를 포함하여 제2 절연층의 전체에 증착된 후 제2 후막잔존부분이 제거된 다음에 제2 박막잔존부분의 표면을 피복하는 제3 전도막을 제거함으로써, 제3 전도막 패턴을 형성한다.

또한, 본 발명에 의한 박막을 제조하는 기술한 방법에 있어서, 제1 전도막은 게이트전극용의 전도막이며, 상기 제1 절연층은 게이트절연층이며, 상기 제2 전도층은 반도체박막, 옴접촉을 위한 반도체박막, 및 소스 및 드레인을 위한 전도막이 연속적으로 증착된 적층막이며, 상기 제2 절연층은 패시베이션막이며, 상기 제3 전도막은 소스와 드레인 배선을 위한 금속막이다.

이하 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명한다.

본 발명의 새로운 패턴 형성 방법을 도 2(a) 내지 2(d)를 참조하여 제1 실시예로 설명한다.

도 2(a)에 나타난 바와 같이, 종래 기술로서 설명된 것처럼, TFT의 게이트전극으로서 하층전극(2)을 유리기관(1) 상에 크롬과 같은 금속을 패터닝시켜 형성한다. 다음, 하층전극(2)을 피복하기 위한 절연층(3)을 형성한다.

다음, 막 두께가 얇은 박영역(薄領域)으로서 제1 부분(4)으로 구성되는 레지스트 마스크(6) 및 막 두께가 박영역보다 두꺼운 후영역(厚領域)으로서 제2 부분(5)으로 구성되는 레지스트 마스크(6)를 형성한다. 절연층(3)상에 레지스트를 코팅하고, 그 레지스트를 다른 투과율인 차광부, 반투과부 및 투명부의 3개 영역을 가진 마스크로 이용하여 노광시키고 그것을 현상시키는 방법에 의하여 그러한 레지스트 마스크(6)가 얻어진다. 이 방법은 일본 특개평11-30778호에 자세히 설명되어 있다.

이 방법 대신에, 이하의 방법을 이용할 수도 있다. 즉, 먼저, 광에 대한 감도가 낮은 저감광(low photosensitive) 레지스트막을 절연층(3)상에 피복한다. 다음, 광에 대한 감도가 높은 고감광 레지스트막을 저감광 레지스트막보다 두껍게 저감광 레지스트막 상에 피복한다. 다음, 서로 다른 투과율을 가진 차광부, 반투과부 및 투명부의 3개 영역을 구비한 마스크를 이용하여 이러한 레지스트막들을 노광시키고 현상시킨다. 따라서, 막 두께가 얇은 영역으로서의 제1 부분(4)(반투과부에 대응하는 영역) 및 막 두께가 두꺼운 영역으로서의 제2 부분(5)(차광부에 대응하는 영역)이 형성된다.

여기서, 제1 부분(4)의 막 두께는  $0.5\mu\text{m}$  정도이고 제2 부분(5)의 막 두께는  $2.5\mu\text{m}$  정도이다. 마스크의 반투과부에 형성된 투명부 및 마스크의 반투과부에 대응하는 제1 개구(7) 및 제2 개구(8)를 각각 형성한다. 그러한 레지스트 마스크는 하나의 포토리소그래피 공정에 의하여 형성된다.

다음, 상기 레지스트 마스크(6)를 에칭 마스크로 이용하여, 반응성 이온 에칭(RIE)함으로써 절연층(3)을 건식에칭한다. 따라서, 하층전극(2)의 표면에 도달하는 콘택트홀(9)이 형성된다. 상기 건식에칭 공정에 있어서, 플러즈마 중의 이온이 레지스트 마스크(6)의 표면으로 조사되어 그 표면이 경화되고 품질이 개선된다.

다음,  $O_2$  및  $CF_4$ 의 혼합 가스는 플러즈마로 여기되어 이온이나 라디칼(radical), 즉, 활성종(active species)을 형성한 후, 건식에칭의 에칭백(etchback)을 상기 레지스트 마스크(6)에 대해 행한다. 이 에칭백에 의하여, 레지스트 마스크(6)의 제1 부분(4)만이 제거된다. 이 건식에칭에 있어서, 레지스트 마스크(6)의 제2 부분(5)도 에칭되어 사이드 에칭(side etching)을 발생시킨다. 따라서, 도 2(b)에 나타난 바와 같이 역테이퍼형(inverse taper shape)의 제2 개구(8)를 가지는 레지스트 마스크(6)의 제2 부분(5)을 남겨 놓는다. 여기서, 남겨진 제2 부분(305)의 막 두께는  $1.5\mu m$ 정도로 된다.

다음, 종래 기술에서 설명한 바와 같이,  $0.8\mu m$ 정도의 막 두께를 가진 금속막(10)을 프로그레스 스퍼터법(progress sputtering method)에 의하여 전표면 상에 증착한다. 따라서, 도 2(c)에 나타난 바와 같이, 절연층(3)의 표면 및 제2 부분(305)의 표면을 직접 피복하고 하층전극(2)에 접속되는 금속막(10)이 제2 개구(308)에서 형성된다. 이 스퍼터 공정에 있어서, 제2 개구(308)가 전술한 바와 같이 역테이퍼형상으로 형성되기 때문에, 제2 개구(308)의 측벽에 금속막(10)이 밀착되는 것이 억제된다.

다음, 레지스트 마스크(6)의 제2 부분(305)은 일반적인 리프트오프 기술에 의하여 제거된다. 제2 부분(305)을 제거하는 공정에 있어서, 상기 제2 부분(305)을 직접 피복하는 금속막(10)은 동시에 제거되어 금속막(10)은 패턴화된다.

따라서, 도 2(d)에 나타난 바와 같이, 절연층(3)에 제공된 콘택트홀(9)을 통하여 하층전극(2)을 접속하는 상층전극(11)이 형성된다.

본 발명에 의하면, 전술에서 명백하듯이, 하층전극, 콘택트홀 및 상층전극이 2번의 포토리소그래피 공정에 의하여 형성될 수 있다. 즉, 포토리소그래피 공정의 수가 감축된다.

또한, 본 발명에 의하면, 전술한 바와 같이, 역테이퍼 형상을 가진 제2 개구(308)는 레지스트 마스크(6)의 제2 부분(305)에서 쉽게 형성될 수 있다. 따라서, 리프트오프 기술에 의한 상층전극의 패턴화는 종래 기술보다 매우 쉽게 행해질 수 있다. 또한, 상층전극의 신뢰성은 크게 개선되고, 수율 및 생산성이 크게 개선된다.

다음, 본 발명의 제1 실시예의 변형예에 의한 제조방법을 도 3(a) 내지 3(f)를 참조하면서 설명한다. 변형예는 레지스트를 제외한 재료막이 제1 실시예에 있어서 레지스트 마스크(6)와 절연층(3) 사이에 위치되어, 금속막(10)이 고온에서 형성되는 경우에도 가스가 발생되지 않는 구조라는 점에 특징이 있다.

즉, 구체적으로 말하면, 도 3(a)에 나타난 바와 같이, 레지스트 마스크(6)를 형성하기 이전에,  $0.2$  내지  $0.5\mu m$ 의 두께를 가지는 반도체막(303; 예를 들면, 아몰퍼스 실리콘이나 폴리실리콘)이 절연층(3) 상에 성장된다.  $0.5\mu m$ 정도의 막두께를 가진 제1 부분(4)과  $2.5\mu m$ 정도의 막두께를 가진 제2 부분(5)을 구비한 레지스트로부터 만들어진 레지스트 마스크(6)를 그 위에 형성한다.

다음, 도 3(b)에 나타난 바와 같이, 레지스트 마스크(6)를 마스크로 이용하여, 하층전극(2)상에 적층된 반도체막(303) 및 절연층(3)을 에칭으로 제거하여 절연층(3) 내에 콘택트홀(9)을 형성한다.

다음, 제1 실시예에 있어서처럼, 도 3(c)에 나타난 바와 같이, 건식에칭의 에칭백을 레지스트 마스크(6)에 대하여 수행하여 레지스트 마스크(6)의 제1 부분(4)만을 제거한다. 따라서, 그 아래에 위치한 반도체막(303)의 표면은 노출된다.

다음, 도 3(d)에 나타난 바와 같이, 반도체막(303)의 노출된 부분은 에칭에 의하여 선택적으로 제거된다. 다음, 반도체막(303)은 에칭에 의하여 형성된 반도체막(303)의 단부가 역테이퍼 형상이 되도록 패턴화된다.

그 후, 도 3(e)에 나타난 바와 같이, 왼쪽의 제2 부분(305)이 제거된 후, 50nm의 막두께를 가진 ITO막(10)이 결과적인 표면에 증착된다.

마지막으로, 도 3(f)에 나타난 바와 같이, 반도체막(303)이 선택적으로 제거될 때, 반도체막(303)을 피복하는 ITO막(10)도 제거되어 상층전극(311)을 형성한다.

본 변형예에 의하면, 리프트오프에 대한 금속막의 바닥은 고온에 대하여 저항을 가지는 반도체막이기 때문에, 고온에서 형성된 리프트오프에 대한 금속막에 적당한 바닥 구조를 제공할 수 있다.

다음, 액정표시장치의 제조 공정이 크게 감축될 수 있는 TFT의 제조방법을 설명한다. 본 발명의 제2 실시예로서, TFT 및 액정표시장치를 3번의 포토리소그래피 공정에 의하여 제조하는 방법에 대하여 도 4 내지 8(b)를 참조하여 설명한다. 여기서, 도 4는 상기 액정표시장치에 대한 능동 매트릭스 기판의 화소부분에 대한 개략적인 평면도이다. 도 4에 있어서, 도면을 쉽게 보이게 하기 위하여 빗금친 부분이 존재한다. 또한, 도 5(a) 내지 8(b)는 능동 매트릭스 기판의 화소부분이나 보호회로부분을 구성하는 역스태거형 TFT(inverted staggered type TFT)를 제조공정의 순서대로 나타내는 단면도이다.

도 4의 파선으로 나타난 바와 같이, 스위치 트랜지스터로서의 TFT의 게이트전극(22)이 유리기판(21)상에 형성된다. 다음, 도면에서 상우(上右)에서 하좌(下左)의 사선으로 나타난 영역의 반도체층(23)이 형성된다. 또한, 도면중의 상좌에서 하우의 사선으로 나타난 영역의 드레인전극(24) 및 소스전극(25)이 형성된다. 여기서, 드레인전극(24)은 능동 매트릭스 기판의 데이터배선을 포함한다.

상기의 게이트전극(22)은 콘택트홀(29)을 통하여 투명한 화소전극(31)에 접속된다. 도시되어 있지는 않지만, 액정이 투명한 화소전극(31)상에 형성된다. 여기서, 게이트단자전극(27), 투명전극배선(30) 및 투명한 화소전극(31)이 투명한 도체인 ITO로 이루어진다.

다음, 상기 역스태거형 TFT의 제조방법을 설명한다. 도 5(a)에 나타난 바와 같이, 크롬(Cr) 전도막이 유리기판(21)상에서 패턴화되어 게이트전극(22)을 형성한다. 여기서, 게이트전극(22)의 막 두께는 200nm정도이다. 다음, 게이트절연층(32)을 게이트전극(22) 상에 형성한다. 여기서 게이트절연층(32)은 막두께가 500nm인 질화실리콘으로 구성된다.

다음, 반도체박막으로서의 막두께가 300nm정도인 아몰퍼스 실리콘막(33), 옴접촉(ohmic contact)을 위한 반도체박막으로서의  $n^+$  아몰퍼스 실리콘막(34), 및 크롬 등으로 구성된 소스 및 드레인에 대한 전도막으로서의 금속전도막(35)이 증착되어 적층된다.

다음, 포토리소그래피 공정에 있어서, 도 5(b)에 나타난 바와 같이, 레지스트막(36)이 상기 금속전도막(35)의 표면에 형성된다. 여기서, 레지스트막(36)은 양성의 레지스트이고, 그 막두께는 2.0 $\mu$ m이다. 다음, 차광부(37), 반투광부(38) 및 투명부(39)를 가진 포토마스크(40)를 마스크로 이용하여, 도 5(b)에 나타난 바와 같이, 상기 레지스트막(36)이 노광조사광(41)으로 노광된다. 이 노광 후에, 상기 레지스트막(36)은 일반적인 방법에 의하여 현상된다.

차광부, 반투과부 및 투명부를 가진 포토마스크를 그러한 포토마스크의 예를 설명한다. 도 5(b)에 나타난 예에 있어서, 차광부(37)는 예를 들면, 포토마스크(40) 상에 소정의 패턴을 가진 크롬 금속을 이용하여 형성된다. 또한, 반투과부(38)는 해프톤 재료(halftone material)를 이용하여 형성된다. 따라서, 반투과부가 형성된다. 투명부(39)는 상기 크롬 금속과 해프톤 재료가 존재하지 않는 영역이라는 점에 주의해야 한다.

또한, 차광부, 반투과부 및 투광부를 가진 포토마스크의 다른 예로서, 차광부는 예를 들면, 포토마스크 기판상에서 소정의 패턴을 가지는 크롬 금속을 이용하여 형성된다. 또한, 반투과부는 상기 크롬 금속의 박막을 이용하여 형성된다. 이 경우, 노광조사광은 상기 크롬 금속의 박막부분이 형성된 영역에서 반정도 투과되도록 설정된다. 따라서, 반투과부가 형성된다.

그러므로, 도 5(c)에 나타난 바와 같이, 막두께가 얇은 제1 부분(42)과 제1 부분보다 막두께가 두꺼운 제2 부분(43)으로 구성되는 레지스트 마스크(44) 금속전도막(35)상의 소정의 영역에서 형성된다. 여기서, 상기 포토마스크(40)에 있는 차광부(37)의 전사패턴(transfer pattern)은 상기 레지스트 마스크(44)의 제2 부분(43)이 되고, 반투광부(38)의 전사패턴은 레지스트 마스크(44)의 제1 부분(42)이다.

다음, 도 6(a)에 나타난 바와 같이, 상기 레지스트 마스크(44)를 에칭마스크로 이용하여, 금속전도막(35),  $n^+$  아몰퍼스 실리콘막(34), 및 아몰퍼스 실리콘막(33)을 연속적으로 에칭한다. 따라서, 도 6(a)에 나타난 바와 같이, 아일랜드 모양의 아몰퍼스 실리콘층인 반도체층(23),  $n^+$  아몰퍼스 실리콘막(45) 및 금속전도층(46)이 형성된다.

여기서, 금속전도막(35)의 에칭은 질화세륨암모니아(cerium ammonium nitrate) 및 과염소산이 혼합된 화학용액을 에칭제로 이용한 습식에칭에 의하여 이루어진다. 또한,  $n^+$  아몰퍼스 실리콘막(34) 및 아몰퍼스 실리콘막(33)은 플러즈마로 여기된  $Cl_2$  및  $HBr$ 를 반응 가스로 이용하는 RIE에 의하여 건식에칭된다. 이 건식에칭에 있어서, 질화실리콘막으로 구성된 게이트절연층(32)을 거의 에칭되지 않는다.

다음,  $O_2$  및  $CF_2$ 의 혼합 가스는 플러즈마로 여기되어 이러한 이온이나 라디칼과 같은 활성종을 형성한다. 다음, 레지스트 마스크(44)에 대하여 이방성 건식에칭에 의하여 에칭백을 수행한다. 이 건식에칭에 있어서, 레지스트 마스크(44)에서 사이드 에칭을 거의 수행하지 않고 레지스트 마스크(44)의 제1 부분(42)은 제거된다. 따라서, 도 6(b)에 나타난 바와 같이, 금속전도층(46)상에 남겨진 제2 부분(343)이 형성된다.

다음, 도 6(c)에 나타난 바와 같이, 상기 레지스트 마스크의 제2 부분(343)을 에칭마스크로 이용하여, 금속전도층(46)과  $n^+$  아몰퍼스 실리콘막(45)이 연속적으로 에칭된다. 따라서, 드레인전극(24)과 소스전극(25)이 형성된다. 또한, 옴층(ohmic layer; 47 및 48)이 형성된다.

다음, 상기 제2 부분(343)이 제거된 후, 도 7(a)에 나타난 바와 같이, 패시베이션막(49)이 전표면상에 형성된다. 여기서, 패시베이션막(49)은 500nm정도의 막두께를 가진 질화실리콘막으로 구성된다.

다음, 막두께가 얇은 영역인 제1 부분과 제1 부분보다 막두께가 두꺼운 영역인 제2 부분으로 구성된 레지스트 마스크(50)가 도 2(a) 내지 2(d)에서 설명한 방법과 동일하게 형성된다. 여기서, 제1 개구(51)가 제1 부분에 형성되고, 제2 개구(52)가 제2 부분에 형성된다.

다음, 레지스트 마스크(50)를 에칭마스크로 이용하여, 패시베이션막(49), 또는 패시베이션막(49)과 게이트절연층(32)을 RIE에 의하여 건식에칭한다. 여기서, 반응 가스는 플러즈마로 여기된  $SE_6$  및  $He$ 의 혼합가스이다. 따라서, 도 7(b)에 나타난 바와 같이, 콘택트홀(26, 28 및 29)이 게이트전극(22), 드레인전극(24) 및 소스전극(25) 상에 각각 형성된다.

다음, 도 2(a) 내지 2(d)에 나타난 바와 같이,  $O_2$  및  $CF_4$ 의 혼합가스가 플러즈마로 여기된 후, 상기 레지스트 마스크(50)에 대하여 에칭백이 수행된다. 이 에칭백에 의하여, 레지스트 마스크(50)의 제1 부분이 제거된다. 이 건식에칭에 있어서, 도 8(a)에 나타난 바와 같이, 역테이퍼의 형상으로 된 개구를 가진 레지스트 마스크(350)가 남겨진다. 게이트전극(22), 드레인전극(24) 및 소스전극(25)과의 접속을 위하여, 0.8 $\mu m$ 의 막두께를 가진 투명전극막(53)이 프로그레스 스퍼터법에 의하여 전표면상에 증착된다. 다음, 레지스트 마스크(350)는 일반적인 리프트오프 기술에 의하여 제거된다.

그러므로, 도 2(a) 내지 2(d)에서 설명한 바와 같이, 도 8(b)에서처럼, 게이트전극(22)에 접속되는 게이트단자전극(27)이 형성되고, 드레인전극(24)에 접속되는 투명전극배선(30)이 형성되고, 소스전극(25)에 접속되는 투명한 화소전극(31)이 형성된다. 그 결과, 화소부분의 TFT가 형성된다.

TFT는 종래에는 5번의 포토리소그래피 공정에 의하여 제조되었지만, 본 발명에 의하면, 전술에서 명백하듯이 TFT는 3번의 포토리소그래피 공정에 의하여 제조될 수 있다. 따라서, TFT로 구성되는 액정표시장치의 제조공정은 크게 감축된다. 또한, 액정표시장치의 수율이 개선되어 생산성이 증가된다. 또한, 액정표시장치의 제조비용이 크게 감소되고, 높은 신뢰성을 가진 TFT가 용이하게 제조된다.

다음, 본 발명의 제3 실시예를 도 9(a) 내지 9(c) 및 도 10(a)와 10(b)를 참조하면서 설명한다. 본 실시예에 있어서, TFT 및 액정표시장치를 두 번의 포토리소그래피 공정에 의하여 제조하는 방법을 설명한다. 여기서, 도 9(a) 내지 9(c) 및 10(a)와 10(b)는 상기 능동 매트릭스 기판을 구성하는 역스테거형의 TFT, 즉, 화소부분이나 보호회로부분을 구성하는 TFT를 주요 제조공정의 순서대로 나타내는 단면도이다.

먼저, 크롬 전도막이 게이트전극을 형성하기 위하여 증착된다. 다음, 게이트절연층, 아몰퍼스 실리콘막,  $n^+$  아몰퍼스 실리콘막 및 금속전도막이 증착되어 연속적으로 적층된다.

다음, 포토리소그래피 공정에 의하여, 도 9(a)에 나타난 바와 같이, 레지스트 마스크(62)가 최상층인 금속전도막의 표면에 형성된다. 여기서, 레지스트 마스크(62)는 막두께가 얇은 영역인 제1 부분(63)과 막두께가 제1 부분(63)보다 두꺼운 영역인 제2 부분(64)을 가진다. 여기서, 제1 부분(63)의 막두께는  $1.0\mu\text{m}$  정도이고, 제2 부분(64)의 막두께는  $3.0\mu\text{m}$  정도이다. 그러한 레지스트 마스크(62)는 제2 실시예의 도 5(a) 내지 5(c)에서 설명된 방법과 동일하게 형성된다.

다음, 도 9(a)에 나타난 바와 같이, 레지스트 마스크(62)를 에칭마스크로 이용하여, 상기 금속전도막,  $n^+$  아몰퍼스 실리콘막, 아몰퍼스 실리콘막, 게이트절연층, 및 크롬전도막을 연속적으로 에칭한다. 따라서, 게이트전극(65), 게이트절연층(66), 반도체층(67),  $n^+$  아몰퍼스 실리콘층(68) 및 금속전도층(69)이 형성된다. 여기서, 금속전도막 및 크롬전도막의 에칭은 제2 실시예에서 설명된 것과 동일한 방법으로 수행된다. 또한,  $n^+$  아몰퍼스 실리콘막과 아몰퍼스 실리콘막의 에칭은 플러즈마로 여기된  $\text{SF}_6$ ,  $\text{HCl}$  및  $\text{He}$ 의 혼합기체를 이용하여 건식에칭으로 수행된다. 또한, 게이트절연층의 에칭은 플러즈마로 여기된  $\text{SF}_6$  및  $\text{He}$ 의 혼합기체를 이용하여 건식에칭으로 수행된다.

다음, 도 6(a) 내지 6(c)에서 설명한 바와 같이,  $\text{O}_2$  및  $\text{CF}_4$ 의 혼합기체가 플러즈마로 여기된 후, 이방성 건식에칭에 의하여 레지스트 마스크(62)에 대하여 에칭백이 수행된다. 이 에칭백공정에 있어서, 레지스트 마스크(62)의 제1 부분(63)이 제거된다. 다음, 금속전도층(69)상에 남겨진 제2 부분(364)이 형성된다.

다음, 제2 부분(364)을 에칭마스크로 이용하여, 상기 금속전도층(69)과  $n^+$  아몰퍼스 실리콘층(69)이 연속적으로 에칭된다. 따라서, 도 9(b)에 나타난 바와 같이, 옴층(70 및 71), 드레인전극(72) 및 소스전극(73)이 형성된다.

다음, 상기 제2 부분(364)이 제거된 후, 도 9(c)에 나타난 바와 같이, 패시베이션막(74)이 전표면에 증착된다.

다음, 도 7(a) 및 7(b)에서 설명한 바와 같이, 막두께가 얇은 영역인 제1 부분과 제1 부분보다 막두께가 두꺼운 영역인 제2 부분으로 구성된 레지스트 마스크(50)가 형성된다. 다음, 레지스트 마스크(75)를 에칭마스크로 이용하여 건식에칭을 수행한다. 이 에칭공정에 있어서, 도 10(a)에 나타난 바와 같이, 게이트단자부(365)상에 위치된 패시베이션막(74), 반도체층(67) 및 게이트절연층(66)을 연속적으로 건식에칭하여 콘택트홀(76)을 형성한다. 동시에, 콘택트홀(77 및 78)이 드레인전극(72) 및 소스전극(73)상에 각각 형성된다.

이하, 도 8(a)에서 설명한 것처럼, 도 10(b)에서 나타내는 바와 같이, 역테이퍼형상의 개구를 가진 레지스트 마스크(375)를 형성한다. 투명전극막(79)이 프로그레스 스퍼터법에 의하여 전표면에 증착된 후, 레지스트 마스크(375)는 일반적인 리프트오프 기술에 의하여 제거된다. 따라서, 도 8(b)에 나타난 바와 같이, 게이트단자부(365)에 접속되는 배선 및 드레인전극(72)과 소스전극(73)에 접속되는 전극들을 형성한다.

다음, 전술한 방법에 따라 형성되는 액정표시장치의 상기 능동 매트릭스 기판의 화소부분에 대한 개략적인 평면도를 도 11을 참조하면서 설명한다. 여기서, 사선은 도면을 용이하게 보기 위하여 나타낸다.

도 11에서 파선으로 나타내는 바와 같이, 스위치 트랜지스터로 되는 TFT의 게이트전극(65)(게이트단자부(365)를 포함하여)을 형성한다. 다음, 도면의 상우(上右)에서 하좌(下左)의 사선으로 나타난 영역의 반도체층(67)을 형성한다. 여기서, 게이트전극(65)(게이트단자부(365)를 포함하여)과 반도체층(67)은 동일한 패턴이 된다. 또한, 도면의 상좌

(上左)에서 하우(下右)의 사선으로 나타낸 영역의 드레인전극(72)과 소스전극(73)을 형성한다. 여기서, 드레인전극(72)을 도 11에서 나타낸 바와 같이, 세 개의 영역, 즉, 드레인전극(72, 372 및 472)으로 분할한다. 각 드레인전극에 대응하는 콘택트홀(77)을 형성한다. 콘택트홀들이 각 드레인전극(72, 372 및 472) 상에 형성되는 이유는 드레인전극과 동일한 패턴의 게이트전극 및 반도체층이 서로 전기적으로 절연된 채 형성되고 후술하는 투명전극배선(81)에 의하여 서로 최종적으로 접속되어야만 하기 때문이다.

상기 게이트전극(65)은 콘택트홀(76)을 통하여 게이트단자전극(80)과 접속된다. 마찬가지로, 드레인전극(72, 372 및 472)은 콘택트홀(77)을 통하여 투명전극배선(81)에 접속된다. 또한, 소스전극(73)은 콘택트홀(78)을 통하여 투명한 화소전극(82)에 접속된다.

제3 실시예의 효과는 제2 실시예에서 설명되는 것보다 현저하게 된다.

다음, 본 발명의 제4 실시예를 도 12(a) 내지 12(d) 및 도 13(a)와 13(b)를 참조하면서 설명한다. 제4 실시예의 평면도는 제2 실시예의 도 4와 동일하다. 또한, 제4 실시예의 단면도는 도 4의 동일한 단면선에 대한 단면도이다. 본 실시예에 있어서, 본 발명에 대한 패턴 형성의 특성을 이하에서 설명한다. 이 경우, TFT를 4번의 포토리소그래피 공정에 의하여 형성한다는 점에 주의해야 한다.

먼저, 도 12(a)에 나타낸 바와 같이, 크롬전도막이 유리기판(91)상에서 패턴화됨으로써 게이트단자부(392)를 포함하여 게이트전극(92)을 형성한다. 게이트절연층(93)을 유리기판(91) 상에 증착한 후, 반도체층(94)과  $n^+$  아몰퍼스 실리콘층(95)을 형성한다.

다음, 제2 실시예나 제3 실시예에서 설명한 것처럼, 도 12(b)에 나타낸 바와 같이, 레지스트막(96)이 포토리소그래피 공정에 의하여 형성된다. 레지스트 마스크(96)는 막두께가 얇은 제1 부분(97)과 제1 부분(97)보다 막두께가 두꺼운 제2 부분(98)을 가진다. 다음, 게이트단자부(392) 상에 있는 게이트절연층(93)에서 콘택트홀(99)을 형성한다.

다음,  $O_2$  및  $CF_2$ 의 혼합 가스는 플러즈마로 여기된 후, 레지스트 마스크(96)에 대해 이방성 건식에칭에 의하여 에칭백을 수행한다. 이 에칭백 공정에서, 레지스트 마스크(96)의 제1 부분(97)은 제거된다. 다음, 도 12(c)에 나타낸 바와 같이, 남겨진 제2 부분(398)이 형성된다.

다음, 도 12(d)에 나타낸 바와 같이, 투명전극막(100)과 금속전도막(101)이 형성되어 적층된다. 여기서, 투명전극막(100)은 ITO막이고 금속전도막(101)은 크롬막이다. 다음, 상기 제2 부분(398)은 제거된다. 즉, 도 13(a)에 나타낸 바와 같이, 게이트단자부(392)에 접속되는 게이트단자전극(102), 및  $n^+$  아몰퍼스 실리콘층(95)에 접속되는 드레인전극(103) 및 소스전극(104)을 리프트오프에 의하여 형성한다. 여기서, 게이트단자전극(102), 드레인전극(103) 및 소스전극(104)은 각각 상기 2층의 전도막으로 구성된다.

다음, 드레인전극(103)과 소스전극(104)을 에칭마스크로 이용하여,  $n^+$  아몰퍼스 실리콘층(95)을 에칭한다. 따라서, 도 13(b)에 나타낸 바와 같이, 드레인전극(103)과 소스전극(104)에 접속되는 움층(105 및 106)이 반도체층(94)의 단부에 각각 형성된다.

다음, 패시베이션막(107)이 전표면상에 형성된 후, 패시베이션패턴 레지스트 마스크(미도시)를 이용하여 패시베이션막(107)과 금속전도막(101)을 에칭함으로써 게이트단자전극(102) 상에 개구부(108)를 형성한다. 또한, 소스전극(104)의 영역에 위치한 금속전도막(101)은 패시베이션패턴 레지스트 마스크(미도시)를 이용하여 제거됨으로써 투명한 화소전극(109)을 형성한다. 여기서, 투명한 화소전극이 투명한 금속막이 아닌 차광금속막을 이용하여 형성되면, 그것은 반사형 액정표시장치의 반사전극이 된다.

본 발명에 따른 액정표시장치의 제조에 있어서, TFT와 같은 반도체소자를 구성하는 재료막은 미리 다층의 적층막으로 증착된다. 상기 적층막을 패턴화하기 위한 에칭마스크로서, 복수의 두께를 가지도록 패턴화된 레지스트 마스크를 형성한다.

그러한 레지스트 마스크를 형성하는 방법으로는 다양한 변경이 있다. 이하에서 이를 설명한다.

제2 실시예에는 양성형의 레지스트를 도포한 후 패턴전사를 한번의 노광법에 의해서 수행하는 경우에 관한 것이다. 제2 실시예에 있어서, 단층의 레지스트막이 사용된다. 그러나, 2층의 레지스트막이 단층의 레지스트막 대신에 사용될 수 있다. 2층의 레지스트막이 사용되는 경우, 하층의 레지스트막을 선택적으로 노광감도가 상층 레지스트막보다 낮게 정하는 것이 좋다. 다음, 상층 레지스트막을 선택적으로 노광시킨 후 2층 레지스트막을 현상시킴으로써, 상기 제1 부분이 하층의 레지스트막으로 구성되고, 상기 제2 부분이 하층의 레지스트막과 상층의 레지스트막으로 구성되는 이하의 구조를 얻는다. 따라서, 전사패턴의 정확도가 상당히 개선된다.

또한, 상기 1회의 노광법의 경우에 있어서, 단층의 음성형 레지스트를 레지스트막으로 사용하여도 좋다. 음성형 레지스트의 노광감도는 일반적으로 양성형 레지스트보다 낮기 때문에, 노광법은 단층의 음성형 레지스트막을 이용하여 용이하게 적용함으로써 다른 두께를 가진 레지스트를 형성할 수 있다. 또는, 음성형 2층 레지스트막을 사용하여도 좋다. 그러나, 이 음성형 레지스트막이 사용되는 경우, 포토마스크는 제2 실시예의 포토마스크(40)에 대해 반전된 패턴이 된다. 이 경우, 포토마스크(40)의 차광부(37)는 투명부로 변경되어야 하고, 투명부(39)는 차광부로 변경되어야 한다. 반투광부(38)는 변경되지 않는다.

또한, 본 발명에 의하면, 패턴전사를 위해서 복수의 포토마스크를 이용하여 연속적인 노광을 적용하여도 좋다. 즉, 다른 포토마스크를 통한 복수의 노광은 단층의 레지스트막상에서 수행되고 그것이 현상될 때, 상기 레지스트마스크가 형성될 수 있다. 또한, 이 경우, 양성형이나 음성형의 레지스트막, 또는 양성형이나 음성형의 이중 레지스트막이 사용되어도 좋다.

상기 실시예에 있어서, 게이트전극이나 소스전극 및 드레인전극이 크롬을 이용하여 형성되는 경우를 설명하였다. Ti, Mo, W나 이들의 합금들이 소스전극과 드레인전극을 형성하기 위한 금속전도막의 재료 또는 게이트전극의 재료로 사용될 수 있다는 것을 말해둔다.

또한, 전술한 실시예에 있어서, 역스태거형 TFT가 절연기판상에 형성되는 경우를 설명하였다. 스태거형 TFT가 형성되는 경우에도 본 발명을 적용할 수 있다는 것을 말해둔다.

전술한 실시예에 따르면, 복수의 두께를 가지도록 패턴화된 레지스트 마스크에 있어서, 막 두께가 얇은 영역은 제1 영역으로 주어지고, 막 두께가 두꺼운 영역은 제2 영역으로 주어진다. 여기서, 실리레이션(sililation)이 제2 부분의 표면에 대하여 선택적으로 이루어지는 경우, 제1 부분을 에칭한 후 남겨진 제2 부분 상에서 금속을 리프트오프(liftoff)하는 것이 보다 용이하게 된다. 즉, 에칭에 의하여 제1 부분을 제거하는 공정에 있어서, 제1 부분이 두꺼운 경우에도, 제2 부분의 막 감소(film decrease)가 제2 부분의 실리레이션에 의하여 억제된다. 상기 실리레이션을 적용하는 기술은 일본 특개평11 - 307780호에 자세히 본 발명자에 의하여 개시되어 있다.

## 발명의 효과

상술한 바와 같이, 전술된 본 발명의 주요 부분에 의하면, TFT를 구성하는 적층막이 패턴화되고 절연기판상에서 패시베이션막에 의하여 피복된 후, 다른 막두께를 가진 복수의 영역을 구비한 레지스트 마스크는 패시베이션막 상에서 패턴화에 의하여 형성된다. 다음, 전도막은 상기 레지스트 마스크를 이용한 리프트오프법에 의하여 패턴화된다. 또는, 다른 막두께를 가진 복수의 영역을 구비한 다른 레지스트 마스크를 에칭마스크로 이용하고, 상기 레지스트 마스크의 막두께 차이를 이용하여 소정의 패턴을 가진 적층막을 형성함으로써 적층된 재료막은 다른 부분에 대하여 각각 2번 프로세스된다.

새로운 상기 형성 방법 및 공정방법에 의하여, 종래 기술에서 5번의 포토리소그래피 공정에 의하여 제조되었던 액정표시장치가 3번의 포토리소그래피 공정에 의하여 제조될 수 있다.

따라서, 공정의 감축에 의하여, 액정표시장치의 제조수율은 향상되어 생산성을 증가시키고 액정표시장치의 제조비용이 대폭 감소된다. 또한, 신뢰성이 대폭적으로 향상된다.

## (57) 청구의 범위

### 청구항 1.

기판상에 제1 층을 형성하는 단계;

상기 제1 층에 제2 층을 형성하는 단계;

상기 제2 층상에 마스크층을 형성하는 단계로서, 제1 영역보다 제2 영역이 두껍고 상기 제1 영역에는 개구가 제공되도록 하는 상기 제1 영역과 상기 제2 영역을 가지도록 상기 마스크층을 패턴화하는 단계;

상기 마스크층을 에칭마스크로 이용하여 상기 제2 층을 에칭함으로써 상기 제1 층의 표면까지 도달하는 콘택트홀을 형성하는 단계;

에칭에 의하여 상기 제1 영역을 적어도 제거하여 상기 제1 층상에서 상기 제2 영역 내에서 제3 영역을 구성하는 리프트오프(liftoff) 패턴을 상기 제1 층상에 남겨놓는 단계;

상기 제3 영역을 피복하기 위한 제3 층을 형성하는 단계; 및

상기 제3 층을 형성한 후 리프트오프에 의하여 상기 제3 층을 패턴화하기 위하여 상기 제3 영역을 제거하는 단계를 포함하는 것을 특징으로 하는 패턴형성방법.

### 청구항 2.

제1항에 있어서, 상기 제2 층은 하층부터 순서대로 상기 절연층과 리프트오프를 위한 재료막으로 구성되며, 리프트오프 패턴은 리프트오프를 위한 재료막으로 구성되는 것을 특징으로 하는 패턴형성방법.

### 청구항 3.

제1항에 있어서, 에칭에 의하여 상기 제1 영역을 제거하는 단계는 할로젠 화합물 가스 및 산소 가스를 플러즈마로 여기 시킴으로써 얻어진 활성종(active species)을 이용하는 건식에칭에 의하여 수행되는 것을 특징으로 하는 패턴형성방법.

### 청구항 4.

제1항에 있어서, 상기 제2 층의 에칭은 건식에칭이고, 상기 제2 영역의 표면은 건식에칭에 의하여 표면이 개질(改質)되고, 상기 제3 영역의 단면형상이 제1 영역의 건식에칭에 의하여 역테이퍼 형상(inverse taper shape)으로 형성되는 것을 특징으로 하는 패턴형성방법.

### 청구항 5.

제1항에 있어서, 차광부, 반투광부 및 투명부는 포토리소그래피 공정에서 사용되는 포토마스크의 마스크 패턴으로 형성되며, 상기 차광부, 반투광부 및 투명부의 패턴은 1회의 노광에 의하여 레지스트막(감광성 유기막)으로 전사된 후, 마스크층이 현상에 의하여 형성되는 것을 특징으로 하는 패턴형성방법.

#### 청구항 6.

제5항에 있어서, 상기 레지스트막은 다른 노광감도를 가진 두 개의 층을 구비한 레지스트막으로 구성되는 것을 특징으로 하는 패턴형성방법.

#### 청구항 7.

제1항에 있어서, 포토리소그래피 공정의 노광에 있어서, 다른 마스크 패턴을 가진 복수 종류의 포토마스크를 이용하여 레지스트막에 대한 연속적인 노광을 수행한 후, 현상을 통하여 마스크층을 형성하는 것을 특징으로 하는 패턴형성방법.

#### 청구항 8.

제7항에 있어서, 상기 레지스트막은 다른 노광감도를 가진 두 개의 층을 구비한 레지스트막으로 구성되는 것을 특징으로 하는 패턴형성방법.

#### 청구항 9.

절연기관상에 증착된 제1 전도막을 패턴화하여 제1 전도막을 형성하는 단계;

상기 제1 전도막을 피복하는 제1 절연층을 증착한 후, 그 위에 제2 전도막을 증착하며, 상기 제2 전도막상에 제1 마스크를 형성하는 단계로서, 상기 제1 마스크는 막두께가 다른 복수의 영역을 가지고, 막두께가 얇은 제1 부분의 영역과 제1 부분보다 막두께가 두꺼운 제2 부분의 영역을 구비하는 단계;

상기 제1 마스크를 에칭마스크로 이용하여 상기 제2 전도막을 에칭하며, 상기 제1 마스크의 제1 부분을 제거하여 제2 부분을 3 부분으로 남겨놓으며, 상기 제3 부분을 마스크로 이용하여 연속적으로 제2 전도막을 에칭함으로써 상기 제2 전도막을 프로세스하는 단계;

상기 제1 마스크의 제3 부분을 제거한 후, 상기 제1 절연층 위에서 상기 제2 전도막을 피복하는 제2 절연층을 증착하는 단계;

상기 제2 절연층상에서 제2 마스크를 형성하는 단계로서, 상기 제2 마스크는 막두께가 다른 복수의 영역을 가지며, 막두께가 얇은 제1 부분의 영역과 상기 제1 부분보다 막두께가 두꺼운 제2 부분의 영역을 구비하며, 상기 제1 부분에 개구부가 형성되는 단계;

상기 제2 마스크를 에칭마스크로 이용하여 상기 제2 절연층과 상기 제1 절연층을 에칭함으로써 상기 제1 전도막상의 상기 제2 절연층과 상기 제1 절연층 내에서 제1 콘택트를 부분적으로 형성하고 상기 제2 전도막상의 상기 제2 절연층에서 제2 콘택트를 부분적으로 형성하는 단계; 및

상기 제2 마스크의 제1 부분을 제거하여 상기 제2 부분의 잔존 부분을 제3 부분으로 하고, 연속적으로 상기 제2 절연층상에 제3 전도막을 증착하고, 위에 증착된 상기 제3 전도막과 함께 상기 제3 부분을 제거하여 제3 전도막용의 전극이나 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

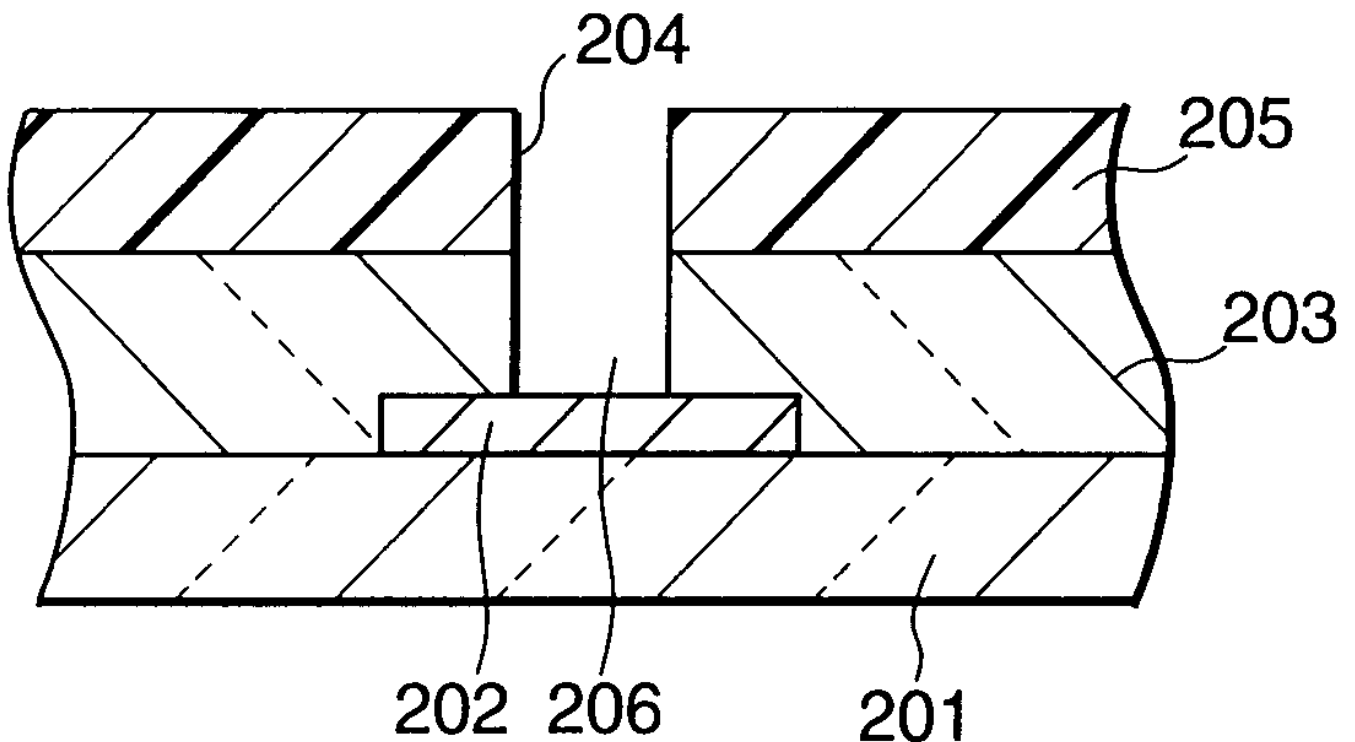
#### 청구항 10.

제9항에 있어서, 상기 제1 전도막은 게이트전극용의 전도막이며, 상기 제1 절연층은 게이트절연층이며, 상기 제2 전도층은 반도체박막, 음접촉을 위한 반도체박막, 및 소스 및 드레인을 위한 전도막이 연속적으로 증착된 적층막이며, 상기 제2 절연층은 패시베이션막이며, 상기 제3 전도막은 소스와 드레인 배선을 위한 금속막인 것을 특징으로 하는 박막트랜지스터의 제조방법.

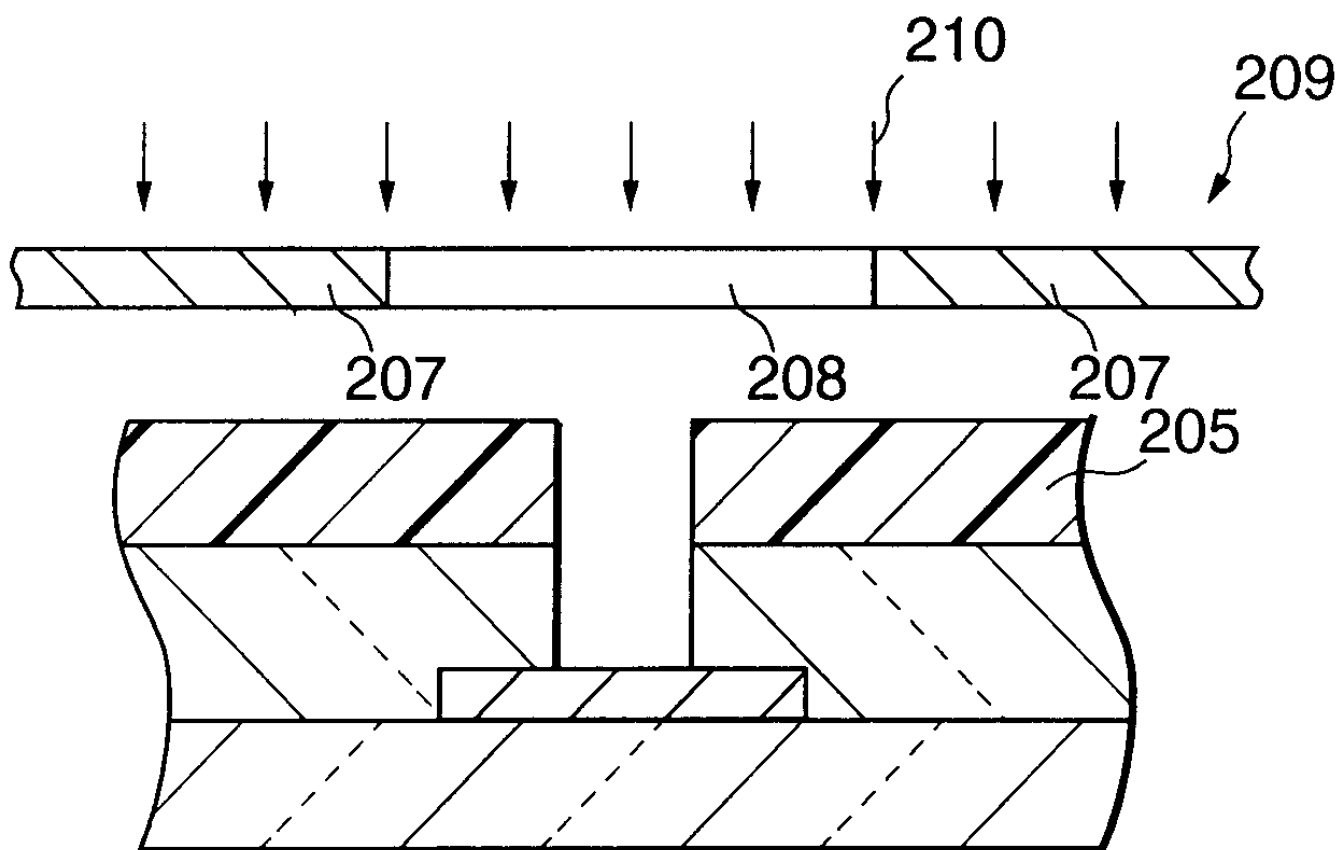
#### 청구항 11.

제10항에 있어서, 할로젠화합물 가스 및 산소 가스를 플러즈마로 여기시킴으로써 얻어진 활성종(active species)을 이용하는 건식에칭에 의하여 상기 제1 마스크의 제1 부분과 상기 제2 마스크의 제1 부분은 제거되며, 상기 음접촉을 위한 상기 반도체박막은 제1 마스크의 제3 부분을 이용하여 에칭함으로써 제거되며, 리프트오프(liftoff) 마스크인 상기 제2 마스크의 제3 부분을 제거함으로써 상기 제3 전도막이 패턴화되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

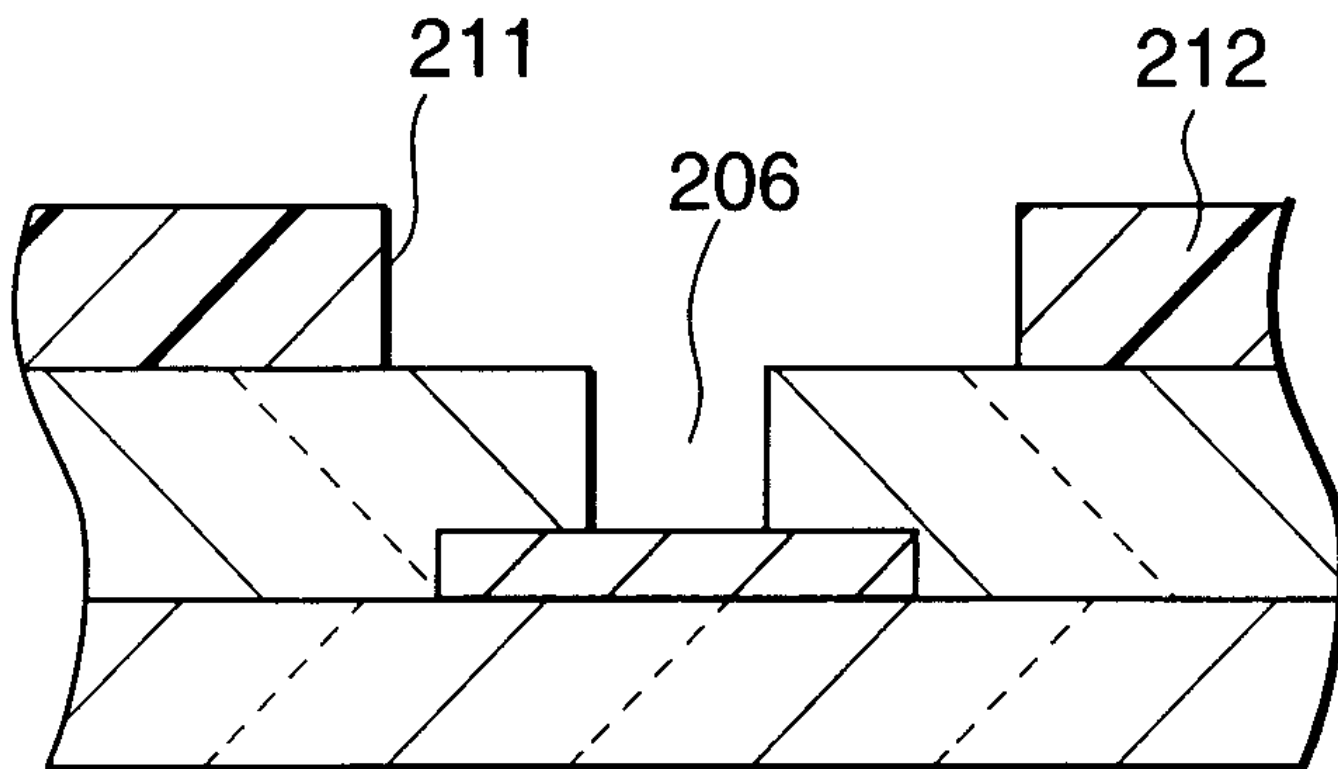
도면 1a



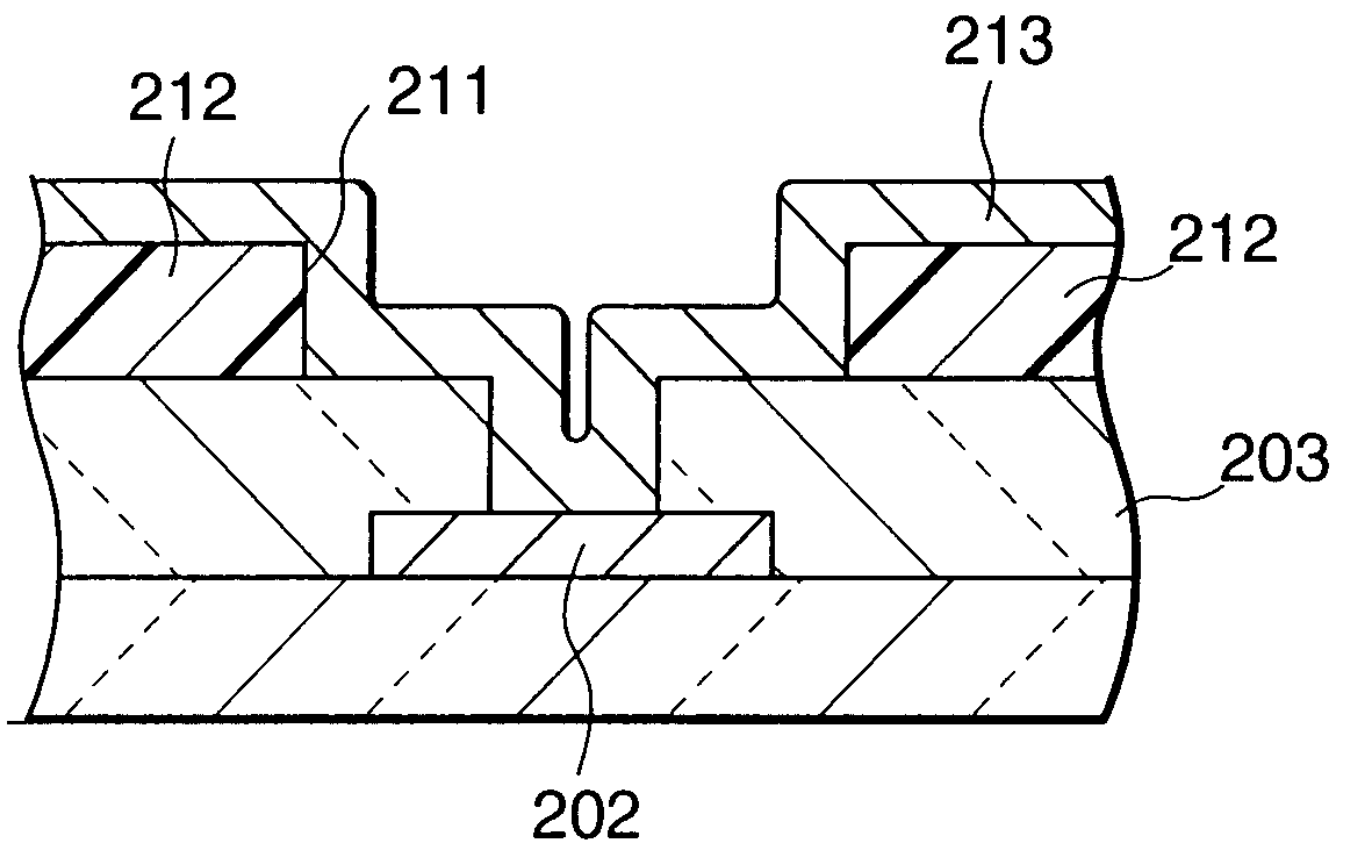
도면 1b



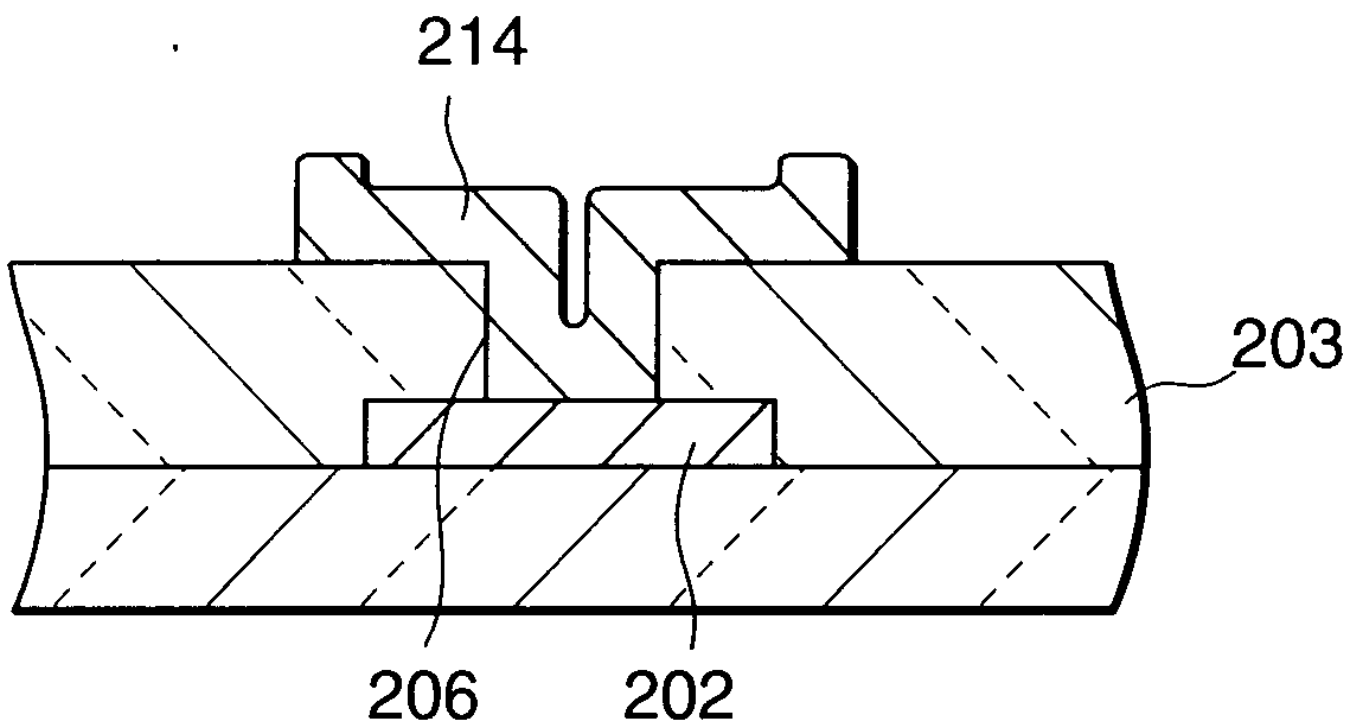
도면 1c



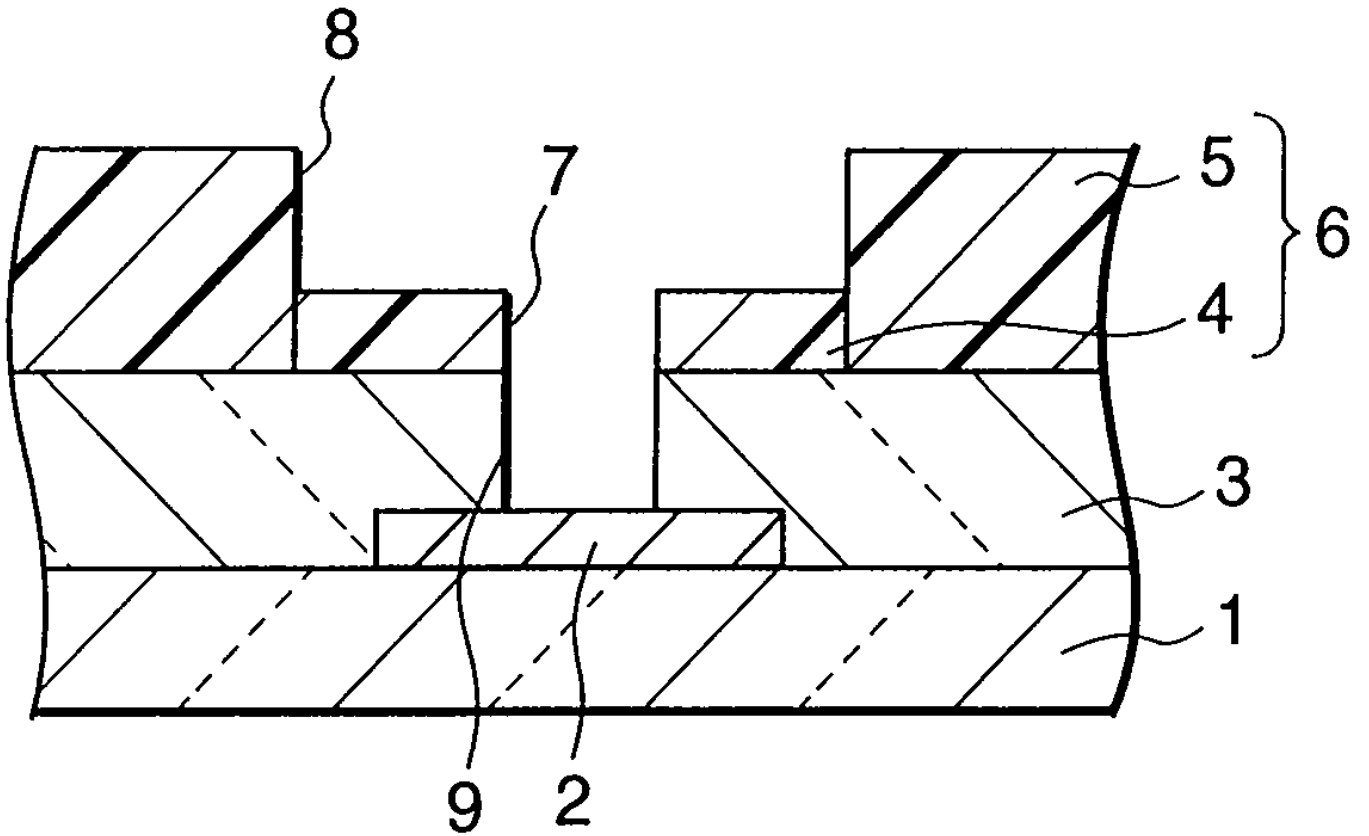
도면 1d



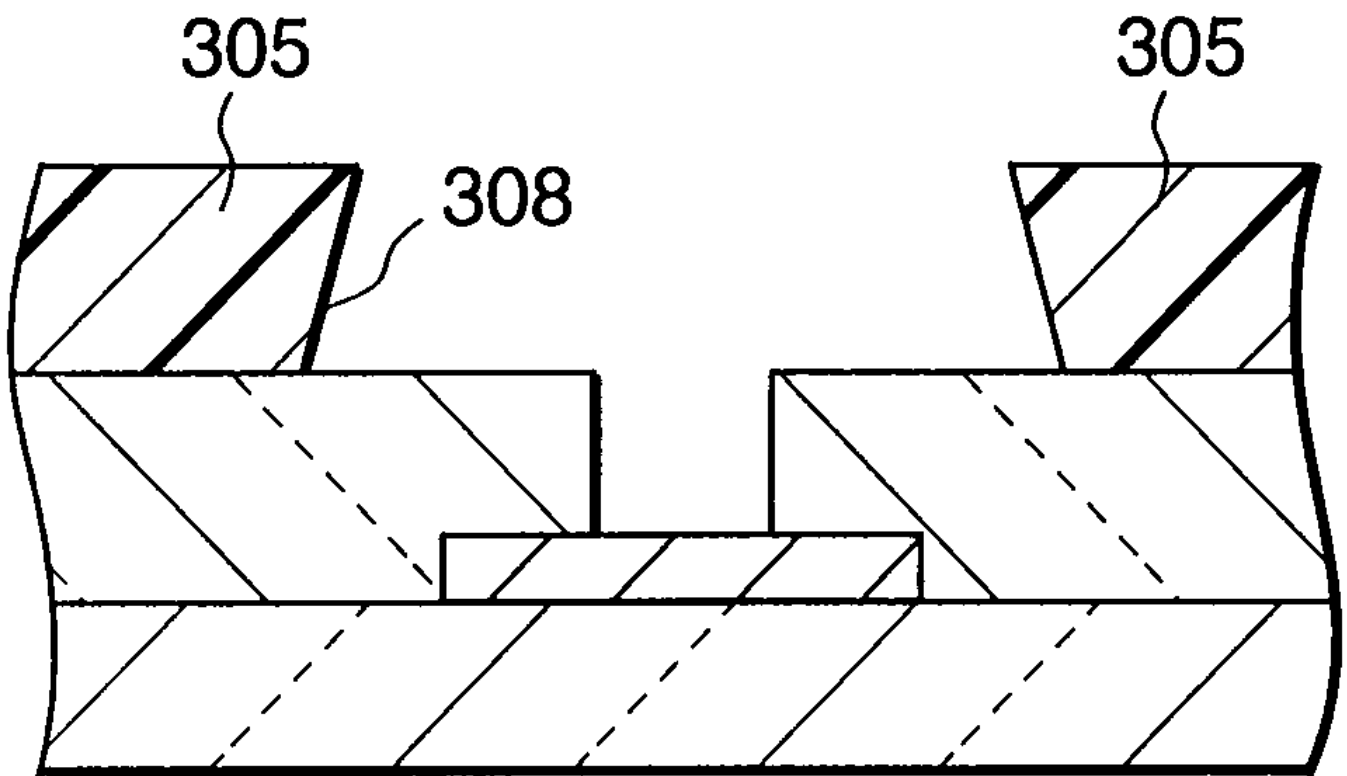
도면 1e



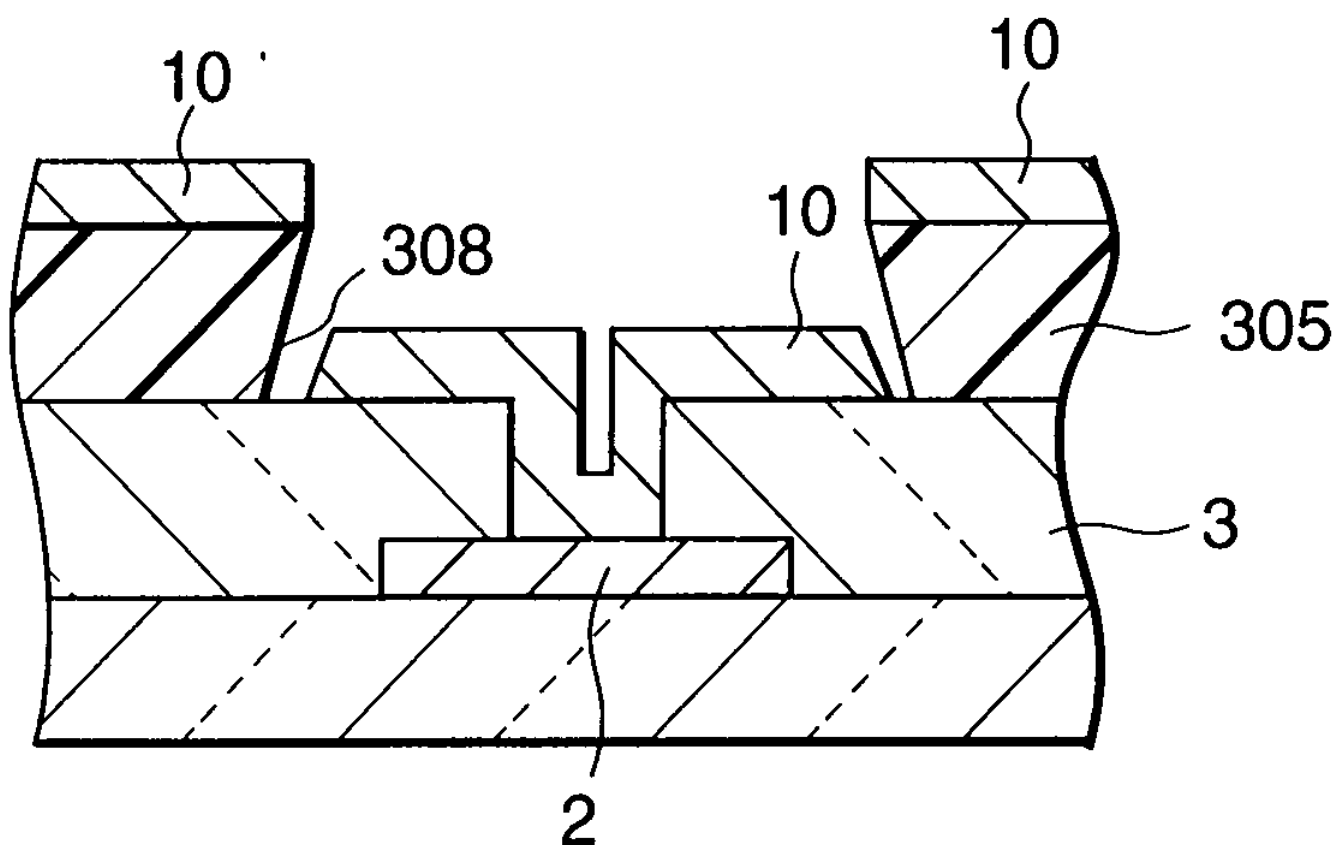
도면 2a



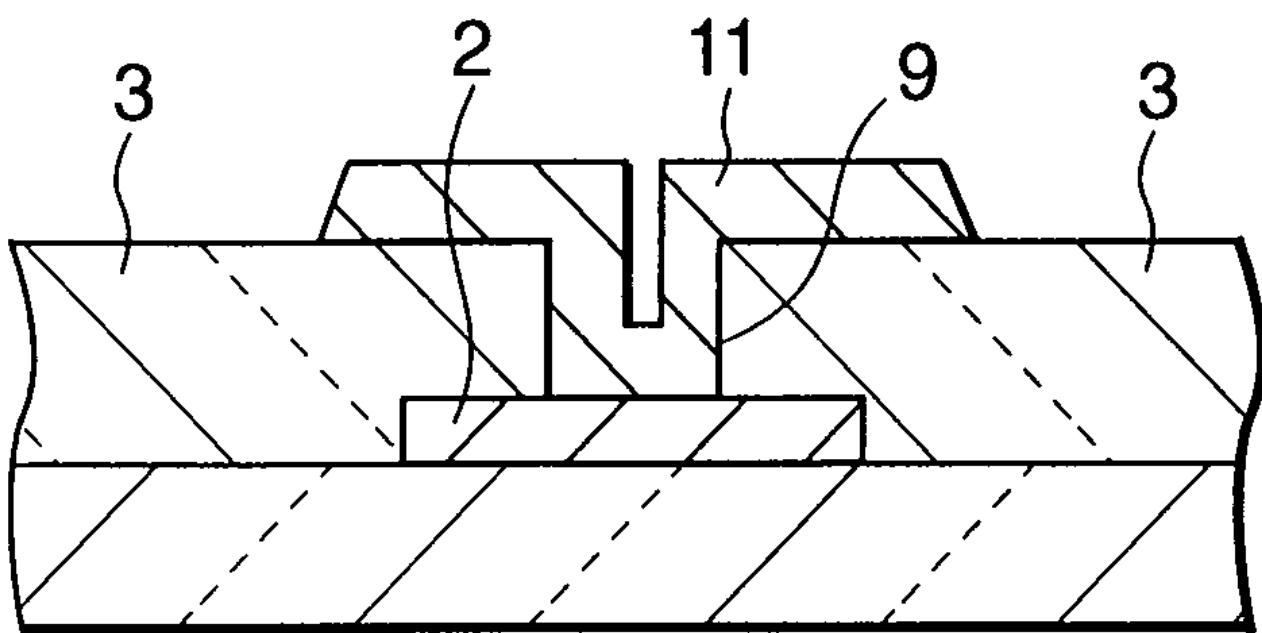
도면 2b



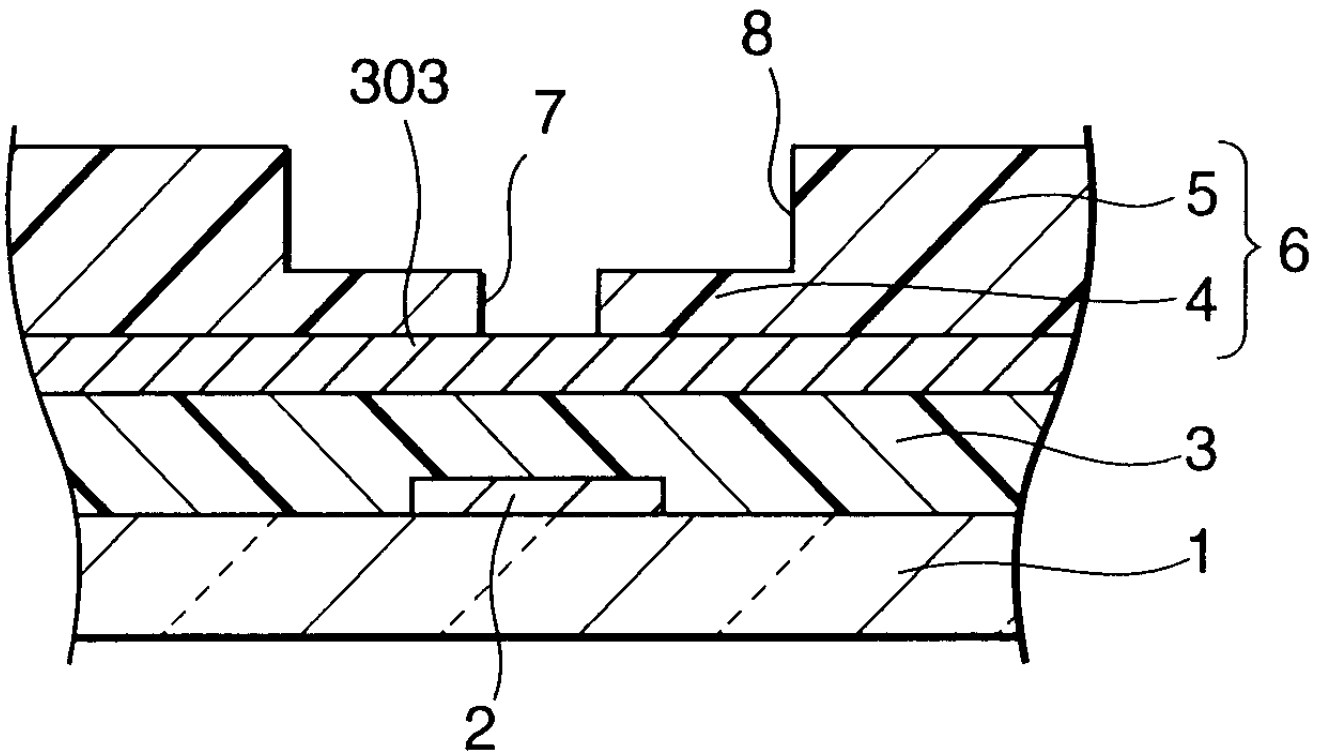
도면 2c



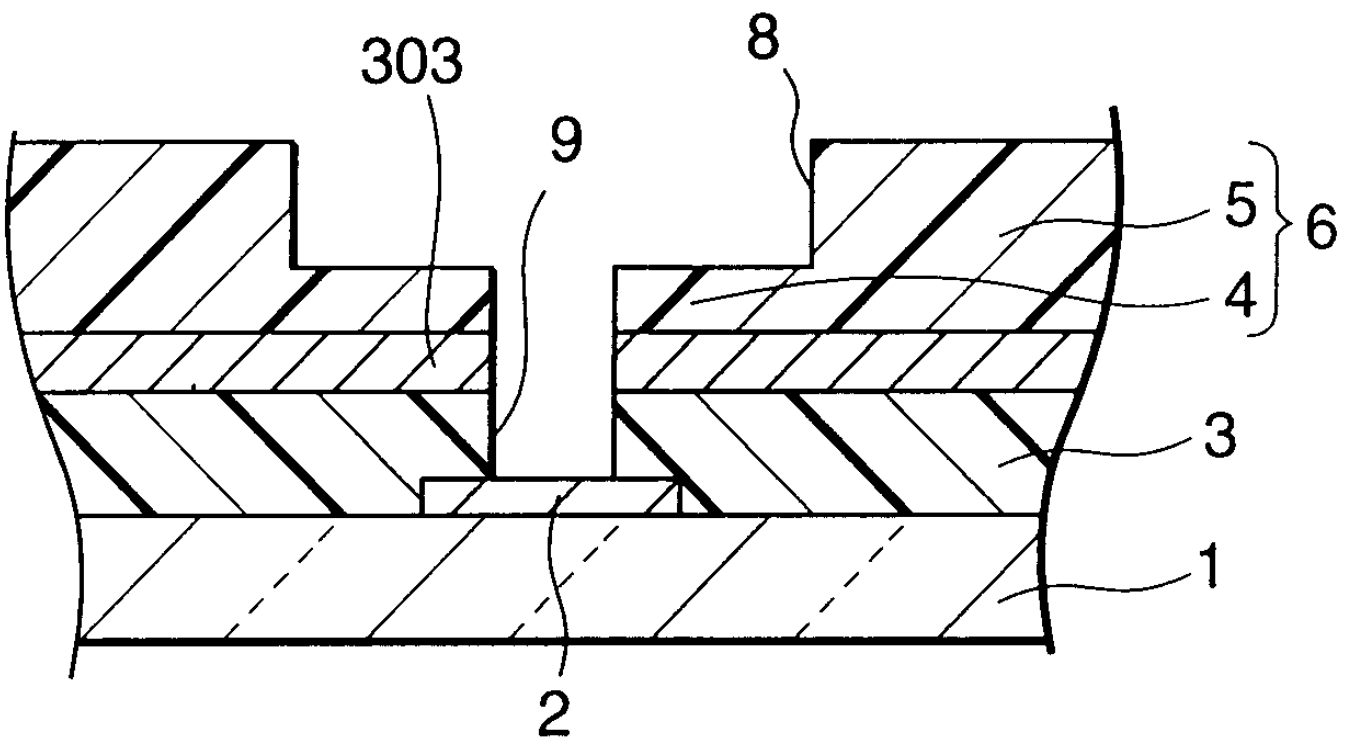
도면 2d



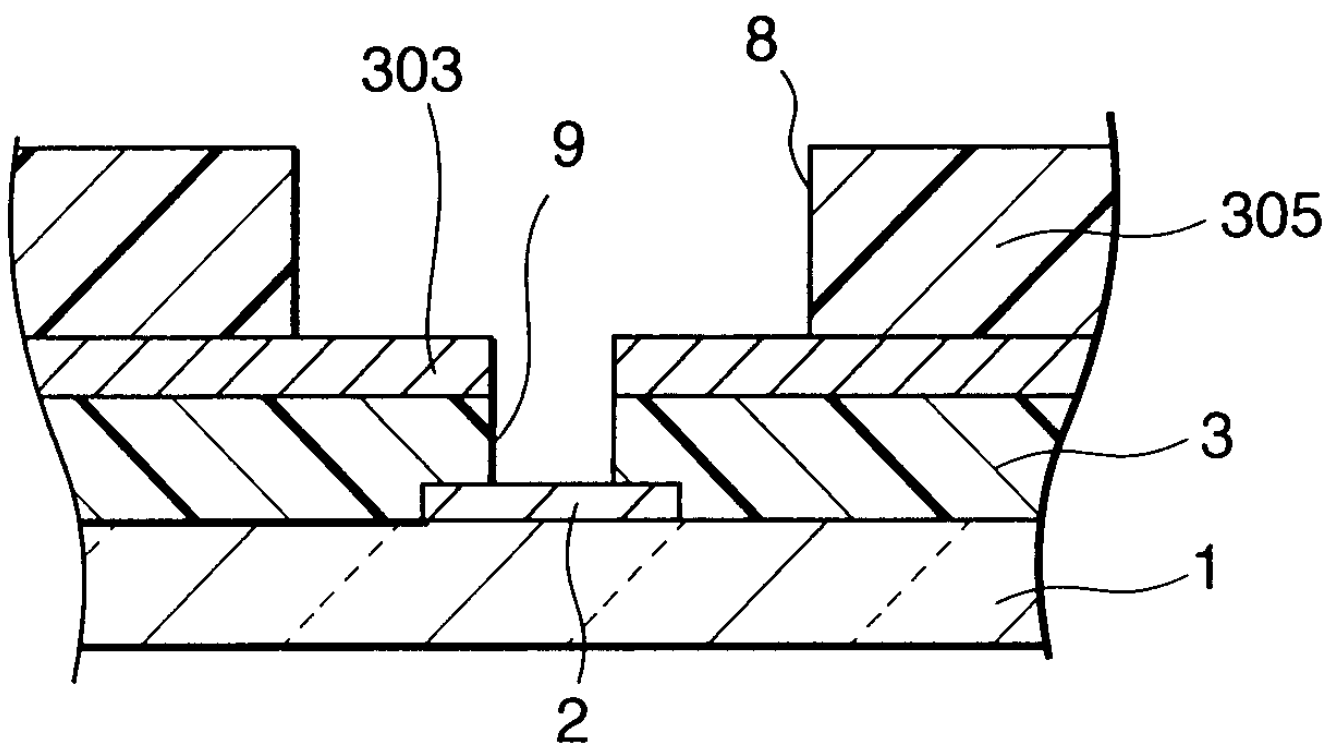
도면 3a



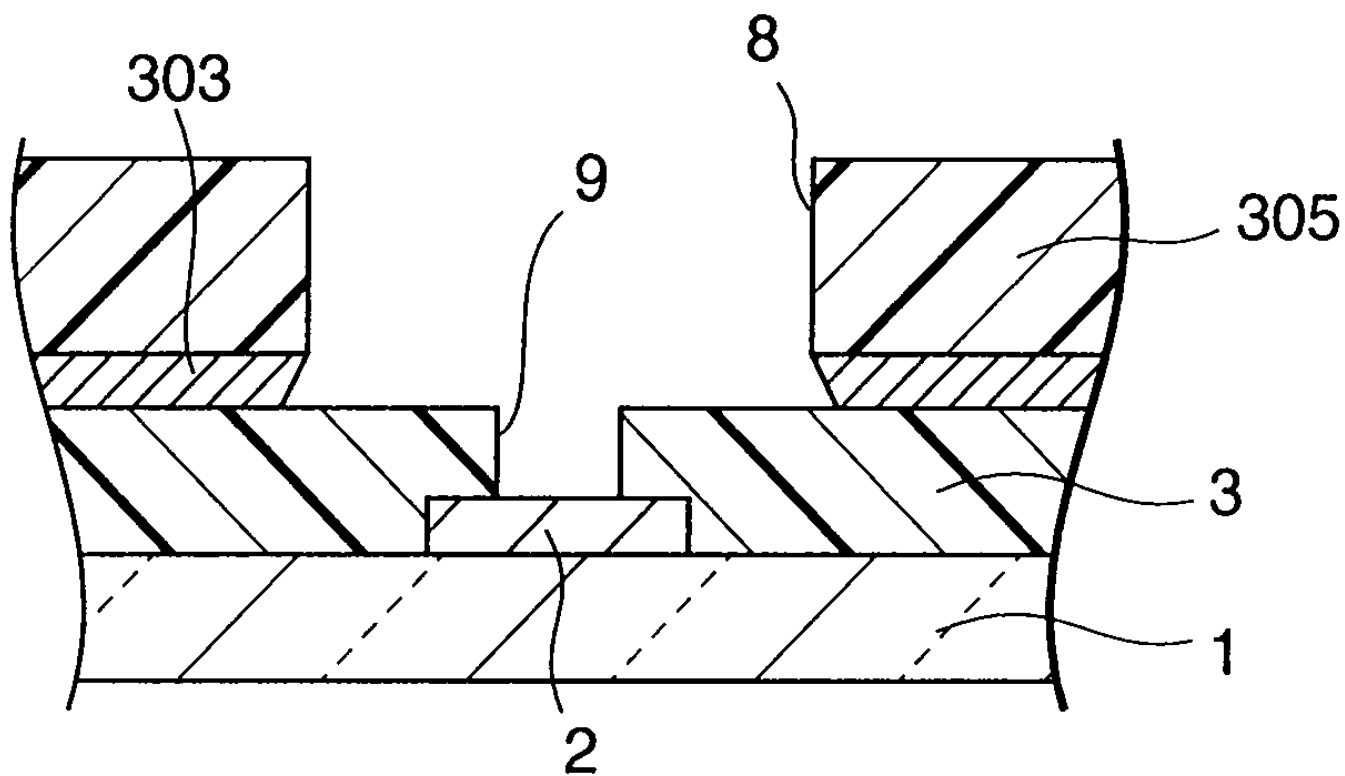
도면 3b



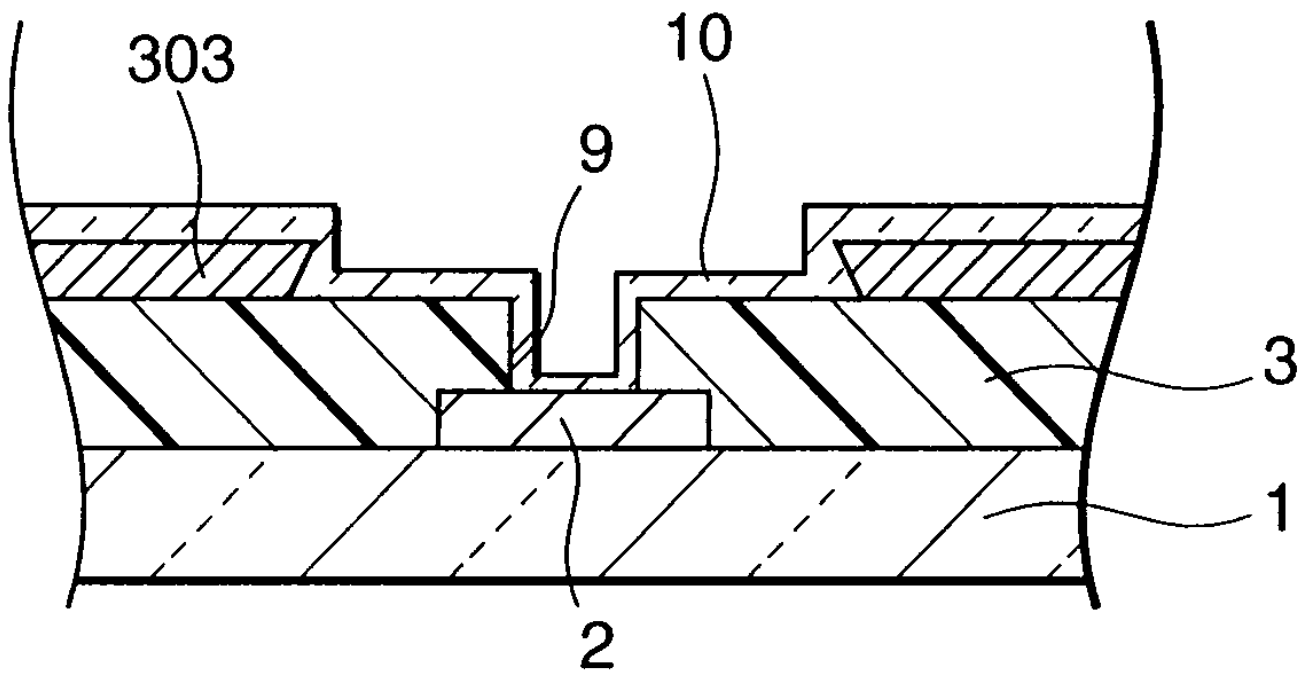
도면 3c



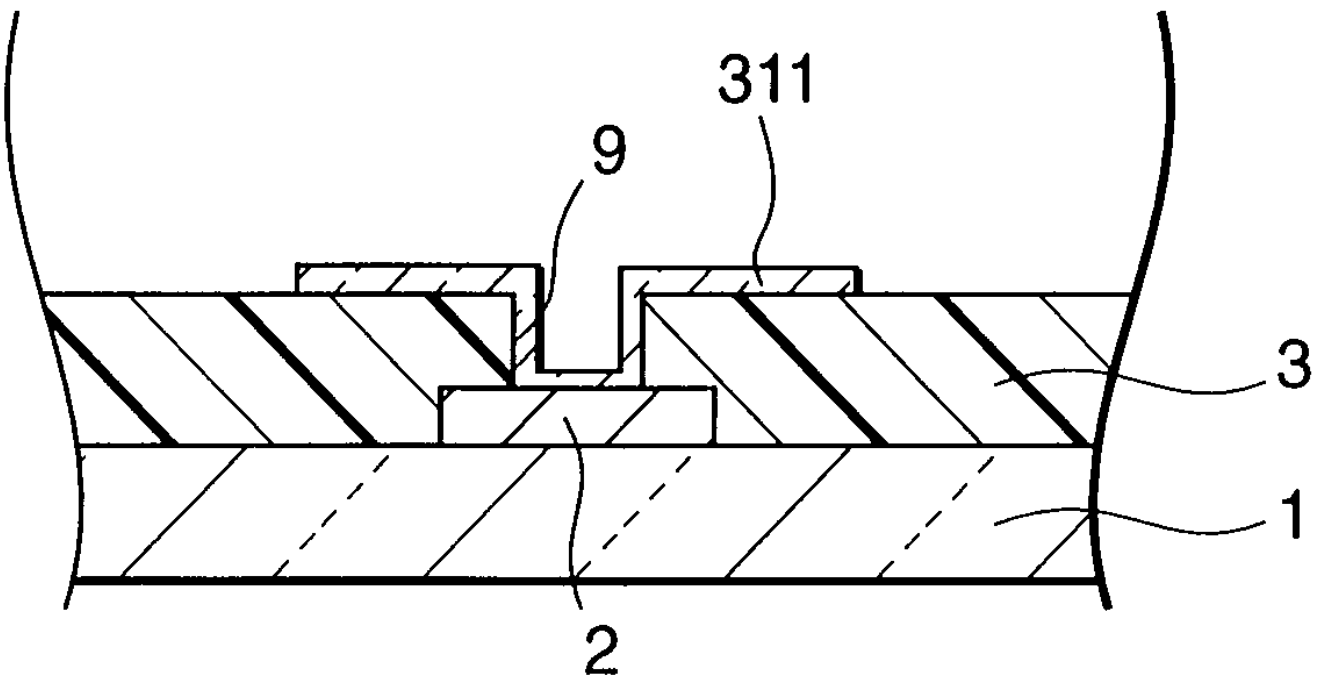
도면 3d



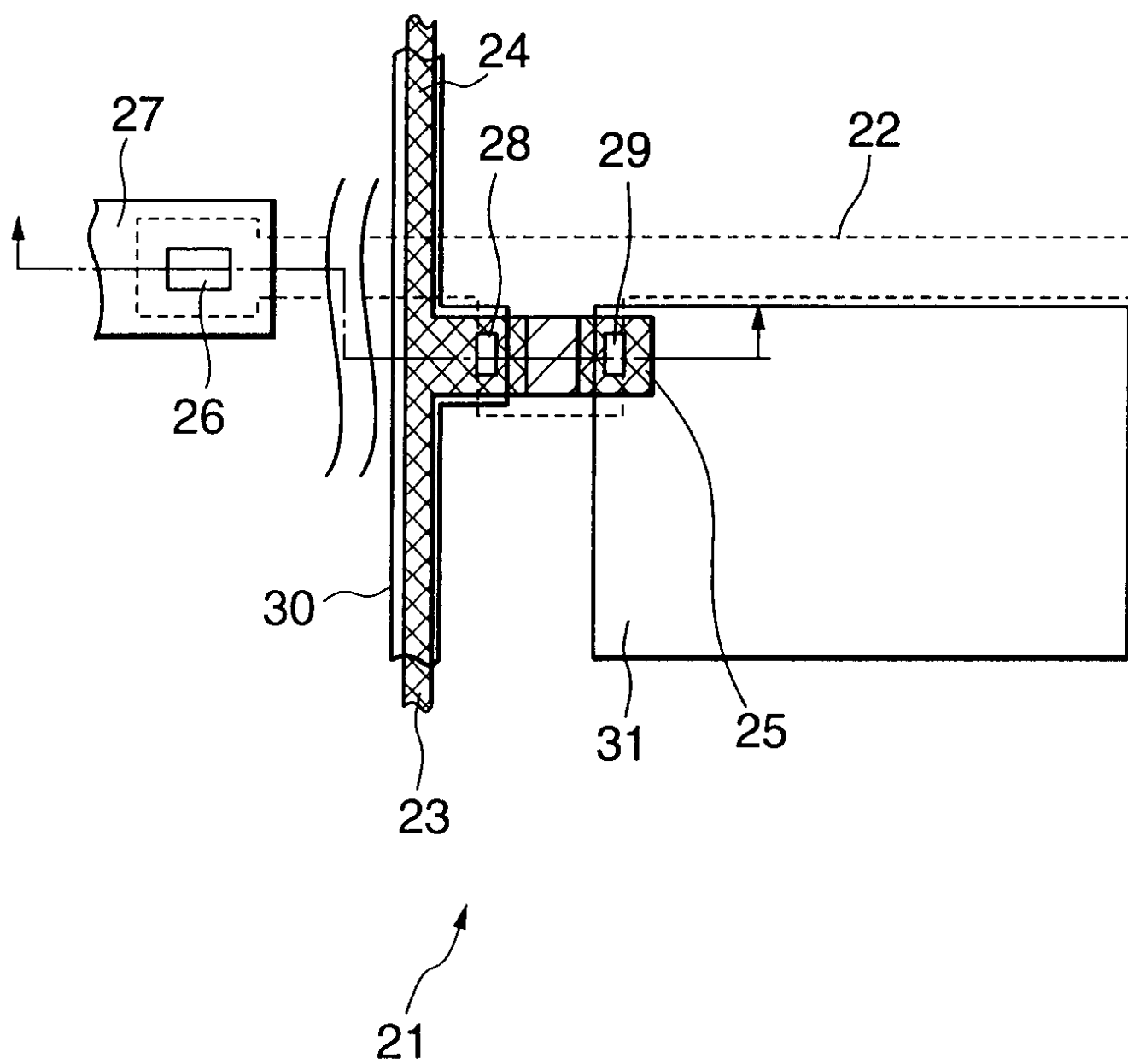
도면 3e



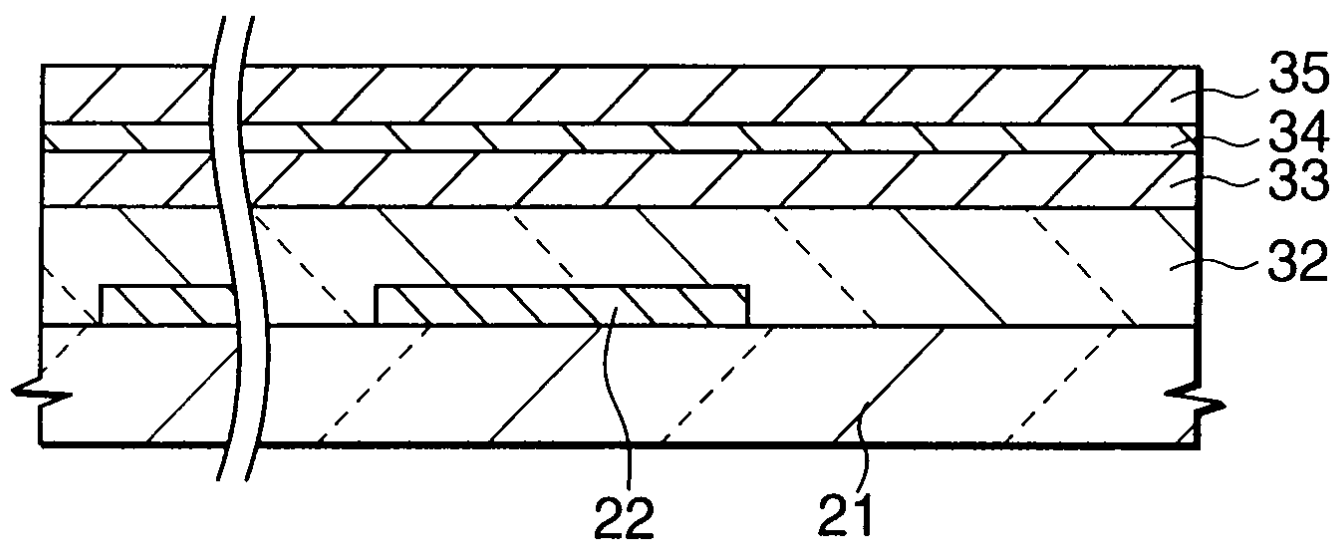
도면 3f



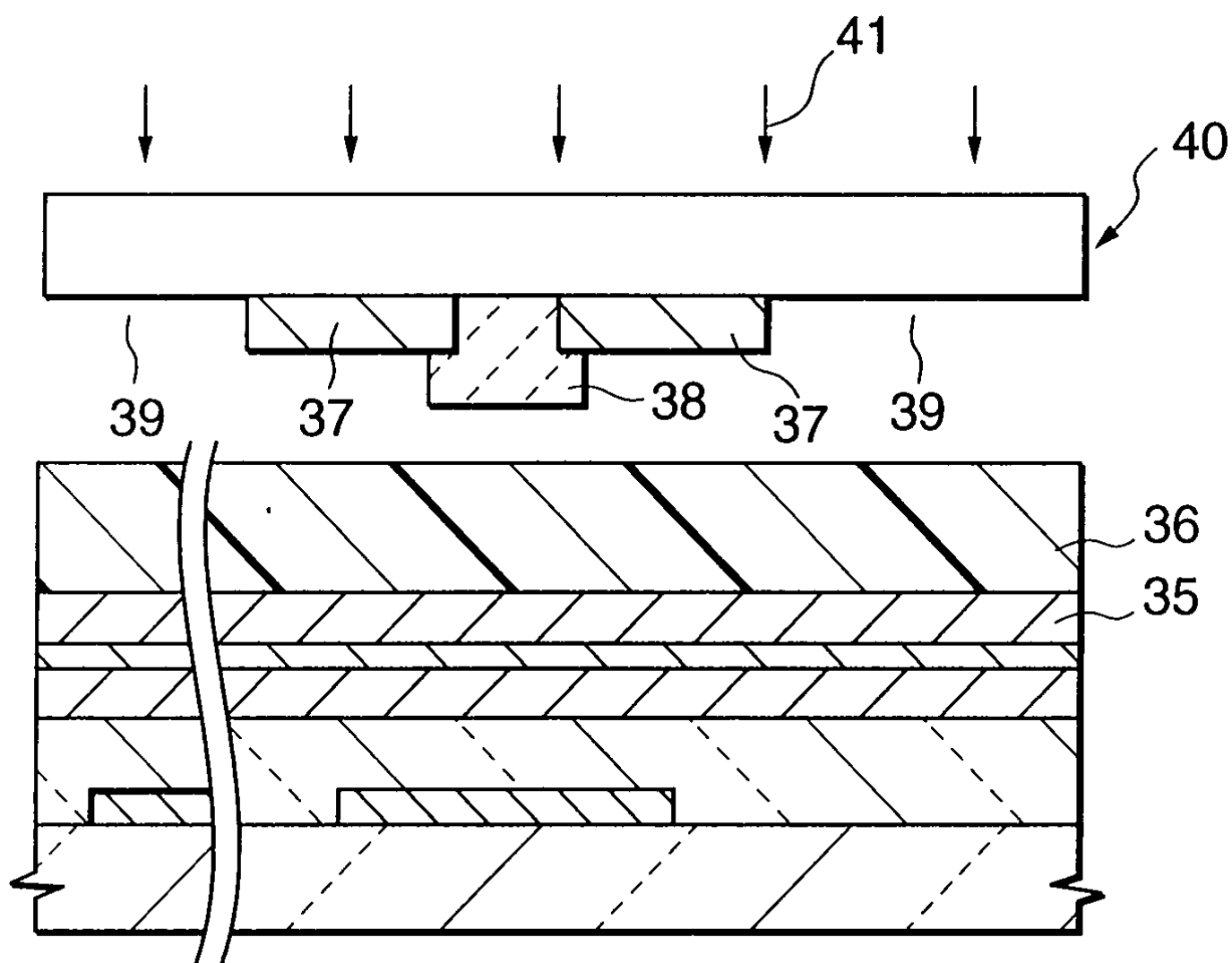
도면 4



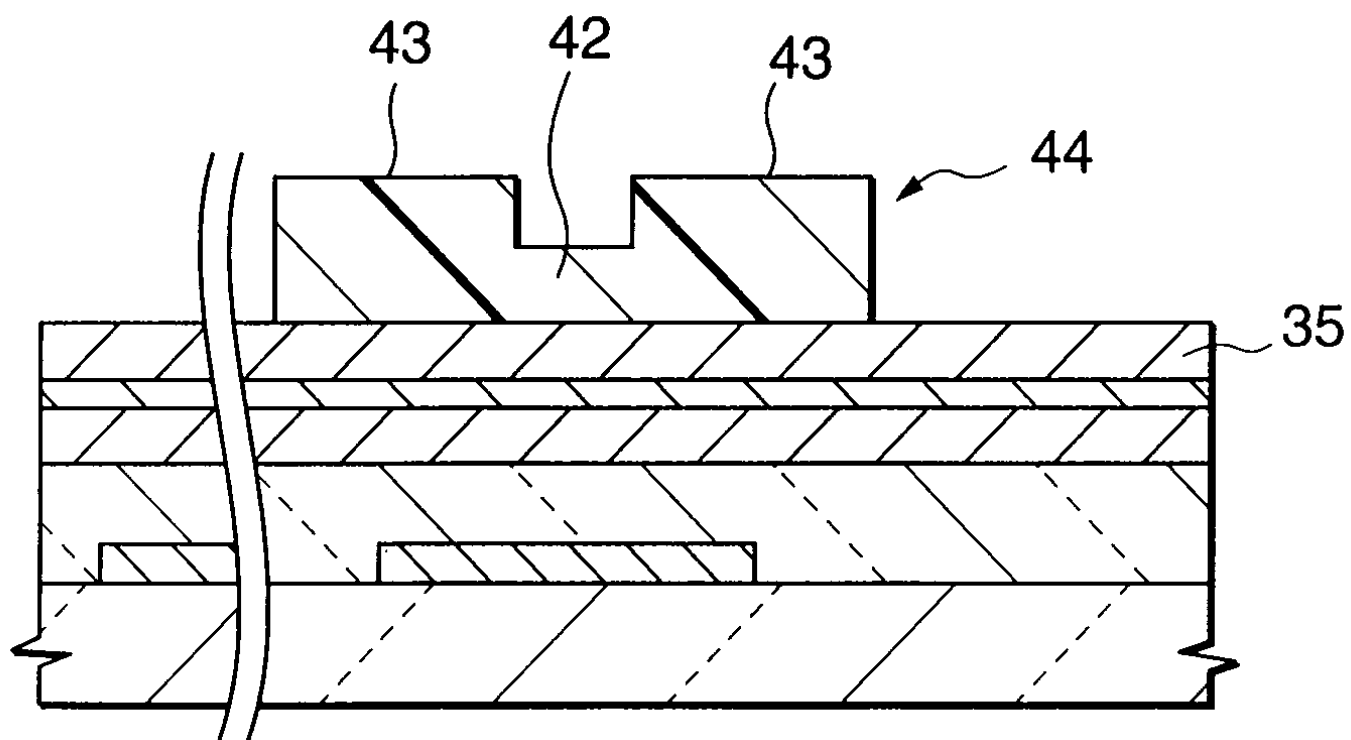
도면 5a



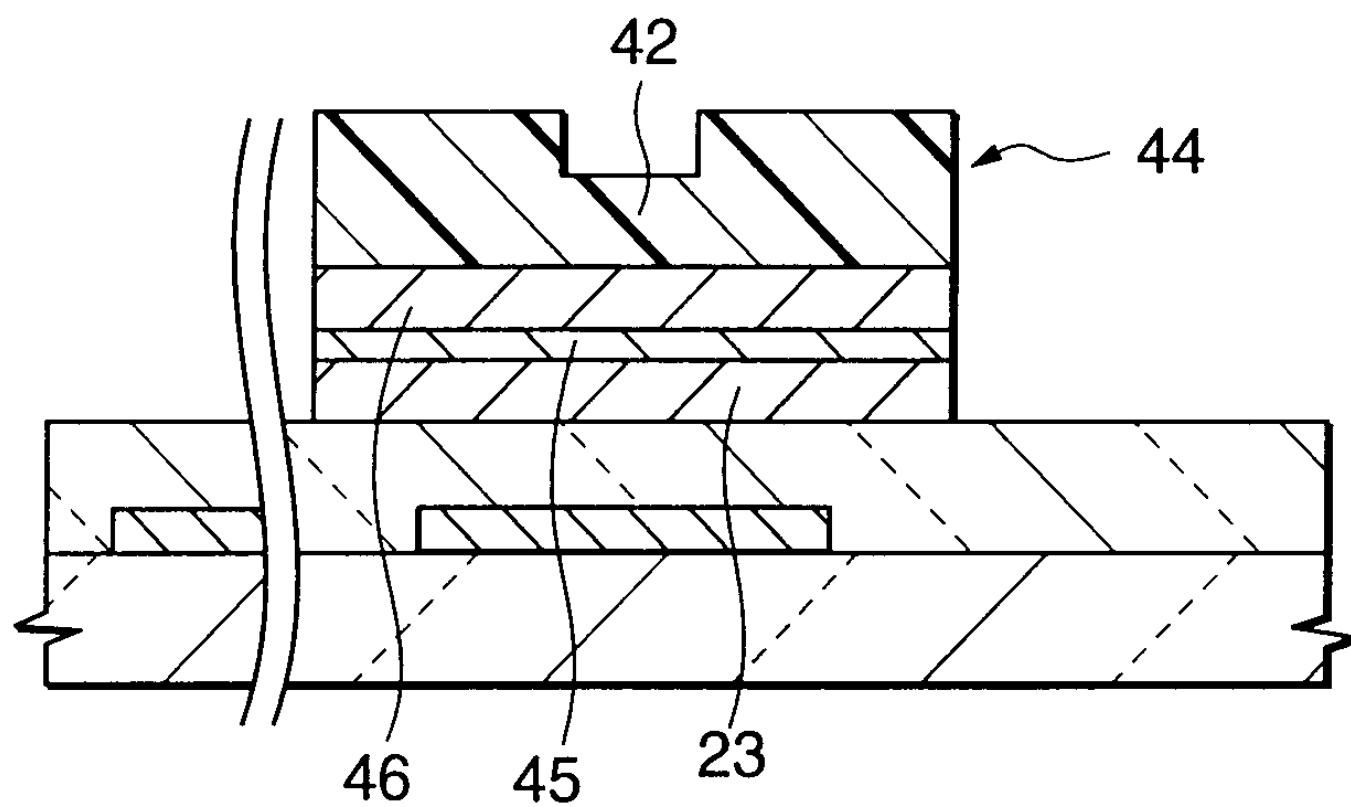
도면 5b



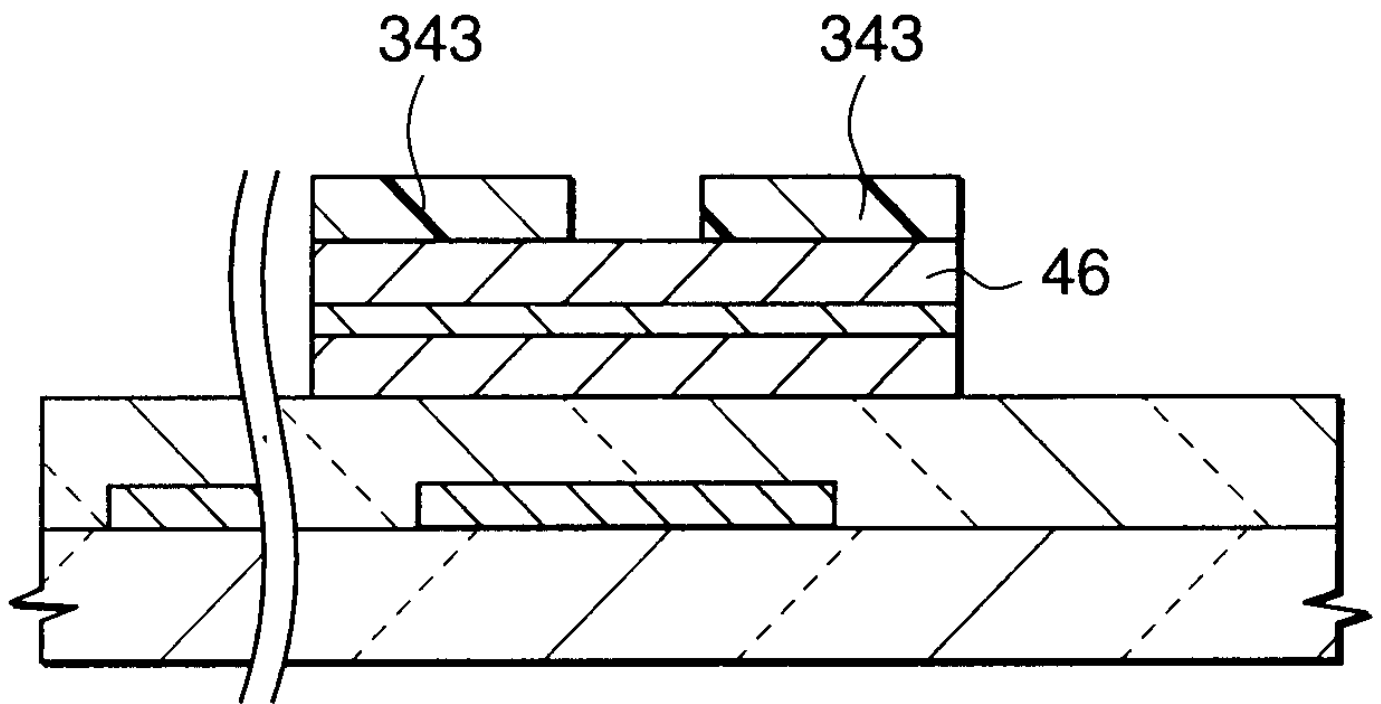
도면 5c



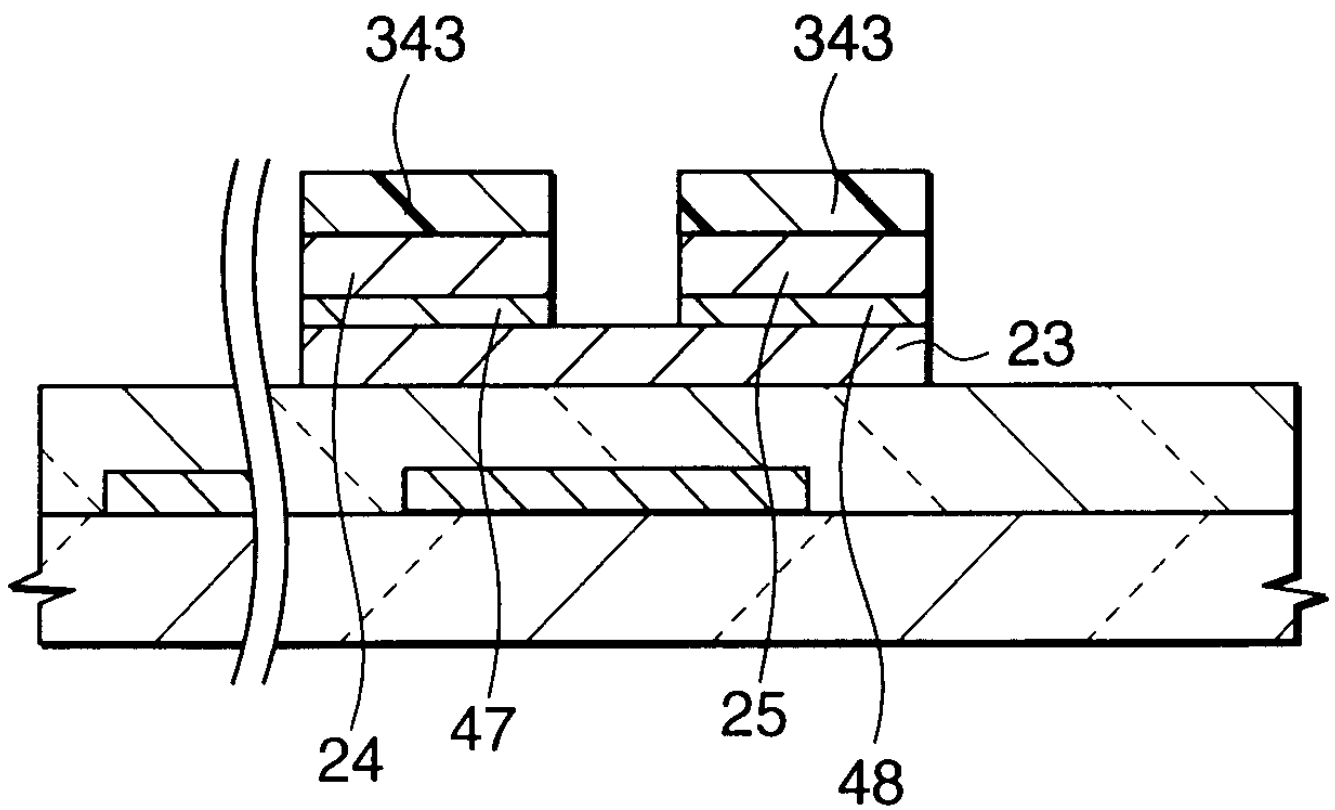
도면 6a



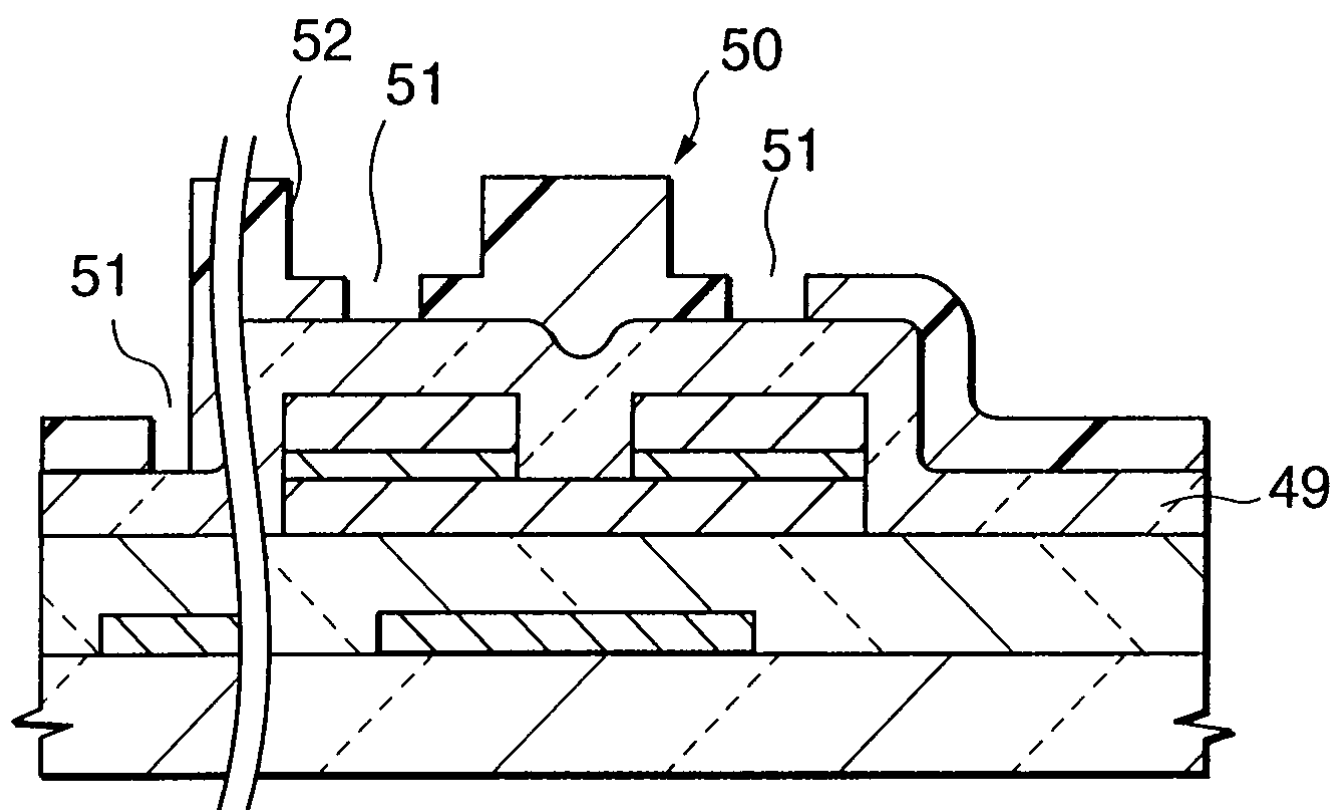
도면 6b



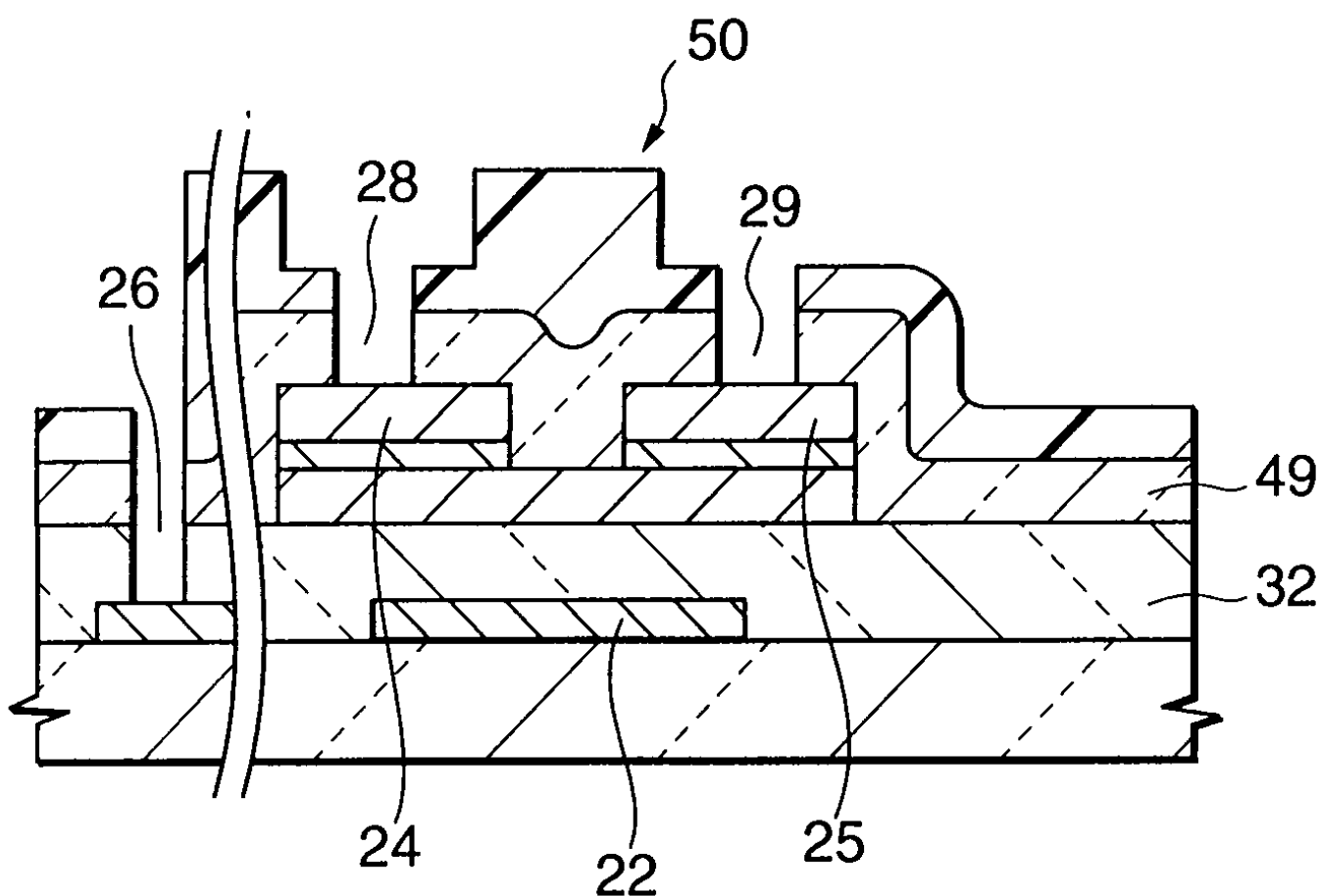
도면 6c



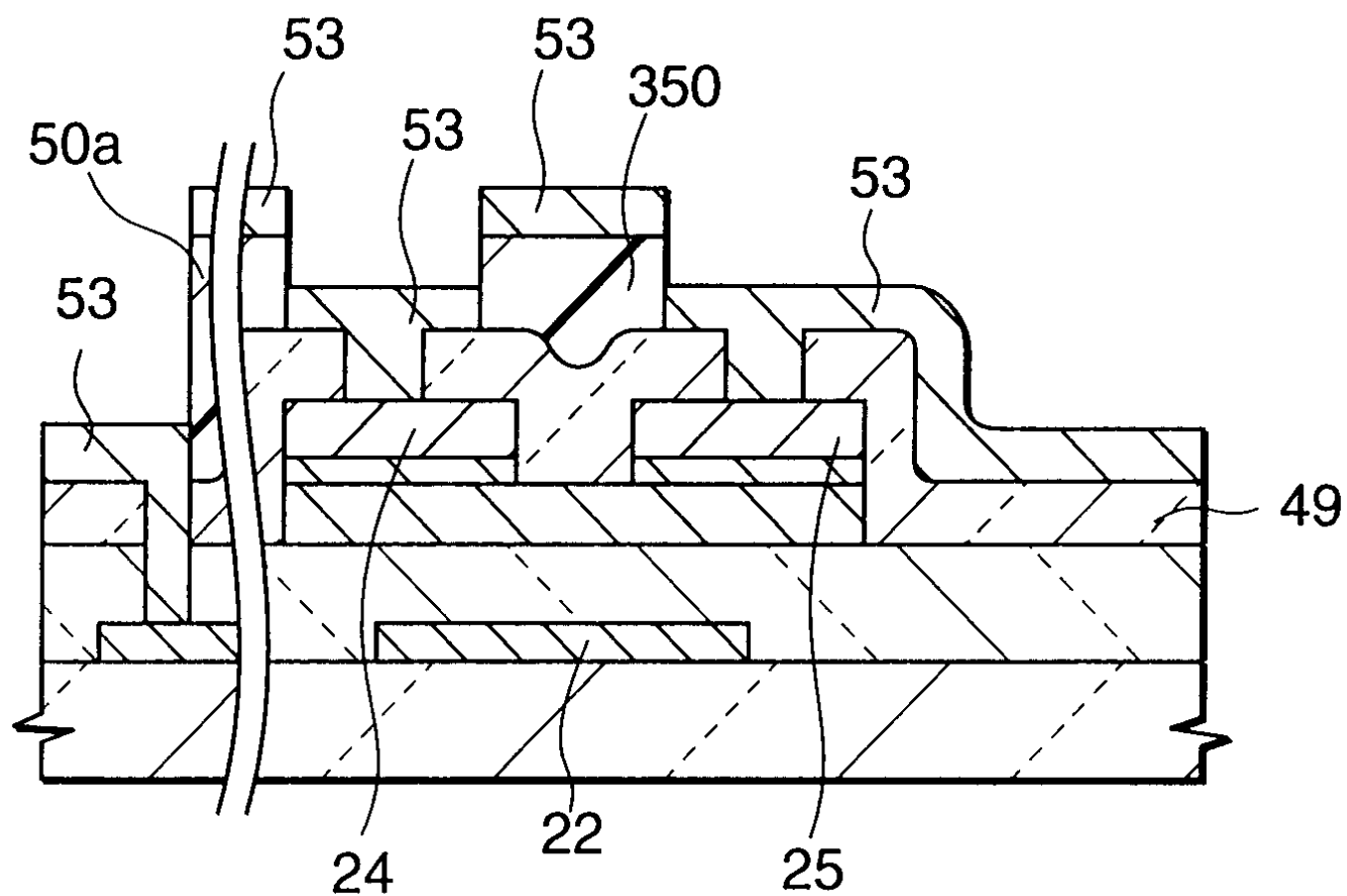
도면 7a



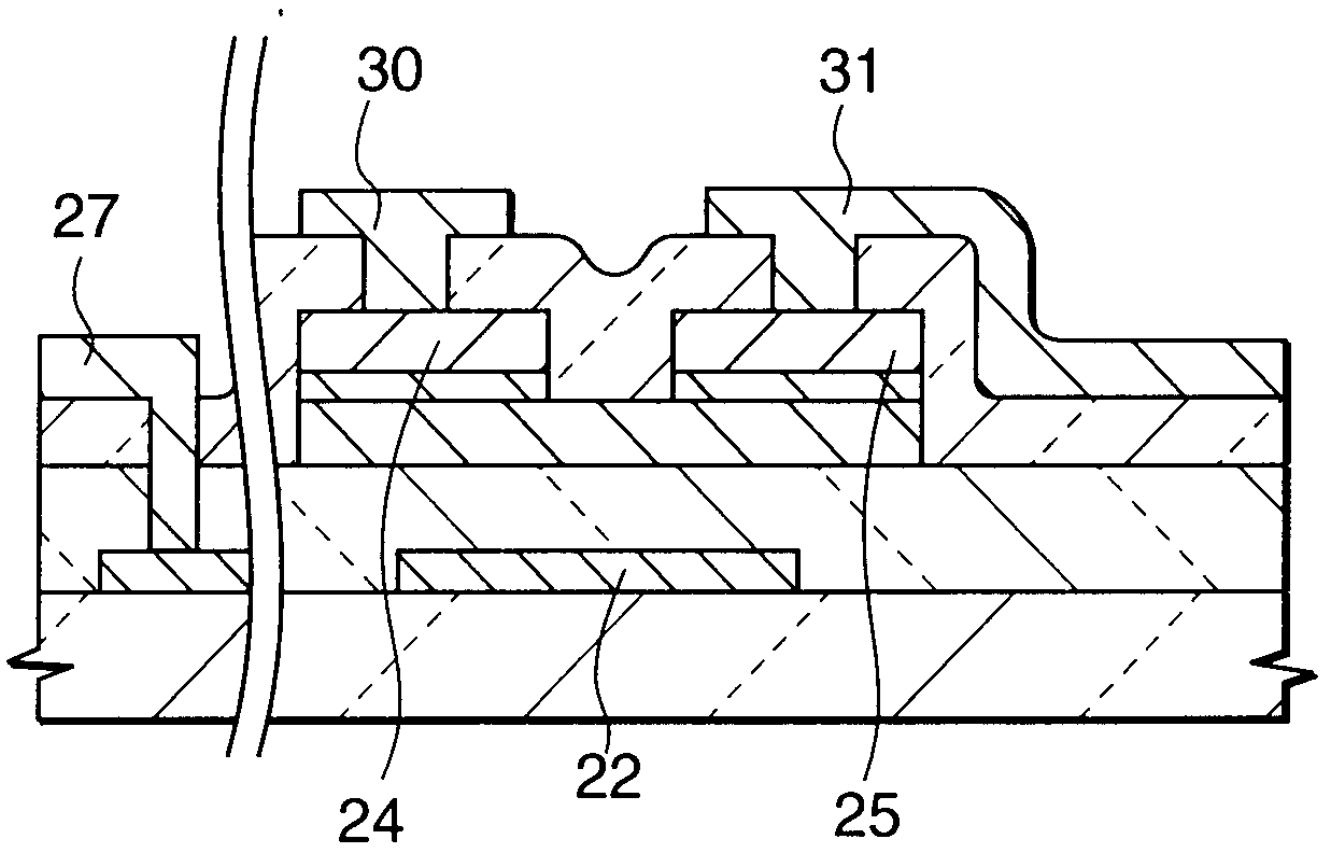
도면 7b



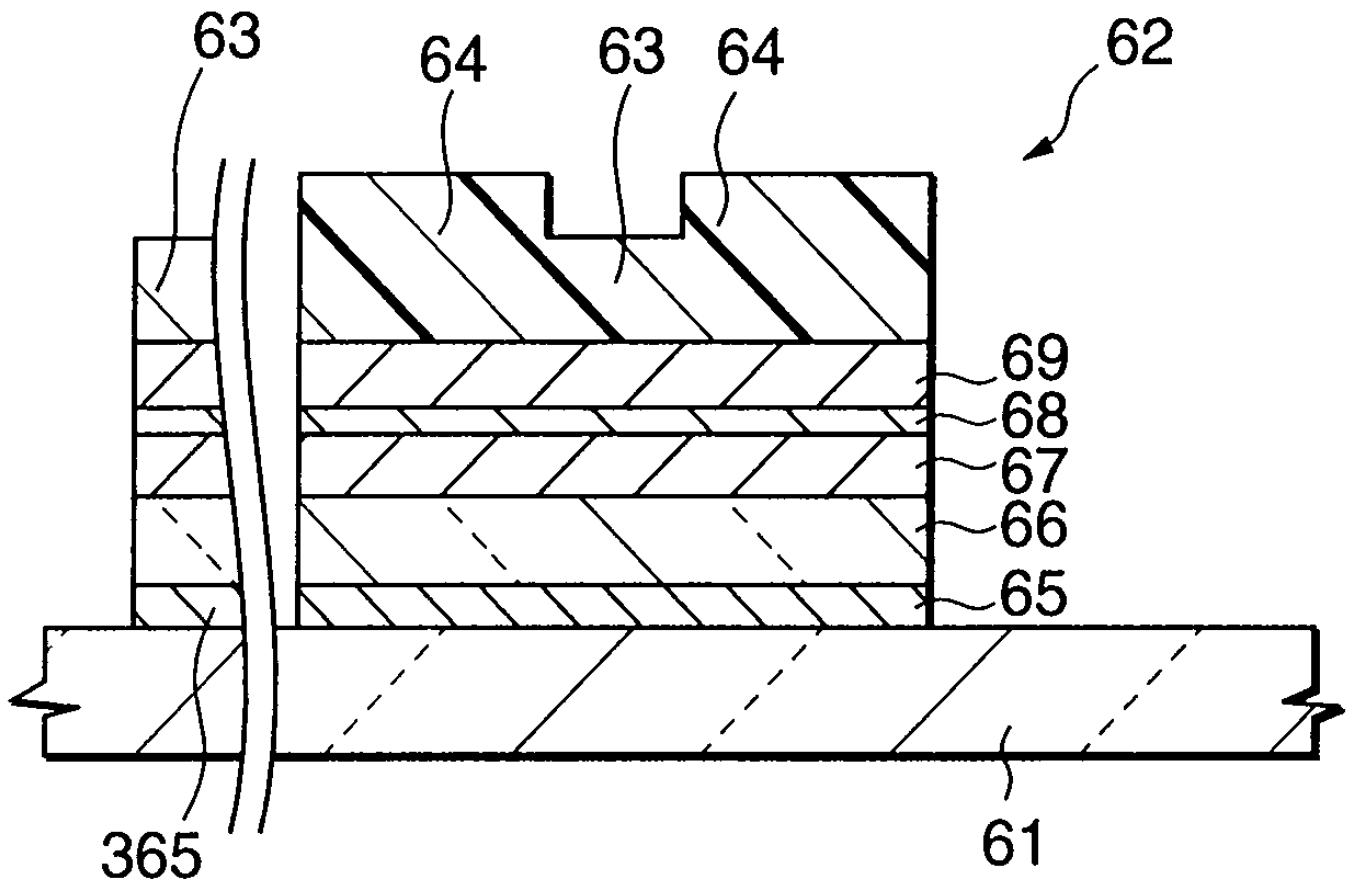
도면 8a



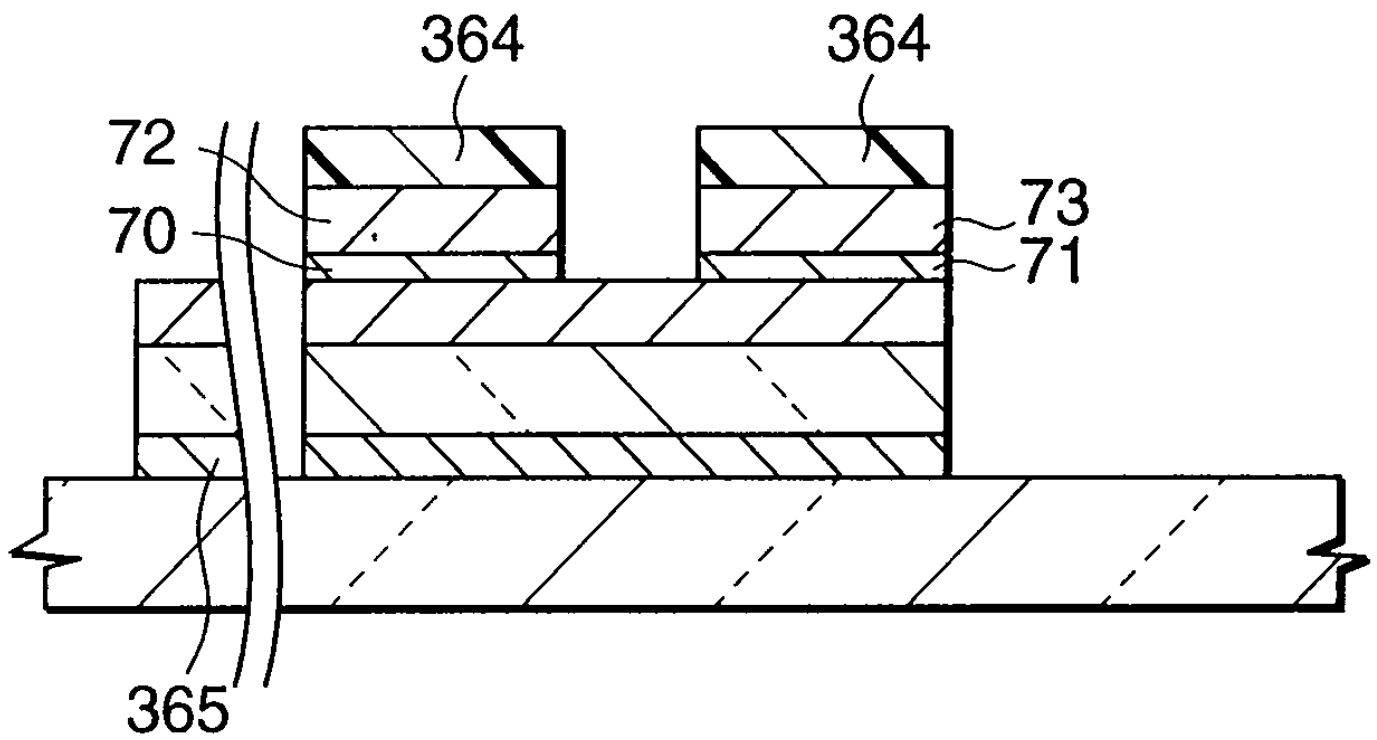
도면 8b



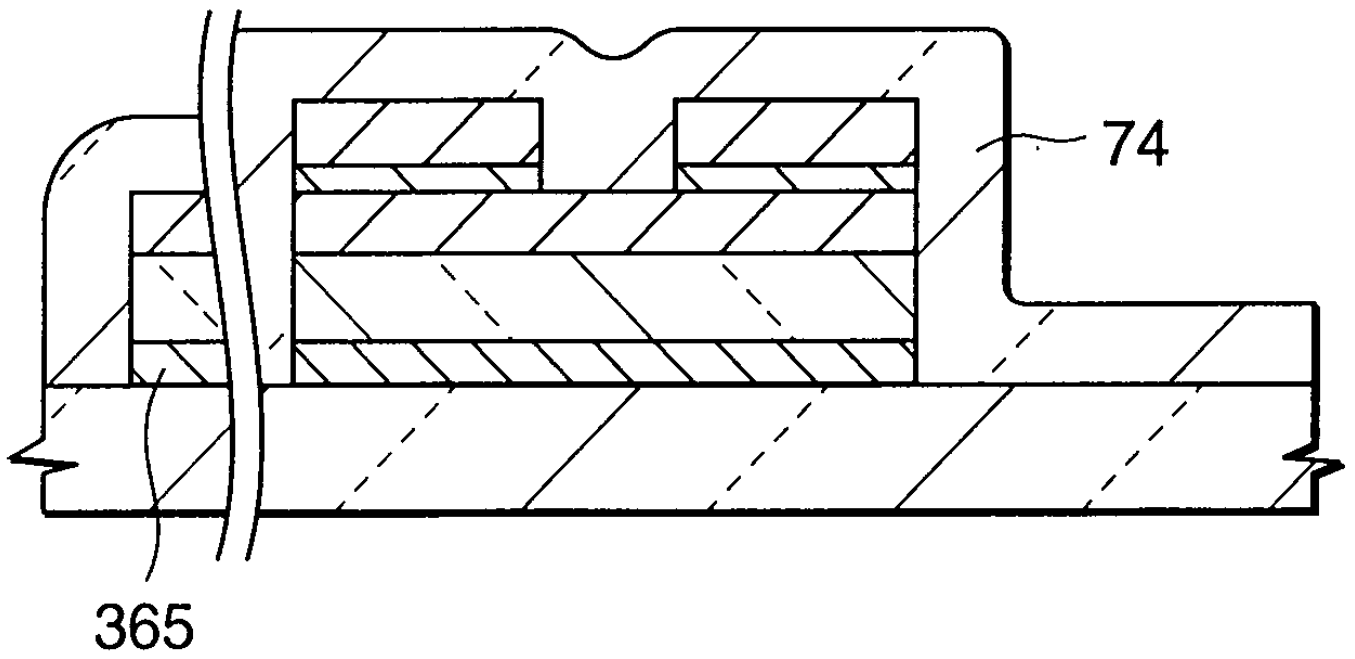
도면 9a



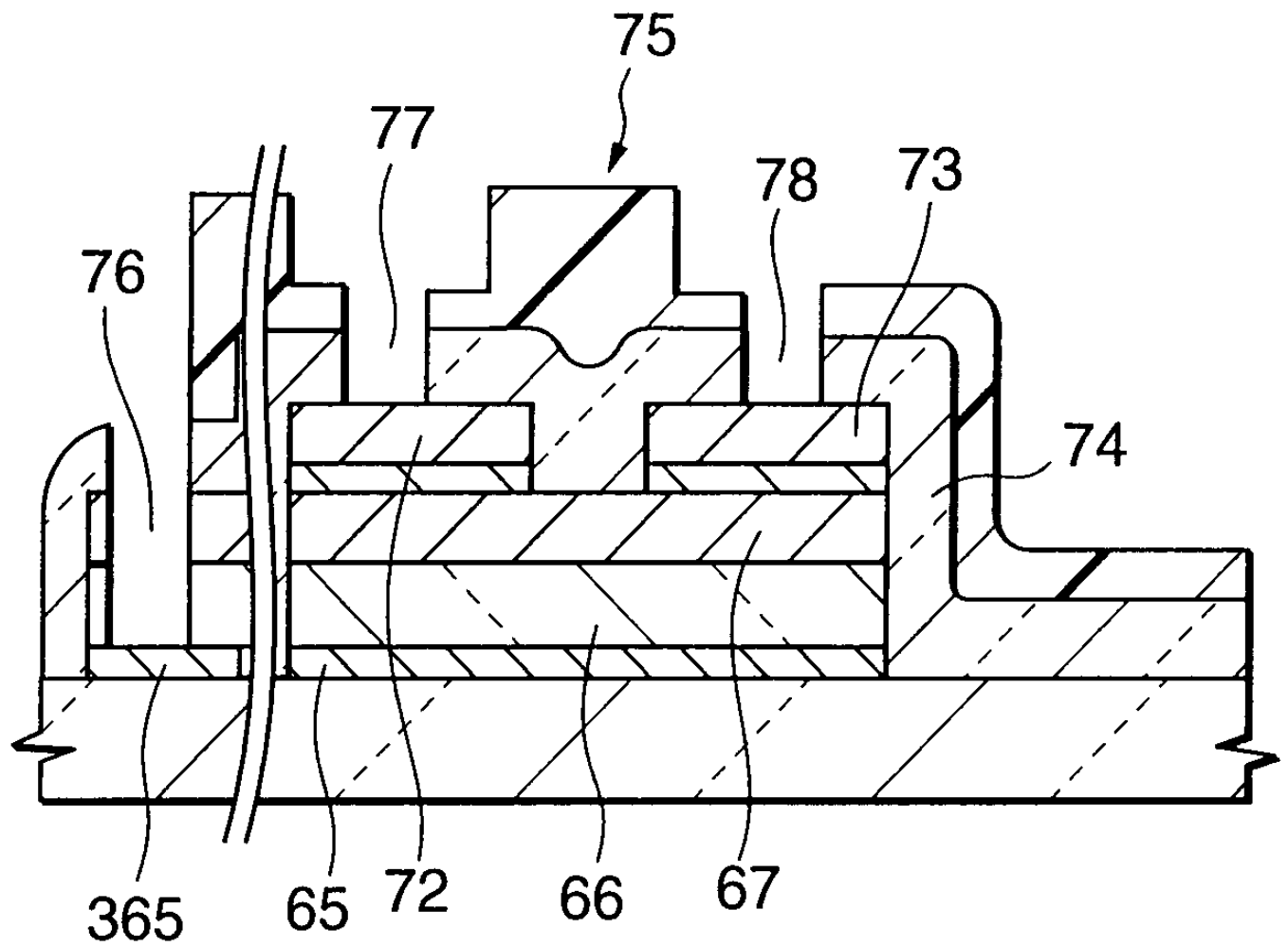
도면 9b



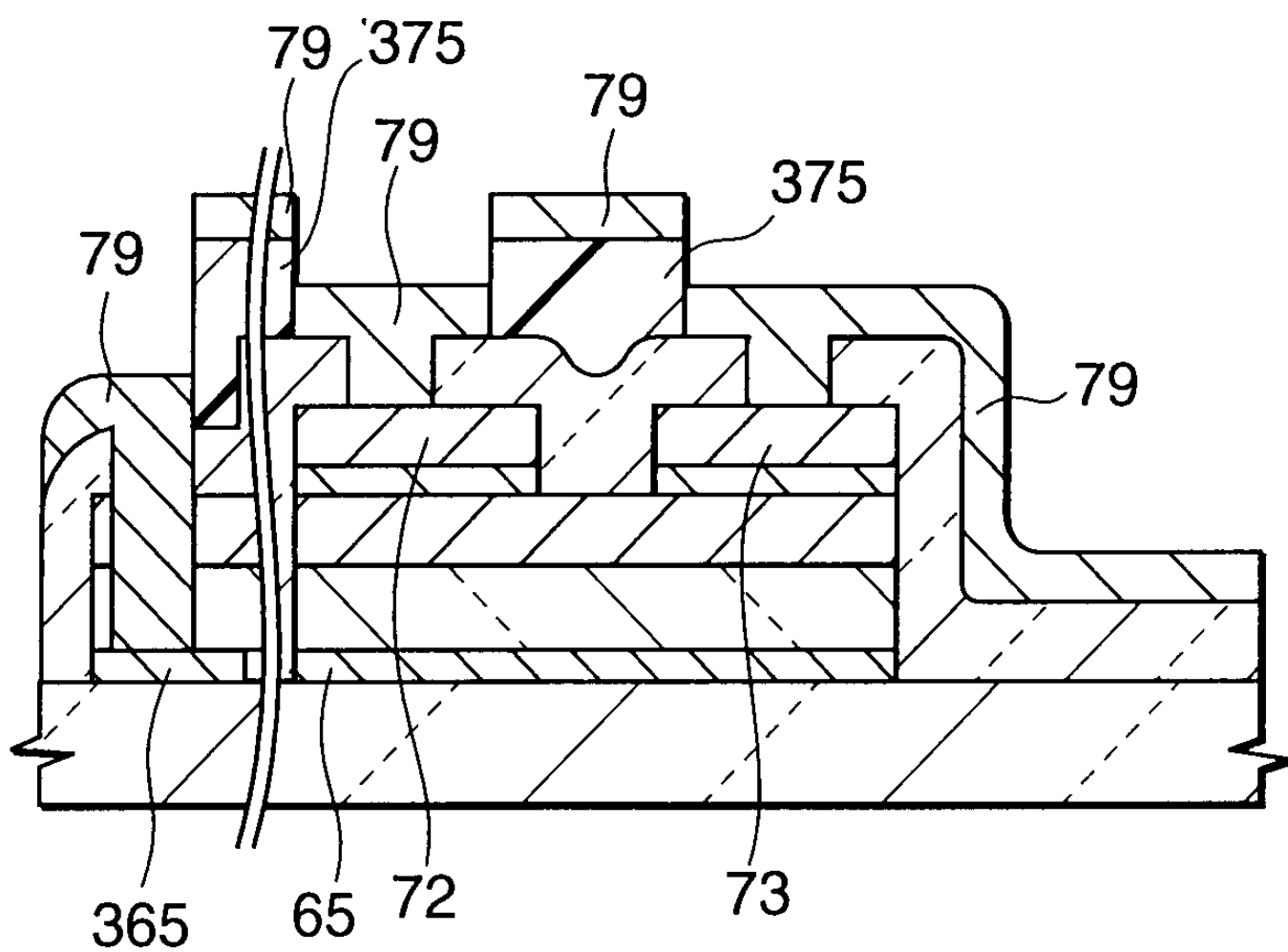
도면 9c



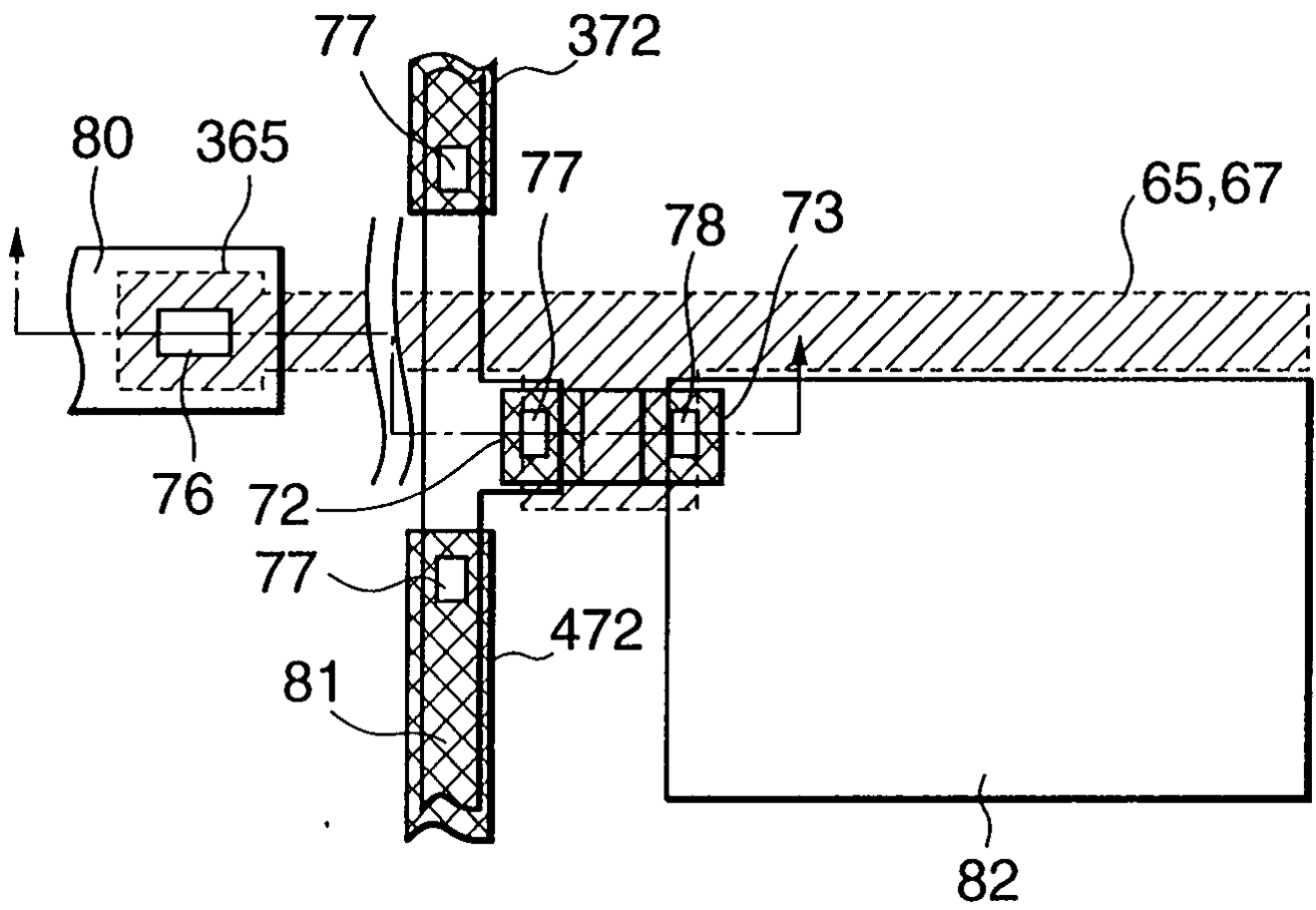
도면 10a



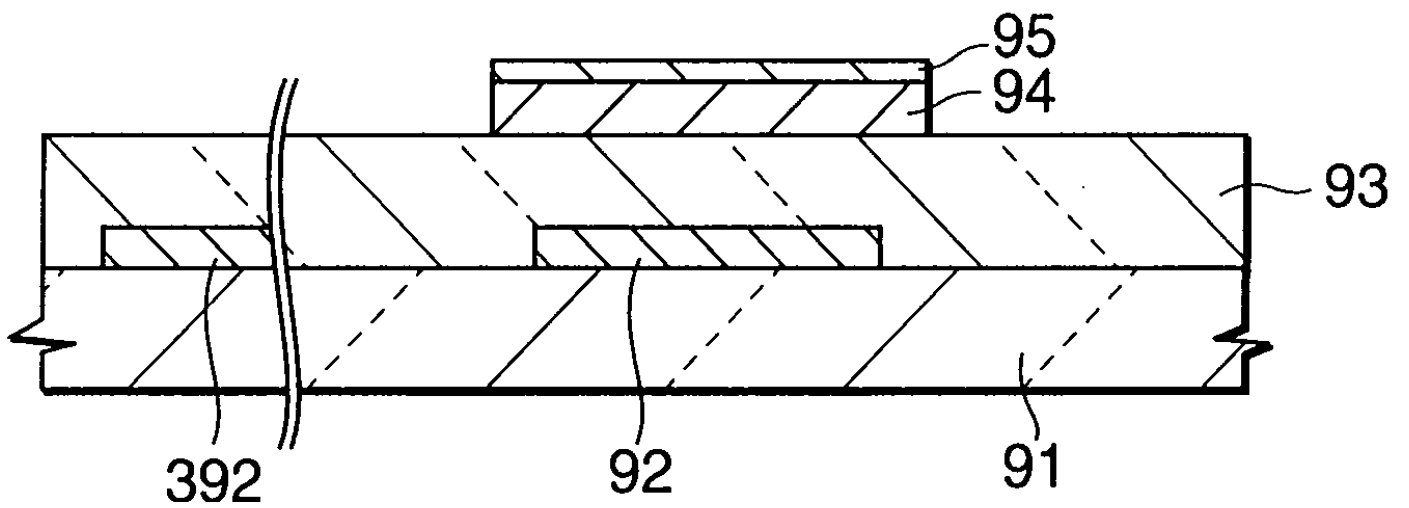
도면 10b



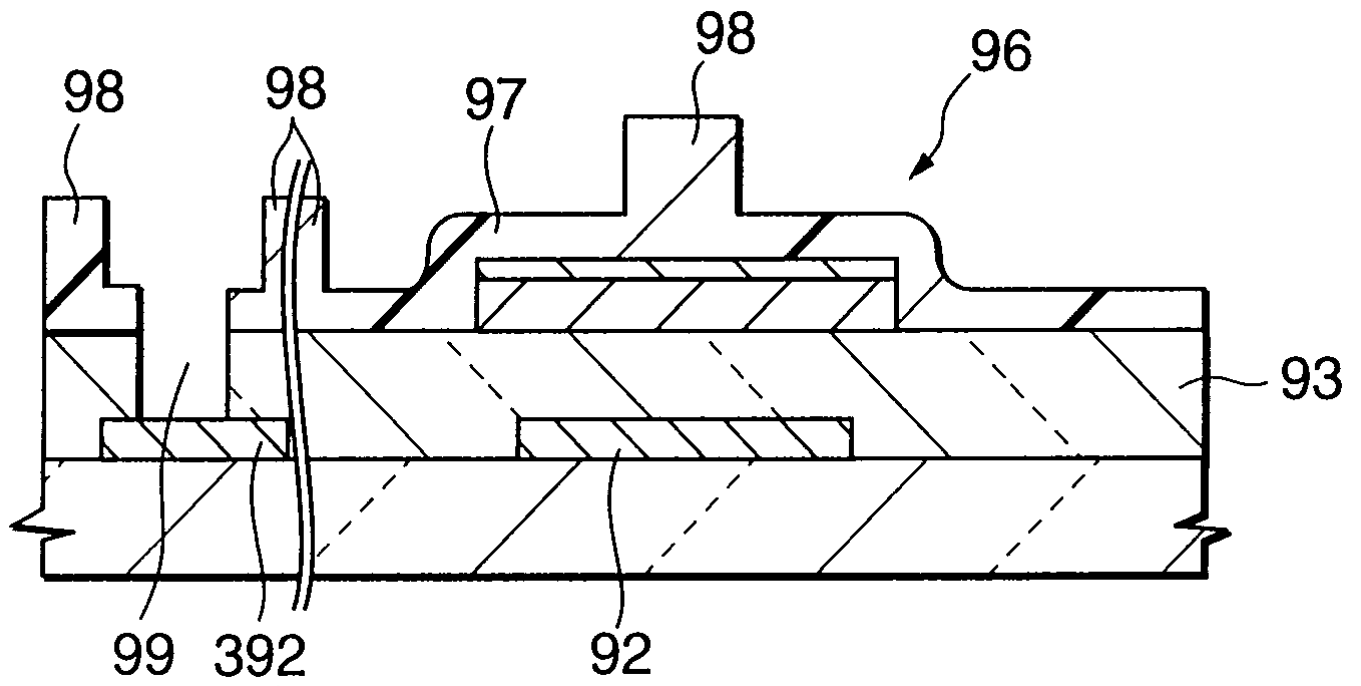
도면 11



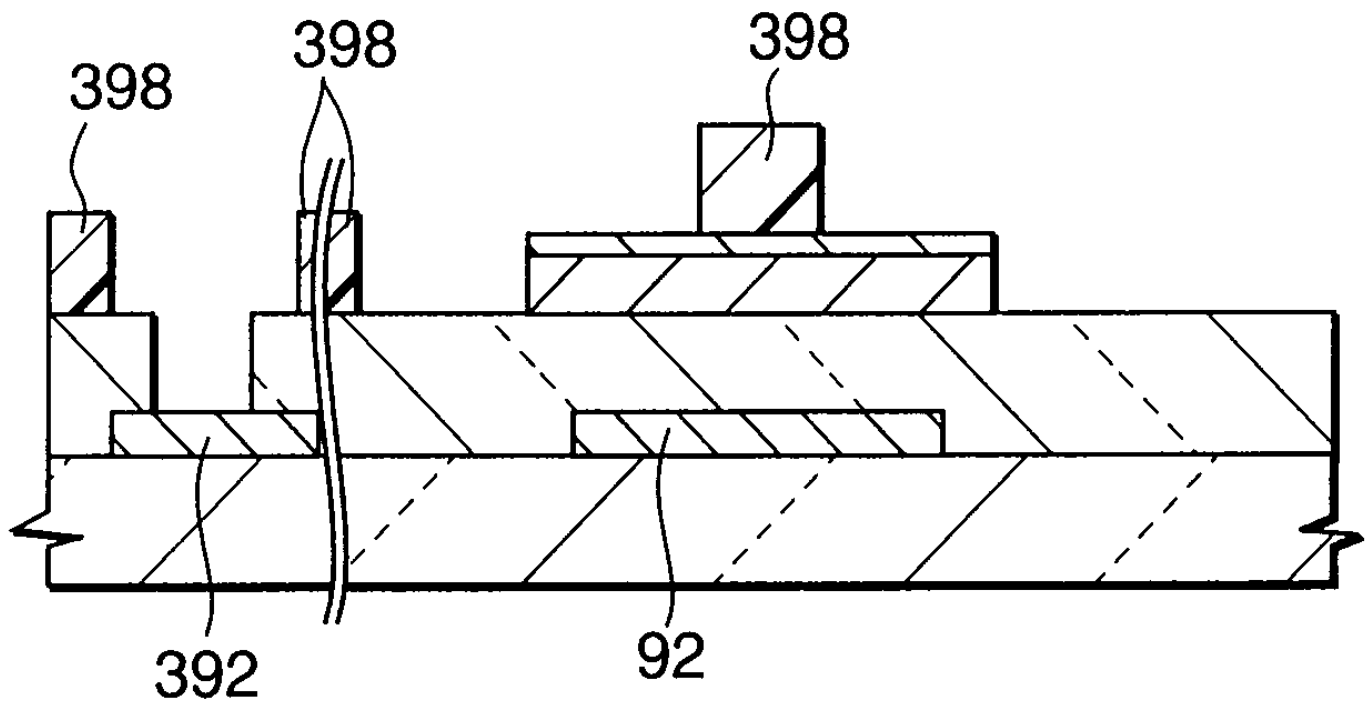
도면 12a



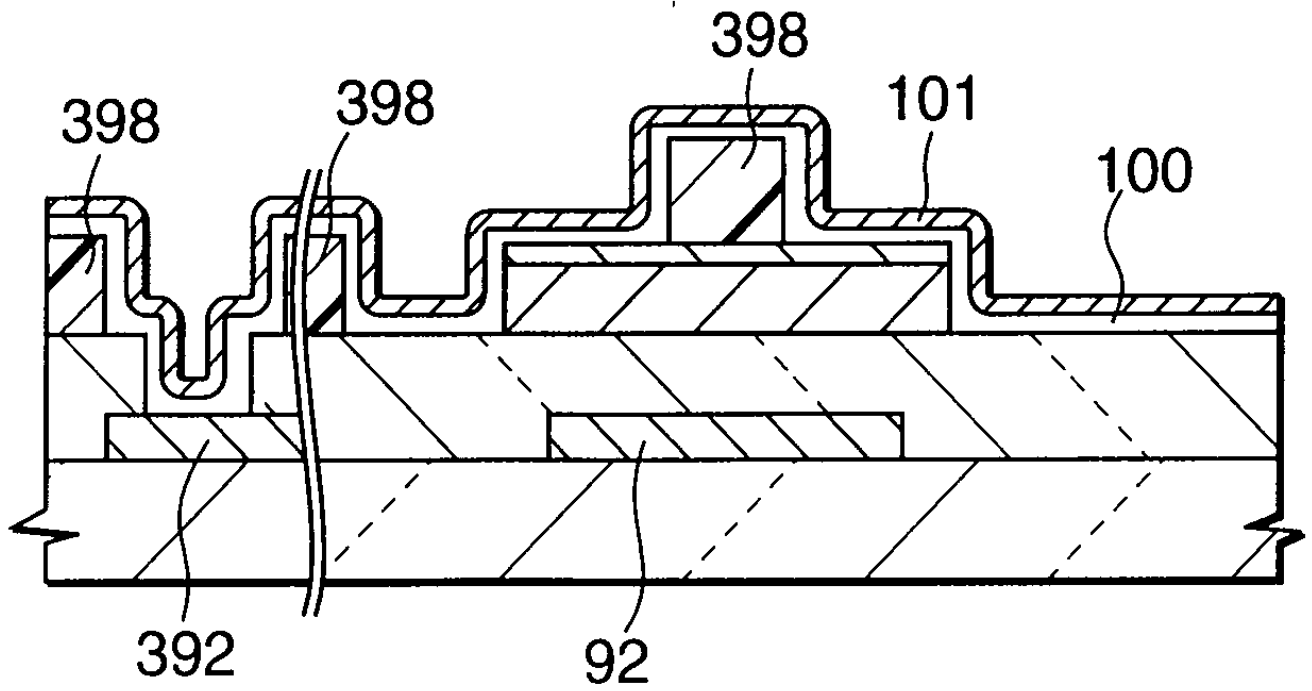
도면 12b



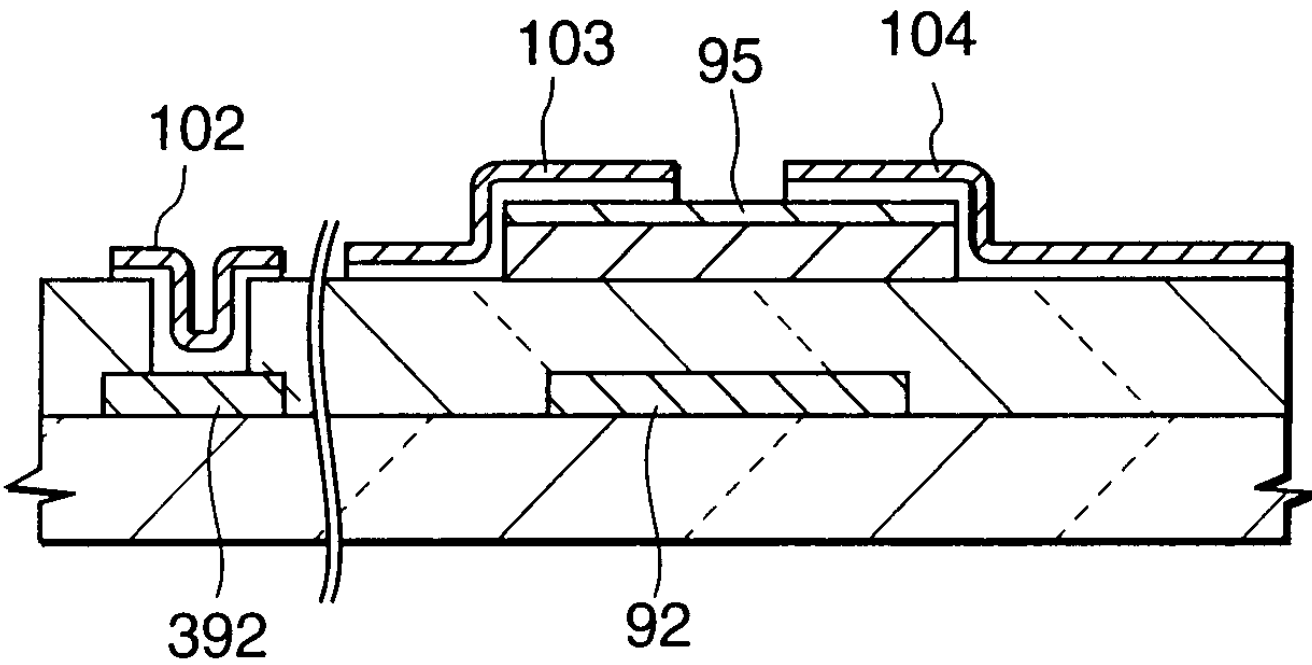
도면 12c



도면 12d



도면 13a



도면 13b

