



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0084355
(43) 공개일자 2020년07월10일

- (51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) C23C 16/458 (2006.01)
C23C 16/46 (2006.01) C30B 25/10 (2006.01)
C30B 25/12 (2006.01) C30B 25/20 (2006.01)
C30B 29/06 (2006.01) H01L 21/67 (2006.01)
H01L 21/687 (2006.01)
- (52) CPC특허분류
H01L 21/0262 (2013.01)
C23C 16/4585 (2013.01)
- (21) 출원번호 10-2020-7017835
(22) 출원일자(국제) 2018년11월28일
심사청구일자 2020년06월19일
- (85) 번역문제출일자 2020년06월19일
(86) 국제출원번호 PCT/EP2018/082820
(87) 국제공개번호 WO 2019/110386
국제공개일자 2019년06월13일
- (30) 우선권주장
10 2017 222 279.4 2017년12월08일 독일(DE)
- (71) 출원인
실트로닉 아게
독일연방공화국 81737 문헨 한스-사이델-플라츠 4
- (72) 발명자
하베레히트 요르크
독일 09599 프라이베르크 마이스너 가췌 13
슈타인 레네
독일 09627 보브리츠히-힐베르스도르프 보브리츠
히탈슈트라췌 17
하인리히 슈테판
독일 09599 프라이베르크 5 베 173
- (74) 대리인
김태홍, 김진희

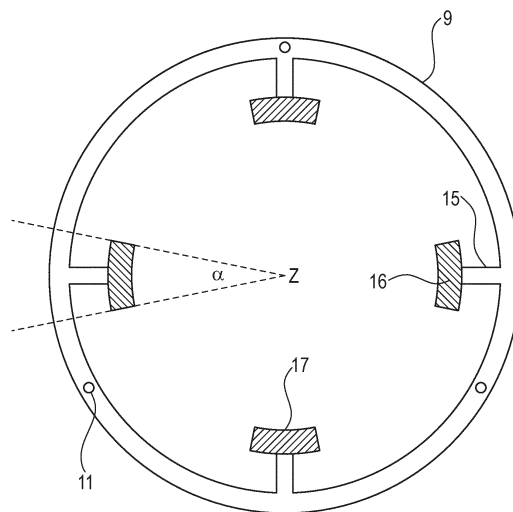
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 반도체 웨이퍼의 전면에 에피택셜 층을 증착하는 방법 및 이 방법을 수행하기 위한 장치

(57) 요약

본 발명은 단결정 재료로 구성된 반도체 웨이퍼의 전면 상에 에피택셜 층을 증착하는 방법 및 장치에 관한 것이다. 상기 방법은, 반도체 웨이퍼를 제공하는 단계; 상기 반도체 웨이퍼를 서셉터 상에 배치하는 단계; 상기 반도체 웨이퍼의 전면 및 후면으로 유도되는 열복사에 의해 상기 반도체 웨이퍼를 증착 온도로 가열하는 단계; 상기 반도체 웨이퍼의 전면에서 증착 가스를 안내하는 단계; 상기 반도체 웨이퍼의 엣지에 있는 제1 부분 영역 - 상기 제1 부분 영역은 상기 단결정 재료의 배향으로 인해 상기 반도체 웨이퍼의 온도가 균일한 경우 인접한 제2 부분 영역에서보다 상기 에피택셜 층의 성장 속도가 더 큼 - 이 덜 강하게 가열되도록, 상기 반도체 웨이퍼의 후면으로 유도되는 열복사의 일부의 강도를 선택적으로 감소시키는 단계를 포함한다.

대표도 - 도7



(52) CPC특허분류

C23C 16/4586 (2013.01)

C23C 16/46 (2013.01)

C30B 25/105 (2013.01)

C30B 25/12 (2013.01)

C30B 25/20 (2013.01)

C30B 29/06 (2013.01)

H01L 21/02381 (2013.01)

H01L 21/02433 (2013.01)

H01L 21/02532 (2013.01)

명세서

청구범위

청구항 1

단결정 재료로 구성된 반도체 웨이퍼의 전면(front side) 상에 에피택셜 층을 증착하는 방법으로서,

반도체 웨이퍼를 제공하는 단계;

상기 반도체 웨이퍼를 서셉터 상에 배치하는 단계;

상기 반도체 웨이퍼의 전면 및 후면으로 유도되는 열복사에 의해 상기 반도체 웨이퍼를 증착 온도로 가열하는 단계;

상기 반도체 웨이퍼의 전면에 걸쳐 증착 가스를 안내하는 단계;

상기 반도체 웨이퍼의 엣지에 있는 제1 부분 영역으로서, 상기 단결정 재료의 배향으로 인해, 상기 반도체 웨이퍼의 온도가 균일한 경우, 인접한 제2 부분 영역에서보다 상기 에피택셜 층의 성장 속도가 더 빠른 것인 제1 부분 영역이 더 약하게 가열되도록, 상기 반도체 웨이퍼의 후면으로 유도되는 열복사의 일부의 강도를 선택적으로 감소시키는 단계

를 포함하는 것을 특징으로 하는 방법.

청구항 2

제1항에 있어서, 스펙트럼의 IR 범위에서 낮은 투과율을 가지는 재료를 상기 열복사의 빔 경로에 배치하는 것에 의해 상기 열복사의 일부의 강도를 선택적으로 감소시키는 것을 특징으로 하는 방법.

청구항 3

단결정 재료로 구성된 반도체 웨이퍼의 전면 상에 에피택셜 층을 증착하는 장치로서,

서셉터;

서셉터 유지 샤프트 및 서셉터 유지 아암을 가지는 서셉터를 유지 및 회전시키는 기구;

상기 서셉터 상에 배치된 반도체 웨이퍼의 엣지에 있는 제1 부분 영역으로서, 상기 단결정 재료의 배향으로 인해, 상기 반도체 웨이퍼의 온도가 균일한 경우, 인접한 제2 부분 영역에서보다 상기 에피택셜 층의 성장 속도가 더 빠른 것인 제1 부분 영역이 더 약하게 가열되도록, 통과되는 열복사의 강도를 선택적으로 감소시키는 내향 돌출부를 구비하고 상기 서셉터 유지 아암에 의해 유지된 링

을 포함하는 것을 특징으로 하는 장치.

청구항 4

제3항에 있어서, 상기 링은 석영 유리로 구성된 것을 특징으로 하는 장치.

청구항 5

제3항 또는 제4항에 있어서, 상기 내향 돌출부는 각각 웹(web) 및 링 세그먼트를 포함하고, 상기 링 세그먼트는 스펙트럼의 IR 범위에서 낮은 투과율을 가지는 재료로 구성되고, 개구 각도(α)로 표현되는 15° 이상 25° 이하의 돌출 방향 폭을 가지는 것을 특징으로 하는 장치.

청구항 6

제3항 내지 제5항 중 어느 항에 있어서,

인접한 돌출부까지의 거리가 90° 인 4개의 돌출부

를 포함하는 것을 특징으로 하는 장치.

청구항 7

제3항 내지 제5항 중 어느 항에 있어서,
인접한 돌출부까지의 거리가 180° 인 2개의 돌출부
를 포함하는 것을 특징으로 하는 장치.

발명의 설명

기술 분야

[0001] 본 발명은 단결정 재료로 구성된 반도체 웨이퍼의 전면(front side)에 에피택셜 층을 증착하는 방법에 관한 것으로, 해당 증착 과정에서 제공된 반도체 웨이퍼는 서셉터(susceptor) 상에 배치되고 열복사에 의해 증착 온도로 가열되며 반도체 웨이퍼의 전면에 걸쳐 증착 가스가 안내된다. 본 발명은 또한 단결정 재료로 구성된 반도체 웨이퍼의 전면 상에 에피택셜 층을 증착하기 위한 장치에 관한 것이다.

배경 기술

[0002] 반도체 웨이퍼의 전면 상의 에피택셜 층의 증착은 일반적으로 단일-웨이퍼 반응기와 같은 CVD 반응기 내에서의 CVD(화학적 기상 증착)에 의해 수행된다. 예로써, 이러한 CVD 반응기가 기술된 US 2014/0 251 208 A1이 언급될 것이다. 단일-웨이퍼 반응기는 상부 및 하부 커버(돔(dome)) 사이에 반응 챔버를 제공하며, 반응 챔버 내에는 서셉터 지지판 상의 서셉터 유지 샤프트의 서셉터 유지 아암에 의해 서셉터가 유지된다. 서셉터 및 그 위에 배치된 반도체 웨이퍼는 커버 상부 및 하부에 배열된 램프 어레이에 의한 열복사에 의해 가열되는 한편, 상부 커버에 대향된 반도체 웨이퍼의 전면에 걸쳐 증착 가스가 안내된다.

[0003] US 2008/0118712 A1은 서셉터 링 및 서셉터 베이스를 포함하는 서셉터를 설명한다. 서셉터 링은 반도체 웨이퍼 후면의 엿지 영역에 반도체 웨이퍼를 배치하기 위한 렛지(ledge)를 구비한다. 반도체 웨이퍼의 전면 상에 층을 증착시키기 위해 서셉터 베이스 상에 서셉터 링이 배치된다.

[0004] US 2007/0227441 A1은 실리콘으로 구성된 에피택셜 코팅된 반도체 웨이퍼의 엿지 영역의 두께의 주기적인 변동에 주목한다. 그 이유는 에피택셜 층이 성장하는 성장 속도가 상이하기 때문이다. 상이한 성장 속도는 반도체 웨이퍼의 전면의 결정 배향과 관련이 있다. 반도체 웨이퍼의 전면은 에피택셜 층이 증착되는 반도체 웨이퍼의 측면이다. 엿지 영역에서 에피택셜 층의 두께를 균일하게 하기 위해, US 2007/0227441 A1은 두께 변동 주기에 따라 서셉터의 구조를 변경하는 것을 제안한다.

[0005] 동일한 목적으로, US 2015/0184314 A1은 반도체 웨이퍼의 엿지 영역의 폭을 제한하는 것을 제안한다.

[0006] 언급된 제안들은 사용된 서셉터의 변형 또는 반도체 웨이퍼의 엿지 영역의 형상 변경을 필요로 한다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 이를 위해 서셉터 또는 반도체 웨이퍼의 엿지 영역의 형상을 변경할 필요 없이 엿지 영역에 에피택셜 층을 증착하는 것으로 반도체 웨이퍼의 평탄도를 개선하는 것이다.

과제의 해결 수단

[0008] 상기 목적은 단결정 재료로 구성된 반도체 웨이퍼의 전면 상에 에피택셜 층을 증착하는 방법에 의해 달성되며, 해당 방법은,

[0009] 반도체 웨이퍼를 제공하는 단계;

[0010] 상기 반도체 웨이퍼를 서셉터 상에 배치하는 단계;

[0011] 상기 반도체 웨이퍼의 전면 및 후면으로 유도되는 열복사에 의해 상기 반도체 웨이퍼를 증착 온도로 가열하는 단계;

[0012] 상기 반도체 웨이퍼의 전면에 걸쳐 증착 가스를 안내하는 단계;

- [0013] 상기 반도체 웨이퍼의 엣지에 있는 제1 부분 영역 - 상기 제1 부분 영역은 상기 단결정 재료의 배향으로 인해 상기 반도체 웨이퍼의 온도가 균일한 경우 인접한 제2 부분 영역에서보다 상기 에피택셜 층의 성장 속도가 더 큼 - 이 더 약하게 가열되도록, 상기 반도체 웨이퍼의 후면으로 유도되는 열복사의 일부의 강도를 선택적으로 감소시키는 단계
- [0014] 를 포함한다.
- [0015] 또한, 본 발명은 단결정 재료로 구성된 반도체 웨이퍼의 전면 상에 에피택셜 층을 증착하는 장치에 관한 것으로, 해당 장치는,
- [0016] 서셉터;
- [0017] 서셉터 유지 샤프트 및 서셉터 유지 아암을 가지는 서셉터를 유지 및 회전시키는 기구;
- [0018] 상기 서셉터 상에 배치된 반도체 웨이퍼의 엣지에 있는 제1 부분 영역 - 상기 제1 부분 영역은 상기 단결정 재료의 배향으로 인해 상기 반도체 웨이퍼의 온도가 균일한 경우 인접한 제2 부분 영역에서보다 상기 에피택셜 층의 성장 속도가 더 큼 - 이 더 약하게 가열되도록, 통과되는 열복사의 강도를 선택적으로 감소시키는 내향 돌출부를 구비하고 상기 서셉터 유지 아암에 의해 유지된 링
- [0019] 을 포함한다.
- [0020] 반도체 웨이퍼의 표면을 포함하는 반도체 웨이퍼 또는 적어도 그 일부는 단결정이며, 바람직하게는 실리콘, 게르마늄 또는 이들 원소의 혼합물로 구성된다. 반도체 웨이퍼는 언급된 재료 중 1종으로 전체가 이루어질 수 있다. 그러나, 상기 반도체 웨이퍼 또는 적어도 그 일부는 하나 이상의 에피택셜 층으로 코팅된 SOI(실리콘-온-절연체) 웨이퍼, 본딩된 반도체 웨이퍼 또는 기판 웨이퍼일 수도 있다. 에피택셜 층은 바람직하게는 실리콘, 게르마늄 또는 이들 원소의 혼합물로 구성되며, 적절한 경우 전기적으로 활성인 도펀트를 포함한다.
- [0021] 반도체 웨이퍼는 FZ 방법(플로팅 영역(float zone)) 또는 CZ 방법에 따라 결정화된 단결정을 슬라이스 절단하는 것으로 형성될 수 있다. CZ 방법은 도가니에 수용된 용융물에 시드 결정을 침지시키는 단계 및 상기 용융물로부터 시드 결정 및 해당 시드 결정 상에 결정화된 단결정을 들어 올리는 단계를 포함한다.
- [0022] 반도체 웨이퍼는 적어도 200 mm, 바람직하게는 적어도 300 mm의 직경을 가진다. 반도체 웨이퍼의 전면은 바람직하게는 <100>-배향 또는 <110>-배향을 가진다.
- [0023] 전면의 <100>-배향의 경우, 반도체 웨이퍼의 전면의 엣지 영역은 각각의 경우 4개의 상호 교호하는 제1 부분 영역 및 제2 부분 영역으로 세분화될 수 있다. 4개의 제1 부분 영역에서, 에피택셜 층의 성장 속도는 엣지 영역의 4개의 제2 부분 영역에서보다 더 크다. 제1 부분 영역의 중심은 각각 반도체 웨이퍼의 둘레에 대해 각도 위치(θ)를 가진다. 배향 노치가 반도체 웨이퍼의 전면의 <100>-배향에 수직인 <110>-방향을 식별하고 270°의 각도 위치(θ)가 이 방향에 할당되면, 4개의 제1 부분 영역의 중심은 각각 반도체 웨이퍼의 전면의 <100>-배향에 수직인 <110>-방향의 각도 위치에 대응하는 0°, 90°, 180° 및 270°의 각도 위치(θ)를 가진다.
- [0024] 전면의 <110>-배향의 경우, 반도체 웨이퍼의 전면의 엣지 영역은 각각의 경우 2개의 상호 교호하는 부분 영역으로 세분화될 수 있다. 2개의 제1 부분 영역에서, 반도체 웨이퍼의 전면 상의 에피택셜 층의 성장 속도는 엣지 영역의 2개의 제2 부분 영역에서보다 더 크다. 배향 노치가 반도체 웨이퍼의 전면의 <110>-배향에 수직인 <110>-방향을 식별하고 270°의 각도 위치(θ)가 이 방향에 할당되면, 2개의 제1 부분 영역의 중심은 각각 반도체 웨이퍼의 전면의 <110>-배향에 수직인 <110>-방향의 각도 위치에 대응하는 90° 및 270°의 각도 위치(θ)를 가진다.
- [0025] 반도체 웨이퍼의 전면 상의 에피택셜 층의 증착 도중에, 반도체 웨이퍼는 서셉터의 랫지 상에 배치된다. 서셉터는 일체로 형성되거나 바람직하게는 서셉터 링 및 서셉터 베이스로 구성될 수 있다. 반도체 웨이퍼는 서셉터 상에 배향된 방식으로, 즉 그 배향 노치가 서셉터의 랫지 상에 정해진 위치를 가지도록, 배치된다. 반도체 웨이퍼는 반도체 웨이퍼의 엣지에 있는 제1 부분 영역이 제2 부분 영역보다 덜 강하게 가열되는 방식으로 서셉터 상에 배치된다. 에피택셜 층의 성장 속도는 온도가 높을수록 전적으로 더 빠르며, 따라서 제2 부분 영역에서보다 제1 부분 영역에서 더 낮다. 그러나, 상기 성장 속도는 온도뿐만 아니라 결정 격자의 배향에도 의존한다. 또한, 제1 부분 영역에서 에피택셜 층의 성장 속도는 결정 격자의 배향으로 인해 제2 부분 영역에서보다 크기 때문에, 제1 부분 영역 및 제2 부분 영역에서의 에피택셜 층의 성장 속도는 전반적으로 일치하게 된다. 다시 말해, 반도체 웨이퍼의 전면 상에 증착된 에피택셜 층의 두께는 반도체 웨이퍼의 엣지 영역에서 더 균일하게 되고, 이는 코팅되거나 코팅되지 않은 반도체 웨이퍼의 엣지 영역에서의 평탄도를 나타내는 ESFQR과 같은 특징도

에서 분명해진다.

[0026] 본 발명에 따르면, 제1 부분 영역은 반도체 웨이퍼의 후면으로 유도되는 열복사의 일부의 강도, 구체적으로 반도체 웨이퍼의 제1 부분 영역의 가열에 결정적으로 기여하는 열복사의 일부의 강도가 선택적으로 감소되기 때문에 덜 강하게 가열된다. 이를 위해, 링의 내향 돌출부가 열복사의 빔 경로에 위치된다. 돌출부는 스펙트럼의 IR 범위에서 투과율이 낮은 재료, 바람직하게는 불투명한 석영 유리로 전적으로 또는 부분적으로 구성된다. 상기 범위에서 10 mm의 재료 두께에 대한 투과율은 바람직하게는 20% 이하, 특히 바람직하게는 5% 이하이다. 돌출부의 두께는 바람직하게는 5 mm 이상이고 10 mm 이하이다. 돌출부는 각각 15° 이상이고 25° 이하, 바람직하게는 20°의 둘레 방향 폭을 가진다. 돌출부는 바람직하게는 20 mm 이상이고 30 mm 이하인 길이에 걸쳐 링의 내주로부터 반경 방향 내측으로 연장된다. 상기 언급된 열복사의 부분의 일부는 돌출부를 통과하는 것이 방지된다. 이 차폐 효과는 반도체 웨이퍼가 제1 부분 영역에서 원하는 방식으로 덜 강하게 가열되게 하기에 충분하다. 불투명한 석영 유리로 구성된 적절한 재료는 예컨대, Heraeus사의 상표명 OM® 100으로 제공된다.

[0027] 내향 돌출부를 가지는 링은 바람직하게는 개별 반도체 웨이퍼를 코팅하기 위한 CVD 반응기를 사전에 구조적으로 변경할 필요 없이 상업적으로 통상적인 CVD 반응기에 삽입될 수 있는 방식으로 구성된다. 본 발명에 따른 장치에서, 링은 CVD 반응기의 서셉터 유지 아암에 의해 유지되며, 이를 위해, 서셉터 지지편이 삽입될 수 있는 구멍을 가진다. 따라서, 본 발명에 따른 장치와 공지된 실시예의 CVD 반응기 사이의 차이는 구체적으로 링의 돌출부 및 서셉터 상에 배치된 반도체 웨이퍼의 엿지에 있는 제1 부분 영역이 상기 설명된 차폐 효과를 발생시킬 수 있는 상호간의 상대 위치를 취하도록 상기 설명된 링이 서셉터 아래에 추가로 배치된다는 사실로 이루어진다. 서셉터 지지편의 삽입 후, 돌출부의 위치는 제1 결정 영역에 의해 취해져야 하는 위치로 고정되는데, 이는 기하학적 광학 규칙에 따른다. 이러한 의미에서, 반도체 웨이퍼는 정해진 방식으로 서셉터 상에 배치된다.

[0028] 본 발명은 도면을 참조로 아래에서 더 상세히 설명된다.

도면의 간단한 설명

[0029] 도 1은 서셉터 베이스, 서셉터 링 및 반도체 웨이퍼의 상대적인 배치를 보여주는 종래 기술을 나타낸 도면이다.

도 2는 <100>-배향을 가지는 반도체 웨이퍼를 평면도로 예시하고, 도 3은 <110>-배향을 가지는 반도체 웨이퍼의 도면이다.

도 4는 본 발명에 따른 장치를 단면도로 예시한다.

도 5, 도 6 및 도 7은 각각 본 발명에 따른 장치의 특징부인 링을 평면도로 예시한다.

도 8 및 도 9는 각각 둘레 방향 위치(CP)의 함수로서 반도체 웨이퍼의 엿지로부터 1mm 거리의 에피택셜 코팅된 반도체 웨이퍼의 두께와 코팅된 반도체 웨이퍼의 평균 두께 사이의 차이(Diff)를 예시하며, 여기서 에피택셜 층은 기존 방식(도 8) 또는 본 발명에 따른 방식(도 9)으로 증착된 것이다.

발명을 실시하기 위한 구체적인 내용

[0030] 도 1에 따른 배치는 서셉터 베이스(3) 및 랫지(4)를 가지는 서셉터 링(2)을 포함한다. 반도체 웨이퍼(5)는 반도체 웨이퍼의 후면의 엿지 영역이 랫지(4) 상에 배치될 수 있다. 서셉터 베이스(3) 및 서셉터 링(2)은 2-부품 서셉터(1)를 형성한다. 이는 본 발명과 관련하여 중요하지 않다. 일체형 서셉터도 본 발명에 따라 사용될 수 있다는 것은 말할 것도 없다.

[0031] 서셉터 베이스(3)는 바람직하게는 그라파이트 펠트(felt) 또는 실리콘 탄화물로 코팅된 그라파이트 펠트, 또는 실리콘 탄화물로 코팅된 그라파이트, 또는 실리콘 탄화물로 구성되며, 서셉터 링(2)은 바람직하게는 실리콘 탄화물 또는 실리콘 탄화물로 코팅된 일부 다른 재료로 구성된다. 다른 재료는 바람직하게는 그라파이트 또는 실리콘이다. 서셉터 링(2)은 내경 및 외경을 가진다. 내경은 반도체 웨이퍼(5)의 직경보다 작고, 외경은 반도체 웨이퍼(5)의 직경보다 크다. 랫지(4)는 바람직하게는 계단으로부터 내측으로 하강하는 방식으로 형성된다.

[0032] 도 2는 배향 노치(6)를 가지는 반도체 웨이퍼(5)를 예시한다. 반도체 웨이퍼(5)는 <100>-배향을 가진다. 배향 노치(6)는, 반도체 웨이퍼의 원주 둘레로 90°의 거리에 분포된 것으로, 에피택셜 층이 비교적 빠른 속도로 성장하는 반도체 웨이퍼의 엿지의 영역의 평면을 나타내는 4개의 <110>-결정 방향 중 하나를 표시한다. 따라서, 점선 화살표는 제1 부분 영역의 중심을 지시하며, 여기서 제1 부분 영역에서의 에피택셜 층의 성장 속도는, 단 결정 재료의 배향으로 인해, 반도체 웨이퍼의 온도가 균일한 경우, 인접한 제2 부분 영역에서보다 더 빠르다.

배향 노치의 각도 위치가 270° 인 경우, 제1 부분 영역의 중심은 각도 위치가 0° , 90° , 180° 및 270° 이다.

[0033] 도 3은 <110>-배향을 가지는 반도체 웨이퍼(5)의 배향 특징을 예시한다. 배향 노치(6)는, 반도체 웨이퍼의 원주 둘레로 180° 의 거리에 분포된 것으로, 에피택셜 층이 비교적 빠른 속도로 성장하는 반도체 웨이퍼의 엣지의 영역의 평면을 나타내는 2개의 <110>-결정 방향 중 하나를 표시한다. 따라서, 점선 화살표는 제1 부분 영역의 중심을 지시하며, 여기서 제1 부분 영역에서의 에피택셜 층의 성장 속도는, 단결정 재료의 배향으로 인해, 반도체 웨이퍼의 온도가 균일한 경우, 인접한 제2 부분 영역에서보다 더 빠르다. 배향 노치의 각도 위치가 270° 인 경우, 제1 부분 영역의 중심은 각도 위치가 90° 및 270° 이다.

[0034] 본 발명에 따른 장치(도 4)는 서셉터 (1) 이외에 서셉터 유지 샤프트(7) 및 서셉터 유지 아암(8)을 가지는 서셉터(1)를 유지 및 회전시키는 기구를 포함한다. 또한, 서셉터(1)를 유지 및 회전시키는 기구는 웨이퍼 리프팅 샤프트(12) 및 웨이퍼 리프팅 핀(13)을 포함할 수 있다. 장치의 필수적인 특징부는 서셉터 유지 아암(8)에 의해 유지되고 서셉터(1)와 직접 접촉하지 않고 서셉터(1) 아래에 배치되는 링(9)이다. 링(9)은 둘레 방향을 따라 변위될 수 없는 방식으로 서셉터 유지 아암(8)에 의해 유지된다. 바람직하게는, 서셉터 지지핀(10)이 서셉터 유지 아암(8) 상에 배치되는데, 상기 핀은 링(9)의 구멍(11)을 통해 삽입된다. 링(9)의 상부 표면과 서셉터(1)의 하부 표면 사이의 거리는 바람직하게는 5 mm 이상이고 10mm 이하이다. 바람직하게는, 링(9)(도 5, 도 6 및 도 7)의 돌출부(14)의 내부 엣지(17)가 링(9)의 중심(Z)으로부터 140 mm 이상, 바람직하게는 145 mm 이상, 특히 바람직하게는 148 mm 내지 150 mm의 거리의 반경 방향 위치에 배치된다.

[0035] 도 5는, 예시된 실시예의 경우, 구멍(11) 및 4개의 내향 돌출부(14) - 상기 내향 돌출부는 둘레에 걸쳐 90° 거리로 분포된 방식으로 배열됨 - 를 가지는 링(9)을 평면도로 예시한다. 이 실시예는 본 발명에 따라 <100>-배향의 반도체 웨이퍼의 전면 상에 에피택셜 층을 증착하기 위해 도 4에 따른 장치에 사용되기에 적합하다. 링(9)은 바람직하게는 석영 유리로 구성되고, 돌출부(14)는 스펙트럼의 IR 범위에서 낮은 투과율을 가지는 재료로 구성된다. 10 mm의 재료 두께에 대한 상기 범위의 돌출부(14)의 투과율은 바람직하게는 20% 이하, 특히 바람직하게는 5% 이하이다. 돌출부(14)는 바람직하게는 불투명한 석영 유리로 구성된다.

[0036] 도 6은, 예시된 실시예의 경우, 구멍(11) 및 2개의 내향 돌출부(14) - 상기 내향 돌출부는 둘레에 걸쳐 180° 거리로 분포된 방식으로 배열됨 - 를 가지는 링(9)을 평면도로 예시한다. 이 실시예는 본 발명에 따라 <110>-배향의 반도체 웨이퍼의 전면 상에 에피택셜 층을 증착하기 위해 도 4에 따른 장치에 사용되기에 적합하다. 링(9)은 바람직하게는 석영 유리로 구성되고, 돌출부(14)는 스펙트럼의 IR 범위에서 낮은 투과율을 가지는 재료로 구성된다. 10 mm의 재료 두께에 대한 상기 범위의 돌출부(14)의 투과율은 바람직하게는 20% 이하, 특히 바람직하게는 5% 이하이다. 돌출부(14)는 바람직하게는 불투명한 석영 유리로 구성된다.

[0037] 도 7은, 예시된 실시예의 경우, 구멍(11) 및 4개의 내향 돌출부(14) - 상기 내향 돌출부는 둘레에 걸쳐 90° 거리로 분포된 방식으로 배열됨 - 를 가지는 링(9)을 평면도로 예시한다. 이 실시예는 본 발명에 따라 <100>-배향의 반도체 웨이퍼의 전면 상에 에피택셜 층을 증착하기 위해 도 4에 따른 장치에 사용되기에 적합하다. 예시된 실시예에서, 돌출부(14)는 T-형이고, 그 각각은 바람직하게는 8 mm 이상이고 18 mm 이하인 반경 방향 길이를 가지는 웹(web)(15) 및 링 세그먼트(16)를 포함한다. 링 세그먼트(16)는 반경 방향 길이와 둘레 방향 폭을 가진다. 링 세그먼트(16)의 반경 방향 길이는 바람직하게는 1.5 mm 이상 8 mm 이하이며, 특히 바람직하게는 3 mm 이상 8 mm 이하이다. 개구 각도(α)로서 표현되는 폭은 바람직하게는 15° 이상 25° 이하, 특히 바람직하게는 20° 이다. 링(9)과 웹(15)은 바람직하게는 석영 유리로 구성되고, 링 세그먼트는 스펙트럼의 IR 범위에서 낮은 투과율을 가지는 재료로 구성된다. 10 mm의 재료 두께에 대한 상기 범위의 링 세그먼트(16)의 투과율은 바람직하게는 20% 이하, 특히 바람직하게는 5% 이하이다. 링 세그먼트(16)는 바람직하게는 불투명한 석영 유리로 구성된다.

[0038] 본 발명에 따른 예시적인 실시예의 설명

[0039] 300 mm의 직경과 전면의 <100>-배향을 가지는 단결정 실리콘으로 구성된 반도체 웨이퍼를 단일-웨이퍼 반응기에서 실리콘으로 구성된 에피택셜 층으로 코팅하였다. 반도체 웨이퍼의 일부(비교예)는 링(9)을 제공하지 않고 도 4에 따른 장치 내의 도 1에 다른 서셉터 상에 놓이는 방식으로 코팅되었다. 반도체 웨이퍼의 다른 부분(본 발명의 예)은 동일한 방식으로 코팅되었지만, 도 5에 따른 실시예의 링(9)을 도 4에 따라 배치한 상태에서 코팅되었다. 반도체 웨이퍼와 링의 상대 위치는 링의 돌출부를 통과할 때 열복사의 강도가 약해져서 에피택셜 층의 성장 속도가 반도체 웨이퍼의 제1 부분 영역을 타겟으로 하는 방식으로 감소되도록 선택되었다. 이후, 엣지로부터 1 mm 거리에서의 코팅된 반도체 웨이퍼의 두께와 대응하는 반도체 웨이퍼의 평균 두께 사이의 차이가 각각의 경우에 확인되었다. 본 발명에 따라 제조된 반도체 웨이퍼의 경우, 이 차이는 종래에 제조된 반도체 웨이퍼

(도 8)의 경우보다 현저히 작다(도 9).

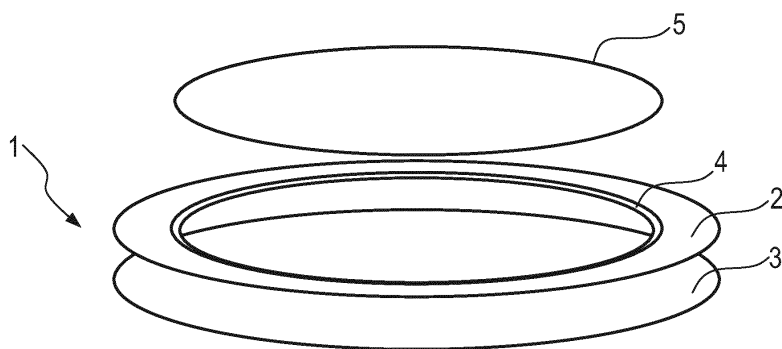
[0040] 예시적인 실시예에 대한 상기 설명은 예로서 이해되어야 한다. 이에 따라 제공된 개시 내용은 우선 당업자가 본 발명 및 이와 관련된 장점을 이해할 수 있게하고, 둘째는 당업자의 이해 내에 있는 설명된 구조 및 방법의 자명한 변화 및 변형을 포함한다. 그러므로, 이러한 모든 변화와 변형 및 균등물은 청구범위의 보호 범위에 의해 커버되도록 의도된다.

부호의 설명

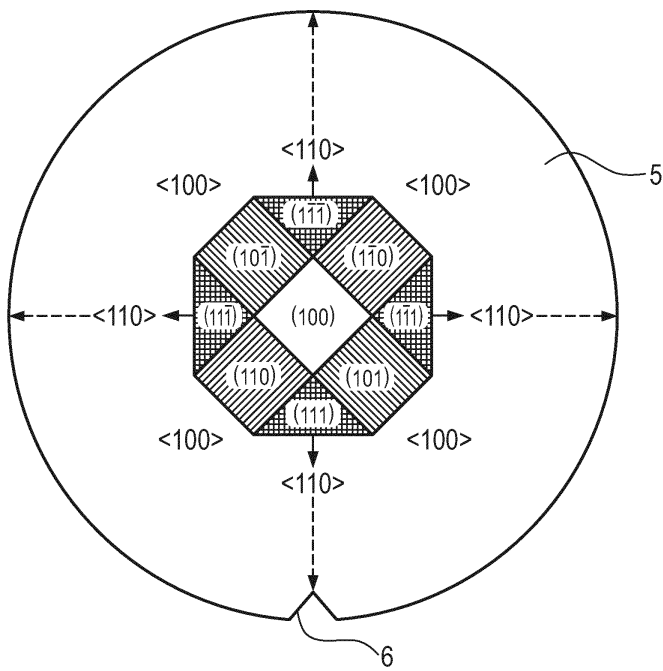
- [0041]
- 1 서셉터
 - 2 서셉터 링
 - 3 서셉터 베이스
 - 4 랫지
 - 5 반도체 웨이퍼
 - 6 배향 노치
 - 7 서셉터 유지 샤프트
 - 8 서셉터 유지 아암
 - 9 링
 - 10 서셉터 지지핀
 - 11 구멍
 - 12 웨이퍼 리프팅 샤프트
 - 13 웨이퍼 리프팅 핀
 - 14 돌출부
 - 15 웹
 - 16 링 세그먼트
 - 17 돌출부의 내부 엣지

도면

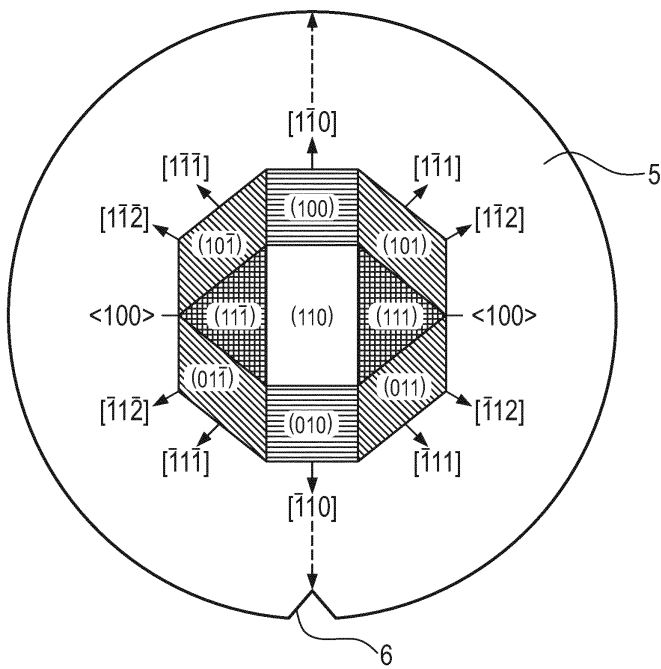
도면1



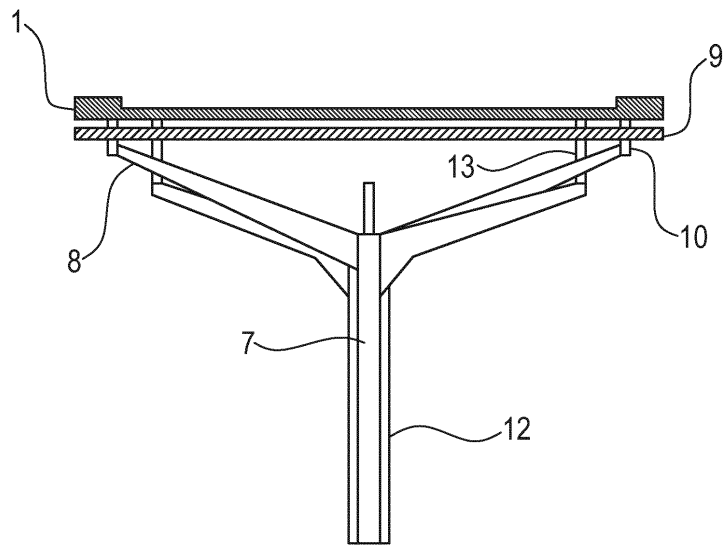
도면2



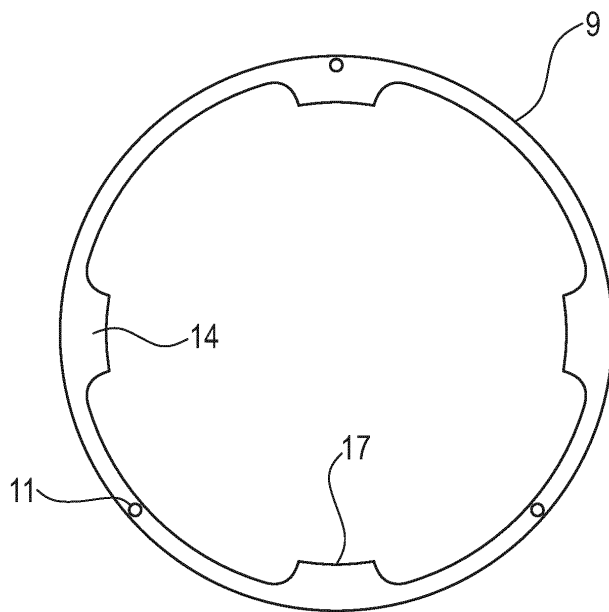
도면3



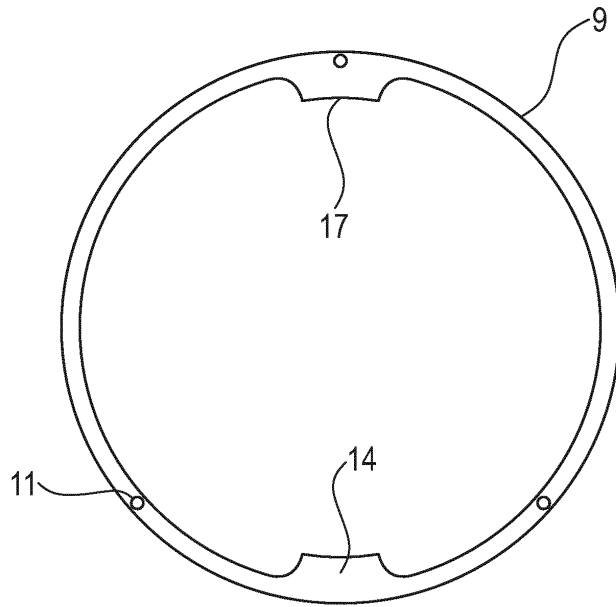
도면4



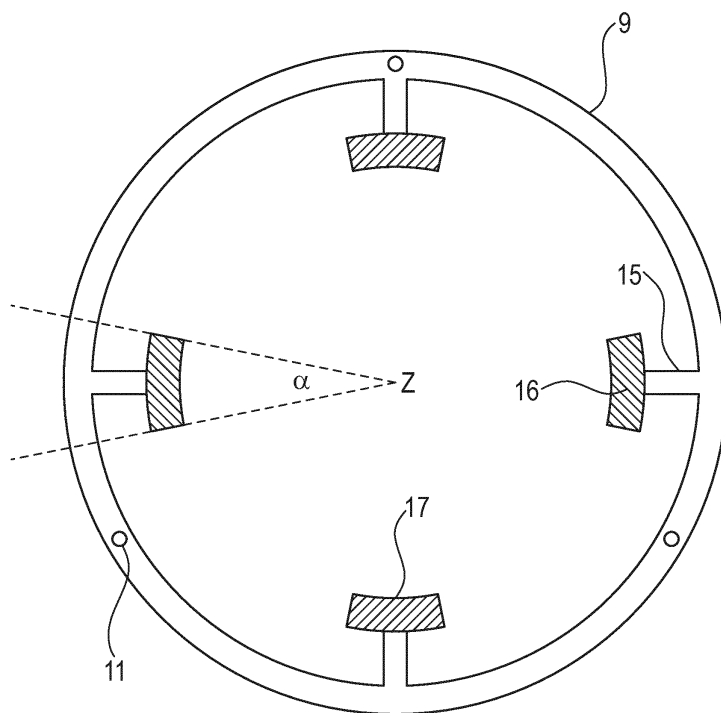
도면5



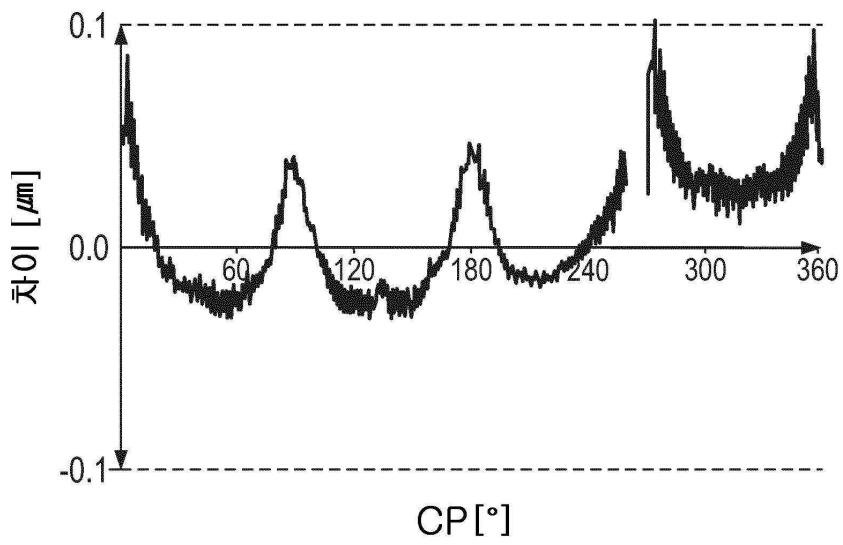
도면6



도면7



도면8



도면9

