

특허청구의 범위

청구항 1

신호를 입력받기 위한 신호 입력부;

상기 신호 입력부의 출력 신호를 감지하여 증폭하기 위한 감지 증폭부; 및

상기 신호 입력부와 상기 감지 증폭부의 공통 노드에 연결되고, 신호 입력 동작의 활성화 구간과 비활성화 구간에 상기 공통 노드를 구동하기 위한 노드 구동부

를 구비하는 집적 회로.

청구항 2

제1항에 있어서,

상기 감지 증폭부의 출력 신호를 래칭하여 출력하기 위한 신호 출력부를 더 구비하는 집적 회로.

청구항 3

제1항에 있어서,

상기 노드 구동부는,

상기 신호 입력 동작의 활성화 구간에서 상기 공통 노드를 싱킹 구동하기 위한 싱킹부; 및

상기 신호 입력 동작의 비활성화 구간에서 상기 공통 노드를 소싱 구동하기 위한 소싱부를 구비하는 것을 특징으로 하는 집적 회로.

청구항 4

제3항에 있어서,

상기 소싱부는,

상기 공통 노드와 공급 전원 전압단 사이에 소오스-드레인 연결되고, 상기 신호 입력 동작에 대응하는 신호를 게이트로 입력받는 MOS 트랜지스터를 구비하는 것을 특징으로 하는 집적 회로.

청구항 5

제1항에 있어서,

상기 신호는 차동으로 입력되는 제1 및 제2 입력 신호를 포함하는 것을 특징으로 하며,

상기 신호 입력부는,

상기 제1 입력 신호를 입력받기 위한 제1 신호 입력부; 및

상기 제2 입력 신호를 입력받기 위한 제2 신호 입력부를 구비하는 것을 특징으로 하는 집적 회로.

청구항 6

제5항에 있어서,

상기 제1 신호 입력부는,

상기 제1 입력 신호를 게이트로 입력받는 제1 MOS 트랜지스터; 및

상기 제1 MOS 트랜지스터와 상기 공통 노드 사이에 연결되며, 상기 제1 입력 신호를 게이트로 입력받는 제2 MOS 트랜지스터를 구비하는 것을 특징으로 하는 집적 회로.

청구항 7

제5항에 있어서,

상기 제2 신호 입력부는,

상기 제2 입력 신호를 게이트로 입력받는 제3 MOS 트랜지스터; 및

상기 제3 MOS 트랜지스터와 상기 공통 노드 사이에 연결되며, 상기 제2 입력 신호를 게이트로 입력받는 제4 MOS 트랜지스터를 구비하는 것을 특징으로 하는 집적 회로.

청구항 8

제1항에 있어서,

상기 감지 증폭부의 입력단을 프리차징하기 위한 프리차징부를 더 구비하는 것을 특징으로 하는 집적 회로.

청구항 9

제1항에 있어서,

상기 감지 증폭부는 크로스 커플 타입으로 연결되는 것을 특징으로 하는 집적 회로.

명세서

기술분야

[0001] 본 발명은 반도체 설계 기술에 관한 것으로, 보다 구체적으로는 신호를 입력받는 입력 회로를 포함하는 집적 회로에 관한 것이다.

배경기술

[0002] 일반적으로 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 반도체 장치는 외부 장치로부터 전달되는 신호들을 입력받아 여러 가지 동작을 수행한다. 따라서, 반도체 장치는 이러한 신호들을 입력받기 위한 입력 회로가 필수적으로 구비된다.

[0003] 도 1 은 일반적인 입력 회로를 설명하기 위한 회로도이다.

[0004] 도 1 을 참조하면, 입력 회로는 정 클럭 신호(CK)를 반전한 부 클럭 신호(CKB)에 응답하여 차동 입력 신호인 정/부 입력 신호(IN, INB)를 입력받기 위한 제1 및 제2 PMOS 트랜지스터(PM1, PM2)와, 정 클럭 신호(CK)에 응답하여 정/부 출력단(OUT, OUB)을 균등화시키기 위한 제3 PMOS 트랜지스터(PM3)와, 제1 및 제2 PMOS 트랜지스터(PM1, PM2)를 통해 입력된 정/부 입력 신호(IN, INB)에 응답하여 정/부 출력단(OUT, OUB)을 증폭하기 위한 제1 및 제2 NMOS 트랜지스터(NM1, NM2), 및 공통 노드(CM)와 접지 전압단(VSS) 사이에 연결되어 정 클럭 신호(CK)에 응답하여 입력 회로의 활성화 동작을 제어하기 위한 제3 NMOS 트랜지스터(NM3)를 구비한다.

[0005] 이하, 입력 회로의 간단한 회로 동작을 살펴보기로 한다.

[0006] 우선, 정 클럭 신호(CK)가 논리'로우(low)'인 구간은, 즉 부 클럭 신호(CKB)가 논리'하이(high)'인 구간은 제3 PMOS 트랜지스터(PM3)가 턴 오프(turn off) 되는 구간으로, 위에서 설명한 입력 회로의 신호 입력 동작이 비활

성화되는 구간이다. 이 구간에서는 제1 및 제2 PMOS 트랜지스터(PM1, PM2)가 턴 오프 되어 제1 및 제2 입력 신호(IN, INB)가 전달되지 않으며, 제3 PMOS 트랜지스터(PM3)가 턴 온 되어 정/부 출력단(OUT, OUTB)이 균등화된 다.

[0007] 이어서, 정 클럭 신호(CK)가 논리'하이'인 구간은, 즉 부 클럭 신호(CKB)가 논리'로우'인 구간은 제3 PMOS 트랜지스터(PM3)가 턴 온 되는 구간으로, 입력 회로의 신호 입력 동작이 활성화되는 구간이다. 이 구간에서는 제1 및 제2 PMOS 트랜지스터(PM1, PM2) 각각이 턴 온 되어 정/부 입력 신호(IN, INB)를 제1 및 제2 NMOS 트랜지스터(NM1, NM2)로 전달한다. 이어서, 이렇게 전달된 정/부 입력 신호(IN, INB)는 제1 및 제2 NMOS 트랜지스터(NM1, NM2) 각각의 턴 온 정도를 제어하며, 그에 따라 정/부 출력단(OUT, OUTB)의 출력 값이 결정된다.

[0008] 한편, 위에서 설명한 바와 같이 신호 입력 동작이 비활성화되는 구간에서는 제3 NMOS 트랜지스터(NM3)가 턴 오프 된다. 하지만, 이때 공통 노드(CM)는 플로팅 상태가 된다. 위와 같은 구성의 입력 회로의 경우 공통 노드(CM)가 플로팅 상태가 되면, 제1 및 제2 NMOS 트랜지스터(NM1, NM2)가 동작할 여지가 발생하며 이는 곧 입력 회로의 오동작을 의미한다.

발명의 내용

해결하려는 과제

[0009] 본 발명의 실시예는 신호 입력 동작의 활성화 구간과 비활성화 구간에 입력 회로의 예정된 노드를 구동하는 집적 회로를 제공한다.

과제의 해결 수단

[0010] 본 발명의 실시예에 따른 집적 회로는, 신호를 입력받기 위한 신호 입력부;

[0011] 상기 신호 입력부의 출력 신호를 감지하여 증폭하기 위한 감지 증폭부; 및 상기 신호 입력부와 상기 감지 증폭부의 공통 노드에 연결되고, 신호 입력 동작의 활성화 구간과 비활성화 구간에 상기 공통 노드를 구동하기 위한 노드 구동부를 구비할 수 있다.

[0012] 바람직하게, 상기 노드 구동부는, 상기 신호 입력 동작의 활성화 구간에서 상기 공통 노드를 싱킹 구동하기 위한 싱킹부; 및 상기 신호 입력 동작의 비활성화 구간에서 상기 공통 노드를 소싱 구동하기 위한 소싱부를 구비하는 것을 특징으로 할 수 있다.

[0013] 바람직하게, 상기 신호는 차동으로 입력되는 제1 및 제2 입력 신호를 포함하는 것을 특징으로 하며, 상기 신호 입력부는, 상기 제1 입력 신호를 입력받기 위한 제1 신호 입력부; 및 상기 제2 입력 신호를 입력받기 위한 제2 신호 입력부를 구비할 수 있다.

[0014] 본 발명의 실시예는 신호 입력 동작의 활성화 구간에서 예정된 노드를 싱킹 구동하고 비활성화 구간에서 예정된 노드를 소싱 구동함으로써, 예정된 노드의 플로팅 상태를 제거하는 것이 가능하다.

발명의 효과

[0015] 입력 회로에 포함되는 노드의 플로팅 상태가 제거됨으로써, 보다 빠르고 보다 안정적인 신호 입력 동작을 보장해 줄 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

[0016] 도 1 은 일반적인 입력 회로를 설명하기 위한 회로도이다.

도 2 는 본 발명의 실시예에 따른 입력 회로를 설명하기 위한 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- [0018] 도 2 는 본 발명의 실시예에 따른 입력 회로를 설명하기 위한 회로도이다.
- [0019] 도 2 를 참조하면, 입력 회로는 제1 및 제2 신호 입력부(210A, 210B)와, 감지 증폭부(220)와, 노드 구동부(230)와, 신호 출력부(240), 및 프리차징부(250)를 구비한다.
- [0020] 제1 신호 입력부(210A)는 정 입력 신호(IN)를 입력받기 위한 것으로, 제1 PMOS 트랜지스터(PM1)와 제1 NMOS 트랜지스터(NM1)를 구비한다. 여기서, 제1 PMOS 트랜지스터(PM1)와 제1 NMOS 트랜지스터(NM1)는 정 입력 신호(IN)를 게이트로 입력받으며 공급 전원 전압단(VDD)단과 공통 노드(CM) 사이에 직렬 연결된다. 제2 신호 입력부(220A)는 부 입력 신호(INB)를 입력받기 위한 것으로, 제2 PMOS 트랜지스터(PM2)와 제2 NMOS 트랜지스터(NM2)를 구비한다. 여기서, 제2 PMOS 트랜지스터(PM2)와 제2 NMOS 트랜지스터(NM2)는 부 입력 신호(INB)를 게이트로 입력받으며 공급 전원 전압단(VDD)단과 공통 노드(CM) 사이에 직렬 연결된다. 본 발명의 실시예에 따른 집적 회로는 제1 및 제2 신호 입력부(210A, 210B)를 인버터 타입으로 구성할 수 있으며, 이러한 구성을 통해 입력 회로는 충분한 게인(gain)을 확보하는 것이 가능하다.
- [0021] 감지 증폭부(220)는 제1 및 제2 신호 입력부(210A, 210B)의 출력 신호를 감지하여 증폭하기 위한 것으로, 제3 및 제4 PMOS 트랜지스터(PM3, PM4)와 제3 및 제4 NMOS 트랜지스터(NM3, NM4)를 구비한다. 여기서, 제3 및 제4 PMOS 트랜지스터(PM3, PM4)와 제3 및 제4 NMOS 트랜지스터(NM3, NM4)는 크로스 커플 타입으로 연결된다.
- [0022] 노드 구동부(230)는 신호 입력 동작의 활성화 구간과 비활성화 구간에 공통 노드(CM)를 구동하기 위한 것으로, 제5 PMOS 트랜지스터(PM5)와 제5 NMOS 트랜지스터(NM5)를 구비한다. 여기서, 제5 PMOS 트랜지스터(PM5)는 신호 입력 동작의 비활성화 구간에서 공통 노드(CM)를 소싱하기 위한 것으로, 공급 전원 전압단(VDD)과 공통 노드(CM) 사이에 소오스-드레인 연결되고 클럭 신호(CK)를 게이트로 입력받는다. 그리고, 제5 NMOS 트랜지스터(NM5)는 신호 입력 동작의 활성화 구간에서 공통 노드(CM)를 싱킹하기 위한 것으로, 공통 노드(CM)와 접지 전압단(VSS) 사이에 소오스-드레인 연결되고 클럭 신호(CK)를 게이트로 입력받는다. 따라서, 클럭 신호(CK)가 논리'하이'인 구간, 즉 신호 입력 동작의 활성화 구간에서 제5 NMOS 트랜지스터(NM5)가 턴 온 되고, 클럭 신호(CK)가 논리'로우'인 구간, 즉 신호 입력 동작의 비활성화 구간에서 제5 PMOS 트랜지스터(PM5)가 턴 온 된다. 본 발명의 실시예에 따른 집적 회로는 이러한 동작을 통해 공통 노드(CM)의 플로팅 상태를 제거하는 것이 가능하다.
- [0023] 신호 출력부(240)는 감지 증폭부(220)의 출력 신호를 래칭하여 출력하기 위한 것으로, 제1 및 제2 부정 논리 곱 게이트(NAND1, NAND2)와 제1 인버터(INV)를 구비한다.
- [0024] 마지막으로, 프리차징부(250)는 감지 증폭부(220)의 입력단을 프리차징 하기 위한 것으로, 제6 내지 제8 PMOS 트랜지스터(PM6, PM7, PM8)를 구비한다. 여기서, 프리차징부(250)는 감지 증폭부(220)의 입력단을 예정된 전압 레벨로 프리차징하여 정/부 입력 신호(IN, INB)에 대응하는 감지 증폭부(220)의 각 입력단을 동일한 전압로 균등화한다.
- [0025] 이하, 본 발명의 실시예에 따른 입력 회로의 간단한 회로 동작을 살펴보기로 한다.
- [0026] 우선, 신호 입력 동작의 활성화 구간에서는 클럭 신호(CK)가 논리'하이'가 된다. 따라서, 제5 NMOS 트랜지스터(NM5)가 턴 온 되고, 공통 노드(CM)는 접지 전원 전압단(VSS)에 대응하는 싱킹 동작이 이루어진다. 한편, 정/부 입력 신호(IN, INB)가 제1 및 제2 신호 입력부(210A, 210B)를 통해 입력되면, 감지 증폭부(220)는 이를 감지 증폭하여 신호 출력부(240)로 전달하고, 신호 출력부(240)는 이를 래칭하여 출력한다.
- [0027] 다음으로, 신호 입력 동작의 비활성화 구간에서는 클럭 신호(CK)가 논리'로우'가 된다. 따라서, 제5 PMOS 트랜지스터(PM5)와 제6 내지 제8 PMOS 트랜지스터(PM6, PM7, PM8)가 턴 온 된다. 이에 따라 공통 노드(CM)는 공급 전원 전압단(VDD)에 대응하는 소싱 동작이 이루어지고, 감지 증폭부(220)의 입력단은 공급 전원 전압단(VDD)에 대응하는 전압 레벨로 프리차징된다. 한편, 공통 노드(CM)는 공급 전원 전압단(VDD)에 의하여 프리차징되기 때문에, 제1 및 제2 신호 입력부(210A, 210B)가 완전히 비활성화되는 것이 가능하다. 제1 및 제2 신호 입력부(210A, 210B)가 완전히 비활성화되었다는 것은 감지 증폭부(220)의 입력단을 보다 빠르게 프리차징할 수 있다는 것을 의미하며, 이는 곧 입력 회로가 보다 빠르게 신호 입력 동작을 수행할 수 있다는 것을 의미한다.

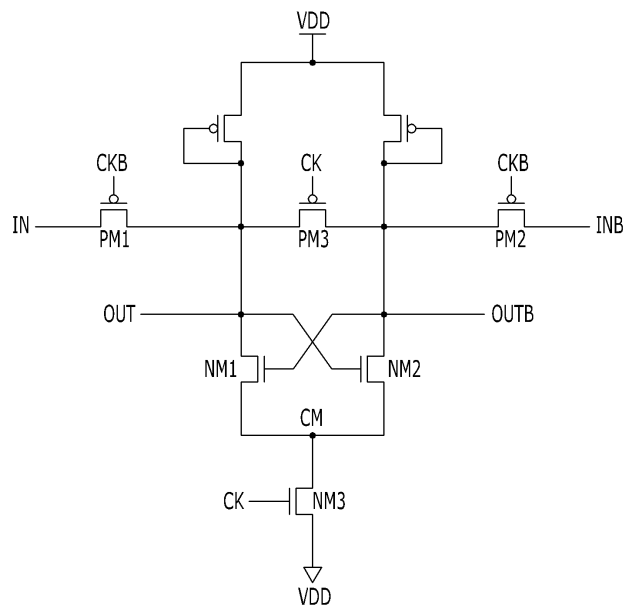
- [0028] 전술한 바와 같이, 본 발명의 실시예에 따른 입력 회로는 공통 노드(CM)가 플로팅 상태가 되는 것을 제거함으로써, 안정적인 신호 입력 동작을 보장하는 것이 가능하다. 또한, 보다 빠른 프리차징 동작으로 인하여 보다 빠른 신호 입력 동작을 보장하는 것이 가능하다.
- [0029] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을 것이다.
- [0030] 또한, 전술한 실시예에서는 클럭 신호(CK)가 논리'하이'인 구간에서 신호 입력 동작이 활성화되고 논리'로우'인 구간에서 신호 입력 동작이 비활성화되는 하나의 입력 회로를 일례로 들어 설명하였지만, 본 발명은 클럭 신호(CK)가 논리'하이'인 구간에서 신호 입력 동작이 활성화되고 논리'로우'인 구간에서 신호 입력 동작이 비활성화되는 하나의 입력 회로와 클럭 신호(CK)가 논리'로우'인 구간에서 신호 입력 동작이 활성화되고, 논리'하이'인 구간에서 신호 입력 동작이 비활성화되는 다른 하나의 입력 회로에도 적용할 수 있다. 즉, 다수의 입력 회로를 사용하는 것에도 적용가능하다.
- [0031] 뿐만 아니라, 전술한 실시예에서 예시한 논리 게이트 및 트랜지스터는 입력되는 신호의 극성에 따라 그 위치 및 종류가 다르게 구현되어야 할 것이다.

부호의 설명

- [0032] 210A : 제1 신호 입력부
210B : 제2 신호 입력부
230 : 노드 구동부
240 : 신호 출력부
250 : 프리차징부

도면

도면1



도면2

