



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0003247
(43) 공개일자 2012년01월10일

(51) Int. Cl.

G11C 29/34 (2006.01) G11C 29/10 (2006.01)

G11C 29/18 (2006.01)

(21) 출원번호 10-2010-0064006

(22) 출원일자 2010년07월02일

심사청구일자 2010년07월02일

(71) 출원인

주식회사 하이닉스반도체

경기도 이천시 부발읍 경충대로 2091 (현대전자)

(72) 발명자

최홍석

충청북도 청주시 흥덕구 산남로 23, 101동 503호
(산남동, 계룡리슈빌아파트)

(74) 대리인

김성남

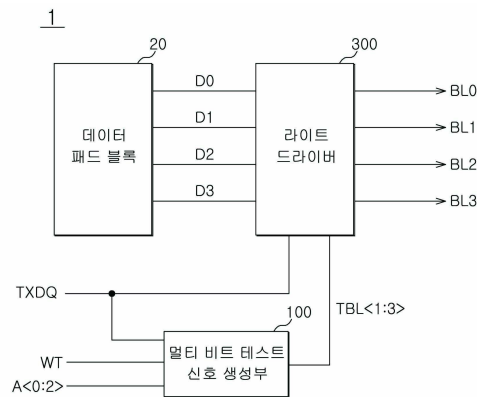
전체 청구항 수 : 총 20 항

(54) 테스트 신호 생성장치, 이를 이용하는 반도체 메모리 장치 및 이의 멀티 비트 테스트 방법

(57) 요약

테스트 신호 생성장치는 어드레스 신호를 수신하고, 라이트 동작이 수행될 때 상기 어드레스 신호에 따라 멀티 비트 테스트 신호를 생성하도록 구성된다.

대표도 - 도2



특허청구의 범위

청구항 1

어드레스 신호를 수신하고, 멀티 비트 테스트의 라이트 동작이 수행될 때 상기 어드레스 신호에 따라 멀티 비트 테스트 신호를 생성하도록 구성되고, 상기 어드레스 신호는 반도체 메모리 장치의 액티브 동작에서 사용되지만 라이트 동작에서 사용되지 않는 신호인 멀티 비트 테스트 신호 생성장치.

청구항 2

제 1 항에 있어서,

상기 멀티 비트 테스트 신호 생성장치는, 라이트 신호에 응답하여 상기 어드레스 신호를 구동하는 어드레스 구동부;

상기 구동부의 출력을 래치하는 어드레스 래치부; 및

상기 어드레스 래치부의 출력 및 테스트 모드 신호에 응답하여 상기 멀티 비트 테스트 신호를 생성하도록 구성된 출력부를 포함하는 멀티 비트 테스트 신호 생성장치.

청구항 3

제 2 항에 있어서,

상기 라이트 신호는, 라이트 동작에서 활성화되는 것을 특징으로 하는 멀티 비트 테스트 신호 생성장치.

청구항 4

제 2 항에 있어서,

상기 테스트 모드 신호는, 상기 멀티 비트 테스트 동작이 수행됨을 알리는 신호인 것을 특징으로 하는 멀티 비트 테스트 신호 생성장치.

청구항 5

어드레스 신호를 수신하여 멀티 비트 테스트 신호를 생성하는 멀티 비트 테스트 신호 생성부; 및

제 1 데이터, 제 2 데이터 및 상기 멀티 비트 테스트 신호를 수신하여 제 1 및 제 2 입력 데이터를 생성하는 라이트 드라이버부를 포함하는 반도체 메모리 장치.

청구항 6

제 5 항에 있어서,

상기 멀티 비트 테스트 신호 생성부는, 멀티 비트 테스트의 라이트 동작에서 상기 어드레스 신호에 따라 상기 멀티 비트 테스트 신호를 생성하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제 6 항에 있어서,

상기 어드레스 신호는, 상기 반도체 메모리 장치의 액티브 동작에서 사용되지만 상기 반도체 메모리 장치의 라이트 동작에서 사용되지 않는 신호인 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

제 5 항에 있어서,

상기 멀티 비트 테스트 신호 생성부는, 라이트 신호에 응답하여 상기 어드레스 신호를 구동하여 출력하는 어드레스 구동부;

상기 어드레스 구동부의 출력을 래치하는 어드레스 래치부; 및

상기 어드레스 래치부의 출력 및 테스트 모드 신호에 응답하여 상기 멀티 비트 테스트 신호를 출력하는 출력부로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

제 7 항에 있어서,

상기 라이트 드라이버부는, 상기 제 1 데이터를 구동하여 1 입력 데이터를 생성하는 제 1 입력 데이터 생성부;

테스트 모드 신호에 따라 상기 제 1 및 제 2 데이터 중 하나로부터 상기 제 2 입력 데이터를 생성하는 제 2 입력 데이터 생성부로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

제 9 항에 있어서,

상기 제 2 입력 데이터 생성부는, 상기 제 1 데이터로부터 상기 제 2 입력 데이터가 생성될 때, 상기 멀티 비트 테스트 신호에 응답하여 상기 제 1 데이터를 반전 구동하거나 비반전 구동하여 상기 제 2 입력 데이터를 생성하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11

복수개의 어드레스 신호에 응답하여 복수개의 멀티 비트 테스트 신호를 생성하도록 구성된 멀티 비트 테스트 신호 생성부; 및

상기 복수개의 멀티 비트 테스트 신호에 응답하여 하나의 데이터를 반전 또는 비반전 구동하여 복수개의 입력 데이터를 생성하도록 구성된 라이트 드라이버부를 포함하는 반도체 메모리 장치.

청구항 12

제 11 항에 있어서,

상기 복수개의 어드레스 신호는 상기 반도체 메모리 장치의 액티브 동작에서 사용되지만 라이트 동작에서 사용되지 않는 신호인 것을 특징으로 하는 반도체 메모리 장치.

청구항 13

제 11 항에 있어서,

상기 멀티 비트 테스트 신호 생성부는, 멀티 비트 테스트의 상기 라이트 동작에서 상기 복수개의 어드레스 신호로부터 상기 복수개의 멀티 비트 테스트 신호를 생성하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 14

제 11 항에 있어서,

상기 멀티 비트 신호 생성부는 각각, 라이트 신호, 테스트 모드 신호 및 상기 복수개의 어드레스 신호 중 해당하는 어드레스 신호를 입력 받아 상기 멀티 비트 테스트 신호를 생성하도록 구성된 복수개의 신호 생성부를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 15

제 14 항에 있어서,

상기 복수개의 신호 생성부는 각각, 상기 라이트 신호에 응답하여 상기 해당 어드레스 신호를 구동하는 어드레스 구동부;

상기 어드레스 구동부의 출력을 래치하는 어드레스 래치부; 및

상기 어드레스 래치부의 출력 및 상기 테스트 모드 신호에 응답하여 상기 복수개의 멀티 비트 테스트 신호를 생성하도록 구성된 출력부로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 16

제 11 항에 있어서,

상기 라이트 드라이버부는, 상기 데이터를 공통으로 수신하고, 상기 멀티 비트 테스트 신호에 응답하여 상기 데이터를 반전 구동하거나 비반전 구동하여 상기 복수개의 입력 데이터를 생성하는 복수개의 입력 데이터 생성부로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 17

테스트 모드 신호 및 라이트 신호가 활성화되면 반도체 메모리 장치의 액티브 동작에서 사용되지만 상기 반도체 메모리 장치의 라이트 동작에서 사용되지 않는 어드레스 신호로부터 멀티 비트 테스트 신호를 생성하는 단계;

상기 멀티 비트 테스트 신호에 응답하여 제 1 데이터를 반전 구동하거나 비반전 구동하여 복수개의 입력 데이터를 생성하는 단계; 및

상기 복수개의 입력 데이터를 복수개의 비트라인으로 전송하는 단계를 포함하는 반도체 메모리 장치의 멀티 비트 테스트 방법.

청구항 18

제 17 항에 있어서,

상기 테스트 모드 신호는, 상기 멀티 비트 테스트 동작이 수행됨을 알리는 신호인 것을 특징으로 하는 반도체 메모리 장치의 멀티 비트 테스트 방법.

청구항 19

제 17 항에 있어서,

상기 라이트 신호는, 상기 반도체 메모리 장치의 라이트 동작에서 활성화되는 것을 특징으로 하는 반도체 메모리 장치의 멀티 비트 테스트 방법.

청구항 20

제 17 항에 있어서,

상기 멀티 비트 테스트 신호를 생성하는 단계는, 상기 라이트 신호가 활성화되면 상기 어드레스 신호를 구동하고 래치하는 단계; 및

상기 테스트 모드 신호와 상기 구동된 어드레스 신호를 조합하여 상기 멀티 비트 테스트 신호를 생성하는 단계로 구성되는 것을 특징으로 하는 반도체 메모리 장치의 멀티 비트 테스트 방법.

명세서

기술분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 더 상세하게는 반도체 메모리 장치의 테스트에 관한 것이다.

배경기술

[0002] 반도체 메모리 장치의 신뢰성을 보증하기 위해, 제조 공정 중 또는 제품 출하 전에 다양한 테스트가 수행한다. 테스트 시간의 증가는 생산비용 증가와 직결되므로, 상기 테스트는 최대한 빠른 시간 안에 수행되어야 한다. 빠른 시간 안에 테스트를 수행하기 위해서, 최근 반도체 메모리 장치는 멀티 비트 테스트(Multi-bit Test) 방식을 채용하였다. 상기 멀티 비트 테스트는 하나의 데이터 패드로부터 입력되는 데이터를 복수개의 비트라인에 동시에 인가하여 상기 데이터를 메모리 셀에 기입하는 방식의 테스트이다.

[0003] 도 1은 종래기술에 따른 반도체 메모리 장치의 구성을 개략적으로 보여주는 도면이다. 도 1에서, 종래기술에 따른 반도체 메모리 장치는 테스트 신호 생성부(10), 데이터 패드 블록(20), 라이트 드라이버(30)를 포함한다. 상기 테스트 신호 생성부(10)는 테스트 신호(TEST)를 입력 받아 반도체 메모리 장치의 멀티 비트 테스트를 위한 멀티 비트 테스트 신호(TBL<1:3>)를 생성하여 상기 라이트 드라이버(30)를 제어한다. 상기 데이터 패드 블록

(20)은 외부 데이터가 반도체 메모리 장치 내부로 입력되는 경로가 된다. 도 1에서, 상기 데이터 패드 블록(20)은 4개의 데이터 패드(미도시)로 구성될 수 있다. 상기 라이트 드라이버(30)는 상기 데이터 패드 블록(20)을 통해 입력되는 데이터(D0~D3)를 증폭하여 각각의 비트라인(BL0~BL3)에 전송한다.

[0004] 종래기술에 따른 반도체 메모리 장치는 다음과 같이 동작된다. 테스트 동작이 아닌 노멀 동작에서 상기 라이트 드라이버(30)는 상기 복수개의 데이터 패드를 통해 입력되는 데이터(D0~D3)를 증폭하고 각각의 비트라인(BL0~BL3)으로 전송한다. 따라서, 각각의 비트라인(BL0~BL3)은 상기 라이트 드라이버(30)에 의해 데이터 패드를 통해 입력되는 데이터를 수신하고, 상기 각각의 비트라인과 연결된 메모리 셀(미도시)로 데이터가 저장될 수 있다.

[0005] 테스트 동작에서, 즉, 멀티 비트 테스트 동작이 수행될 때, 상기 데이터(D1~D3)는 입력되지 않으며, 하나의 데이터(D0)가 입력된다. 상기 테스트 신호 생성부(10)는 테스트 신호(TEST)에 응답하여 제 1 내지 제 3 멀티 비트 테스트 신호(TBL<1:3>)를 생성한다. 상기 라이트 드라이버(30)는 상기 데이터(D0)를 증폭하여 상기 제 1 비트라인(BL0)으로 전송한다. 동시에 상기 라이트 드라이버(30)는 상기 제 1 내지 제 3 멀티 비트 테스트 신호(TBL<1:3>) 및 테스트 모드 신호(TXDQ)에 응답하여 상기 데이터(D0)를 반전 증폭하거나 비반전 증폭하여 상기 제 2 내지 제 4 비트라인(BL1~BL3)으로 전송한다. 즉, 하이 레벨의 데이터(D0)가 입력되었다면, 상기 라이트 드라이버(30)는 상기 제 1 멀티 비트 테스트 신호(TBL<1>)에 응답하여 상기 하이 레벨의 데이터(D0)를 반전 또는 비반전 구동하여 상기 제 2 비트라인(BL1)으로 전송하고, 마찬가지로 상기 제 2 및 제 3 멀티 비트 테스트 신호(TBL<2:3>)에 응답하여 상기 하이 레벨의 데이터(D0)를 반전 또는 비반전 구동하여 각각 상기 제 3 및 제 4 비트라인(BL2, BL3)으로 전송할 수 있다. 따라서, 하나의 데이터를 입력 받더라도 상기 각각의 비트라인으로 원하는 레벨의 데이터를 전송할 수 있는 구성을 갖고 있다.

[0006] 앞서 살펴본 바와 같이, 종래기술에 따른 반도체 메모리 장치는 테스트 신호(TEST)를 입력 받아 상기 멀티 비트 테스트 신호를 생성하기 때문에 상당한 테스트 시간을 필요로 한다. 즉, 멀티 비트 테스트 동작에서, 상기 제 1 내지 제 4 비트라인(BL0~BL3)으로 전송되는 데이터의 패턴을 바꾸기 위해서는 상기 멀티 테스트 모드 신호(TBL<1:3>)를 리셋시키고, 새로운 테스트 신호(TEST)를 입력하여 새로운 멀티 비트 테스트 신호(TBL<1:3>)를 설정해야 한다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상기와 같은 문제점을 해결하기 위해서 테스트 시간을 감소시킬 수 있는 테스트 신호 생성장치, 이를 이용하는 반도체 메모리 장치 및 이의 멀티 비트 테스트 방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따른 테스트 신호 생성장치는 어드레스 신호를 수신하고, 라이트 동작이 수행될 때 상기 어드레스 신호에 따라 멀티 비트 테스트 신호를 생성하도록 구성되고, 상기 어드레스 신호는 반도체 메모리 장치의 액티브 동작에서 사용되지만 라이트 동작에서 사용되지 않는 신호이다.

[0009] 본 발명의 일 실시예에 따른 반도체 메모리 장치는 어드레스 신호를 수신하여 멀티 비트 테스트 신호를 생성하는 멀티 비트 테스트 신호 생성부; 및 제 1 데이터, 제 2 데이터 및 상기 멀티 비트 테스트 신호를 수신하여 제 1 및 제 2 입력 데이터를 생성하는 라이트 드라이버부를 포함한다.

[0010] 또한, 본 발명의 다른 실시예에 따른 반도체 메모리 장치는 복수개의 어드레스 신호에 응답하여 복수개의 멀티 비트 테스트 신호를 생성하도록 구성된 멀티 비트 테스트 신호 생성부; 및 상기 복수개의 멀티 비트 테스트 신호에 응답하여 하나의 데이터를 반전 또는 비반전 구동하여 복수개의 입력 데이터를 생성하도록 구성된 라이트 드라이버부를 포함한다.

[0011] 또한, 본 발명의 실시예에 따른 반도체 메모리 장치의 멀티 비트 테스트 방법은 테스트 모드 신호 및 라이트 신호가 활성화되면 반도체 메모리 장치의 액티브 동작에서 사용되지만 상기 반도체 메모리 장치의 라이트 동작에서 사용되지 않는 어드레스 신호로부터 멀티 비트 테스트 신호를 생성하는 단계; 상기 멀티 비트 테스트 신호에 응답하여 제 1 데이터를 반전 구동하거나 비반전 구동하여 복수개의 입력 데이터를 생성하는 단계; 및 상기 복수개의 입력 데이터를 복수개의 비트라인으로 전송하는 단계를 포함한다.

발명의 효과

- [0012] 본 발명에 의하면, 어드레스 신호로부터 멀티 비트 테스트 신호를 생성함으로써 반도체 메모리 장치의 멀티 비트 테스트 시간을 감소시킬 수 있다. 또한, 반도체 메모리 장치의 패드의 활용성을 향상시킨다.

도면의 간단한 설명

- [0013] 도 1은 종래기술에 따른 반도체 메모리 장치의 구성을 개략적으로 보여주는 도면,
 도 2는 본 발명의 실시예에 따른 반도체 메모리 장치의 구성을 개략적으로 보여주는 도면,
 도 3은 도 2의 멀티 비트 테스트 신호 생성부의 실시예의 구성을 보여주는 도면,
 도 4는 도 2의 데이터 패드 블록 및 라이트 드라이버부의 구성을 보여주는 도면,
 도 5는 도 4의 제 2 입력 데이터 생성부의 실시예의 구성을 보여주는 도면,
 도 6은 본 발명의 실시예에 따른 반도체 메모리 장치의 동작 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 도 2는 본 발명의 실시예에 따른 반도체 메모리 장치의 구성을 개략적으로 보여주는 도면이다. 도 2에서, 본 발명의 실시예에 따른 반도체 메모리 장치(1)는 멀티 비트 테스트 신호 생성부(100), 데이터 패드 블록(20) 및 라이트 드라이버부(300)를 포함한다. 상기 멀티 비트 테스트 신호 생성부(100)는 어드레스 신호(A<0:2>)로부터 멀티 비트 테스트 신호(TBL<1:3>)를 생성한다. 도 2에서, 상기 멀티 비트 테스트 신호 생성부(100)는 복수개의 어드레스(A<0:2>), 라이트 신호(WT) 및 테스트 모드 신호(TXDQ)를 입력 받아 복수개의 멀티 비트 테스트 신호(TBL<1:3>)를 생성한다. 상기 어드레스 신호(A<0:2>)는 반도체 메모리 장치로 입력되는 어떠한 어드레스 신호라도 이용될 수 있다. 바람직하게는, 상기 어드레스 신호(A<0:2>)는 반도체 메모리 장치의 액티브 동작에서 사용되지만 상기 반도체 메모리 장치의 라이트 동작에서는 사용되지 않는 신호이다. 상기 반도체 메모리 장치(1)는 위와 같은 어드레스 신호(A<0:2>)로부터 상기 멀티 비트 테스트 신호(TBL<1:3>)를 생성하므로 상기 멀티 비트 테스트 신호(TBL<1:3>)를 생성하기 위해 테스트 신호의 입력 및 이의 조합과 같은 별도의 과정이 불필요하므로 테스트 시간을 감소시킬 수 있으며, 패드의 활용도를 향상시킬 수 있다.
- [0015] 상기 라이트 신호(WT)는 외부(예를 들어, 컨트롤러(미도시))로부터 반도체 메모리 장치(1)로 라이트 커맨드가 인가되면 내부적으로 라이트 동작임을 알리도록 생성되는 신호이다. 상기 테스트 모드 신호(TXDQ)는 상기 반도체 메모리 장치(1)가 노멀 동작이 아닌 테스트 동작, 즉, 멀티 비트 테스트 동작을 수행해야 함을 알리는 신호이다. 즉, 상기 테스트 모드 신호(TXDQ)가 활성화되면, 상기 반도체 메모리 장치(1)는 상기 멀티 비트 테스트를 수행한다.
- [0016] 상기 멀티 비트 테스트 신호 생성부(100)는 상기 테스트 모드 신호(TXDQ) 및 상기 라이트 신호(WT)를 수신하므로, 멀티 비트 테스트의 라이트 동작에서 상기 어드레스 신호(A<0:2>)에 따라서 상기 멀티 비트 테스트 신호(TBL<1:3>)를 생성할 수 있다.
- [0017] 상기 데이터 패드 블록(20)은 복수개의 데이터 패드로 구성되며, 외부로부터 입력되는 데이터가 상기 반도체 메모리 장치(1) 내부로 입력되는 경로가 된다. 따라서, 외부로부터 입력된 데이터는 상기 데이터 패드 블록(20)을 통해 상기 반도체 메모리 장치(1)의 라이트 드라이버부(300)로 전달된다. 도 2에서, 상기 데이터 패드 블록(20)을 통해 4개의 데이터(D0~D3)가 입력되는 것을 예시하였으나, 데이터의 개수를 한정하는 것은 아니다. 즉, 반도체 메모리 장치의 프리페치 방식(prefetch scheme)에 따라 입력되는 데이터의 개수는 바뀔 수 있으며, 어떠한 개수의 데이터가 입력되더라도 본 발명의 기술적 사상이 적용될 수 있다.
- [0018] 상기 라이트 드라이버부(300)는 상기 테스트 모드 신호(TXDQ) 및 상기 멀티 비트 테스트 신호(TBL<1:3>)에 응답하여 상기 데이터(D0~D3)로부터 입력 데이터(Din0~Din3)를 생성하고, 생성된 입력 데이터(Din0~Din3)를 비트라인(BL0~BL3)으로 전송한다. 상기 비트라인(BL0~BL3)으로 전송된 데이터는 상기 비트라인(BL0~BL3)과 연결되는 메모리 셀(미도시)에 저장될 수 있다. 상기 라이트 드라이버부(300)는 상기 테스트 모드 신호(TXDQ)가 인에이블되었는지 여부에 따라서 노멀 라이트 동작을 수행하거나 멀티 비트 테스트의 라이트 동작을 수행한다. 상기 라이트 드라이버부(300)는 상기 테스트 모드 신호(TXDQ)가 디스에이블되었을 때, 노멀 라이트 동작을 수행한다. 상기 라이트 동작에서, 상기 라이트 드라이버부(300)는 상기 데이터 패드 블록(20)을 통해 입력되는 제 1 내지 제 4 데이터(D0~D3)를 각각 증폭 구동하여 제 1 내지 제 4 비트라인(BL0~BL3)으로 각각 전송한다. 즉, 상기 라

이트 드라이버부(300)는 상기 제 1 데이터(D0)로부터 제 1 입력 데이터(Din0)를 생성하여 상기 제 1 비트라인(BL0)으로 전송하고, 상기 제 2 데이터(D1)로부터 제 2 입력 데이터(Din1)를 생성하여 상기 제 2 비트라인(BL1)으로 전송하며, 상기 제 3 및 제 4 데이터(D2, D3)로부터 각각 제 3 및 제 4 입력 데이터(Din2, Din3)를 생성하여 상기 제 3 및 제 4 비트라인(BL2, BL3)으로 각각 전송한다.

[0019] 상기 테스트 모드 신호(TXDQ)가 인에이블되면, 상기 반도체 메모리 장치(1)는 멀티 비트 테스트의 라이트 동작을 수행한다. 상기 멀티 비트 테스트 동작에서, 상기 데이터 패드 블록(20)을 통해서 하나의 데이터, 즉, 제 1 데이터(D0)가 입력된다. 상기 라이트 드라이버부(300)는 상기 제 1 데이터(D0)를 입력 받고, 상기 멀티 비트 테스트 신호(TBL<1:3>)에 응답하여 상기 제 1 데이터(D0)로부터 제 1 내지 제 4 입력 데이터(Din0~Din3)를 생성한다. 상기 제 1 내지 제 4 입력 데이터(Din0~Din3)는 상기 제 1 내지 제 4 비트라인(BL0~BL3)을 통해서 메모리 셀(미도시)에 저장될 수 있다. 예를 들어, 상기 라이트 드라이버부(300)는 상기 제 1 데이터(D0)를 증폭 구동하여 상기 제 1 입력 데이터(Din0)를 생성하고, 상기 멀티 비트 테스트 신호(TBL<1:3>)에 응답하여 상기 제 1 데이터(D0)를 반전 구동하거나 비반전 구동하여 상기 제 2 내지 제 4 입력 데이터(Din1~Din3)를 생성할 수 있다. 따라서, 멀티 비트 테스트 동작에서, 상기 멀티 비트 테스트 신호(TBL<1:3>)의 논리 레벨에 따라 상기 라이트 드라이버(300)가 생성하는 상기 제 2 내지 제 4 입력 데이터(Din1~Din3)의 논리 레벨이 변할 수 있음을 알 수 있다.

[0020] 도 3은 도 2의 멀티 비트 테스트 신호 생성부의 실시예의 구성을 개략적으로 보여주는 블록도이다. 도 3에서, 상기 멀티 비트 테스트 신호 생성부(100)는 제 1 내지 제 3 신호 생성부(110~130)를 포함한다. 상기 제 1 신호 생성부(110)는 상기 어드레스 신호(A<0:2>)를 입력 받고, 상기 라이트 신호(WT) 및 상기 테스트 모드 신호(TXDQ)에 응답하여 상기 어드레스 신호(A<0>)의 논리 레벨에 따라 상기 멀티 비트 테스트 신호(TBL<1>)를 생성한다. 상기 제 2 신호 생성부(120) 및 제 3 신호 생성부(130)도 각각 상기 어드레스 신호(A<1:2>)를 입력 받고, 상기 라이트 신호(WT) 및 상기 테스트 모드 신호(TXDQ)에 응답하여 상기 멀티 비트 테스트 신호(TBL<2:3>)를 생성한다. 도 3에서, 상기 멀티 비트 테스트 신호 생성부(100)는 어드레스 버퍼(41~43)를 더 포함할 수 있다. 상기 어드레스 신호(A<0:2>)는 상기 어드레스 버퍼(41~43)에 의해 증폭되어 상기 제 1 내지 제 3 신호 생성부(110~130)로 각각 입력될 수 있다.

[0021] 도 3은 제 1 신호 생성부의 실시예의 구성을 도시한다. 도 3에서, 상기 제 1 신호 생성부(110)는 어드레스 구동부(111), 어드레스 래치부(112) 및 출력부(113)를 포함한다. 상기 어드레스 구동부(111)는 상기 라이트 신호(WT)가 인에이블되면 상기 어드레스 신호(A<0>)를 구동한다. 상기 어드레스 래치부(112)는 상기 어드레스 구동부(111)의 출력을 래치한다. 상기 출력부(113)는 상기 어드레스 래치부(112)의 출력을 입력받고 상기 테스트 모드 신호(TXDQ)에 응답하여 상기 멀티 비트 테스트 신호(TBL<1>)를 생성한다.

[0022] 상기 어드레스 구동부(111)는 제 1 인버터(IV1) 및 삼상태 인버터(TIV1)를 포함한다. 상기 제 1 인버터(IV1)는 상기 라이트 신호(WT)를 반전시킨다. 상기 삼상태 인버터(TIV1)는 상기 라이트 신호(WT)가 인에이블 되었을 때, 상기 라이트 신호(WT) 및 상기 제 1 인버터(IV1)의 출력에 응답하여 상기 어드레스 신호(A<0>)를 반전 구동하여 출력한다. 따라서, 상기 어드레스 구동부(111)는 라이트 동작이 수행될 때 상기 라이트 신호(WT)에 응답하여 상기 어드레스 신호(A<0>)를 구동할 수 있다. 상기 어드레스 래치부(112)는 제 2 및 제 3 인버터(IV2, IV3)를 포함하여 상기 어드레스 구동부(111)의 출력을 래치한다.

[0023] 상기 출력부(113)는 제 1 낸드 게이트(ND1) 및 제 4 인버터(IV4)를 포함한다. 상기 제 1 낸드 게이트(ND1)는 상기 테스트 모드 신호(TXDQ) 및 상기 어드레스 래치부(112)의 출력을 입력 받는다. 상기 제 4 인버터(IV4)는 상기 제 1 낸드 게이트(ND1)의 출력을 반전하여 상기 멀티 비트 테스트 신호(TBL<1>)를 생성한다. 따라서, 상기 출력부(113)는 상기 테스트 모드 신호(TXDQ)가 활성화되어 상기 반도체 메모리 장치(1)가 멀티 비트 테스트를 수행할 때, 상기 어드레스 래치부(112)의 출력을 상기 멀티 비트 테스트 신호(TBL<1>)로 출력할 수 있다. 상기 제 2 및 제 3 신호 생성부(120, 130)는 상기 제 1 신호 생성부(110)와 동일한 구성을 갖고 동일한 동작을 수행한다.

[0024] 도 4는 도 2의 데이터 패드 블록 및 라이트 드라이버부의 구성을 보여주는 블록도이다. 도 4에서, 상기 데이터 패드 블록(20)은 제 1 내지 제 4 데이터 패드(21~24)를 포함하고, 상기 제 1 내지 제 4 데이터 패드(21~24)는 각각 제 1 내지 제 4 데이터(D0~D3)의 입력 경로가 된다.

[0025] 상기 라이트 드라이버부(300)는 제 1 내지 제 4 입력 데이터 생성부(310~340)를 포함한다. 상기 제 1 내지 제 4 입력 데이터 생성부(310~340)는 각각 상기 제 1 내지 제 4 데이터 패드(21~24)를 통해 입력된 제 1 내지 제 4 데이터(D0~D3)로부터 제 1 내지 제 4 입력 데이터(Din0~Din3)를 생성하여 제 1 내지 제 4 비트라인(BL0~BL3)으로

로 전송한다. 상기 제 1 입력 데이터 생성부(310)는 상기 제 1 데이터(D0)를 수신하고, 상기 제 1 데이터(D0)를 증폭 구동하여 상기 제 1 입력 데이터(Din0)를 생성한다.

[0026] 상기 제 2 입력 데이터 생성부(320)는 상기 제 1 데이터(D0) 및 제 2 데이터(D1)를 수신하고, 상기 테스트 모드 신호(TXDQ)에 응답하여 상기 제 1 데이터(D0)로부터 상기 제 2 입력 데이터(Din1)를 생성하거나 상기 제 2 데이터(D1)로부터 상기 제 2 입력 데이터(Din1)를 생성한다. 또한, 상기 제 2 입력 데이터 생성부(320)는 상기 제 1 데이터(D0)로부터 상기 제 2 입력 데이터(Din1)를 생성할 때, 상기 멀티 비트 테스트 신호(TBL<1>)에 응답하여 상기 제 1 데이터(D0)를 반전 구동하거나 비반전 구동하여 상기 제 2 입력 데이터(Din1)를 생성할 수 있다.

[0027] 상기 제 3 입력 데이터 생성부(330)는 상기 제 1 데이터(D0) 및 제 3 데이터(D2)를 수신하고, 상기 테스트 모드 신호(TXDQ)에 응답하여 상기 제 1 데이터(D0)로부터 상기 제 3 입력 데이터(Din2)를 생성하거나 상기 제 3 데이터(D2)로부터 상기 제 3 입력 데이터(Din2)를 생성한다. 또한, 상기 제 3 입력 데이터 생성부(330)는 상기 제 1 데이터(D0)로부터 상기 제 3 입력 데이터(Din2)를 생성할 때, 상기 멀티 비트 테스트 신호(TBL<2>)에 응답하여 상기 제 1 데이터(D0)를 반전 구동하거나 비반전 구동하여 상기 제 3 입력 데이터(Din2)를 생성할 수 있다.

[0028] 상기 제 4 입력 데이터 생성부(340)는 상기 제 1 데이터(D0) 및 제 4 데이터(D3)를 수신하고, 상기 테스트 모드 신호(TXDQ)에 응답하여 상기 제 1 데이터(D0)로부터 상기 제 4 입력 데이터(Din3)를 생성하거나 상기 제 4 데이터(D3)로부터 상기 제 4 입력 데이터(Din3)를 생성한다. 또한, 상기 제 4 입력 데이터 생성부(340)는 상기 제 1 데이터(D0)로부터 상기 제 4 입력 데이터(Din3)를 생성할 때, 상기 멀티 비트 테스트 신호(TBL<3>)에 응답하여 상기 제 1 데이터(D0)를 반전 구동하거나 비반전 구동하여 상기 제 4 입력 데이터(Din3)를 생성할 수 있다.

[0029] 도 4에서, 상기 반도체 메모리 장치(1)는 복수개의 데이터 버퍼(51~54)를 더 포함할 수 있다. 상기 데이터 버퍼(51~54)는 상기 데이터 패드(21~24)를 통해 입력되는 제 1 내지 제 4 데이터(D0~D3)를 증폭하여 출력한다. 또한, 상기 반도체 메모리 장치(1)는 복수개의 입력 드라이버(61~64)를 더 포함할 수 있다. 상기 입력 드라이버(61~64)는 상기 제 1 내지 제 4 입력 데이터 생성부(310~340)에 의해 생성된 상기 제 1 내지 제 4 입력 데이터(Din0~Din3)를 데이터 클럭 신호(DCLK)에 동기시켜 상기 제 1 내지 제 4 비트라인(BL0~BL3)으로 전송한다.

[0030] 도 5는 도 4의 제 2 입력 데이터 생성부의 실시예의 구성을 보여주는 도면이다. 도 5에서 상기 제 2 입력 데이터 생성부(320)는 제 1 비반전 구동부(321), 제 2 비반전 구동부(322), 제 1 반전 구동부(323), 제 1 패스 게이트(324) 및 제 2 패스 게이트(325)를 포함한다. 상기 제 1 비반전 구동부(321)는 상기 제 2 데이터(D1)를 비반전 구동한다. 상기 제 2 비반전 구동부(322)는 상기 멀티 비트 테스트 신호(TBL<1>)에 응답하여 상기 제 1 데이터(D0)를 비반전 구동하고, 상기 제 1 반전 구동부(323)는 상기 멀티 비트 테스트 신호(TBL<1>)에 응답하여 상기 제 1 데이터(D0)를 반전 구동한다. 상기 제 1 패스 게이트(324)는 상기 테스트 모드 신호(TXDQ) 및 인버터(326)에 의해 상기 테스트 모드 신호(TXDQ)가 반전된 신호에 응답하여 상기 제 1 비반전 구동부(321)의 출력을 상기 제 2 입력 데이터(Din1)로 출력한다. 상기 제 2 패스 게이트(325)는 상기 테스트 모드 신호(TXDQ) 및 인버터(327)에 의해 상기 테스트 모드 신호(TXDQ)가 반전된 신호에 응답하여 상기 제 2 비반전 구동부(322)의 출력 또는 상기 제 1 반전 구동부(323)의 출력 중 하나를 상기 제 2 입력 데이터(Din1)로 출력한다. 따라서, 상기 제 2 입력 데이터 생성부(320)는 상기 반도체 메모리 장치(1)의 노멀 라이트 동작에서 상기 제 2 데이터(D1)로부터 상기 제 2 입력 데이터(Din1)를 생성하고, 상기 반도체 메모리 장치(1)의 멀티 비트 테스트의 라이트 동작에서 상기 제 1 데이터(D0)로부터 상기 제 2 입력 데이터(Din1)를 생성할 수 있다.

[0031] 더 상세하게는, 상기 반도체 메모리 장치(1)의 노멀 동작에서 상기 테스트 모드 신호(TXDQ)는 비활성화된다. 따라서, 상기 제 1 패스 게이트(324)는 턴온되고 상기 제 2 패스 게이트(325)는 턴오프된다. 따라서, 상기 제 2 입력 데이터 생성부(320)는 상기 제 2 데이터(D1)를 비반전 구동하여 상기 제 2 입력 데이터(Din1)를 생성할 수 있다. 상기 반도체 메모리 장치(1)가 멀티 비트 테스트 동작을 수행하면 상기 테스트 모드 신호(TXDQ)는 활성화되고, 이에 따라 상기 제 1 패스 게이트(324)는 턴오프되고 상기 제 2 패스 게이트(325)는 턴온된다. 따라서, 상기 제 2 입력 데이터 생성부(320)는 상기 제 1 데이터(D0)로부터 상기 제 2 입력 데이터(Din1)를 생성할 수 있다. 이 때, 상기 제 2 비반전 구동부(322) 및 상기 제 1 반전 구동부(323) 중 하나가 상기 멀티 비트 테스트 신호(TBL<1>)에 응답하여 활성화되고, 상기 제 1 데이터(D0)는 상기 제 2 비반전 구동부(322) 또는 상기 제 1 반전 구동부(323)에 의해 비반전 또는 반전 구동되어 상기 제 2 입력 데이터(Din1)로 출력될 수 있다.

[0032] 도 4의 제 3 내지 제 4 입력 데이터 신호 생성부(330, 340)는 상기 제 2 입력 데이터 생성부(320)와 동일하게 구성되어 각각 제 3 및 제 4 입력 데이터(Din2, Din3)를 생성한다. 상기 제 1 입력 데이터 생성부(310)는 상기 제 2 내지 제 4 입력 데이터 생성부(320~340)와 다르게 상기 제 2 입력 데이터 생성부(320)의 제 1 비반전 구동부(321)만을 포함하여 구성될 수 있다.

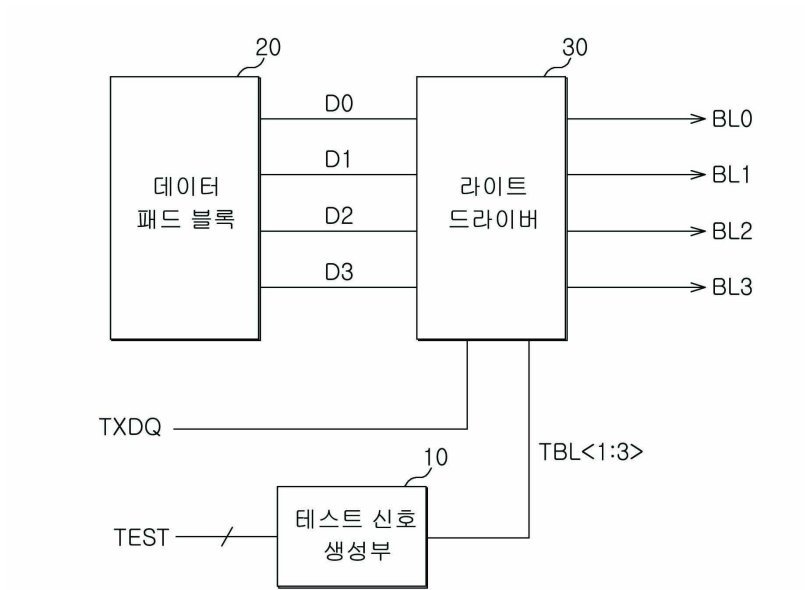
- [0033] 도 6은 본 발명의 실시예에 따른 반도체 메모리 장치의 동작 타이밍도이다. 도 2 내지 도 6을 참조하여 본 발명의 실시예에 따른 반도체 메모리 장치(1)의 동작을 설명하면 다음과 같다. 먼저, 상기 테스트 모드 신호(TXDQ)가 활성화되면 상기 반도체 메모리 장치(1)는 멀티 비트 테스트 동작을 수행한다. 상기 멀티 비트 테스트 동작이 수행되고, 라이트 커맨드(WRITE)가 입력됨과 동시에 어드레스 신호(A<3:9>, A<0:2>)가 함께 입력된다. 상기 어드레스 신호(A<3:9>)는 액티브 동작 및 라이트 동작에서 모두 사용되는 어드레스 신호이고, 상기 어드레스 신호(A<0:2>)는 액티브 동작에서는 사용되지만 라이트 동작에서는 사용되지 않는 어드레스 신호이다. 이하에서는 첫 번째 라이트 커맨드(WRITE) 입력 시에 001의 논리 레벨을 갖는 어드레스 신호(A<0:2>)가 입력되고, 두 번째 라이트 커맨드(WRITE) 입력 시에 110의 논리 레벨을 갖는 어드레스 신호(A<0:2>)가 입력되는 경우를 예로 설명한다.
- [0034] 상기 라이트 커맨드(WRITE) 및 상기 어드레스 신호(A<3:9>, A<0:2>)가 입력되면 상기 반도체 메모리 장치(1) 내부적으로 상기 라이트 신호(WT)를 생성한다. 상기 라이트 신호(WT)가 인에이블되면 상기 멀티 비트 테스트 신호 생성부(100)는 상기 어드레스 신호(A<0:2>)에 따라 상기 멀티 비트 테스트 신호(TBL<1:3>)를 생성한다. 즉, 상기 어드레스 신호(A<0:2>)가 001의 논리 레벨을 가지므로, 상기 멀티 비트 테스트 신호 생성부(100)는 001의 논리 레벨을 갖는 상기 멀티 비트 테스트 신호(TBL<1:3>)를 생성한다. 이 때, 논리 레벨 0을 갖는 상기 제 1 데이터(D0)가 상기 데이터 패드(21)를 통해 입력된 경우, 상기 라이트 드라이버부(300)의 상기 제 1 입력 데이터 생성부(310)는 논리 레벨 0의 제 1 입력 데이터(Din0)를 생성한다. 상기 제 2 입력 데이터 생성부(320)는 논리 레벨 0의 멀티 비트 테스트 신호(TBL<1>)를 입력 받으므로 상기 제 1 데이터(D0)를 비반전 구동하여 논리 레벨 0의 제 2 입력 데이터(Din1)를 생성한다. 상기 제 3 입력 데이터 생성부(330)는 논리 레벨 0의 멀티 비트 테스트 신호(TBL<2>)를 입력 받으므로 상기 제 1 데이터(D0)를 비반전 구동하여 논리 레벨 0의 제 3 입력 데이터(Din2)를 생성한다. 상기 제 4 입력 데이터 생성부(340)는 논리 레벨 1의 멀티 비트 테스트 신호(TBL<3>)를 입력 받으므로 상기 제 1 데이터(D0)를 반전 구동하여 논리 레벨 1의 제 4 입력 데이터(Din3)를 생성한다. 이 후, 상기 데이터 클럭 신호(DCLK)가 인에이블되면 상기 입력 드라이버(61~64)는 0001의 논리 레벨을 갖는 상기 제 1 내지 제 4 입력 데이터(Din0~Din3)를 각각의 비트라인(BL0~BL3)으로 전송한다. 상기 비트라인(BL0~BL3)으로 전송된 0001의 데이터는 상기 반도체 메모리 장치(1)의 메모리 셀에 저장된다.
- [0035] 두 번째 라이트 커맨드(WRITE)가 입력되고, 110의 논리 레벨을 갖는 어드레스 신호(A<0:2>)가 입력되면, 상기 멀티 비트 테스트 신호 생성부(100)는 110의 논리 레벨을 갖는 상기 멀티 비트 테스트 신호(TBL<1:3>)를 생성한다. 이 때, 논리 레벨 0을 갖는 상기 제 1 데이터(D0)가 상기 데이터 패드(21)를 통해 입력된 경우, 상기 라이트 드라이버부(300)의 상기 제 1 입력 데이터 생성부(310)는 논리 레벨 0의 제 1 입력 데이터(Din0)를 생성한다. 상기 제 2 입력 데이터 생성부(320)는 논리 레벨 1의 멀티 비트 테스트 신호(TBL<1>)를 입력 받으므로 상기 제 1 데이터(D0)를 반전 구동하여 논리 레벨 1의 제 2 입력 데이터(Din1)를 생성한다. 상기 제 3 입력 데이터 생성부(330)는 논리 레벨 1의 멀티 비트 테스트 신호(TBL<2>)를 입력 받으므로 상기 제 1 데이터(D0)를 반전 구동하여 논리 레벨 1의 제 3 입력 데이터(Din2)를 생성한다. 상기 제 4 입력 데이터 생성부(340)는 논리 레벨 0의 멀티 비트 테스트 신호(TBL<3>)를 입력 받으므로 상기 제 1 데이터(D0)를 비반전 구동하여 논리 레벨 0의 제 4 입력 데이터(Din3)를 생성한다. 이 후, 상기 데이터 클럭 신호(DCLK)가 인에이블되면 상기 입력 드라이버(61~64)는 0110의 논리 레벨을 갖는 상기 제 1 내지 제 4 입력 데이터(Din0~Din3)를 각각의 비트라인(BL0~BL3)으로 전송하고, 상기 비트라인(BL0~BL3)으로 전송된 0110의 데이터는 상기 반도체 메모리 장치(1)의 메모리 셀에 저장된다.
- [0036] 따라서, 본 발명의 실시예에 따른 반도체 메모리 장치(1)는 별도의 테스트 신호를 입력시켜 상기 멀티 비트 테스트 신호(TBL<1:3>)를 리셋하거나 설정하는 동작이 불필요하며, 상기 반도체 메모리 장치(1)로 입력되는 어드레스 신호(A<0:2>)를 이용하여 상기 멀티 비트 테스트 신호(TBL<1:3>)를 생성하여 원하는 논리 레벨을 갖는 데이터를 상기 비트라인과 연결된 메모리 셀에 저장시킬 수 있다. 따라서, 상기 반도체 메모리 장치(1)는 어드레스 신호의 입력을 변화시켜 다양한 패턴의 데이터를 저장시켜 테스트 동작을 수행할 수 있어 테스트 시간을 감소시킬 수 있다.
- [0037] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

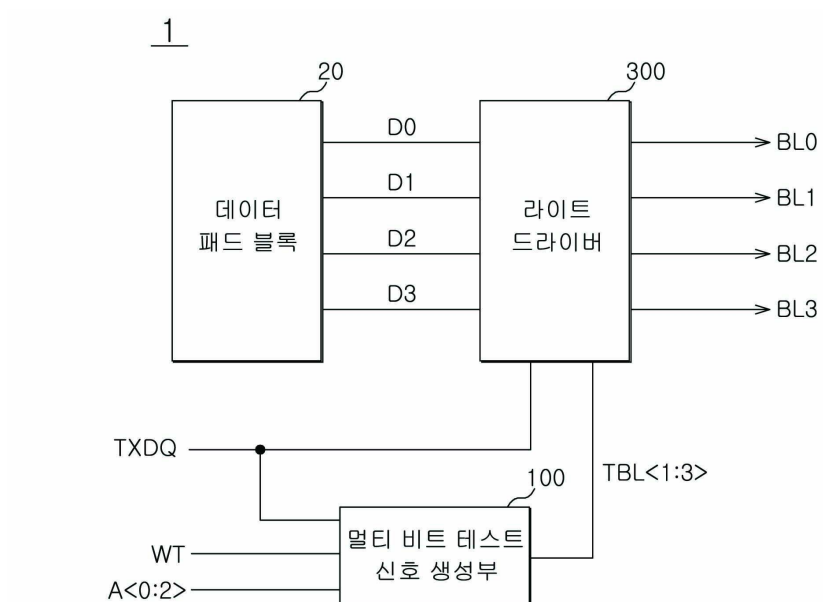
- [0038]
- | | |
|----------------|-----------------------|
| 10: 테스트 신호 생성부 | 20: 데이터 패드 블록 |
| 30: 라이트 드라이버 | 100: 멀티 비트 테스트 신호 생성부 |
| 300: 라이트 드라이버부 | |

도면

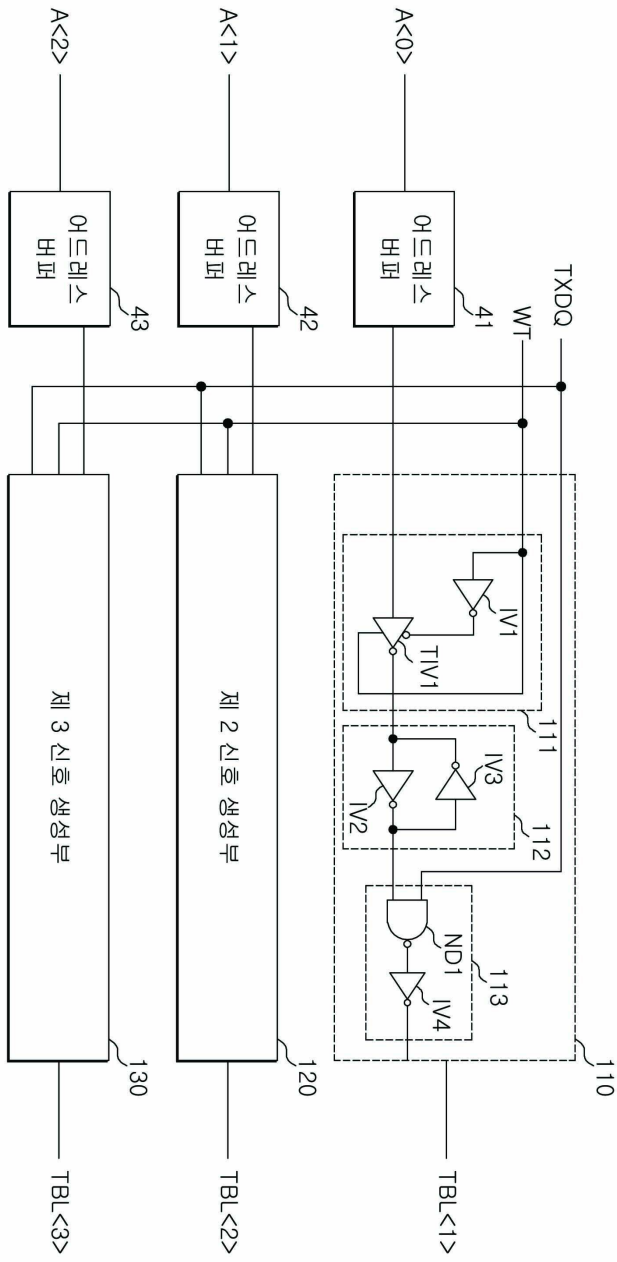
도면1



도면2

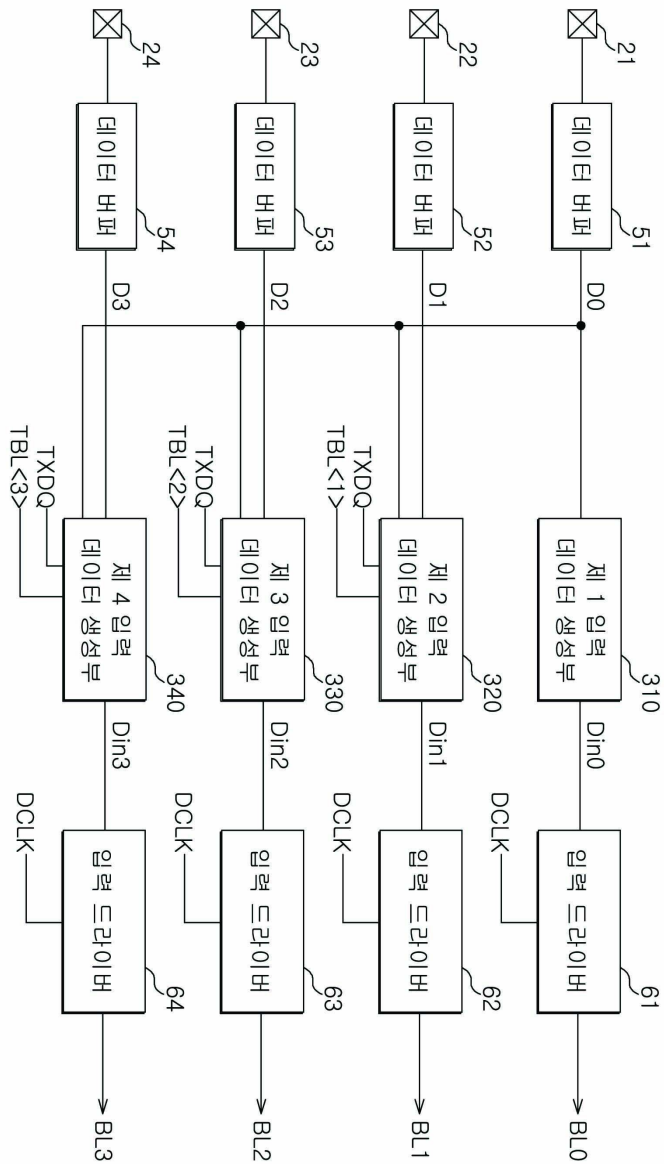


도면3



100

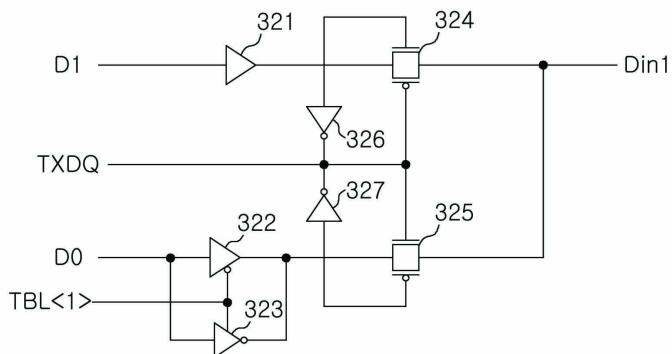
도면4



20,300

도면5

320



도면6

