



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0052174
(43) 공개일자 2010년05월19일

(51) Int. Cl.

G02F 1/136 (2006.01) *H01L* 29/786 (2006.01)

(21) 출원번호 10-2008-0111077

(22) 출원일자 2008년11월10일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

경희대학교 산학협력단

경기도 용인시 기흥구 서천동 1 경희대학교 국제 캠퍼스내

(72) 발명자

장영진

경기도 용인시 기흥구 서천동 서그내마을 SK아파트 104동 506호

최재범

경기 수원시 영통구 영통동 황골마을2단지 벽산아파트 222동 1801호

(뒷면에 계속)

(74) 대리인

특허법인가산

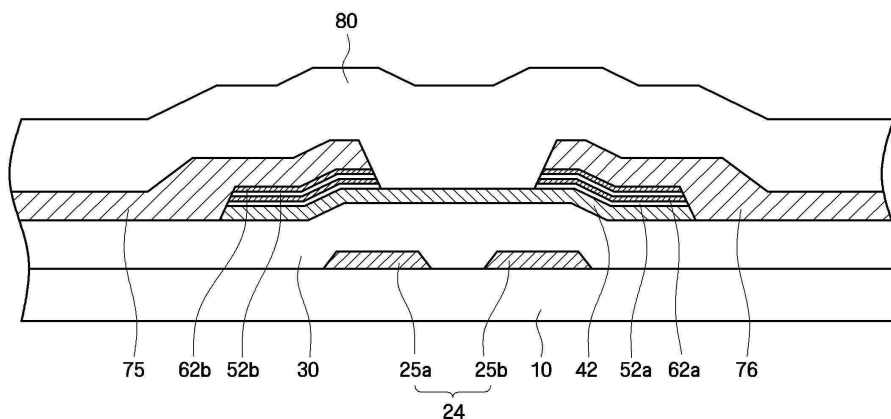
전체 청구항 수 : 총 14 항

(54) 박막 트랜지스터, 박막 트랜지스터 표시판 및 박막 트랜지스터의 제조 방법

(57) 요약

게이트 오프시 누설되는 전류를 감소시키기 위한 구조의 박막 트랜지스터, 박막 트랜지스터 표시판 및 박막 트랜지스터의 제조 방법이 제공된다. 게이트 전극과, 게이트 전극상에 형성된 게이트 절연막과, 게이트 절연막 상에 게이트 전극과 중첩되며 다결정 실리콘을 포함하는 액티브층과, 액티브층 상에 형성되며 액티브층과 일부 중첩되는 소스 전극과, 액티브층 상에 형성되며 액티브층과 일부 중첩되고 소스 전극과 이격형성된 드레인 전극과, 액티브층과 소스 전극 사이 및 액티브층과 드레인 전극 사이에 형성된 오믹 콘택층을 포함하되, 오믹 콘택층은 비정질 실리콘층을 포함하는 제1 오믹 콘택층과 불순물이 함유된 비정질 실리콘층을 포함하는 제2 오믹 콘택층을 포함한다.

대표도 - 도2



(72) 발명자

나형돈

서울 동작구 사당3동 155-1

신권우

경기도 화성시 진안동 860-9번지 506호

정인도

경기도 용인시 기흥구 농서동 삼성전자(주)기흥공장 LCD연구동 4층 MD공정개발

진성현

인천광역시 부평구 산곡1동 4-2 25/4

황시우치

경기도 수원시 영통구 영통동 신나무실 APT 544동 1302호

장진

서울특별시 서초구 잠원동 잠원한신 7차 302동 908호

특허청구의 범위

청구항 1

게이트 전극;

상기 게이트 전극상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 상기 게이트 전극과 중첩되며 다결정 실리콘을 포함하는 액티브층;

상기 액티브층 상에 형성되며 상기 액티브층과 일부 중첩되는 소스 전극;

상기 액티브층 상에 형성되며 상기 액티브층과 일부 중첩되고 상기 소스 전극과 이격형성된 드레인 전극; 및

상기 액티브층과 상기 소스 전극 사이 및 상기 액티브층과 상기 드레인 전극 사이에 형성된 오믹 콘택층을 포함하되,

상기 오믹 콘택층은 비정질 실리콘층을 포함하는 제1 오믹 콘택층과 불순물이 함유된 비정질 실리콘층을 포함하는 제2 오믹 콘택층을 포함하는 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층은 적어도 하나씩 교대로 배치되는 박막 트랜지스터.

청구항 3

제1항에 있어서,

상기 제2 오믹 콘택층은 n형 불순물을 포함하는 박막 트랜지스터.

청구항 4

제3항에 있어서,

상기 n형 불순물은 인(phosphorus)으로 도핑되어 형성되는 박막 트랜지스터.

청구항 5

제1항에 있어서,

상기 게이트 전극은 제1 전극 및 제2 전극으로 분지되어 상기 제1 전극은 상기 소스 전극과 적어도 일부가 중첩되며, 상기 제2 전극은 상기 드레인 전극과 적어도 일부가 중첩되는 박막 트랜지스터.

청구항 6

절연 기판;

상기 절연 기판 상에 형성된 게이트 전극;

상기 게이트 전극상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 상기 게이트 전극과 중첩되며 다결정 실리콘을 포함하는 액티브층;

상기 액티브층 상에 형성되며 상기 액티브층과 일부 중첩되는 소스 전극;

상기 액티브층 상에 형성되며 상기 액티브층과 일부 중첩되고 상기 소스 전극과 이격형성된 드레인 전극;

상기 액티브층과 상기 소스 전극 사이 및 상기 액티브층과 상기 드레인 전극 사이에 형성된 오믹 콘택층; 및

상기 드레인 전극과 연결된 화소 전극을 포함하되,

상기 오믹 콘택층은 비정질 실리콘층을 포함하는 제1 오믹 콘택층과 불순물이 함유된 비정질 실리콘층을 포함하는 제2 오믹 콘택층을 포함하는 박막 트랜지스터 표시판.

청구항 7

제6항에 있어서,

상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층은 적어도 하나씩 교대로 배치되는 박막 트랜지스터 표시판.

청구항 8

제6항에 있어서,

상기 제2 오믹 콘택층은 n형 불순물을 포함하는 박막 트랜지스터 표시판.

청구항 9

제8항에 있어서,

상기 n형 불순물은 인(phosphorus)으로 도핑되어 형성되는 박막 트랜지스터 표시판.

청구항 10

제6항에 있어서,

상기 게이트 전극은 제1 전극 및 제2 전극으로 분지되어 상기 제1 전극은 상기 소스 전극과 적어도 일부가 중첩되며, 상기 제2 전극은 상기 드레인 전극과 적어도 일부가 중첩되는 박막 트랜지스터 표시판.

청구항 11

게이트 전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 상기 게이트 전극과 중첩되며 다결정 실리콘을 포함하는 액티브층을 형성하는 단계;

상기 액티브층 상에 비정질 실리콘층을 포함하는 제1 오믹 콘택층과 불순물이 함유된 비정질 실리콘층을 포함하는 제2 오믹 콘택층을 포함하는 오믹 콘택층을 형성하는 단계;

상기 오믹 콘택층 상에 서로 이격되어 형성되며 상기 액티브층과 일부 중첩되는 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조 방법.

청구항 12

제11항에 있어서,

상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층은 적어도 하나씩 교대로 배치되는 박막 트랜지스터의 제조 방법.

청구항 13

제11항에 있어서,

상기 제2 오믹 콘택층은 n형 불순물을 포함하는 박막 트랜지스터의 제조 방법.

청구항 14

제13항에 있어서,

상기 제2 오믹 콘택층은 인을 포함한 가스로 도핑하여 형성하는 박막 트랜지스터의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터, 박막 트랜지스터 표시판 및 박막 트랜지스터의 제조 방법에 관한 것으로서, 더욱 상세하게는 게이트 오프시 누설되는 전류를 감소시키기 위한 구조의 박막 트랜지스터, 박막 트랜지스터 표시판

및 박막 트랜지스터의 제조 방법에 관한 것이다.

배경 기술

- [0002] 액정 표시 장치(Liquid Crystal Display: LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display: FPD) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 영상을 표시하는 장치이다.
- [0003] 일반적으로, 액정 표시 장치는 각 화소를 스위칭하기 위한 박막 트랜지스터를 포함한다. 박막 트랜지스터는 스위칭 신호를 인가받는 게이트 전극과, 데이터 전압이 인가되는 소스 전극과, 데이터 전극을 출력하는 드레인 전극을 삼단자로 하여 스위칭 소자를 이룬다. 이러한 박막 트랜지스터는 게이트 전극과 소스 전극 및 드레인 전극 사이에 형성된 액티브층을 포함한다. 이때, 박막 트랜지스터에 포함되는 액티브층은 비정질 실리콘 또는 다결정 실리콘이 주로 사용된다.
- [0004] 비정질 실리콘 박막 트랜지스터는 비정질 실리콘에 비해 전자 이동도가 높아 구동 속도가 빠르고 출력 전류가 트다는 장점이 있다. 그러나, 다결정 실리콘 박막 트랜지스터는 게이트 오프시에도 누설 전류가 크다는 문제가 있다.

발명의 내용

해결 하고자 하는 과제

- [0005] 본 발명이 이루고자 하는 과제는 게이트 오프시 누설되는 전류를 감소시키기 위한 구조의 박막 트랜지스터를 제공하고자 하는 것이다.
- [0006] 본 발명이 이루고자 하는 다른 과제는 게이트 오프시 누설되는 전류를 감소시키기 위한 구조의 박막 트랜지스터를 포함하는 박막 트랜지스터를 제공하고자 하는 것이다.
- [0007] 본 발명이 이루고자 하는 또 다른 과제는 게이트 오프시 누설되는 전류를 감소시키기 위한 구조의 박막 트랜지스터의 제조 방법을 제공하고자 하는 것이다.
- [0008] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- [0009] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터는, 게이트 전극과, 상기 게이트 전극 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 상기 게이트 전극과 중첩되며 다결정 실리콘을 포함하는 액티브층과, 상기 액티브층 상에 형성되며 상기 액티브층과 일부 중첩되는 소스 전극과, 상기 액티브층 상에 형성되며 상기 액티브층과 일부 중첩되고 상기 소스 전극과 이격형성된 드레인 전극과, 상기 액티브층과 상기 소스 전극 사이 및 상기 액티브층과 상기 드레인 전극 사이에 형성된 오믹 콘택층을 포함하되, 상기 오믹 콘택층은 비정질 실리콘층을 포함하는 제1 오믹 콘택층과 불순물이 함유된 비정질 실리콘층을 포함하는 제2 오믹 콘택층을 포함한다.
- [0010] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은, 절연 기판과, 상기 절연 기판 상에 형성된 게이트 전극과, 상기 게이트 전극 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 상기 게이트 전극과 중첩되며 다결정 실리콘을 포함하는 액티브층과, 상기 액티브층 상에 형성되며 상기 액티브층과 일부 중첩되는 소스 전극과, 상기 액티브층 상에 형성되며 상기 액티브층과 일부 중첩되고 상기 소스 전극과 이격형성된 드레인 전극과, 상기 액티브층과 상기 소스 전극 사이 및 상기 액티브층과 상기 드레인 전극 사이에 형성된 오믹 콘택층과, 상기 드레인 전극과 연결된 화소 전극을 포함하되, 상기 오믹 콘택층은 비정질 실리콘층을 포함하는 제1 오믹 콘택층과 불순물이 함유된 비정질 실리콘층을 포함하는 제2 오믹 콘택층을 포함한다.
- [0011] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법은, 게이트 전극 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 상기 게이트 전극과 중첩되며 다결정 실리콘을 포함하는 액티브층을 형성하는 단계와, 상기 액티브층 상에 비정질 실리콘층을 포함하는 제1 오믹 콘택층과 불순물이 함유된 비정질 실리콘층을 포함하는 제2 오믹 콘택층을 포함하는 오믹 콘택층을 형성하는 단계와, 상기 오믹

콘택층 상에 서로 이격되어 형성되며 상기 액티브층과 일부 중첩되는 소스 전극 및 드레인 전극을 형성하는 단계를 포함한다.

발명의 실시를 위한 구체적인 내용

- [0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0013] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.
- [0014] 이하, 도 1 및 도 2를 참조하여 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판에 대하여 상세히 설명한다. 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 2는 도 1의 박막 트랜지스터 표시판을 A-A' 선으로 절단한 박막 트랜지스터의 단면도이다.
- [0015] 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은 박막 트랜지스터 어레이(thin film transistor array)를 포함한다.
- [0016] 구체적으로 설명하면, 투명한 유리 등으로 이루어진 절연 기판(10) 위에 주로 가로 방향으로 뻗어 있고 게이트 신호를 전달하는 게이트선(22)이 형성되어 있다. 게이트선(22)은 하나의 화소에 대하여 하나씩 할당되어 있다. 그리고, 게이트선(22)에는 돌출한 게이트 전극(24)이 형성되어 있다. 이때, 게이트 전극(24)은 말단부가 제1 전극(25a) 및 제2 전극(25b)으로 분지되어 형성될 수 있다.
- [0017] 제1 전극(25a)은 소스 전극(75)과 적어도 일부가 중첩될 수 있으며, 제2 전극(25b)은 드레인 전극(76)과 적어도 일부가 중첩될 수 있다. 이와 같이, 게이트 전극(24)의 끝단부를 제1 전극(25a) 및 제2 전극(25b)으로 분할하게 되면, 후술할 액티브층(42)과 중첩되는 게이트 전극(24)이 두 개로 분할되는 효과가 발생한다.
- [0018] 게이트 전극(24)을 제1 전극(25a) 및 제2 전극(25b)으로 분할함으로써, 박막 트랜지스터(Q)의 누설 전류를 감소시키는 효과가 발생한다.
- [0019] 게이트선(22) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 등으로 이루어진 게이트 절연막(30)이 형성되어 있다.
- [0020] 게이트 전극(24)과 게이트 절연막(30) 위에는 다결정 실리콘 등으로 이루어진 액티브층(42)이 형성되어 있다. 액티브층(42)은 섬모양, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 섬모양으로 형성될 수 있다.
- [0021] 액티브층(42)은 박막 트랜지스터(Q)가 온(on) 상태인 경우에 전기적 채널이 형성되어 후술할 소스 전극(75) 및 드레인 전극(76) 사이에 전류가 흐르도록 하는 역할을 한다. 이때, 액티브층(42)은 다결정 실리콘으로 형성되어 채널의 전기 이동도가 높아 박막 트랜지스터의 구동 특성을 향상시킬 수 있다.
- [0022] 액티브층(42)의 상부에는 액티브층(42)과 소스 전극(75) 사이 및 액티브층(42)과 드레인 전극(76) 사이의 저항성 접촉 특성을 향상시키기 위해 오믹 콘택층(52a, 52b, 62a, 62b)이 형성되어 있다. 오믹 콘택층(52a, 52b, 62a, 62b)은 비정질 실리콘층을 포함하는 제1 오믹 콘택층(52a, 52b)과 불순물이 함유된 비정질 실리콘층을 포함하는 제2 오믹 콘택층(62a, 62b)을 포함한다.
- [0023] 제1 오믹 콘택층(52a, 52b)은 전기적 저항이 제2 오믹 콘택층(62a, 62b)에 비해 상대적으로 높게 형성되어 있다. 이러한 제1 오믹 콘택층(52a, 52b)은 비정질 실리콘 등을 포함하여 형성되며, 전기적 저항성이 높아 박막 트랜지스터(Q)의 누설 전류를 방지하는 역할을 한다. 즉, 다결정 실리콘으로 액티브층(42)을 형성하는 경우, 전자 이동도가 높아 박막 트랜지스터(Q)가 오프 상태인 경우에도 일정한 전류가 누설될 수 있어, 제1 오믹 콘택층(52a, 52b)에 의해 전류가 누설되는 것을 방지할 수 있다.
- [0024] 제2 오믹 콘택층(62a, 62b)은 불순물이 함유된 비정질 실리콘을 포함함으로써, 제1 오믹 콘택층(52a, 52b)에 비해 상대적으로 전기적 저항이 낮게 형성된다. 이때, 제2 오믹 콘택층(62a, 62b)에 포함되는 불순물은 n형 불순

물을 사용할 수 있다. 이와 같은 n형 불순물을 포함하는 비정질 실리콘은 인(phosphorus)을 도핑함으로써 형성할 수 있다. 이와 같은 제2 오믹 콘택층(62a, 62b)은 화학 기상 증착 방법(chemical vapor deposition: CVD)으로 형성될 수 있다. 제1 오믹 콘택층(52a, 52b)과 제2 오믹 콘택층(62a, 62b)을 형성하는 방법에 관해서는 구체적으로 후술한다.

- [0025] 제1 오믹 콘택층(52a, 52b) 및 제2 오믹 콘택층(62a, 62b)은 각각 적어도 한층 이상이 형성될 수 있다. 예를 들면, 도 2에 도시된 바와 같이 제1 오믹 콘택층(52a, 52b)과 제2 오믹 콘택층(62a, 62b)은 적어도 하나씩 교대로 형성될 수 있다. 이러한 제1 오믹 콘택층(52a, 52b)과 제2 오믹 콘택층(62a, 62b)은 각각 동일한 개수로 형성될 수 있으며, 제1 오믹 콘택층(52a, 52b) 및 제2 오믹 콘택층(62a, 62b) 중 적어도 어느 한 층의 개수가 더 많게 형성될 수 있다.
- [0026] 제1 오믹 콘택층(52a, 52b) 및 제2 오믹 콘택층(62a, 62b)을 모두 포함하는 박막 트랜지스터의 전류 특성은 제2 오믹 콘택층(62a, 62b) 만으로 형성된 박막 트랜지스터에 비해 전류 특성이 우수하다.
- [0027] 도 3을 참조하여, 불순물을 포함하는 비정질 실리콘층만을 포함하는 박막 트랜지스터와 제1 오믹 콘택층(52a, 52b) 및 제2 오믹 콘택층(62a, 62b)을 모두 포함하는 박막 트랜지스터의 전류 특성을 비교하여 설명한다.
- [0028] 도 3은 박막 트랜지스터들의 전류 특성을 나타낸 그래프이다.
- [0029] 도 3에서, a는 오믹 콘택층으로 n형 불순물을 포함하는 비정질 실리콘층만을 사용하는 박막 트랜지스터에 10V의 전압이 인가되는 경우이며, a'는 오믹 콘택층으로 제1 오믹 콘택층(도 2의 52a, 52b 참조)과 제2 오믹 콘택층(도 2의 62a, 62b 참조)을 모두 포함하는 멀티 오믹 콘택층을 사용하는 박막 트랜지스터에 10V의 전압이 인가되는 경우이다.
- [0030] 한편, b는 오믹 콘택층으로 n형 불순물을 포함하는 비정질 실리콘층만을 사용하는 박막 트랜지스터에 0.1V의 전압이 인가되는 경우이며, b'는 오믹 콘택층으로 제1 오믹 콘택층(도 2의 52a, 52b 참조)과 제2 오믹 콘택층(도 2의 62a, 62b 참조)을 모두 포함하는 멀티 오믹 콘택층을 사용하는 박막 트랜지스터에 0.1V의 전압이 인가되는 경우이다.
- [0031] 각 박막 트랜지스터의 게이트 전극(도 2의 24 참조)에 게이트 오프(off) 전압이 인가될 때, 일정한 누설 전류가 흐르게 된다.
- [0032] a' 및 b'와 같이, 오믹 콘택층으로 제1 오믹 콘택층(52a, 52b)과 제2 오믹 콘택층(62a, 62b)을 모두 포함하는 멀티 오믹 콘택층을 사용하는 경우에는 게이트 오프 전압이 인가될 때, a 및 b와 같이 n형 불순물을 포함하는 비정질 실리콘층의 단일층만을 포함하는 경우에 비해 누설 전류가 현저하게 낮아졌음을 알 수 있다.
- [0033] 또한, 게이트 온(on) 전압이 인가되는 구간인 양의 전압을 나타내는 구간에서는 a' 및 b'의 출력전류가 a 및 b에 비해 일정한 레벨을 유지하면서 출력됨을 알 수 있다. 즉, 제1 오믹 콘택층(52a, 52b)과 제2 오믹 콘택층(62a, 62b)을 모두 포함하는 멀티 오믹 콘택층을 사용하는 박막 트랜지스터는 게이트 온 상태 또는 게이트 오프 상태의 특성이 모두 우수함을 알 수 있다.
- [0034] 다시 도 1 및 도 2를 참조하면, 액티브층(42) 상에 액티브층(42)과 일부 중첩하는 소스 전극(75)과 드레인 전극(76)이 형성된다. 소스 전극(75)과 드레인 전극(76)은 채널 영역을 사이에 두고 소정의 간격만큼 이격되어 형성된다.
- [0035] 소스 전극(75)은 일단이 데이터선(72)에 연결되어 있어, 데이터 전압은 인가 받는다. 데이터선(72)은 주로 세로 방향으로 연장되어 게이트선(22)과 격자 형태로 교차하여 화소를 정의하게 된다.
- [0036] 드레인 전극(76)은 소스 전극(75) 및 게이트 전극(24)과 함께 박막 트랜지스터(Q)의 삼단자를 형성한다. 이때, 드레인 전극(76)은 게이트 전극(24)에 인가되는 게이트 신호의 스위칭 동작에 따라 소스 전극(75)으로부터 데이터 전압을 인가받아 화소 전극(90)에 전달한다.
- [0037] 소스 전극(75), 드레인 전극(76), 데이터선(72) 및 노출된 액티브층(42) 상에는 보호막(passivation layer)(80)이 형성되어 있다. 보호막(80)은 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다. 또한, 보호막(80)은 유기막의 우수한 특성을 살리면서도 노출된 액티브층(42) 부분을 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.

- [0038] 보호막(80) 상에는 투명 전극으로 이루어진 화소 전극(90)이 형성된다. 화소 전극(90)은 보호막(80)에 형성된 콘택홀(미도시)에 의해 드레인 전극(76)과 연결된다.
- [0039] 이하, 도 4 내지 도 9를 참조하여 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 과정을 설명한다. 도 4 내지 도 9는 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도이다.
- [0040] 먼저 도 2 및 도 4를 참조하면, 절연 기판(10) 상에 게이트 전극(24)을 형성한다. 구체적으로, 절연 기판(10) 상에 게이트 도전층을 스퍼터링 등의 방식을 이용하여 적층한 후, 이를 사진 식각하여 게이트 전극(24)을 형성한다. 이때, 게이트 선(도 1의 22 참조) 및 스토리지 배선(미도시) 등이 함께 형성될 수 있다. 게이트 전극(24)은 게이트선(22)으로부터 연장되고, 액티브층(42) 하부에서 분지되어 제1 전극(25a) 및 제2 전극(25b)을 포함하게 된다.
- [0041] 다음으로 도 2 및 도 5를 참조하면, 게이트 전극(24) 및 절연 기판(10) 상에 질화규소(SiNx) 또는 산화규소(SiOx) 등으로 이루어진 게이트 절연막(30)을 증착한다. 그리고 게이트 절연막(30) 상에 수소화 비정질 실리콘 등으로 이루어진 비정질 실리콘층을 증착한다. 이와 같은, 게이트 절연막(30)과 수소화 비정질 규소층은 예를 들어, 화학 기상 증착(Chemical Vapor Deposition; CVD)으로 이루어질 수 있다.
- [0042] 다음으로, 비정질 실리콘층에 레이저 열처리(laser annealing), 노 열처리(furnace annealing) 또는 고상 결정화 공정을 통하여 비정질 실리콘을 결정화하여 다결정 실리콘층(40)을 형성한다.
- [0043] 다음으로 도 2 및 도 6을 참조하면, 다결정 실리콘층(40) 상에 제1 실리콘층(50a, 50b)과 제2 실리콘층(60a, 60b)을 적층한다. 여기서, 제1 실리콘층(50a, 50b)은 비정질 실리콘층을 포함하며, 제2 실리콘층(60a, 60b)은 n형 불순물 등을 포함하는 비정질 실리콘층을 포함한다. 이때, 제1 실리콘층(50a, 50b) 및 제2 실리콘층(60a, 60b)의 적층 순서는 다양하게 변형 가능하며, 제1 실리콘층(50a, 50b) 및 제2 실리콘층(60a, 60b)의 개수도 필요에 따라 가감할 수 있다.
- [0044] 이와 같은 제1 실리콘층(50a, 50b) 및 제2 실리콘층(60a, 60b)은 화학 기상 증착(Chemical Vapor Deposition; CVD) 등의 방식으로 이루어질 수 있다. 제1 실리콘층(50a, 50b) 및 제2 실리콘층(60a, 60b)은 화학 기상 증착시 사용되는 소스 가스의 비율 변화로 각각 형성할 수 있다.
- [0045] 제2 실리콘층(60a, 60b)은 n형 불순물을 비정질 실리콘층에 도핑할 수 있도록 인(Phosphorus)이 함유된 가스를 혼입하여 화학 기상 증착한다. 예를 들면, 화학 기상 증착시에 사용되는 소스 가스의 대략 10% 체적만큼 포스핀(phosphine; PH_3) 가스를 혼합하여, 비정질 실리콘층이 n형 불순물인 인(Phosphorus)이 도핑되도록 함으로써 높은 도전성을 갖는 다결정 실리콘층을 형성하도록 할 수 있다.
- [0046] 이와 같은 제1 실리콘층(50a, 50b) 및 제2 실리콘층(60a, 60b)은 동일한 챔버 내에서 반응 가스의 조절만으로 형성할 수 있어, 제1 실리콘층(50a, 50b) 및 제2 실리콘층(60a, 60b)을 중단없이 연속 공정으로 형성할 수 있다. 그러나, 필요에 따라 공정 조건의 변화를 위해서 제1 실리콘층(50a, 50b) 및 제2 실리콘층(60a, 60b)을 서로 다른 챔버에서 순차적으로 형성할 수 있다.
- [0047] 다음으로 도 2 및 도 7을 참조하면, 다결정 실리콘층(40), 제1 실리콘층(50a, 50b) 및 제2 실리콘층(60a, 60b)을 사진 식각하여 액티브층(42), 제1 실리콘 패턴(51a, 51b) 및 제2 실리콘 패턴(61a, 61b)을 형성한다.
- [0048] 다결정 실리콘층(40), 제1 실리콘층(50a, 50b) 및 제2 실리콘층(60a, 60b)은 동일 식각 마스크로 동시에 식각될 수 있으며, 각 층을 별도의 조건으로 따로 식각할 수 있다. 이러한 다결정 실리콘층(40), 제1 실리콘층(50a, 50b) 및 제2 실리콘층(60a, 60b)은 예를 들어 건식 식각으로 진행될 수 있다.
- [0049] 다음으로 도 2 및 도 8을 참조하면, 게이트 절연막(30), 제1 실리콘 패턴(51a, 51b) 및 제2 실리콘 패턴(61a, 61b) 상에 데이터 도전층을 적층하고, 패터닝하여 소스 전극(75) 및 드레인 전극(76)을 형성한다.
- [0050] 데이터 도전층의 식각은 데이터 도전층의 종류, 두께 등에 따라 다양한 방식으로 진행될 수 있지만, 예를 들어 습식 식각으로 진행될 수 있다.
- [0051] 다음으로 도 2 및 도 9를 참조하면, 소스 전극(75)과 드레인 전극(76) 사이에 노출된 제1 실리콘 패턴(51a, 51b)과 제2 실리콘 패턴(61a, 61b)을 제거하여 제1 오믹 콘택층(52a, 52b)과 제2 오믹 콘택층(62a, 62b)을 형성한다. 그 다음에 액티브층(42), 소스 전극(75) 및 드레인 전극(76) 등의 전면에 보호막(80)을 형성하여 박막 트랜지스터를 완성한다.

[0052] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자

[0053] 는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

[0054] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

[0055] 도 2는 도 1의 박막 트랜지스터 표시판을 A-A' 선으로 절단한 박막 트랜지스터의 단면도이다.

[0056] 도 3은 박막 트랜지스터들의 전류 특성을 나타낸 그래프이다.

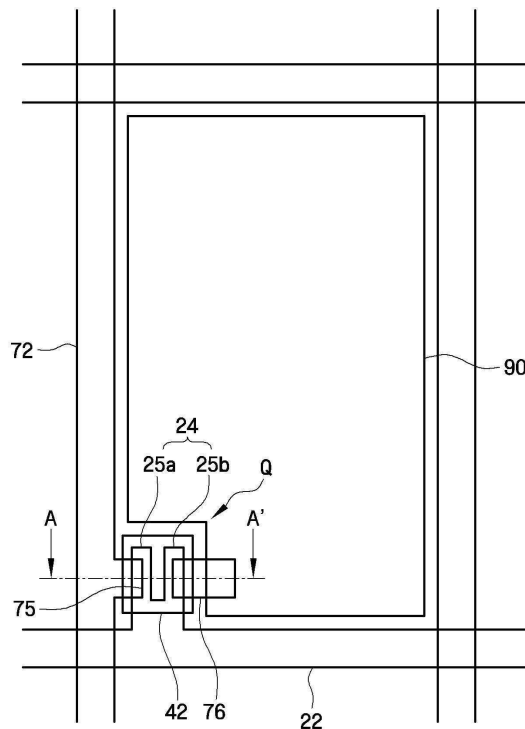
[0057] 도 4 내지 도 9는 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도이다.

[0058] <도면의 주요부분에 대한 부호의 설명>

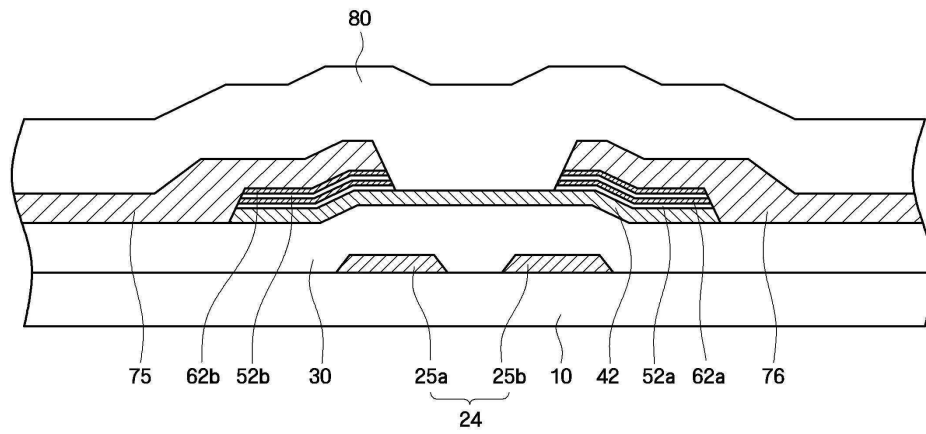
[0059]	10: 절연 기판	22: 게이트선
[0060]	24: 게이트 전극	30: 게이트 절연막
[0061]	42: 액티브층	52a, 52b: 제1 오믹 콘택층
[0062]	62a, 62b: 제2 오믹 콘택층	75: 소스 전극
[0063]	76: 드레인 전극	80: 보호막
[0064]	90: 데이터선	

도면

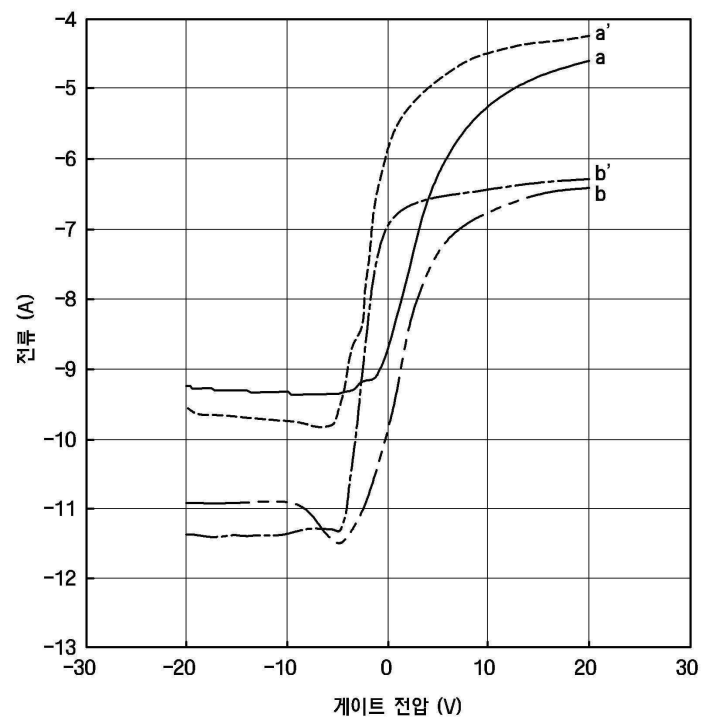
도면1



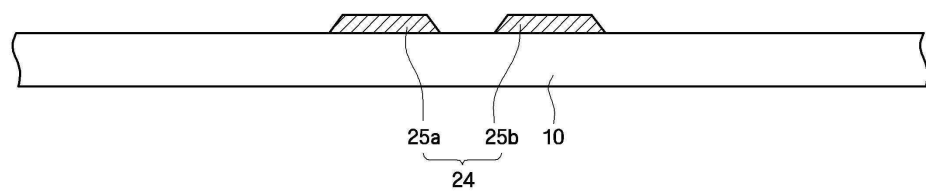
도면2



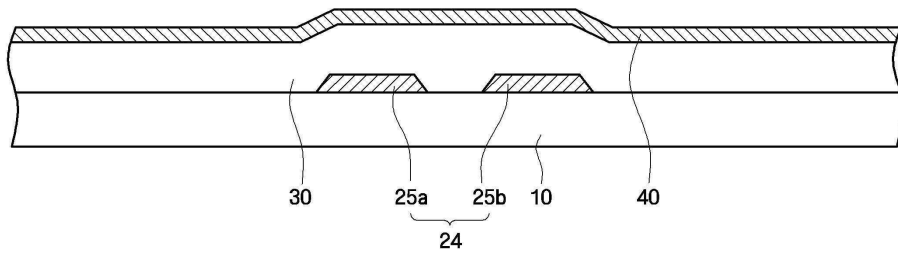
도면3



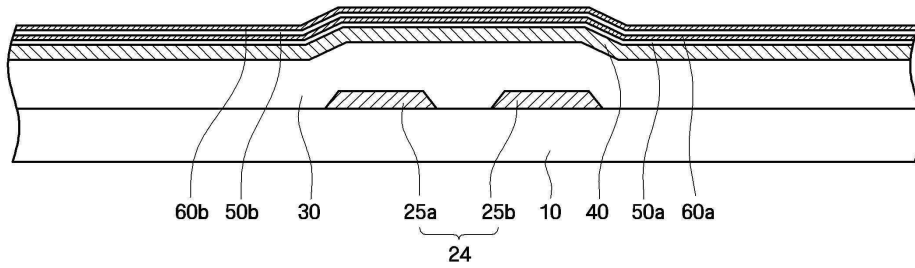
도면4



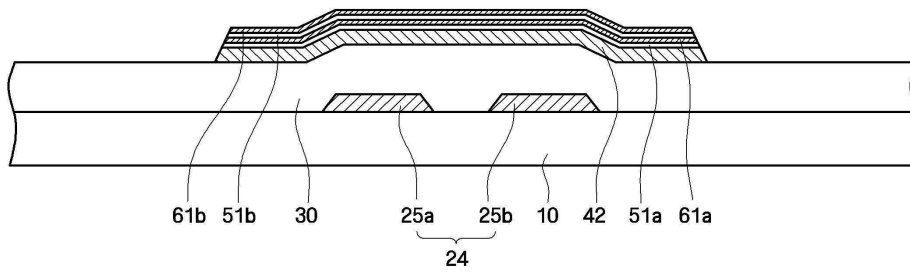
도면5



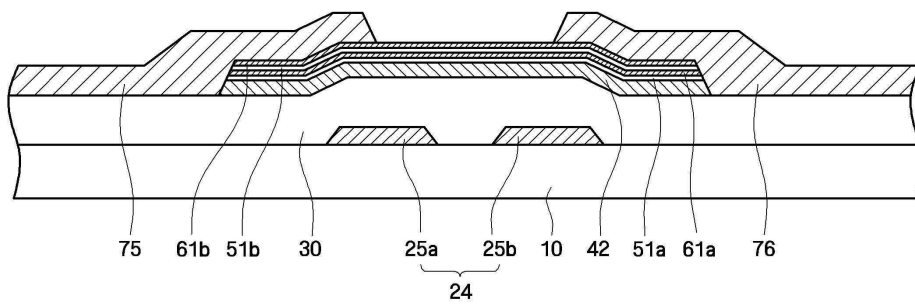
도면6



도면7



도면8



도면9

