

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5361651号  
(P5361651)

(45) 発行日 平成25年12月4日(2013.12.4)

(24) 登録日 平成25年9月13日(2013.9.13)

(51) Int.Cl.

F 1

H01L 21/336 (2006.01)

H01L 29/78 29/78

627C

H01L 29/786 (2006.01)

H01L 29/78

618B

G02F 1/1368 (2006.01)

H01L 29/78

618C

H01L 29/78

617L

G02F 1/1368

請求項の数 10 (全 50 頁) 最終頁に続く

(21) 出願番号

特願2009-237054 (P2009-237054)

(22) 出願日

平成21年10月14日 (2009.10.14)

(65) 公開番号

特開2010-123923 (P2010-123923A)

(43) 公開日

平成22年6月3日 (2010.6.3)

審査請求日 平成23年2月1日 (2011.2.1)

(31) 優先権主張番号 特願2008-271598 (P2008-271598)

(32) 優先日 平成20年10月22日 (2008.10.22)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 須沢 英臣

神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

(72) 発明者 笹川 慎也

神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

(72) 発明者 村岡 大河

神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

審査官 竹口 泰裕

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

## 【請求項 1】

基板上にゲート電極を形成し、

前記ゲート電極上にゲート絶縁層を、酸化シリコンを含む材料を用いて形成し、

前記ゲート絶縁層上に酸化物半導体層を形成し、

ウエットエッティングにより前記酸化物半導体層を加工して、島状の酸化物半導体層を形成し、

前記島状の酸化物半導体層を覆う導電層を形成し、

ドライエッティングにより前記導電層を加工して、ソース電極及びドレイン電極を形成し、

、  
塩素及び酸素を含むガスを用いてドライエッティングにより前記島状の酸化物半導体層の一部を除去して、前記島状の酸化物半導体層に凹部を形成し、前記凹部に対して、酸素ラジカル処理を行い、

該ドライエッティングでのエッティングレートは、前記ゲート絶縁膜より前記酸化物半導体層の方が大きく、前記酸化物半導体層より前記導電層の方が大きいことを特徴とする半導体装置の作製方法。

## 【請求項 2】

基板上にゲート電極を形成し、

前記ゲート電極上にゲート絶縁層を、酸化シリコンを含む材料を用いて形成し、

前記ゲート絶縁層上に酸化物半導体層を形成し、

10

20

ウエットエッティングにより前記酸化物半導体層を加工して、島状の酸化物半導体層を形成し、

前記島状の酸化物半導体層を覆う導電層を形成し、

塩素及び酸素を含むガスを用いてドライエッティングにより、前記導電層を加工してソース電極及びドレイン電極を形成するとともに、前記島状の酸化物半導体層の一部を除去して前記島状の酸化物半導体層に凹部を形成し、

前記凹部に対して、酸素ラジカル処理を行い、

前記ドライエッティングでのエッティングレートは、前記ゲート絶縁膜より前記酸化物半導体層の方が大きく、前記酸化物半導体層より前記導電層の方が大きいことを特徴とする半導体装置の作製方法。 10

### 【請求項3】

基板上にゲート電極を形成し、

前記ゲート電極上にゲート絶縁層を、酸化シリコンを含む材料を用いて形成し、

前記ゲート絶縁層上に第1の酸化物半導体層を形成し、

前記第1の酸化物半導体層上に、前記第1の酸化物半導体層よりも導電率が高い第2の酸化物半導体層を形成し、

ウエットエッティングにより前記第1の酸化物半導体層及び前記第2の酸化物半導体層を加工して、島状の第1の酸化物半導体層及び島状の第2の酸化物半導体層を形成し、

前記島状の第2の酸化物半導体層を覆う導電層を形成し、

ドライエッティングにより前記導電層を加工して、ソース電極及びドレイン電極を形成し 20

、  
塩素及び酸素を含むガスを用いてドライエッティングにより前記島状の第1の酸化物半導体層及び前記島状の第2の酸化物半導体層の一部を除去して、前記島状の第1の酸化物半導体層に凹部を形成し、

前記凹部に対して、酸素ラジカル処理を行い、

該ドライエッティングでのエッティングレートは、前記ゲート絶縁膜より前記酸化物半導体層の方が大きく、前記酸化物半導体層より前記導電層の方が大きいことを特徴とする半導体装置の作製方法。

### 【請求項4】

基板上にゲート電極を形成し、 30

前記ゲート電極上にゲート絶縁層を、酸化シリコンを含む材料を用いて形成し、

前記ゲート絶縁層上に第1の酸化物半導体層を形成し、

前記第1の酸化物半導体層上に、前記第1の酸化物半導体層よりも導電率が高い第2の酸化物半導体層を形成し、

ウエットエッティングにより前記第1の酸化物半導体層及び前記第2の酸化物半導体層を加工して、島状の第1の酸化物半導体層及び島状の第2の酸化物半導体層を形成し、

前記島状の第2の酸化物半導体層を覆う導電層を形成し、

塩素及び酸素を含むガスを用いてドライエッティングにより、前記導電層を加工してソース電極及びドレイン電極を形成するとともに、前記島状の第1の酸化物半導体層及び前記島状の第2の酸化物半導体層の一部を除去して前記島状の第1の酸化物半導体層に凹部を形成し、 40

前記凹部に対して、酸素ラジカル処理を行い、

前記ドライエッティングでのエッティングレートは、前記ゲート絶縁膜より前記酸化物半導体層の方が大きく、前記酸化物半導体層より前記導電層の方が大きいことを特徴とする半導体装置の作製方法。

### 【請求項5】

請求項1乃至4のいずれか一において、

前記酸素ラジカル処理は、前記基板側にバイアス電圧を印加せずに行うことの特徴とする半導体装置の作製方法。

### 【請求項6】

請求項 1 乃至 5 のいずれか一において、  
前記酸素ラジカル処理は、酸素を含み、且つN<sub>2</sub>、He 又はAr を含むガス雰囲気下で  
行うことを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、  
前記塩素及び酸素を含むガス中の前記酸素の含有量を、15 体積%以上とすることを特  
徴とする半導体装置の作製方法。

【請求項 8】

請求項 1 乃至 7 のいずれか一において、  
前記凹部を形成した後、200 ~ 600 の熱処理を行うことを特徴とする半導体装置 10  
の作製方法。

【請求項 9】

請求項 1 乃至 8 のいずれか一において、  
前記酸化物半導体層は、インジウム、ガリウム、及び亜鉛を含むことを特徴とする半導  
体装置の作製方法。

【請求項 10】

請求項 1 乃至 9 のいずれか一において、  
前記酸化物半導体層は、直径が1 ~ 10 nm である結晶粒を含むことを特徴とする半導  
体装置の作製方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

酸化物半導体を用いた半導体装置の作製方法に関する。

【背景技術】

【0002】

近年、酸化物半導体を用いて薄膜トランジスタ（TFTとも呼ぶ）を作製し、電子デバイス等に応用する技術が注目されている。例えば、特許文献1や特許文献2には、酸化物半導体膜として酸化亜鉛やIn-Ga-Zn-O系酸化物半導体などを用いて、画像表示装置のスイッチング素子などを作製する技術が開示されている。

【0003】

30

酸化物半導体を加工する技術としてはエッチング処理が代表的であるが（特許文献3、特許文献4等参照）、例えば、ウエットエッチングは等方的なエッチングであるため、素子の微細化には不向きという問題がある。また、薬液を用いる処理であるため、制御性の点で課題がある。一方で、ドライエッチングは、微細化、制御性の面では有利であるが、エッチングレートが小さく、処理に時間がかかるという問題がある。また、使用する装置によっては、エッチングの面内ばらつきが生じる可能性が高い。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-123861号公報

40

【特許文献2】特開2007-96055号公報

【特許文献3】特開2008-41695号公報

【特許文献4】特開2008-42067号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

このように、酸化物半導体を加工する技術は既にいくつか存在していたが、酸化物半導体を用いて半導体装置を作製しようとする場合に要求される条件を満たす加工技術は、未だ確立されていなかった。

【0006】

50

また、酸化物半導体にはインジウムなどの希少金属が使用されているが、従来のエッティングをはじめとする加工技術においては、これらの高価な金属類を含有する酸化物半導体層は、成膜された膜のうち大部分が除去されると共に廃棄されていた。このため、従来の加工技術では酸化物半導体を適用する半導体装置の作製にかかるコストを低減することが困難であった。また、省資源問題への対応が求められていた。

【0007】

上記問題点に鑑み、酸化物半導体を用いた半導体装置を作製する際の加工技術を確立することを課題の一とする。または、省資源問題に対応した半導体装置の作製方法を提供することを課題の一とする。

【課題を解決するための手段】

10

【0008】

開示する発明の一例は、活性層として機能する島状の酸化物半導体層と、それを覆う導電層を、ドライエッティングにより加工する。例えば、塩素と酸素を含むガスを用いたドライエッティングにより、導電層を加工してソース電極及びドレイン電極を形成すると共に、酸化物半導体層の一部を除去し、島状の酸化物半導体層に凹部を形成する。この際、島状の酸化物半導体層の下方に存在するゲート絶縁層には、酸化シリコンを含む材料を用いることが好ましい。

【0009】

又は、ゲート絶縁層上方の酸化物半導体層を、ウェットエッティングにより島状の酸化物半導体層に加工する。

20

【0010】

より詳細には、次の通りである。

【0011】

開示する発明の一例は、基板上に、ゲート電極と、該ゲート電極上方のゲート絶縁層と、該ゲート絶縁層上方の酸化物半導体層と、を形成し、ウェットエッティングにより、酸化物半導体層を加工して島状の酸化物半導体層を形成し、島状の酸化物半導体層を覆う導電層を形成し、ドライエッティングにより、導電層を加工してソース電極及びドレイン電極を形成し（形成すると共に）、島状の酸化物半導体層の一部を除去し、島状の酸化物半導体層に凹部を形成することを特徴とする。

【0012】

30

開示する発明の他の一例は、基板上に、ゲート電極と、該ゲート電極上方のゲート絶縁層と、該ゲート絶縁層上方の第1の酸化物半導体層と、を形成し、第1の酸化物半導体層上方に、第1の酸化物半導体層より導電率が高い第2の酸化物半導体層を形成し、ウェットエッティングにより、第1の酸化物半導体層及び第2の酸化物半導体層を加工して島状の第1の酸化物半導体層及び島状の第2の酸化物半導体層を形成し、島状の第2の酸化物半導体層を覆う導電層を形成し、ドライエッティングにより、導電層を加工してソース電極及びドレイン電極を形成し（形成すると共に）、島状の第1の酸化物半導体層及び島状の第2の酸化物半導体層の一部を除去し、島状の第1の酸化物半導体層に凹部を形成することを特徴とする。

【0013】

40

上記において、酸化物半導体層（第1の酸化物半導体層、及び第2の酸化物半導体層を含む）は、インジウム、ガリウム及び亜鉛を含んでいても良い。また、導電層として、酸化物半導体層（第1の酸化物半導体層、及び第2の酸化物半導体層を含む）に用いる材料よりドライエッティングにおけるエッティングレートが大きい材料を用いることができる。

【0014】

また、上記ドライエッティングは、塩素を含むガスを用いて行うことができる。この場合、ゲート絶縁層は、酸化シリコンを含む材料を用いて形成し、塩素を含むガスは酸素を含んでいることが好ましい。また、酸素の含有量を、塩素を含むガスの15体積%以上としても良い。

【0015】

50

また、上記ウエットエッティングの廃液から、金属元素を回収することもできる。

【0016】

開示する発明の一例は、基板上に、ゲート電極と、該ゲート電極上方のゲート絶縁層と、該ゲート絶縁層上方の島状の酸化物半導体層と、を形成し、島状の酸化物半導体層を覆う導電層を形成し、塩素と酸素を含むガスを用いたドライエッティングにより、導電層を加工してソース電極及びドレイン電極を形成し(形成すると共に)、酸化物半導体層の一部を除去し、島状の酸化物半導体層に凹部を形成することを特徴とする。

【0017】

上記において、酸化物半導体層は、インジウム、ガリウム及び亜鉛を含んでいても良い。また、導電層として、酸化物半導体層に用いる材料よりドライエッティングにおけるエッティングレートが大きい材料を用いることができる。また、ゲート絶縁層は、酸化シリコンを含む材料を用いて形成すると良い。また、酸素の含有量を、塩素と酸素を含むガスの15体積%以上としても良い。

10

【0018】

なお、「エッティングレート」とは、単位時間あたりにエッティングされる量(被エッティング量)を意味する。したがって、「エッティングレートが大きい」とは、よりエッティングされやすいことを意味し、「エッティングレートが小さい」とは、よりエッティングされにくいことを意味する。また、「エッティング選択比がとれる」とは、例えば、A層とB層をエッティングする場合に、A層のエッティングレートとB層のエッティングレートに十分な差を有することにより、A層とB層の一方をより多くエッティングできることを意味する。

20

【0019】

なお、本明細書中で用いることができる酸化物半導体の一例としては、 $InMO_3$  ( $ZnO$ )<sub>m</sub> ( $m > 0$ ) で表記されるものがある。ここで、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとしてGaが選択される場合には、Gaのみの場合の他に、GaとNiや、GaとFeなど、Ga以外の上記金属元素が選択される場合を含む。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においては、上記酸化物半導体のうち、Mとして少なくともガリウムを含むものをIn-Ga-Zn-O系酸化物半導体と呼び、当該材料を用いた薄膜をIn-Ga-Zn-O系非単結晶膜と呼ぶことがある。

30

【0020】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、表示装置、半導体回路および電子機器は全て半導体装置に含まれる。

【発明の効果】

【0021】

開示する発明において、活性層として機能する島状の酸化物半導体層と、それを覆う導電層を、ドライエッティングにより加工することで、半導体装置の微細化が可能となり、半導体装置の性能が向上する。又は、ゲート絶縁層上方の酸化物半導体層を、ウエットエッティングにより島状の酸化物半導体層に加工することで、スループットを向上させることができる。

40

【0022】

または、比較的エッティングの制御性が要求されないゲート絶縁層上方の酸化物半導体層のエッティング(島状酸化物半導体層への加工)をウエットエッティングにより行い、微細化やエッティングの制御性が要求されるチャネルエッチをドライエッティングにより行うことにより、作製プロセス全体としてスループットを向上させると共に半導体装置を高性能化することができる。

【0023】

または、酸化物半導体層を島状に加工する際にウエットエッティングを用いて行い、当該エッティング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用す

50

ることにより、資源を有効活用し低コスト化することができる。

【図面の簡単な説明】

【0024】

【図1】実施の形態1に係る半導体装置を説明する図である。

【図2】実施の形態2に係る半導体装置を説明する図である。

【図3】実施の形態2に係る半導体装置の作製方法を説明する図である。

【図4】エッチングレート及び選択比の酸素含有量依存性を示す図である。

【図5】実施の形態3に係る半導体装置の作製方法を説明する図である。

【図6】実施の形態3に係る半導体装置の作製方法を説明する図である。

【図7】実施の形態3に係る半導体装置の作製方法を説明する図である。

【図8】実施の形態3に係る半導体装置の作製方法を説明する図である。

【図9】実施の形態3に係る半導体装置の作製方法を説明する図である。

【図10】実施の形態3に係る半導体装置を説明する図である。

【図11】実施の形態3に係る半導体装置を説明する図である。

【図12】実施の形態3に係る半導体装置を説明する図である。

【図13】実施の形態4に係る半導体装置を説明する図である。

【図14】半導体装置のブロック図を説明する図である。

【図15】信号線駆動回路の構成を説明する図である。

【図16】信号線駆動回路の動作を説明するタイミングチャートである。

【図17】信号線駆動回路の動作を説明するタイミングチャートである。

【図18】シフトレジスタの構成を説明する図である。

【図19】図18に示すフリップフロップの接続構成を説明する図である。

【図20】実施の形態6に係る半導体装置の画素等価回路を説明する図である。

【図21】実施の形態6に係る半導体装置を説明する図である。

【図22】実施の形態5に係る半導体装置を説明する図である。

【図23】実施の形態6に係る半導体装置を説明する図である。

【図24】実施の形態6に係る半導体装置を説明する図である。

【図25】電子ペーパーの使用形態の例を説明する図である。

【図26】電子書籍の一例を示す外観図である。

【図27】テレビジョン装置およびデジタルフォトフレームの例を示す外観図である。

【図28】遊技機の例を示す外観図である。

【図29】携帯電話機の一例を示す外観図である。

【発明を実施するための形態】

【0025】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下に示す実施の形態の記載内容に限定されず、発明の趣旨から逸脱することなく形態及び詳細を様々に変更し得ることは当業者にとって自明である。また、異なる実施の形態に係る構成は、適宜組み合わせて実施することができる。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

【0026】

(実施の形態1)

本実施の形態では、半導体装置の作製工程の一例について、図1を用いて説明する。

【0027】

はじめに、絶縁表面を有する基板200上にゲート電極202を形成し、続いて当該ゲート電極202上にゲート絶縁層204と酸化物半導体層206を形成する(図1(A)参照)。

【0028】

絶縁表面を有する基板200としては、例えば、液晶表示装置などに使用される可視光透過性を有するガラス基板を用いることができる。上記のガラス基板は無アルカリガラス基板であることが好ましい。無アルカリガラス基板には、例えば、アルミニノシリケートガラ

10

20

30

40

50

ス、アルミニノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。他にも、絶縁表面を有する基板200として、セラミック基板、石英基板やサファイア基板などの絶縁体でなる絶縁性基板、珪素などの半導体材料でなる半導体基板の表面を絶縁材料で被覆したもの、金属やステンレスなどの導電体でなる導電性基板の表面を絶縁材料で被覆したもの、などを用いることができる。

#### 【0029】

ゲート電極202は、導電層を基板200全面に形成した後、フォトリソグラフィ法により形成されたレジストマスクを用いて、選択的に導電層をエッチングすることにより形成することができる。この際、後に形成されるゲート絶縁層204の被覆性を向上し、段切れを防止するために、ゲート電極202の端部がテーパー形状となるようエッチングすることが好ましい。なお、ゲート電極202にはゲート配線等、上記導電層によって形成される電極や配線が含まれる。

10

#### 【0030】

ゲート電極202は、アルミニウム(A1)や銅(Cu)などの低抵抗導電性材料で形成することができる。なお、配線及び電極としてアルミニウムを用いる場合、アルミニウム単体では耐熱性が低く、腐蝕しやすい等の問題点があるため、耐熱性導電性材料と組み合わせて形成することが好ましい。

#### 【0031】

耐熱性導電性材料は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、スカンジウム(Sc)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。これらの耐熱性導電性材料からなる膜とアルミニウム(又は銅)を積層させて、配線や電極を形成することができる。

20

#### 【0032】

ゲート絶縁層204は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜又は酸化タンタル膜等で形成することができる。また、これらの膜を積層させて設けてもよい。これらの膜は、スパッタ法等を用いて膜厚を50nm以上250nm以下で形成することができる。例えば、ゲート絶縁層204として、スパッタ法により酸化シリコン膜を100nmの厚さで形成することができる。

#### 【0033】

30

なお、ゲート絶縁層204上に酸化物半導体層206を形成する前に、ゲート絶縁層204の表面にプラズマ処理を行ってもよい。プラズマ処理を行うことにより、ゲート絶縁層204の表面に付着しているゴミを除去することができる。

#### 【0034】

プラズマ処理は、真空状態のチャンバーにアルゴン(Ar)ガス等の不活性ガスを導入し、被処理物(ここでは、ゲート絶縁層204が形成された基板200)にバイアス電圧を印加してプラズマ状態として行うことができる。この場合、プラズマ中には電子とArの陽イオンが存在し、陰極方向(基板200側)にArの陽イオンが加速される。加速されたArの陽イオンがゲート絶縁層204の表面に衝突することによって、当該ゲート絶縁層204の表面がスパッタエッチングされ、その表面を改質することができる。なお、アルゴンガスに代えて、ヘリウムガスを用いてもよい。また、アルゴン雰囲気に酸素、水素、窒素等を加えた雰囲気で行ってもよい。また、アルゴン雰囲気にCl<sub>2</sub>、CF<sub>4</sub>などを加えた雰囲気で行ってもよい。このようなプラズマ処理を「逆スパッタ」と呼ぶこともある。

40

#### 【0035】

酸化物半導体層206は、In-Ga-Zn-O系非単結晶膜で形成することができる。例えば、In、Ga、及びZnを含む酸化物半導体ターゲット(In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 1)を用いたスパッタ法で、酸化物半導体層206を形成する。スパッタの条件としては、例えば、基板200とターゲットとの距離を30mm~500mm、圧力を0.1Pa~2.0Pa、直流(DC)電源を0.25kW~5.0kW(直径

50

8インチのターゲット使用時)、雰囲気をアルゴン雰囲気、酸素雰囲気、又はアルゴンと酸素との混合雰囲気とすることができます。

【0036】

なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるため好ましい。また、上述したプラズマ処理を行った後、大気に曝すことなく酸化物半導体層206を形成することにより、ゲート絶縁層204と酸化物半導体層206の界面にゴミや水分が付着することを抑制することができる。また、酸化物半導体層206の膜厚は、5nm~200nm程度とすればよい。

【0037】

上記のスパッタ法としては、スパッタ用電源に高周波電源を用いるRFスパッタ法や、DCスパッタ法、パルス的に直流バイアスを加えるパルスDCスパッタ法などを用いることができる。

【0038】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置を用いてもよい。多元スパッタ装置では、同一チャンバーで異なる膜を積層形成することも、同一チャンバーで複数種類の材料を同時にスパッタして一の膜を形成することもできる。さらに、チャンバー内部に磁界発生機構を備えたマグネットロンスパッタ装置を用いる方法(マグネットロンスパッタ法)や、マイクロ波を用いて発生させたプラズマを用いるECRスパッタ法等を用いてもよい。また、成膜中にターゲット物質とスパッタガス成分とを化学反応させてこれらの化合物を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法等を用いてもよい。

【0039】

次に、酸化物半導体層206上にレジストマスク208を形成し、当該レジストマスク208を用いて酸化物半導体層206を選択的にエッチングして島状の酸化物半導体層210を形成する(図1(B)参照)。

【0040】

ここでは、ITO07N(関東化学社製)又は酢酸と硝酸と磷酸との混合液を用いたウエットエッチングにより、酸化物半導体層206の不要な部分を除去して、島状の酸化物半導体層210を形成する。なお、上記エッチングの後にはレジストマスク208は除去する。また、ウエットエッチングに用いるエッチャントは酸化物半導体層206をエッチングできるものであればよく上述したものに限られない。

【0041】

上記のエッチングとしては、ウエットエッチングを用いることが好ましい。ウエットエッチングを用いることで、大面積を均一に、かつ、短時間で加工することが可能となるためである。なお、ウエットエッチングを用いる場合には、エッチング後の廃液からインジウムなどの材料を回収して再利用することもできる。資源の有効活用という観点からも、上記のエッチングとしてウエットエッチングを用いることが好ましい。一方で、ドライエッ칭を用いる場合であっても島状の酸化物半導体層210を形成することは可能であるから、上記のエッチングからドライエッ칭を除外するものではない。

【0042】

次に、島状の酸化物半導体層210上に導電層212を形成する(図1(C)参照)。

【0043】

導電層212として、スパッタ法や真空蒸着法等を用いて、アルミニウム(A1)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タンゲステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素を含む金属、上述の元素を成分とする合金、または、上述の元素を成分とする窒化物等からなる材料で形成することができる。なお、導電層212の形成後に熱処理(例えば、200~600程度の熱処理)を行う場合には、導電層212に所定の耐熱性を持たせることができ。

【0044】

10

20

30

40

50

例えば、導電層 212 としてチタン膜の単層構造で形成することができる。また、導電層 212 を積層構造としても良く、例えば、アルミニウム膜とチタン膜との積層構造とすることができる。また、チタン膜と、ネオジムを含むアルミニウム (A1-Nd) 膜と、チタン膜の3層構造としてもよい。さらに、導電層 212 を、シリコンを含むアルミニウム膜の単層構造としてもよい。

【0045】

次に、導電層 212 上にレジストマスク 214a、レジストマスク 214b、レジストマスク 214c を形成し、導電層 212 を選択的にエッチングして、導電層 216a、216b、218 を形成すると共に、島状の酸化物半導体層 210 の一部（表面付近の一部）を除去（チャネルエッチ）し当該島状の酸化物半導体層 210 に凹部 220 を形成する（図 1 (D) 参照）。

【0046】

島状の酸化物半導体層 210 の一部が除去されて形成される凹部 220 は、導電層 216a と導電層 216b の間の領域にあたる。そのため、導電層 216a はトランジスタのソース電極又はドレイン電極の一方として機能し、導電層 216b はトランジスタのソース電極又はドレイン電極の他方として機能する。図 1 (D) に示すように、酸化物半導体層 210 の一部を除去して凹部 220 を形成することにより、導電層 216a と導電層 216b を確実に電気的に絶縁状態とすることができます。また、導電層 218 は、トランジスタ等の素子を電気的に接続する配線として機能する。

【0047】

なお、上記エッチングの後にはレジストマスク 214a、レジストマスク 214b、レジストマスク 214c は除去する。

【0048】

この際のエッチングとしてはドライエッチングを用いることが好ましい。ドライエッチングを用いることで、ウエットエッチングを用いる場合と比較して配線構造などの微細化が可能となる。また、ドライエッチングを用いることにより、エッチングの制御性が良いため、島状の酸化物半導体層 210 の除去（凹部 220 の形成）を制御性良く行うことができる。

【0049】

上記ドライエッチングとしては、特に、塩素を含有するガスを用いたドライエッチングを用いると良い。塩素を含有するガスを用いてエッチングを行うことで、塩素を含有しないガスを用いる場合と比較して、エッチングの面内ばらつきを低減することができるためである。

【0050】

上記塩素を含有するガスには、酸素が添加されているとより好ましい。塩素と酸素とを含有するガスを用いることで、ゲート絶縁層 204 と島状の酸化物半導体層 210 とのエッチング選択比がとりやすく、ゲート絶縁層 204 へのダメージを十分に低減できるためである。なお、この場合には、ゲート絶縁層 204 として酸化シリコンや酸化窒化シリコン、窒化酸化シリコンといった酸化シリコンを含む材料を用いることが好ましい。また、エッチングガス中の酸素ガスの含有量を 15 体積 % 以上とすることにより、ゲート絶縁層 204 と島状の酸化物半導体層 210 とのエッチング選択比を大きくし、ゲート絶縁層 204 へのダメージを効果的に低減することができる。

【0051】

ドライエッチングに用いるガスとしては、塩素 (Cl<sub>2</sub>) の他、塩化硼素 (BCl<sub>3</sub>)、塩化珪素 (SiCl<sub>4</sub>)、四塩化炭素 (CCl<sub>4</sub>) などの塩素系ガスや、四弗化炭素 (CF<sub>4</sub>)、弗化硫黄 (SF<sub>6</sub>)、弗化窒素 (NF<sub>3</sub>)、トリフルオロメタン (CHF<sub>3</sub>) などのフッ素系ガス、臭化水素 (HBr)、酸素 (O<sub>2</sub>)、これらのガスにヘリウム (He) やアルゴン (Ar) などの希ガスを添加したガス、などを用いることができる。

【0052】

また、導電層 212 の材料として、島状の酸化物半導体層 210 よりエッチングレートが

10

20

30

40

50

高い材料を用いることが好ましい。これは、ドライエッティングにより、導電層 212 と島状の酸化物半導体層 210 を一回でエッティングする場合、島状の酸化物半導体層 210 のエッティングレートを導電層 212 のエッティングレートより小さくすることにより、島状の酸化物半導体層 210 が過度にエッティングされることを抑制することができるためである。その結果、酸化物半導体層 210 の消失を抑制することが可能となる。

#### 【0053】

その後、200 ~ 600、代表的には300 ~ 500 の熱処理を行うと良い。ここでは、窒素雰囲気下で350、1時間の熱処理を行う。この熱処理により島状の酸化物半導体層 210 を構成する In - Ga - Zn - O 系酸化物半導体の原子レベルの再配列が行われる。この熱処理（光アニール等も含む）は、島状の酸化物半導体層 210 中におけるキャリアの移動を阻害する歪みを解放できる点で重要である。なお、上記の熱処理を行うタイミングは、酸化物半導体層 206 の形成後であれば特に限定されない。

10

#### 【0054】

また、露出している島状の酸化物半導体層 210 の凹部 220 に対して酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより島状の酸化物半導体層 210 をチャネル形成領域とする薄膜トランジスタをノーマリーオフとすることができます。また、ラジカル処理を行うことにより、島状の酸化物半導体層 210 のエッティングによるダメージを回復することができる。ラジカル処理は、O<sub>2</sub>、N<sub>2</sub>O、酸素を含むN<sub>2</sub>、He、Arなどの雰囲気下で行うことが好ましい。また、上記雰囲気にCl<sub>2</sub>、CF<sub>4</sub>を加えた雰囲気下で行ってもよい。なお、ラジカル処理は、基板 100 側にバイアス電圧を印加せずに行なうことが好ましい。

20

#### 【0055】

次に、ゲート電極 202、島状の酸化物半導体層 210、導電層 216a、216b 等を含む薄膜トランジスタ 250 を覆うように、保護絶縁層 222 を形成する（図 1 (E) 参照）。保護絶縁層 222 としては、スパッタ法などを用いて、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタルなどの材料を含む層を形成すればよい。

#### 【0056】

その後、各種電極や配線を形成することで半導体装置が完成する。

30

#### 【0057】

以上のように、本実施の形態では、活性層として機能する島状の酸化物半導体層と、それを覆う導電層を、ドライエッティングにより加工することで、半導体装置の微細化が可能となり、半導体装置の性能を向上させることができる。又は、ゲート絶縁層上方の酸化物半導体層を、ウエットエッティングにより島状の酸化物半導体層に加工することで、スループットを向上させることができる。すなわち、比較的エッティングの制御性が要求されないゲート絶縁層上方の酸化物半導体層のエッティング（島状酸化物半導体層への加工）をウエットエッティングにより行い、微細化やエッティングの制御性が要求されるチャネルエッチをドライエッティングにより行うことにより、作製プロセス全体としてスループットを向上させると共に半導体装置を高性能化することができる。また、酸化物半導体層を島状に加工する際にウエットエッティングを用いて行い、当該エッティング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

40

#### 【0058】

本実施の形態により、高い特性を有する半導体装置を低いコストで提供することができる。なお、本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

#### 【0059】

##### （実施の形態 2）

本実施の形態では、半導体装置の作製工程について上記実施の形態と異なる場合について、図面を用いて説明する。なお、本実施の形態における半導体装置の作製工程は多くの部分で実施の形態 1 と共通している。したがって、以下においては、重複する部分の説明は

50

省略し、異なる点について詳細に説明する。

【0060】

はじめに、絶縁表面を有する基板200上にゲート電極202を形成し、続いて当該ゲート電極202上にゲート絶縁層204を形成した後、酸化物半導体層206と酸化物半導体層207を積層して形成する(図2(A)参照)。

【0061】

ゲート電極202、ゲート絶縁層204、酸化物半導体層206の材料や作製方法については、実施の形態1を参照することができる。

【0062】

酸化物半導体層207は、In-Ga-Zn-O系非単結晶膜で形成することができる。  
10 例えば、In、Ga、及びZnを含む酸化物半導体ターゲット( $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ )を用いたスパッタ法で、酸化物半導体層206上に酸化物半導体層207を形成することができる。この際に、酸化物半導体層206を大気に曝すことなく酸化物半導体層207を連続して形成することができる。

【0063】

また、酸化物半導体層206の形成の際に用いたターゲット( $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ )を用いて、酸化物半導体層207を形成することができる。スパッタの条件は、例えば、温度を20～100、圧力を0.1Pa～2.0Pa、電力を250W～3kW(8インチ時)とすることができる。また、流量が40sccmのアルゴンガスを導入している。なお、ターゲットの成分比や、その他スパッタの成膜条件などを適宜調節することで、結晶粒の有無や、結晶粒の密度などを調節することができる。結晶粒の直径サイズは、概ね1nm～10nmの範囲とすることができる。酸化物半導体層207の膜厚は、2nm～20nm程度とすれば良い。もちろん、膜中に結晶粒が含まれる場合には、含まれる結晶粒のサイズは膜厚を超える大きさとならない。  
20

【0064】

ここで、上記の酸化物半導体層206と酸化物半導体層207の成膜条件を異ならせることが好ましい。例えば、酸化物半導体層206の成膜条件においては、酸化物半導体層207の成膜条件より、アルゴンガスの流量に対する酸素ガスの流量の比を大きくする。具体的には、酸化物半導体層207の成膜条件は、希ガス(アルゴン、又はヘリウムなど)雰囲気下、または、酸素ガス10%以下、希ガス90%以上の雰囲気下とし、酸化物半導体層206の成膜条件は、酸素雰囲気下、または、希ガスに対する酸素ガスの流量比が1以上の雰囲気下とする。  
30

【0065】

なお、酸化物半導体層206と酸化物半導体層207は互いに異なる材料を用いて形成しても良い。

【0066】

次に、酸化物半導体層207上にレジストマスク208を形成し、当該レジストマスク208を用いて酸化物半導体層206及び酸化物半導体層207を選択的にエッチングして、島状の酸化物半導体層210及び島状の酸化物半導体層211を形成する(図2(B)参照)。  
40

【0067】

ここではITO07N(関東化学社製)又は酢酸と硝酸と磷酸との混合液を用いたウエットエッチングにより、酸化物半導体層206及び酸化物半導体層207の不要な部分を除去して、島状の酸化物半導体層210及び島状の酸化物半導体層211を形成する。なお、上記エッチングの後にはレジストマスク208は除去する。また、ウエットエッチングに用いるエッチャントは酸化物半導体層206及び酸化物半導体層207をエッチングできるものであればよく、上述したものに限られない。

【0068】

上記のエッチングとしては、ウエットエッチングを用いることが好ましい。ウエットエッチングを用いることで、大面積を均一に、かつ、短時間で加工することが可能となるため  
50

である。なお、ウェットエッチングを用いる場合には、エッチング後の廃液からインジウムなどの材料を回収して再利用することもできる。資源の有効活用という観点からも、上記のエッチングとしてウェットエッチングを用いることが好ましい。一方で、ドライエッチングを用いる場合であっても島状の酸化物半導体層210及び島状の酸化物半導体層211を形成することは可能であるから、上記のエッチングからドライエッチングを除外するものではない。

【0069】

次に、島状の酸化物半導体層211上に導電層212を形成する(図2(C)参照)。導電層212の材料や作製方法については、実施の形態1を参照することができる。

【0070】

次に、導電層212上にレジストマスク214a、レジストマスク214b、レジストマスク214cを形成し、導電層212を選択的にエッチングして、導電層216a、216b、218を形成すると共に、島状の酸化物半導体層211をエッチングして導電率の高い半導体領域215a、215bを形成し、島状の酸化物半導体層210の一部(表面付近の一部)を除去(チャネルエッチ)する(図2(D)参照)。

【0071】

島状の酸化物半導体層210の一部が除去されて形成される凹部220は、導電層216aと導電層216bの間、及び導電率の高い半導体領域215aと導電率の高い半導体領域215bの間の領域にあたる。そのため、導電層216aはトランジスタのソース電極又はドレイン電極の一方として機能し、導電層216bはトランジスタのソース電極又はドレイン電極の他方として機能する。

【0072】

なお、上記エッチングの後にはレジストマスク214a、レジストマスク214b、レジストマスク214cは除去する。

【0073】

この際のエッチングとしてはドライエッチングを用いることが好ましい。ドライエッチングを用いることで、ウェットエッチングを用いる場合と比較して配線構造などの微細化が可能となる。また、ドライエッチングを用いることにより、エッチングの制御性が良いため、島状の酸化物半導体層210の除去(凹部220の形成)を制御性良く行うことができる。

【0074】

上記ドライエッチングとしては、特に、塩素を含有するガスを用いたドライエッチングを用いると良い。塩素を含有するガスを用いてエッチングを行うことで、塩素を含有しないガスを用いる場合と比較して、エッチングの面内ばらつきを低減することができるためである。

【0075】

上記塩素を含有するガスには、酸素が添加されているとより好ましい。塩素と酸素とを含有するガスを用いることで、ゲート絶縁層204と島状の酸化物半導体層210(及び島状の酸化物半導体層211)とのエッチング選択比がとりやすく、ゲート絶縁層204へのダメージを十分に低減できるためである。なお、この場合には、ゲート絶縁層204として酸化シリコンや酸化窒化シリコン、窒化酸化シリコンといった酸化シリコンを含む材料を用いることが好ましい。また、エッチングガス中の酸素ガスの含有量を15体積%以上とすることにより、ゲート絶縁層204と島状の酸化物半導体層210とのエッチング選択比を大きくし、ゲート絶縁層204へのダメージを効果的に低減することができる。

【0076】

ドライエッチングに用いるガスとしては、塩素(Cl<sub>2</sub>)の他、塩化硼素(BCl<sub>3</sub>)、塩化珪素(SiCl<sub>4</sub>)、四塩化炭素(CCl<sub>4</sub>)などの塩素系ガスや、四弗化炭素(CF<sub>4</sub>)、弗化硫黄(SF<sub>6</sub>)、弗化窒素(NF<sub>3</sub>)、トリフルオロメタン(CHF<sub>3</sub>)などのフッ素系ガス、臭化水素(HBr)、酸素(O<sub>2</sub>)、これらのガスにヘリウム(He)やアルゴン(Arg)などの希ガスを添加したガス、などを用いることができる。

10

20

30

40

50

## 【0077】

また、導電層212の材料として、島状の酸化物半導体層210、島状の酸化物半導体層211よりエッティングレートが大きい材料を用いることが好ましい。これは、ドライエッティングにより、導電層212、島状の酸化物半導体層210、及び島状の酸化物半導体層211を一回でエッティングする場合に、島状の酸化物半導体層210及び島状の酸化物半導体層211のエッティングレートを導電層212のエッティングレートより小さくすることにより、島状の酸化物半導体層210が過度にエッティングされることを抑制することができるためである。特に、導電層212よりエッティングレートが小さい島状の酸化物半導体層211を設けることにより、島状の酸化物半導体層210が過度にエッティングされることを効果的に抑制することができる。

10

## 【0078】

また、島状の酸化物半導体層211のエッティングレートが島状の酸化物半導体層210のエッティングレートより高い場合には、導電率の高い半導体領域215aと導電率の高い半導体領域215bの分離、及び、島状の酸化物半導体層210の一部の除去を良好に行うことができるため、好ましい。

## 【0079】

その後、200～600、代表的には300～500の熱処理を行うと良い。また、露出している島状の酸化物半導体層210の凹部220に対して酸素ラジカル処理を行ってもよい。詳細については、実施の形態1を参照することができる。

## 【0080】

次に、ゲート電極202、島状の酸化物半導体層210、島状の酸化物半導体層211、導電層216a、導電層216b等を含む薄膜トランジスタ250を覆うように、保護絶縁層222を形成する(図2(E)参照)。保護絶縁層222としては、スパッタ法などを用いて、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタルなどの材料を含む層を形成すればよい。

20

## 【0081】

その後、各種電極や配線を形成することで半導体装置が完成する。

## 【0082】

以上のように、本実施の形態では、活性層として機能する島状の酸化物半導体層と、それを覆う導電層を、ドライエッティングにより加工することで、半導体装置の微細化が可能となり、半導体装置の性能が向上する。又は、ゲート絶縁層上方の酸化物半導体層を、ウエットエッティングにより島状の酸化物半導体層に加工することで、スループットを向上させることができる。すなわち、比較的エッティングの制御性が要求されないゲート絶縁層上方の酸化物半導体層のエッティング(島状酸化物半導体層への加工)をウエットエッティングにより行い、微細化やエッティングの制御性が要求されるチャネルエッチをドライエッティングにより行うことにより、作製プロセス全体としてスループットを向上させると共に半導体装置を高性能化することができる。また、酸化物半導体層を島状に加工する際にウエットエッティングを用いて行い、当該エッティング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

30

## 【0083】

また、本実施の形態では、島状の酸化物半導体層210と導電層216aとの間に、導電率の高い半導体領域215aを、島状の酸化物半導体層210と導電層216bとの間に、導電率の高い半導体領域215bを設けている。

## 【0084】

なお、本実施の形態においては、酸化物半導体層206上に酸化物半導体層207を形成し、酸化物半導体層206と酸化物半導体層207を一度に加工する場合について示しているが、本実施の形態はこの作製順序に限定されない。例えば、酸化物半導体層206を形成した後(図3(A)参照)、島状の酸化物半導体層210に加工し(図3(B)参照)、その後、島状の酸化物半導体層210を覆うように酸化物半導体層207及び導電層

40

50

212を形成して(図3(C)参照)、酸化物半導体層207と導電層212を一度に加工する工程としても良い(図3(D)、図3(E)参照)。この場合、導電層212をエッティングする際に、露出するゲート絶縁層204の損傷を低減することができる。特に、導電層212よりエッティングレートが小さい酸化物半導体層207を設けることにより、露出するゲート絶縁層204の損傷を効果的に低減することができる。

【0085】

本実施の形態により、高い特性を有する半導体装置を低いコストで提供することができる。なお、本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0086】

(実施の形態3)

10

本実施の形態では、半導体装置の使用形態の一例である表示装置の作製工程について、図面を用いて説明する。なお、本実施の形態で示す作製工程は多くの部分で実施の形態1又は実施の形態2と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。なお、以下の説明において、図5、図6は断面図を示しており、図7～図10は上面図を示している。

【0087】

はじめに、絶縁表面を有する基板200上に配線及び電極(ゲート電極202を含むゲート配線、容量配線108、第1の端子121)を形成する(図5(A)、図7参照)。

【0088】

容量配線108、第1の端子121はゲート電極202と同一の材料を用いて同時に形成することができる。なお、ゲート電極202の材料や作製方法については、実施の形態1を参照することができる。

20

【0089】

次に、ゲート電極202上にゲート絶縁層204を介して島状の酸化物半導体層210及び島状の酸化物半導体層211を形成する(図5(B)、図8参照)。島状の酸化物半導体層210及び島状の酸化物半導体層211の材料や作製方法については、実施の形態1、2を参照することができる。

【0090】

次に、第1の端子121を露出させるようにゲート絶縁層204にコンタクトホール213を形成した後、ゲート絶縁層204、島状の酸化物半導体層210及び島状の酸化物半導体層211を覆うように導電層212を形成する(図5(C)参照)。

30

【0091】

導電層212の材料や作製方法については、実施の形態1を参照することができる。なお、本実施の形態では、導電層212と第1の端子121がコンタクトホール213を介して電気的に接続される。

【0092】

次に、導電層212上にレジストマスク214を形成し、導電層212を選択的にエッティングして、導電層216a、導電層216b、接続電極120、第2の端子122を形成すると共に、酸化物半導体層211をエッティングして導電率の高い半導体領域215a、導電率の高い半導体領域215bを形成し、酸化物半導体層210の一部(表面付近の一部)を除去し当該酸化物半導体層210に凹部220を形成する(図6(A)、図9参照)。

40

【0093】

第2の端子122は、ソース配線(導電層216a又は導電層216bを含むソース配線)と電気的に接続する構成とすることができます。また、接続電極120は、ゲート絶縁層204に形成されたコンタクトホール213を介して第1の端子121と直接接続する構成とすることができます。

【0094】

また、この際のエッティングとしてはドライエッティングを用いることが好ましい。ドライエッティングを用いることで、ウエットエッティングを用いる場合と比較して配線構造などの微

50

細化が可能となる。また、ドライエッティングを用いることにより、エッティングの制御性が良いため、島状の酸化物半導体層 210 の除去（凹部 220 の形成）を制御性良く行うことができる。なお、ドライエッティングに用いるガス等については上記実施の形態を参照することができる。

【0095】

次に、200 ~ 600、代表的には300 ~ 500 の熱処理を行うことが好ましい。例えば、窒素雰囲気下で350、1時間の熱処理を行う。この熱処理により島状の酸化物半導体層 210 を構成する In - Ga - Zn - O 系非単結晶膜の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、ここでの熱処理（光アニールも含む）は効果的である。なお、熱処理を行うタイミングは、酸化物半導体層 211 の成膜後であれば特に限定されず、例えば、画素電極形成後に行ってもよい。

10

【0096】

また、露出している島状の酸化物半導体層 210 に、酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより島状の酸化物半導体層 210 をチャネル形成領域とする薄膜トランジスタをノーマリーオフとすることができます。また、ラジカル処理を行うことにより、島状の酸化物半導体層 210 のエッティングによるダメージを回復することができます。ラジカル処理は O<sub>2</sub>、N<sub>2</sub>O、好ましくは酸素を含む N<sub>2</sub>、He、Ar 雰囲気下で行なうことが好ましい。また、上記雰囲気に Cl<sub>2</sub>、CF<sub>4</sub> を加えた雰囲気下で行ってもよい。

20

【0097】

次に、レジストマスク 214 を除去した後、薄膜トランジスタ 250 を覆う保護絶縁層 222 を形成し、当該保護絶縁層 222 を選択的にエッティングして導電層 216b に達するコンタクトホール 125、接続電極 120 に達するコンタクトホール 126 及び第 2 の端子 122 に達するコンタクトホール 127 を形成する（図 6（B）参照）。

【0098】

次に、導電層 216 と電気的に接続する透明導電層 110、接続電極 120 に電気的に接続する透明導電層 128 及び第 2 の端子 122 に電気的に接続する透明導電層 129 を形成する（図 6（C）、図 10 参照）。

【0099】

30

透明導電層 110 は画素電極として機能し、透明導電層 128、129 は FPC との接続に用いられる電極または配線となる。より具体的には、接続電極 120 上に形成された透明導電層 128 をゲート配線の入力端子として機能する接続用の端子電極として用い、第 2 の端子 122 上に形成された透明導電層 129 をソース配線の入力端子として機能する接続用の端子電極として用いることができる。

【0100】

また、容量配線 108、ゲート絶縁層 204、保護絶縁層 222 及び透明導電層 110 により保持容量を形成することができる。この場合、容量配線 108 と透明導電層 110 が電極となり、ゲート絶縁層 204 と保護絶縁層 222 が誘電体となる。

【0101】

40

透明導電層 110、128、129 は、酸化インジウム（In<sub>2</sub>O<sub>3</sub>）、酸化インジウム酸化スズ合金（In<sub>2</sub>O<sub>3</sub> - SnO<sub>2</sub>、ITO と略記する）、酸化インジウム酸化亜鉛合金（In<sub>2</sub>O<sub>3</sub> - ZnO）等をスパッタ法や真空蒸着法等を用いて形成することができる。例えば、透明導電膜を成膜した後、当該透明導電膜上にレジストマスクを形成し、エッティングにより不要な部分を除去することにより透明導電層 110、128、129 を形成することができる。

【0102】

また、図 11（A1）、図 11（A2）は、この段階でのゲート配線端子部の上面図及び断面図をそれぞれ図示している。図 11（A1）は図 11（A2）中の C1 - C2 線に沿った断面図に相当する。図 11（A1）において、保護絶縁層 222 上に形成される透明

50

導電層 128 は、入力端子として機能する接続用の端子電極である。また、図 11 (A1) において、端子部では、ゲート配線と同じ材料で形成される第 1 の端子 121 と、ソース配線と同じ材料で形成される接続電極 120 とがゲート絶縁層 204 を介して重なり直接接して導通させている。また、接続電極 120 と透明導電層 128 が保護絶縁層 222 に設けられたコンタクトホールを介して直接接して導通させている。

#### 【0103】

また、図 11 (B1)、及び図 11 (B2) は、ソース配線端子部の上面図及び断面図をそれぞれ図示している。また、図 11 (B1) は図 11 (B2) 中の D1 - D2 線に沿った断面図に相当する。図 11 (B1) において、保護絶縁層 222 上に形成される透明導電層 129 は、入力端子として機能する接続用の端子電極である。また、図 11 (B1) において、端子部では、ゲート配線と同じ材料で形成される電極 156 が、ソース配線と電気的に接続される第 2 の端子 122 の下方にゲート絶縁層 204 を介して重なる場合を示している。電極 156 は第 2 の端子 122 とは電気的に接続しておらず、電極 156 を第 2 の端子 122 と異なる電位、例えばフローティング、GND、0V などに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 122 は、保護絶縁層 222 を介して透明導電層 129 と電気的に接続している。

#### 【0104】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

#### 【0105】

以上の工程により、6枚のフォトマスクを使用して、ボトムゲート型のnチャネル型薄膜トランジスタや保持容量等の素子を完成させることができる。そして、これらの素子を個々の画素に対応してマトリクス状に配置することにより、アクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

#### 【0106】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電気的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電気的に接続する第 4 の端子を端子部に設ける。この第 4 の端子は、共通電極を固定電位、例えば GND、0V などに設定するための端子である。

#### 【0107】

また、本実施の形態で示す構成は、図 10 の画素構成に限られない。他の構成の一例を図 12 に示す。図 12 は容量配線を設けず、画素電極と、隣接する画素のゲート配線とを電極とし、保護絶縁層及びゲート絶縁層を誘電体として保持容量を形成する構成を示している。この場合、容量配線及び容量配線と接続する第 3 の端子は省略することができる。

#### 【0108】

なお、本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

#### 【0109】

##### (実施の形態 4)

本実施の形態では、表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

#### 【0110】

画素部に配置する薄膜トランジスタは、実施の形態 3 に従って形成する。また、実施の形態 3 に示す薄膜トランジスタは nチャネル型 TFT であるため、駆動回路のうち、nチャネル型 TFT で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一

10

20

30

40

50

基板上に形成する。

【0111】

表示装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図14(A)に示す。図14(A)に示す表示装置は、基板5300上に表示素子を備えた画素を複数有する画素部5301と、各画素を選択する走査線駆動回路5302と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5303とを有する。

【0112】

また、実施の形態3に示す薄膜トランジスタは、nチャネル型TFTであり、nチャネル型TFTで構成する信号線駆動回路について図15を用いて説明する。

【0113】

図15に示す信号線駆動回路は、ドライバIC5601、スイッチ群5602\_1~5602\_M、第1の配線5611、第2の配線5612、第3の配線5613及び配線5621\_1~5621\_Mを有する。スイッチ群5602\_1~5602\_Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを有する。

【0114】

ドライバIC5601は第1の配線5611、第2の配線5612、第3の配線5613及び配線5621\_1~5621\_Mに接続される。そして、スイッチ群5602\_1~5602\_Mそれぞれは、第1の配線5611、第2の配線5612、第3の配線5613及びスイッチ群5602\_1~5602\_Mそれぞれに対応した配線5621\_1~5621\_Mに接続される。そして、配線5621\_1~5621\_Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、3つの信号線(信号線Sm-2、信号線Sm-1、信号線Sm(m=3M))に接続される。例えば、J列目の配線5621\_J(配線5621\_1~配線5621\_Mのうちいずれか一)は、スイッチ群5602\_Jが有する第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線Sj-2、信号線Sj-1、信号線Sj(j=3J)に接続される。

【0115】

なお、第1の配線5611、第2の配線5612、第3の配線5613には、それぞれ信号が入力される。

【0116】

なお、ドライバIC5601は、単結晶半導体を用いて形成されていることが望ましい。さらに、スイッチ群5602\_1~5602\_Mは、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバIC5601とスイッチ群5602\_1~5602\_MとはFPCなどを介して接続するとよい。又は、画素部と同一基板上に貼り合わせなどの方法により形成された単結晶半導体を用いてドライバIC5601を形成しても良い。

【0117】

次に、図15に示した信号線駆動回路の動作について、図16のタイミングチャートを参照して説明する。なお、図16のタイミングチャートは、i行目の走査線Giが選択されている場合のタイミングチャートを示している。さらに、i行目の走査線Giの選択期間は、第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3に分割されている。さらに、図15の信号線駆動回路は、他の行の走査線が選択されている場合でも図16と同様の動作をする。

【0118】

なお、図16のタイミングチャートは、J列目の配線5621\_Jが第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線Sj-2、信号線Sj-1、信号線Sjに接続される場合について示している。

10

20

30

40

50

## 【0119】

なお、図16のタイミングチャートは、 $i$ 行目の走査線 $G_i$ が選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5703a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5703b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5703c及び $J$ 列目の配線5621\_Jに入力される信号5721\_Jを示している。

## 【0120】

なお、配線5621\_1～配線5621\_Mには第1のサブ選択期間 $T_1$ 、第2のサブ選択期間 $T_2$ 及び第3のサブ選択期間 $T_3$ において、それぞれ別のビデオ信号が入力される。例えば、第1のサブ選択期間 $T_1$ において配線5621\_Jに入力されるビデオ信号は信号線 $S_{j-2}$ に入力され、第2のサブ選択期間 $T_2$ において配線5621\_Jに入力されるビデオ信号は信号線 $S_{j-1}$ に入力され、第3のサブ選択期間 $T_3$ において配線5621\_Jに入力されるビデオ信号は信号線 $S_j$ に入力される。さらに、第1のサブ選択期間 $T_1$ 、第2のサブ選択期間 $T_2$ 及び第3のサブ選択期間 $T_3$ において、配線5621\_Jに入力されるビデオ信号をそれぞれ $Data_{j-2}$ 、 $Data_{j-1}$ 、 $Data_j$ とする。

10

## 【0121】

図16に示すように、第1のサブ選択期間 $T_1$ において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_Jに入力される $Data_{j-2}$ が、第1の薄膜トランジスタ5603aを介して信号線 $S_{j-2}$ に入力される。第2のサブ選択期間 $T_2$ では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_Jに入力される $Data_{j-1}$ が、第2の薄膜トランジスタ5603bを介して信号線 $S_{j-1}$ に入力される。第3のサブ選択期間 $T_3$ では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621\_Jに入力される $Data_j$ が、第3の薄膜トランジスタ5603cを介して信号線 $S_j$ に入力される。

20

## 【0122】

以上のことから、図15の信号線駆動回路は、1ゲート選択期間を3つに分割することで、1ゲート選択期間中に1つの配線5621から3つの信号線にビデオ信号を入力することができる。したがって、図15の信号線駆動回路は、ドライバIC5601が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約1/3にすることができる。接続数が約1/3になることによって、図15の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

30

## 【0123】

なお、図15のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある1つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

40

## 【0124】

例えば、3つ以上のサブ選択期間それぞれにおいて1つの配線から3つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1ゲート選択期間を4つ以上のサブ選択期間に分割すると、1つのサブ選択期間が短くなる。したがって、1ゲート選択期間は、2つ又は3つのサブ選択期間に分割されることが望ましい。

## 【0125】

別の例として、図17のタイミングチャートに示すように、1つの選択期間をプリチャージ期間 $T_p$ 、第1のサブ選択期間 $T_1$ 、第2のサブ選択期間 $T_2$ 、第3の選択期間 $T_3$ に分割してもよい。さらに、図17のタイミングチャートは、 $i$ 行目の走査線 $G_i$ が選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5803

50

a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5803b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5803c及びJ列目の配線5621\_Jに入力される信号5821\_Jを示している。図17に示すように、プリチャージ期間Tpにおいて第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオンする。このとき、配線5621\_Jに入力されるプリチャージ電圧Vpが第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介してそれぞれ信号線Sj-2、信号線Sj-1、信号線Sjに入力される。第1のサブ選択期間T1において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_Jに入力されるData\_j-2が、第1の薄膜トランジスタ5603aを介して信号線Sj-2に入力される。第2のサブ選択期間T2では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_Jに入力されるData\_j-1が、第2の薄膜トランジスタ5603bを介して信号線Sj-1に入力される。第3のサブ選択期間T3では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621\_Jに入力されるData\_jが、第3の薄膜トランジスタ5603cを介して信号線Sjに入力される。

## 【0126】

以上のことから、図17のタイミングチャートを適用した図15の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図17において、図16と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

## 【0127】

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

## 【0128】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図18及び図19を用いて説明する。

## 【0129】

図18にシフトレジスタの回路構成を示す。図18に示すシフトレジスタは、フリップフロップ5701\_1～5701\_nという複数のフリップフロップで構成される。また、第1のクロック信号、第2のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

## 【0130】

図18のシフトレジスタの接続関係について説明する。1段目のフリップフロップ5701\_1は、第1の配線5711、第2の配線5712、第4の配線5714、第5の配線5715、第7の配線5717\_1、及び第7の配線5717\_2と接続される。また、2段目のフリップフロップ5701\_2は、第3の配線5713、第4の配線5714、第5の配線5715、第7の配線5717\_1、第7の配線5717\_2及び第7の配線5717\_3と接続される。

## 【0131】

同様に、i段目のフリップフロップ5701\_i(フリップフロップ5701\_1～57

10

20

30

40

50

01\_nのうちいずれか一)は、第2の配線5712又は第3の配線5713の一方、第4の配線5714、第5の配線5715、第7の配線5717\_i-1、第7の配線5717\_i、及び第7の配線5717\_i+1と接続される。ここで、iが奇数の場合には、i段目のフリップフロップ5701\_iは第2の配線5712と接続され、iが偶数である場合には、i段目のフリップフロップ5701\_iは第3の配線5713と接続されることになる。

【0132】

また、n段目のフリップフロップ5701\_nは、第2の配線5712又は第3の配線5713の一方、第4の配線5714、第5の配線5715、第7の配線5717\_n-1、第7の配線5717\_n、及び第6の配線5716と接続される。

10

【0133】

なお、第1の配線5711、第2の配線5712、第3の配線5713、第6の配線5716を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第4の配線5714、第5の配線5715を、それぞれ第1の電源線、第2の電源線と呼んでもよい。

【0134】

次に、図18に示すフリップフロップの詳細について、図19を用いて説明する。図19に示すフリップフロップは、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578を有する。なお、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578は、nチャネル型トランジスタであり、ゲート・ソース間電圧(Vgs)がしきい値電圧(Vth)を上回ったとき導通状態になるものとする。

20

【0135】

また、図19に示すフリップフロップは、第1の配線5501、第2の配線5502、第3の配線5503、第4の配線5504、第5の配線5505、及び第6の配線5506を有する。

30

【0136】

なお、ここでは全ての薄膜トランジスタを、エンハンスマント型のnチャネル型トランジスタとする例を示すが、特に限定されず、例えば、デプレッション型のnチャネル型トランジスタを用いて駆動回路を駆動させることもできる。

【0137】

次に、図18に示すフリップフロップの接続構成について、以下に示す。

【0138】

第1の薄膜トランジスタ5571の第1の電極(ソース電極またはドレイン電極の一方)が第4の配線5504に接続され、第2の電極(ソース電極またはドレイン電極の他方)が第3の配線5503に接続される。

40

【0139】

第2の薄膜トランジスタ5572の第1の電極が第6の配線5506に接続され、第2の電極が第3の配線5503に接続される。

【0140】

第3の薄膜トランジスタ5573の第1の電極及びゲート電極が第5の配線5505に接続され、第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続される。

【0141】

第4の薄膜トランジスタ5574の第1の電極が第6の配線5506に接続され、ゲート電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続される。

50

## 【0142】

第5の薄膜トランジスタ5575の第1の電極が第5の配線5505に接続され、ゲート電極が第1の配線5501に接続され、第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続される。

## 【0143】

第6の薄膜トランジスタ5576の第1の電極が第6の配線5506に接続され、ゲート電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続される。

## 【0144】

第7の薄膜トランジスタ5577の第1の電極が第6の配線5506に接続され、ゲート電極が第2の配線5502に接続され、第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続される。 10

## 【0145】

第8の薄膜トランジスタ5578の第1の電極が第6の配線5506に接続され、ゲート電極が第1の配線5501に接続され、第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続される。

## 【0146】

なお、第1の薄膜トランジスタ5571のゲート電極、第4の薄膜トランジスタ5574のゲート電極、第5の薄膜トランジスタ5575の第2の電極、第6の薄膜トランジスタ5576の第2の電極及び第7の薄膜トランジスタ5577の第2の電極の接続箇所をノード5543とする。さらに、第2の薄膜トランジスタ5572のゲート電極、第3の薄膜トランジスタ5573の第2の電極、第4の薄膜トランジスタ5574の第2の電極、第6の薄膜トランジスタ5576のゲート電極及び第8の薄膜トランジスタ5578の第2の電極の接続箇所をノード5544とする。 20

## 【0147】

なお、第1の配線5501、第2の配線5502、第3の配線5503及び第4の配線5504を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第5の配線5505を第1の電源線、第6の配線5506を第2の電源線と呼んでもよい。

## 【0148】

i段目のフリップフロップ5701\_iにおいて、図19中の第1の配線5501と、図18中の第7の配線5717\_i-1が接続される。また、図19中の第2の配線5502と、図18中の第7の配線5717\_i+1が接続される。また、図19中の第3の配線5503と、第7の配線5717\_iが接続される。さらに、図19中の第6の配線5506と、第5の配線5715が接続される。 30

## 【0149】

iが奇数の場合、図19中の第4の配線5504は、図18中の第2の配線5712と接続され、iが偶数の場合、図18中の第3の配線5713と接続される。また、図19中の第5の配線5505と、図18中の第4の配線5714が接続される。

## 【0150】

ただし、1段目のフリップフロップ5701\_1において、図19中の第1の配線5501は図18中の第1の配線5711に接続される。また、n段目のフリップフロップ5701\_nにおいて、図19中の第2の配線5502は図18中の第6の配線5716に接続される。 40

## 【0151】

なお、信号線駆動回路及び走査線駆動回路を実施の形態3に示すnチャネル型TFTのみで作製することも可能である。実施の形態3に示すnチャネル型TFTはトランジスタの移動度が大きいため、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態3に示すnチャネル型TFTはIn-Ga-Zn-O系非単結晶膜であるソース領域又はドレイン領域により寄生容量が低減されるため、周波数特性(f特性と呼ばれる)が 50

高い。例えば、実施の形態3に示すnチャネル型TFTを用いた走査線駆動回路は、高速に動作させることができるために、フレーム周波数を高くすること、または、黒画面插入を実現することなども実現することができる。

【0152】

さらに、走査線駆動回路のトランジスタのチャネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することができる。複数の走査線駆動回路を配置する場合は、例えば、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることができる。また、複数の走査線駆動回路により、同じ走査線に信号を出力すると、表示装置の大型化に有利である。

10

【0153】

また、表示装置の一例であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図14(B)に示す。

【0154】

図14(B)に示す発光表示装置は、基板5400上に表示素子を備えた画素を複数有する画素部5401と、各画素を選択する第1の走査線駆動回路5402及び第2の走査線駆動回路5404と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5403とを有する。

20

【0155】

図14(B)に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【0156】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が発光する期間の合計の長さを、ビデオ信号により制御することができ、階調を表示することができる。

30

【0157】

なお、図14(B)に示す発光表示装置では、一つの画素に2つのスイッチング用TFTを配置する場合であって、一方のスイッチング用TFTのゲート配線である第1の走査線に入力される信号を第1走査線駆動回路5402で生成し、他方のスイッチング用TFTのゲート配線である第2の走査線に入力される信号を第2の走査線駆動回路5404で生成する例を示しているが、第1の走査線に入力される信号と、第2の走査線に入力される信号とを、共に1つの走査線駆動回路で生成するようにしても良い。また、例えば、1つの画素が有するスイッチング用TFTの数によって、スイッチング素子の動作を制御するために用いられる走査線が、各画素に複数設けられることもあり得る。この場合、複数の走査線に入力される信号を、全て1つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

40

【0158】

また、発光表示装置においても、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態3に示すnチャネル型TFTのみで作製することも可能である。

50

**【 0 1 5 9 】**

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電気的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）とも呼ばれており、紙と同じ読みやすさを実現し、他の表示装置に比べ消費電力を抑え、且つ、薄型、軽量とすることが可能である。

**【 0 1 6 0 】**

電気泳動ディスプレイは、様々な形態が考えられ得るが、例えば、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散された構成とすることができる、この場合、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示することができる。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

10

**【 0 1 6 1 】**

このように、電気泳動ディスプレイは、電界などにより微粒子が移動する機構を利用したディスプレイである。電気泳動ディスプレイでは、液晶表示装置には必要な偏光板や、対向基板が不要であり、厚さや重さを著しく低減することができる。

**【 0 1 6 2 】**

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

20

**【 0 1 6 3 】**

アクティブマトリクス基板上にマイクロカプセルを複数配置して、アクティブマトリクス基板に形成された電極と別の電極とでマイクロカプセルを挟み込むことによりアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。アクティブマトリクス基板としては、例えば、実施の形態3の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

**【 0 1 6 4 】**

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

30

**【 0 1 6 5 】**

以上の工程により、半導体装置として信頼性の高い表示装置を作製することができる。

**【 0 1 6 6 】**

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することができる。

**【 0 1 6 7 】**

（実施の形態5）

40

本実施の形態では、薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製する場合について説明する。また、薄膜トランジスタを、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

**【 0 1 6 8 】**

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（E l e c t r o L u m i n e s c e n c e）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

50

## 【0169】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに表示装置は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

## 【0170】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクター、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。 10

## 【0171】

本実施の形態では、半導体装置として液晶表示装置の例を示す。まず、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図22を用いて説明する。図22は、第1の基板4001上に形成された実施の形態3で示したIn-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図22（B）は、図22（A1）（A2）のM-Nにおける断面図に相当する。 20

## 【0172】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。 30

## 【0173】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図22（A1）は、COG方法により信号線駆動回路4003を実装する例であり、図22（A2）は、TAB方法により信号線駆動回路4003を実装する例である。

## 【0174】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図22（B）では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。 40

## 【0175】

薄膜トランジスタ4010、4011は、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い実施の形態3に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

## 【0176】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電

10

20

30

40

50

気的に接続されている。そして液晶素子 4013 の対向電極層 4031 は第 2 の基板 4006 上に形成されている。画素電極層 4030 と対向電極層 4031 と液晶層 4008 とが重なっている部分が、液晶素子 4013 に相当する。なお、画素電極層 4030、対向電極層 4031 はそれぞれ配向膜として機能する絶縁層 4032、4033 が設けられ、絶縁層 4032、4033 を介して液晶層 4008 を挟持している。

#### 【0177】

なお、第 1 の基板 4001、第 2 の基板 4006 としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエスチルフィルム、またはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを PVF フィルムやポリエスチルフィルムで挟んだ構造のシートを用いることもできる。

#### 【0178】

また、4035 は絶縁膜を選択的にエッティングすることで得られる柱状のスペーサであり、画素電極層 4030 と対向電極層 4031 との間の距離（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いていても良い。また、対向電極層 4031 は、薄膜トランジスタ 4010 と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一対の基板間に配置される導電性粒子を介して対向電極層 4031 と共通電位線とを電気的に接続することができる。なお、導電性粒子はシール材 4005 に含有させる。

#### 【0179】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために 5 重量 % 以上のカイラル剤を混合させた液晶組成物を用いて液晶層 4008 に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が 10 μs ~ 100 μs と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

#### 【0180】

なお、本実施の形態で示す液晶表示装置は透過型液晶表示装置の例であるが、液晶表示装置は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

#### 【0181】

また、本実施の形態で示す液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

#### 【0182】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態 3 で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層 4020、絶縁層 4021）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

#### 【0183】

ここでは、保護膜として積層構造の絶縁層 4020 を形成する。ここでは、絶縁層 4020 の一層目として、スパッタ法を用いて酸化珪素膜を形成する。保護膜として酸化珪素膜

10

20

30

40

50

を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

【0184】

また、保護膜の二層目として絶縁層を形成する。ここでは、ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化珪素膜を形成する。保護膜として窒化珪素膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0185】

また、保護膜を形成した後に、半導体層のアニール(300 ~ 400)を行ってもよい。

10

【0186】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0187】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基(例えばアルキル基やアリール基)やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

20

【0188】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール(300 ~ 400)を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

30

【0189】

画素電極層4030、対向電極層4031は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0190】

また、画素電極層4030、対向電極層4031として、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $1.0 \times 10^4$  /sq.以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1 ~ cm以下であることが好ましい。

40

【0191】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0192】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0193】

50

本実施の形態では、接続端子電極 4015 が、液晶素子 4013 が有する画素電極層 4030 と同じ導電膜から形成され、端子電極 4016 は、薄膜トランジスタ 4010、4011 のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0194】

接続端子電極 4015 は、FPC 4018 が有する端子と、異方性導電膜 4019 を介して電気的に接続されている。

【0195】

また図22においては、信号線駆動回路 4003 を別途形成し、第1の基板 4001 に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。10

【0196】

図23は、半導体装置の一形態に相当する液晶表示モジュールにTFT基板 2600 を用いて構成する一例を示している。

【0197】

図23は液晶表示モジュールの一例であり、TFT基板 2600 と対向基板 2601 がシール材 2602 により固着され、その間にTFT等を含む画素部 2603、液晶層を含む表示素子 2604、着色層 2605、偏光板 2606 が設けられ表示領域を形成している。着色層 2605 はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板 2600 と対向基板 2601 の外側には偏光板 2606、偏光板 2607、拡散板 2613 が配設されている。光源は冷陰極管 2610 と反射板 2611 により構成され、回路基板 2612 は、フレキシブル配線基板 2609 によりTFT基板 2600 の配線回路部 2608 と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。20

【0198】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) などを用いることができる。30

【0199】

以上の工程により、半導体装置として信頼性の高い液晶表示装置を作製することができる。

【0200】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することができる。40

【0201】

(実施の形態6)

本実施の形態では、半導体装置の一例として電子ペーパーを示す。

【0202】

図13は、半導体装置の一例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ 581 としては、上記実施の形態1～3で示す薄膜トランジスタと同様に作製できる。

【0203】

図13の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイス50

トボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせることによって、球形粒子の向きを制御し、表示を行う方法である。

【0204】

基板580上に設けられた薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層が第1の電極層587と、絶縁層583、584、585に形成されたコンタクトホールを介して電気的に接続している。第1の電極層587と第2の電極層588との間には、黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595が設けられている（図13参照）。図13においては、第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、薄膜トランジスタ581と同一基板上に設けられる共通電位線と電気的に接続される。上記実施の形態に示す共通接続部を用いて、一対の基板間に配置される導電性粒子を介して、基板596に設けられた第2の電極層588と共通電位線とを電気的に接続することができる。

【0205】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。その場合、透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10μm～200μm程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0206】

以上のように、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0207】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0208】

（実施の形態7）

本実施の形態では、半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0209】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0210】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー・ア

10

20

40

50

クセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0211】

図20は、半導体装置の一例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0212】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層(  $In-Ga-Zn-O$  系非単結晶膜)をチャネル形成領域に用いるnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。

10

【0213】

画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極(ソース電極及びドレイン電極の一方)が信号線6405に接続され、第2電極(ソース電極及びドレイン電極の他方)が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極(画素電極)に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電気的に接続され、その接続部分を共通接続部として、図1(A)、図2(A)、或いは図3(A)に示す構造とすればよい。

20

【0214】

なお、発光素子6404の第2電極(共通電極6408)には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

30

【0215】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【0216】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、(電源線電圧 + 駆動用トランジスタ6402のV<sub>th</sub>)以上の電圧をかける。

40

【0217】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせてことで、図20と同じ画素構成を用いることができる。

【0218】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧 + 駆動用トランジスタ6402のV<sub>th</sub>以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジ

50

スタ 6402 を飽和領域で動作させるため、電源線 6407 の電位は、駆動用トランジスタ 6402 のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子 6404 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

#### 【0219】

なお、図 20 に示す画素構成は、これに限定されない。例えば、図 20 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

#### 【0220】

次に、発光素子の構成について、図 21 を用いて説明する。ここでは、駆動用 TFT が n 型の場合を例に挙げて、画素の断面構造について説明する。図 21 (A) (B) (C) の半導体装置に用いられる駆動用 TFT である TFT7001、7011、7021 は、実施の形態 3 で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O 系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタである。

10

#### 【0221】

発光素子は発光を取り出すために陽極又は陰極の少なくとも一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

#### 【0222】

上面射出構造の発光素子について図 21 (A) を用いて説明する。

20

#### 【0223】

図 21 (A) に、駆動用 TFT である TFT7001 が n 型で、発光素子 7002 から発せられる光が陽極 7005 側に抜ける場合の、画素の断面図を示す。図 21 (A) では、発光素子 7002 の陰極 7003 と駆動用 TFT である TFT7001 が電気的に接続されており、陰極 7003 上に発光層 7004、陽極 7005 が順に積層されている。陰極 7003 は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi 等が望ましい。そして発光層 7004 は、単数の層で構成されていても、複数の層が積層されるように構成されてもどちらでも良い。複数の層で構成されている場合、陰極 7003 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 7005 は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いても良い。

30

#### 【0224】

陰極 7003 及び陽極 7005 で発光層 7004 を挟んでいる領域が発光素子 7002 に相当する。図 21 (A) に示した画素の場合、発光素子 7002 から発せられる光は、矢印で示すように陽極 7005 側に射出する。

#### 【0225】

40

次に、下面射出構造の発光素子について図 21 (B) を用いて説明する。駆動用 TFT7011 が n 型で、発光素子 7012 から発せられる光が陰極 7013 側に射出する場合の、画素の断面図を示す。図 21 (B) では、駆動用 TFT7011 と電気的に接続された透光性を有する導電膜 7017 上に、発光素子 7012 の陰極 7013 が成膜されており、陰極 7013 上に発光層 7014、陽極 7015 が順に積層されている。なお、陽極 7015 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜 7016 が成膜されていてもよい。陰極 7013 は、図 21 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば 20 nm の膜厚を有するアルミニウム膜を、陰極 7013 として用いることができる。そして発光層 7

50

014は、図21(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図21(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

【0226】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図21(B)に示した画素の場合、発光素子7012から発せられる光は、矢印で示すように陰極7013側に射出する。

【0227】

次に、両面射出構造の発光素子について、図21(C)を用いて説明する。図21(C)では、駆動用TFT7021と電気的に接続された透光性を有する導電膜7027上に、発光素子7022の陰極7023が成膜されており、陰極7023上に発光層7024、陽極7025が順に積層されている。陰極7023は、図21(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するA1を、陰極7023として用いることができる。そして発光層7024は、図21(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7025は、図21(A)と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

10

【0228】

陰極7023と、発光層7024と、陽極7025とが重なっている部分が発光素子7022に相当する。図21(C)に示した画素の場合、発光素子7022から発せられる光は、矢印で示すように陽極7025側と陰極7023側の両方に射出する。

20

【0229】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0230】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ(駆動用TFT)と発光素子が電気的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

30

【0231】

なお本実施の形態で示す半導体装置は、図21に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0232】

次に、半導体装置の一形態に相当する発光表示パネル(発光パネルともいう)の外観及び断面について、図24を用いて説明する。図24は、第1の基板4051上に形成された実施の形態3で示したIn-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタ4509、4510及び発光素子4511を、第2の基板4506との間にシール材4505によって封止した、パネルの上面図であり、図24(B)は、図24(A)のH-Iにおける断面図に相当する。

40

【0233】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィル

50

ム等)やカバー材でパッケージング(封入)することが好ましい。

【0234】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図24(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0235】

薄膜トランジスタ4509、4510は、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い実施の形態3に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

10

【0236】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレン電極層と電気的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0237】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

20

【0238】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0239】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

30

【0240】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0241】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレン電極層と同じ導電膜から形成されている。

【0242】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電気的に接続されている。

40

【0243】

発光素子4511からの光の取り出し方向に位置する基板には、第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエチレンフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0244】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施の形態は充填材として窒素を用いた。

50

## 【0245】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $1/4$ 板、 $1/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてよい。また、偏光板又は円偏光板に反射防止膜を設けてよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

## 【0246】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図24の構成に限定されない。10

## 【0247】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

## 【0248】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

## 【0249】

## (実施の形態8)

半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図25、図26に示す。20

## 【0250】

図25（A）は、電子ペーパーで作られたポスター2631を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

## 【0251】

また、図25（B）は、電車などの乗り物の車内広告2632を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。30

## 【0252】

また、図26は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。40

## 【0253】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成として、例えば右側の表示部（図26では表示部2705）に文章を表示し、左側の表示部（図26では表示部2707）に画像を表示することができる。

## 【0254】

また、図26では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている50

。操作キー 2723 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングディバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2700 は、電子辞書としての機能を持たせた構成としてもよい。

#### 【0255】

また、電子書籍 2700 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

10

#### 【0256】

##### （実施の形態 9）

半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

#### 【0257】

図27（A）は、テレビジョン装置 9600 の一例を示している。テレビジョン装置 9600 は、筐体 9601 に表示部 9603 が組み込まれている。表示部 9603 により、映像を表示することが可能である。また、ここでは、スタンド 9605 により筐体 9601 を支持した構成を示している。

20

#### 【0258】

テレビジョン装置 9600 の操作は、筐体 9601 が備える操作スイッチや、別体のリモコン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行うことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

#### 【0259】

なお、テレビジョン装置 9600 は、受信機やモ뎀などを備えた構成とする。受信機により一般的のテレビ放送の受信を行うことができ、さらにモ뎀を介して優先または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

30

#### 【0260】

図27（B）は、デジタルフォトフレーム 9700 の一例を示している。例えば、デジタルフォトフレーム 9700 は、筐体 9701 に表示部 9703 が組み込まれている。表示部 9703 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

#### 【0261】

なお、デジタルフォトフレーム 9700 は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9703 に表示させることができる。

40

#### 【0262】

また、デジタルフォトフレーム 9700 は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

#### 【0263】

図28（A）は携帯型遊技機であり、筐体 9881 と筐体 9891 の2つの筐体で構成さ

50

れており、連結部 9893 により、開閉可能に連結されている。筐体 9881 には表示部 9882 が組み込まれ、筐体 9891 には表示部 9883 が組み込まれている。また、図 28 (A) に示す携帯型遊技機は、その他、スピーカ部 9884、記録媒体挿入部 9886、LED ランプ 9890、入力手段（操作キー 9885、接続端子 9887、センサ 9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図 28 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 28 (A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。10

#### 【0264】

図 28 (B) は大型遊技機であるスロットマシン 9900 の一例を示している。スロットマシン 9900 は、筐体 9901 に表示部 9903 が組み込まれている。また、スロットマシン 9900 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9900 の構成は上述のものに限定されず、少なくとも半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。20

#### 【0265】

図 29 (A) は、携帯電話機 1000 の一例を示している。携帯電話機 1000 は、筐体 1001 に組み込まれた表示部 1002 の他、操作ボタン 1003、外部接続ポート 1004、スピーカ 1005、マイク 1006 などを備えている。

#### 【0266】

図 29 (A) に示す携帯電話機 1000 は、表示部 1002 を指などで触ることで、情報を入力ことができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部 1002 を指などで触ることにより行うことができる。

#### 【0267】

表示部 1002 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。30

#### 【0268】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1002 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1002 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好みしい。

#### 【0269】

また、携帯電話機 1000 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1000 の向き（縦か横か）を判断して、表示部 1002 の画面表示を自動的に切り替えるようにすることができる。40

#### 【0270】

また、画面モードの切り替えは、表示部 1002 を触れること、又は筐体 1001 の操作ボタン 1003 の操作により行われる。また、表示部 1002 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

#### 【0271】

また、入力モードにおいて、表示部 1002 の光センサで検出される信号を検知し、表示部 1002 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。50

## 【0272】

表示部 1002 は、イメージセンサとして機能させることもできる。例えば、表示部 1002 に掌や指を触ることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

## 【0273】

図 29 (B) も携帯電話機の一例である。図 29 (B) の携帯電話機は、筐体 9411 に、表示部 9412、及び操作ボタン 9413 を含む表示装置 9410 と、筐体 9401 に操作ボタン 9402、外部入力端子 9403、マイク 9404、スピーカ 9405、及び着信時に発光する発光部 9406 を含む通信装置 9400 とを有しており、表示機能を有する表示装置 9410 は電話機能を有する通信装置 9400 と矢印の 2 方向に脱着可能である。よって、表示装置 9410 と通信装置 9400 の短軸同士を取り付けることも、表示装置 9410 と通信装置 9400 の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置 9400 より表示装置 9410 を取り外し、表示装置 9410 を単独で用いることもできる。通信装置 9400 と表示装置 9410 とは無線通信又は有線通信により画像又は入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

## 【実施例 1】

## 【0274】

本実施例では、酸化物半導体層と絶縁膜について、塩素ガス及び酸素ガスを用いてドライエッティングを行った結果について説明する。

## 【0275】

本実施例で用いた試料について説明する。第 1 の酸化物半導体層として、ガラス基板上にスパッタ法によって 150 nm の In - Ga - Zn - O 系非単結晶膜を成膜した。成膜条件は、圧力を 0.4 Pa とし、電力を 500 W とし、成膜温度を 25 とし、アルゴンガス流量を 10 sccm とし、酸素流量を 5 sccm とし、基板とターゲット間の距離は、170 mm とした。ターゲットは、In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 1 としたターゲット (In : Ga : Zn = 1 : 1 : 0.5) を用いた。この成膜条件で得られた第 1 の酸化物半導体層の組成を誘導結合プラズマ質量分析法 (Inductively Coupled Plasma Mass Spectrometry : ICP-MS 分析法) により測定した結果は、In<sub>0.94</sub> Ga<sub>0.04</sub> Zn<sub>0.40</sub> O<sub>3.31</sub> であった。

## 【0276】

次に、第 1 の酸化物半導体層より導電率が高い第 2 の酸化物半導体層として、ガラス基板上にスパッタ法によって 150 nm の In - Ga - Zn - O 系非単結晶膜を成膜した。成膜条件は、圧力を 0.4 Pa とし、電力を 500 W とし、成膜温度を 25 とし、アルゴンガス流量を 40 sccm とし、基板とターゲット間の距離は、170 mm とした。ターゲットは、In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 1 としたターゲット (In : Ga : Zn = 1 : 1 : 0.5) を用いた。この成膜条件で得られた第 2 の酸化物半導体層の組成を誘導結合プラズマ質量分析法により測定した結果は、In<sub>0.95</sub> Ga<sub>0.04</sub> Zn<sub>0.41</sub> O<sub>3.33</sub> であった。

## 【0277】

次に、絶縁膜としてガラス基板上に CVD 法によって 200 nm の酸化窒化シリコン膜を成膜した。成膜条件は、圧力を 39.99 Pa とし、成膜温度を 400 とし、シランの流量を 4 sccm とし、N<sub>2</sub>O の流量を 800 sccm とし、RF パワーを 150 W とし、電極間距離は 28 mm とした。

## 【0278】

次に、第 1 の酸化物半導体層、第 2 の酸化物半導体層、及び絶縁膜のエッティングレートについて測定を行った。作製した第 1 の酸化物半導体層、第 2 の酸化物半導体層、及び絶縁膜のそれについて、フォトレジストなどによるマスクを用いて、それぞれの膜が残存する程度の時間でエッティングを行った (ハーフエッティング)。その後、第 1 の酸化物半導体

10

20

30

40

50

層、第2の酸化物半導体層、及び絶縁膜のエッティング量を段差測定器にて測定し、エッティング量とエッティング時間との関係からエッティングレート( $\text{nm}/\text{min}$ )を算出した。

【0279】

エッティングは、ICPエッティング法を用いて、ICP電力を1500W(電極サイズ:370mm × 470mm)、RFバイアスを200W、圧力を1.5Pa、基板温度を-10として行った。この際、エッティングガスである塩素ガスと酸素ガスの流量が異なる4つの条件(塩素ガスの流量:酸素ガスの流量=100sccm:0sccm、85sccm:15sccm、70sccm:30sccm、55sccm:45sccm)でエッティングを行い、それぞれの条件におけるエッティングレートを算出した。

【0280】

エッティングレートを算出した結果を図4に示す。図4において、横軸は、エッティングガス(塩素ガスと酸素ガスの合計)中の酸素ガスの含有量(体積%)であり、左縦軸は、エッティングレート( $\text{nm}/\text{min}$ )であり、右縦軸は、選択比である。また、図4において、丸印は、第1の酸化物半導体層のエッティングレートを示しており、三角印は、第2の酸化物半導体層のエッティングレートを示しており、四角印は、絶縁膜のエッティングレートを示しており、バツ印は、選択比を示している。なお、図4に示す選択比とは、絶縁膜のエッティングレートに対する第1の酸化物半導体層のエッティングレートを指す。

10

【0281】

図4の結果より、第1の酸化物半導体層及び第2の酸化物半導体層は、エッティングガス中の酸素ガスの含有量(体積%)を上昇させても、エッティングレートに有意差は見られなかった。一方、絶縁膜は、エッティングガス中の酸素ガスの含有量(体積%)を上昇させることによって、エッティングレートが小さくなるという結果が得られた。特に、エッティングガス中の酸素ガスの含有量が15体積%以上になると、絶縁膜のエッティングレートが小さくなるという結果が得られた。

20

【0282】

また、絶縁膜に対する第1の酸化物半導体層の選択比(絶縁膜のエッティングレートと第1の酸化物半導体層のエッティングレートの比)を求めるとき、図4に示したように、エッティングガス中に酸素が添加されていない状態では1未満であった選択比が、エッティングガスに酸素を添加することで最大4.2まで増加することがわかった。また、第1の酸化物半導体層及び第2の酸化物半導体層のエッティングレートに有意差は見られないため、絶縁膜に対する第2の酸化物半導体層の選択比においても、絶縁膜に対する第1の酸化物半導体層の選択比と同様の結果が得られる。

30

【0283】

以上により、酸素ガスの添加率を上昇させることによって、絶縁膜のエッティングレートを第1及び第2の酸化物半導体層よりも小さくすることができますことができることがわかった。また、エッティングガス中の酸素ガスの含有量を15体積%以上にすることによって、絶縁膜に対する第1及び第2の酸化物半導体層の選択比を高めることができることがわかった。このようにエッティングガス中に酸素ガスを含有させることによって、絶縁層と酸化物半導体層との選択比を大きくすることができる。これにより、絶縁層の上方に形成された酸化物半導体層の一部(表面付近の一部)を除去(チャネルエッチ)する場合であっても、露出している絶縁層へのダメージを抑制することが可能となる。

40

【符号の説明】

【0284】

100 基板

102 ゲート絶縁層

108 容量配線

110 透明導電層

120 接続電極

121 端子

122 端子

50

1 2 5	コンタクトホール	
1 2 6	コンタクトホール	
1 2 7	コンタクトホール	
1 2 8	透明導電層	
1 2 9	透明導電層	
1 5 6	電極	
2 0 0	基板	
2 0 2	ゲート電極	
2 0 4	ゲート絶縁層	
2 0 6	酸化物半導体層	10
2 0 7	酸化物半導体層	
2 0 8	レジストマスク	
2 1 0	酸化物半導体層	
2 1 1	酸化物半導体層	
2 1 2	導電層	
2 1 3	コンタクトホール	
2 1 4	レジストマスク	
2 1 4 a	レジストマスク	
2 1 4 b	レジストマスク	
2 1 4 c	レジストマスク	20
2 1 5 a	半導体領域	
2 1 5 b	半導体領域	
2 1 6	導電層	
2 1 6 a	導電層	
2 1 6 b	導電層	
2 1 8	導電層	
2 2 0	凹部	
2 2 2	保護絶縁層	
2 5 0	薄膜トランジスタ	
5 8 0	基板	30
5 8 1	薄膜トランジスタ	
5 8 3	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	基板	40
1 0 0 0	携帯電話機	
1 0 0 1	筐体	
1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	
1 0 0 6	マイク	
2 6 0 0	TFT基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	50

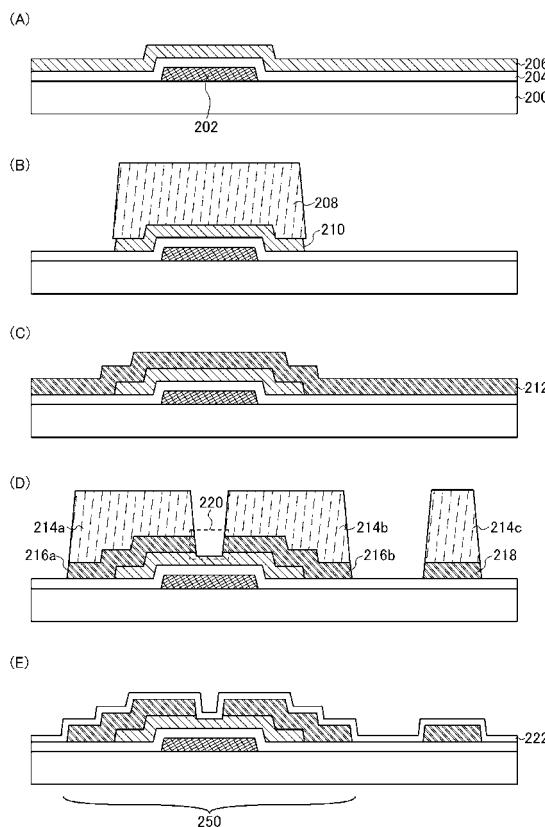
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	10
2 6 1 3	拡散板	
2 6 3 1	ポスター	
2 6 3 2	車内広告	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	20
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	30
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	40
4 0 3 2	絶縁層	
4 0 5 1	基板	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	50

4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	10
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	信号線駆動回路	
5 4 0 0	基板	
5 4 0 1	画素部	
5 4 0 2	走査線駆動回路	
5 4 0 3	信号線駆動回路	
5 4 0 4	走査線駆動回路	
5 5 0 1	配線	20
5 5 0 2	配線	
5 5 0 3	配線	
5 5 0 4	配線	
5 5 0 5	配線	
5 5 0 6	配線	
5 5 4 3	ノード	
5 5 4 4	ノード	
5 5 7 1	薄膜トランジスタ	
5 5 7 2	薄膜トランジスタ	
5 5 7 3	薄膜トランジスタ	30
5 5 7 4	薄膜トランジスタ	
5 5 7 5	薄膜トランジスタ	
5 5 7 6	薄膜トランジスタ	
5 5 7 7	薄膜トランジスタ	
5 5 7 8	薄膜トランジスタ	
5 6 0 1	ドライバI C	
5 6 0 2	スイッチ群	
5 6 0 3 a	薄膜トランジスタ	
5 6 0 3 b	薄膜トランジスタ	
5 6 0 3 c	薄膜トランジスタ	40
5 6 1 1	配線	
5 6 1 2	配線	
5 6 1 3	配線	
5 6 2 1	配線	
5 7 0 1	フリップフロップ	
5 7 0 3 a	タイミング	
5 7 0 3 b	タイミング	
5 7 0 3 c	タイミング	
5 7 1 1	配線	
5 7 1 2	配線	50

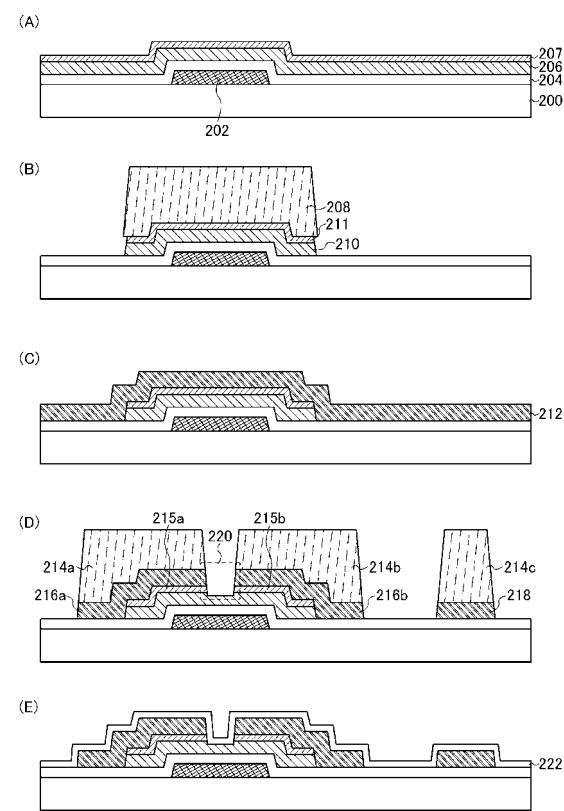
5 7 1 3	配線	
5 7 1 4	配線	
5 7 1 5	配線	
5 7 1 6	配線	
5 7 1 7	配線	
5 7 2 1	信号	
5 8 0 3 a	タイミング	
5 8 0 3 b	タイミング	
5 8 0 3 c	タイミング	
5 8 2 1	信号	10
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	TFT	20
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 1	駆動用 TFT	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	30
7 0 1 7	導電膜	
7 0 2 1	駆動用 TFT	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	操作ボタン	40
9 4 0 3	外部入力端子	
9 4 0 4	マイク	
9 4 0 5	スピーカ	
9 4 0 6	発光部	
9 4 1 0	表示装置	
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	50

9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	10
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	入力手段(操作キー)	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	20
9 8 9 3	連結部	
9 9 0 0	スロットマシン	
9 9 0 1	筐体	
9 9 0 3	表示部	

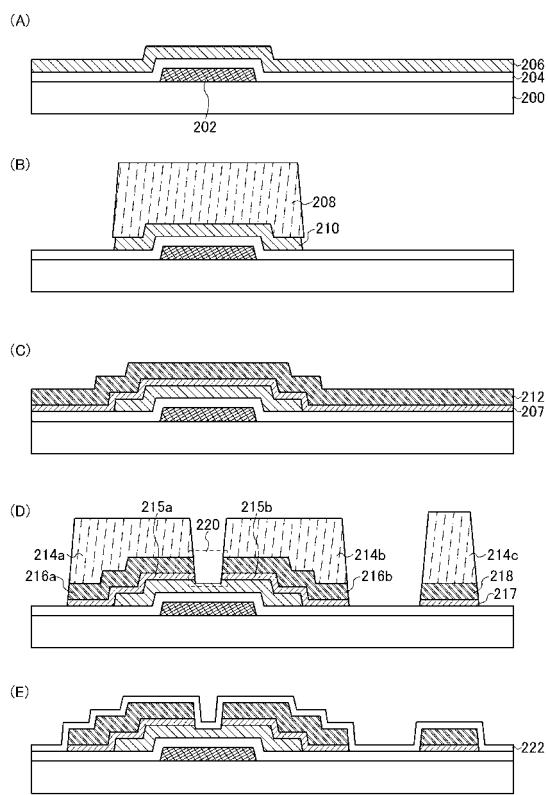
【図1】



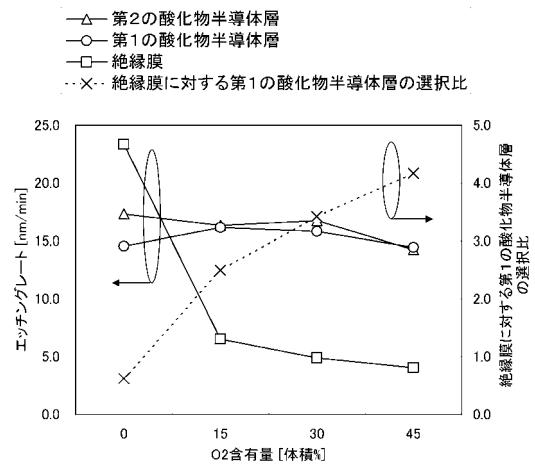
【図2】



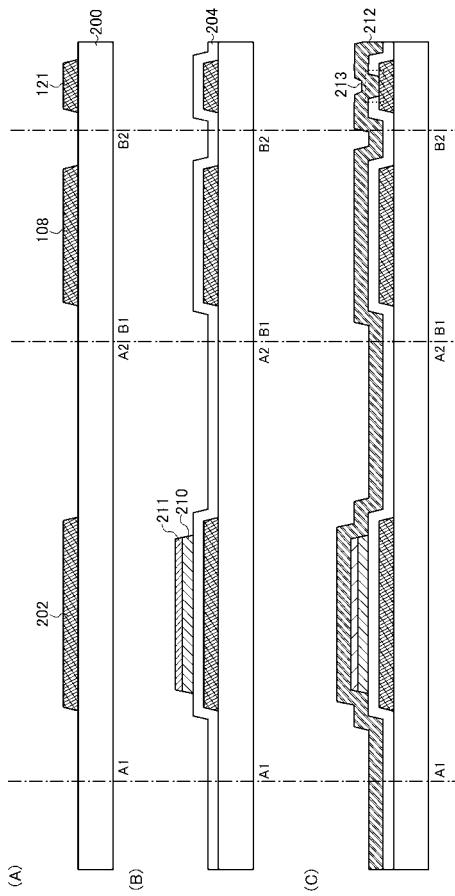
【図3】



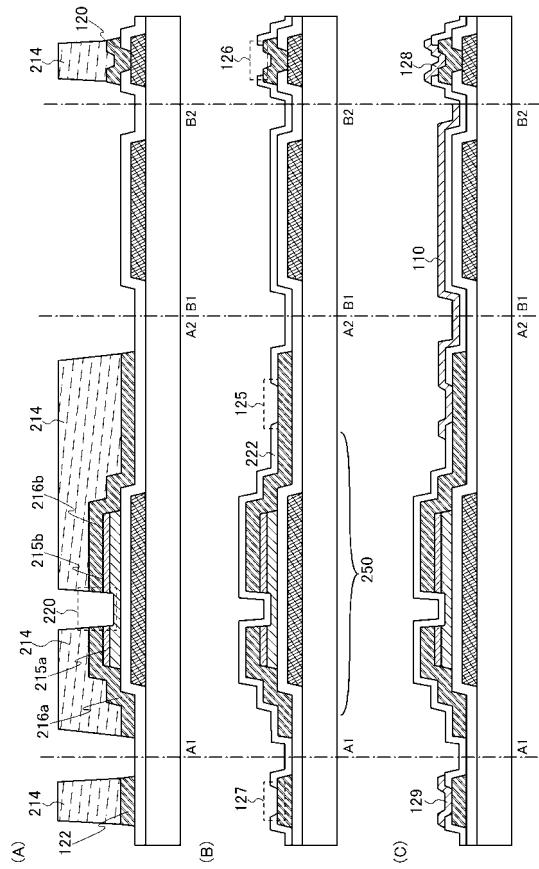
【図4】



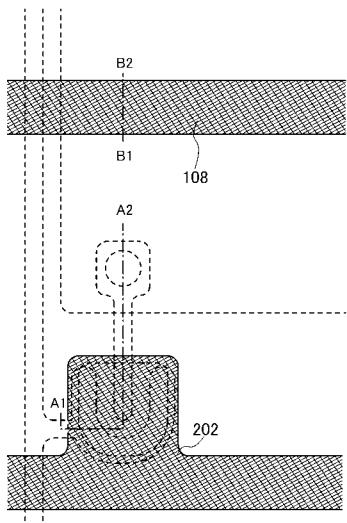
【図5】



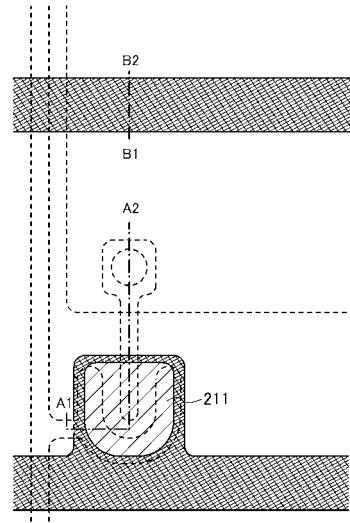
【図6】



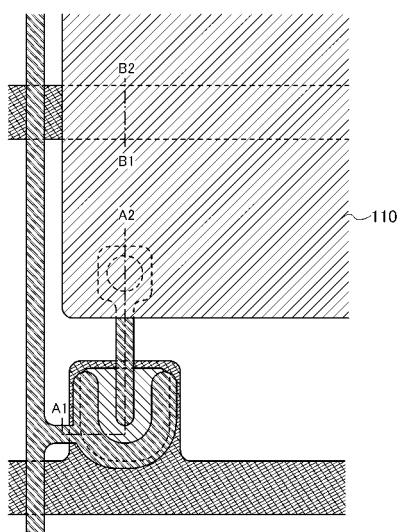
【図7】



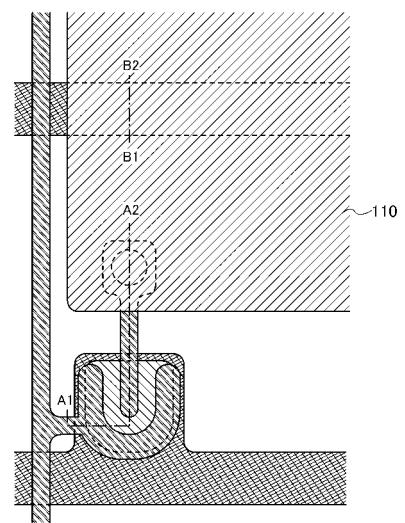
【図8】



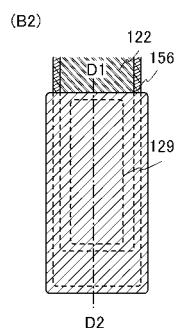
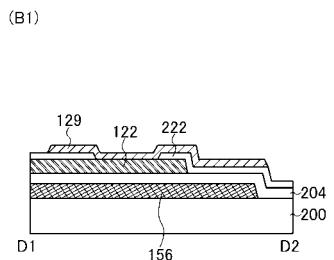
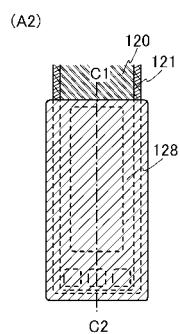
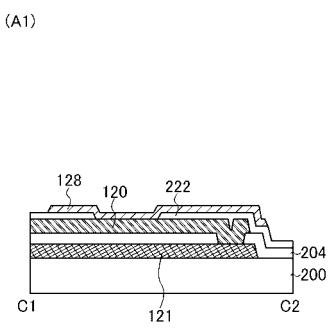
【図9】



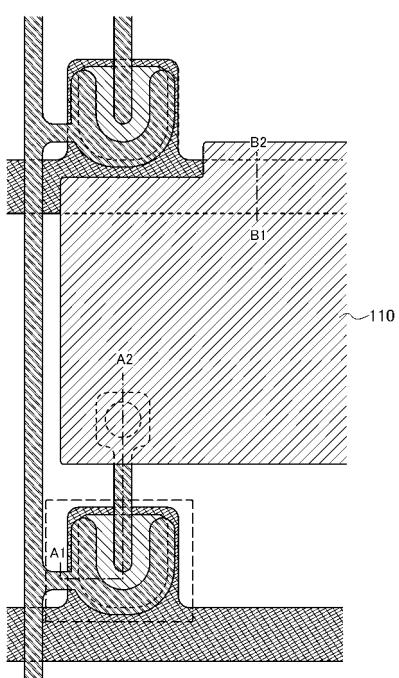
【図10】



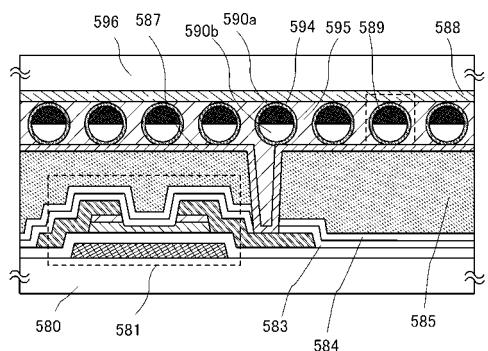
【図11】



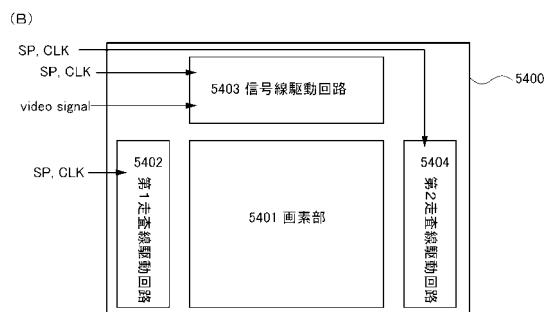
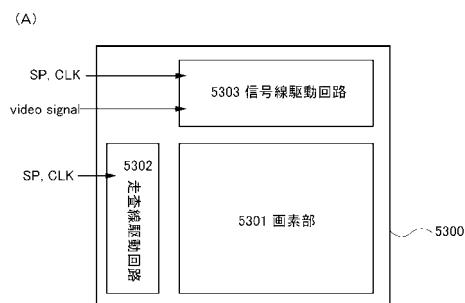
【図12】



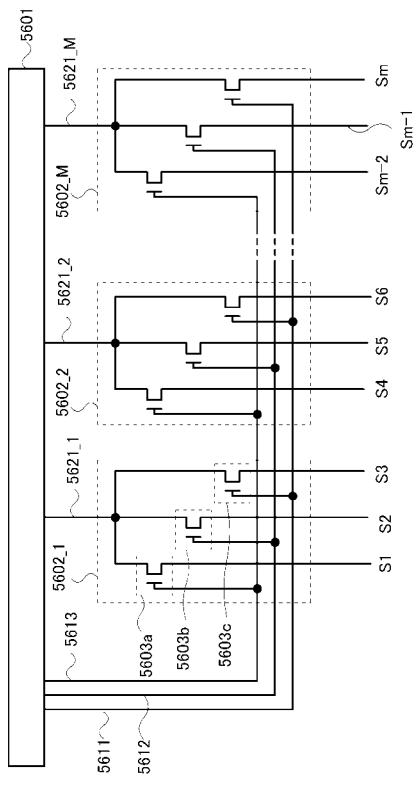
【図13】



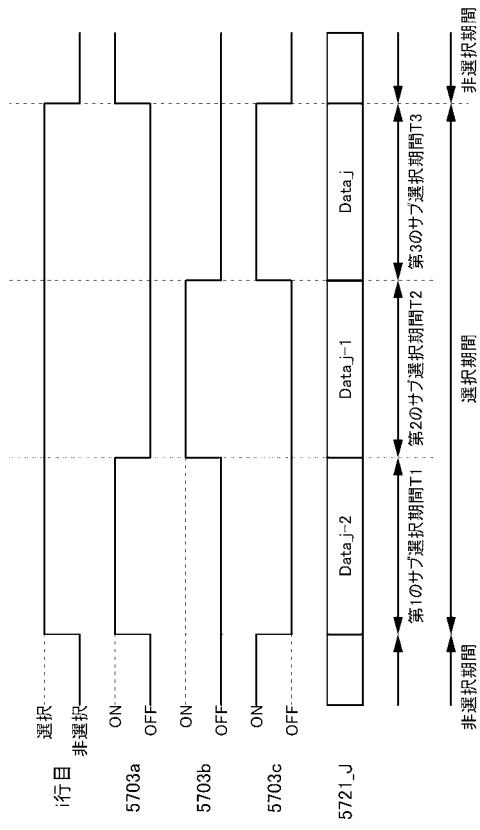
【図14】



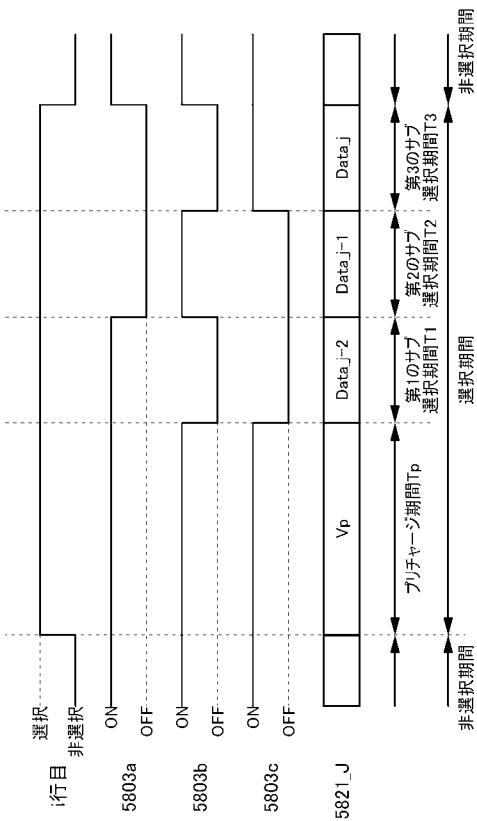
【図 1 5】



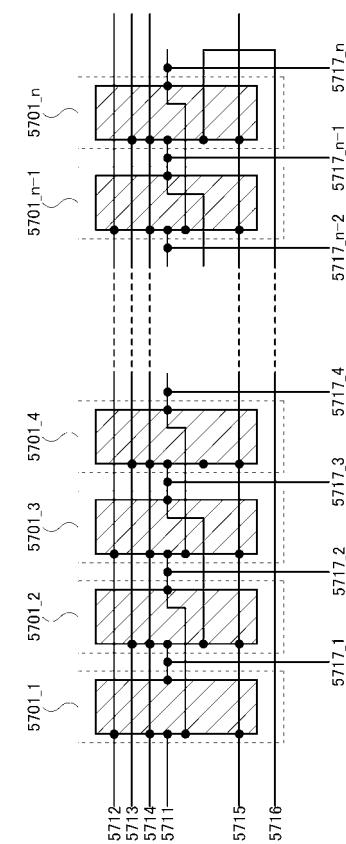
【図 1 6】



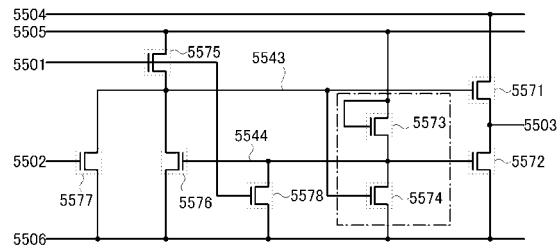
【図 1 7】



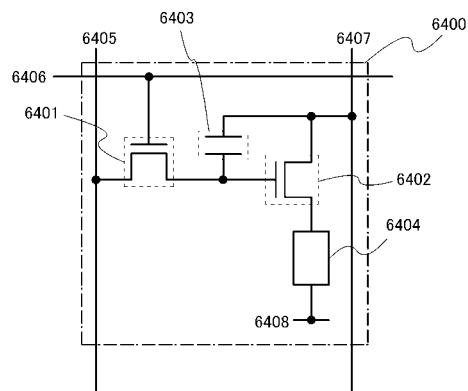
【図 1 8】



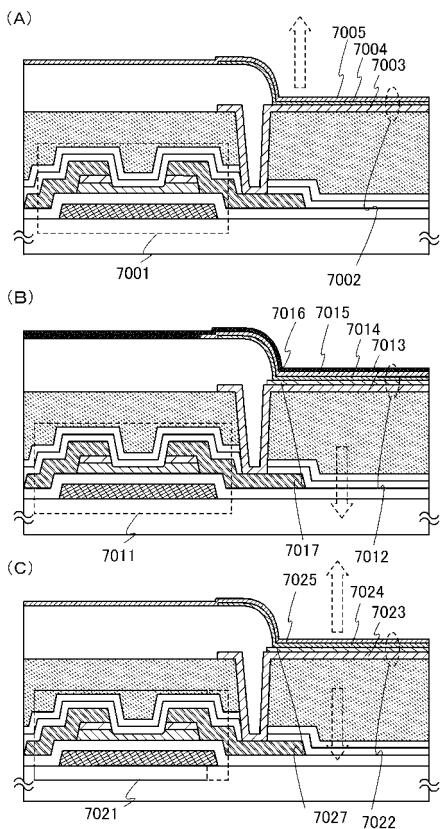
【図19】



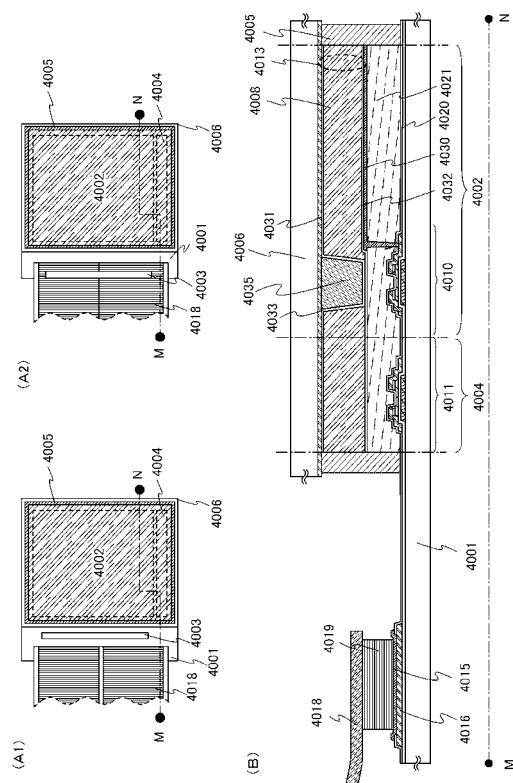
【図20】



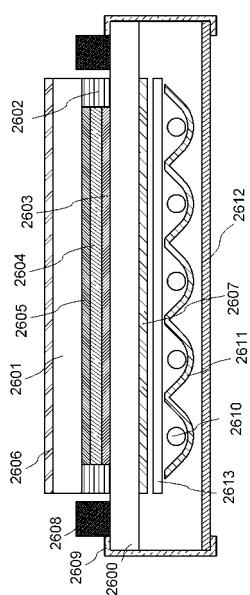
【図21】



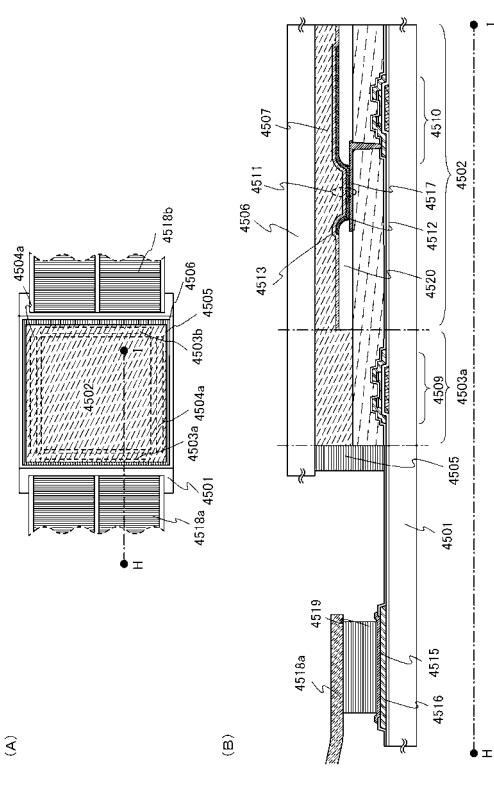
【図22】



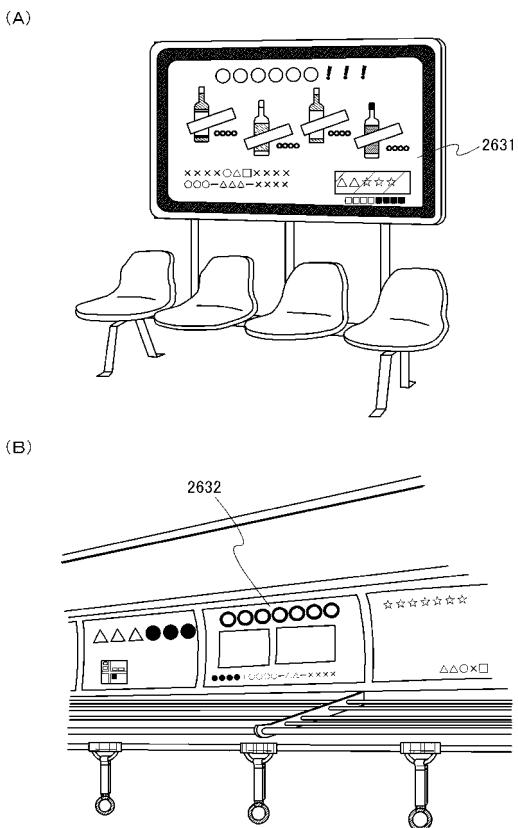
【図23】



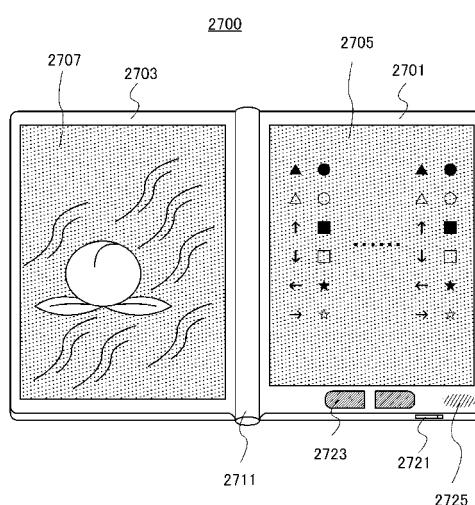
【図24】



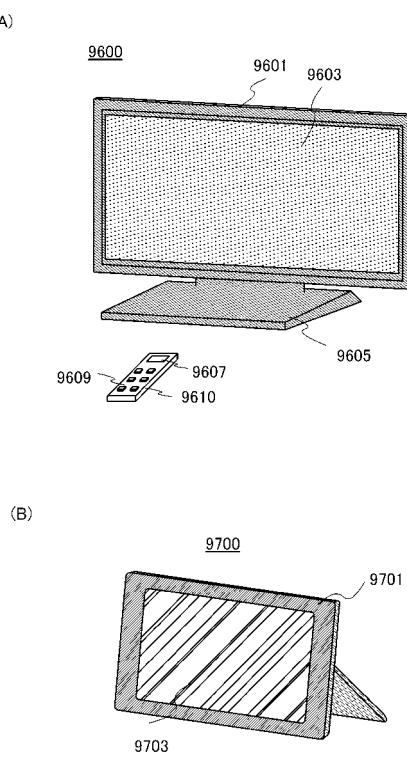
【図25】



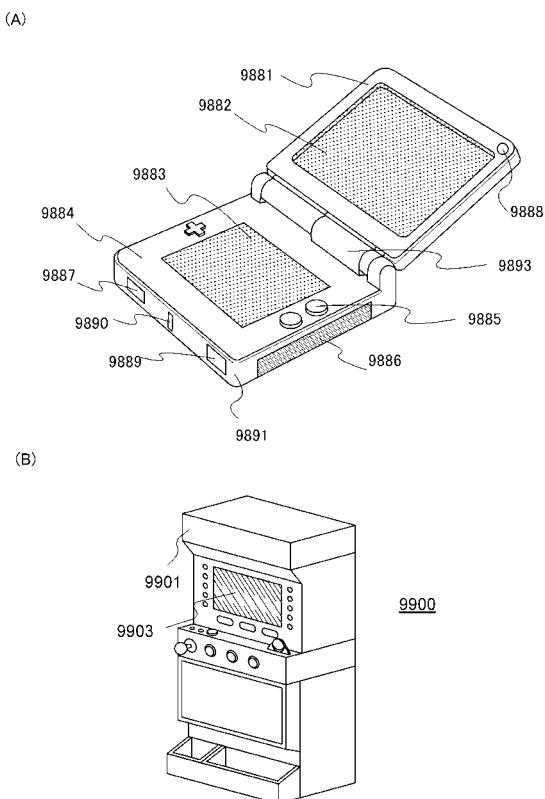
【図26】



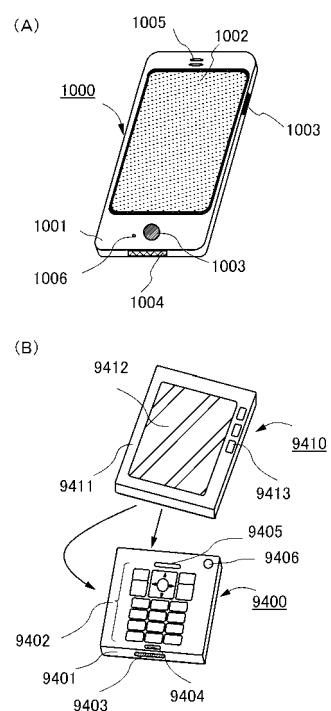
【図27】



【図28】



【図29】



---

フロントページの続き

(51)Int.Cl.

F I

H 01 L 29/78 616 K

(56)参考文献 特開2007-123861 (JP, A)

特開2004-031409 (JP, A)

特開2007-284342 (JP, A)

国際公開第2007/148601 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/336, 29/786