

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 21 年 7 月 30 日 (2009.7.30)

【公開番号】特開 2008-171977 (P2008-171977A)
 【公開日】平成 20 年 7 月 24 日 (2008.7.24)
 【年通号数】公開・登録公報 2008-029
 【出願番号】特願 2007-3184 (P2007-3184)
 【国際特許分類】

H 0 1 L 21/82 (2006.01)

【 F I 】

H 0 1 L 21/82 B

【手続補正書】

【提出日】平成 21 年 6 月 12 日 (2009.6.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

スタンダードセルを用いた半導体集積回路のレイアウト構造であって、

前記スタンダードセルは、

シリコン基板と、前記シリコン基板上に構成されると共にドレイン拡散領域、ソース拡散領域及びゲート配線を備えるトランジスタと、前記シリコン基板を覆うように前記シリコン基板の上に金属で構成された第 1 配線層及び前記第 1 配線層を覆うように前記第 1 配線層の上方に位置する金属で構成された第 2 配線層と、前記ドレイン拡散領域又はソース拡散領域と前記第 1 配線層とを接続する C A ピアから少なくとも構成され、

更に、前記スタンダードセルは、

前記トランジスタを複数備えると共に、前記第 1 配線層に配置された電源配線と、ジャンパー配線とを備えており、

前記複数のトランジスタは、それ等のゲート配線間の配線ピッチが一定になるように前記スタンダードセル内に配置されており、

前記複数のトランジスタは、第 1 及び第 2 のトランジスタを備え、

前記第 1 のトランジスタと前記第 2 のトランジスタは、各々のソース拡散領域を共有するように隣接して配置され、

前記共有するソース拡散領域には、複数の第 1 の C A ピアが配置されており、

前記複数の第 1 の C A ピアは、各々前記電源配線と接続されており、

前記ジャンパー配線は、前記第 2 配線層に配線されており、

前記第 1 のトランジスタのドレイン拡散領域と前記第 2 のトランジスタのドレイン拡散領域とは、前記ジャンパー線のみで接続されている

ことを特徴とする半導体集積回路のレイアウト構造。

【請求項 2】

前記請求項 1 記載の半導体集積回路のレイアウト構造において、

前記スタンダードセルは、インバータである

ことを特徴とする半導体集積回路のレイアウト構造。

【請求項 3】

前記請求項 2 記載の半導体集積回路のレイアウト構造において、

前記スタンダードセルに備える複数のトランジスタは、複数の N チャネル型トランジスタ

タである

ことを特徴とする半導体集積回路のレイアウト構造。

【請求項 4】

電源配線、複数のトランジスタ、及び前記複数のトランジスタのドレイン拡散領域又はソース拡散領域と金属配線層とを接続するための複数の C A ピアを有するスタンダードセルを用い、このスタンダードセルを複数個配置して第 1 のスタンダードセル列を構成した半導体集積回路のレイアウト構造において、

前記複数のトランジスタは、前記スタンダードセルの上下の辺と平行な方向に並べられており、且つ、前記複数のトランジスタのゲート配線は、前記スタンダードセルの上下の辺と垂直な方向に各々配線されており、且つ、前記複数のゲート配線間の配線ピッチが、第 1 の配線ピッチと第 2 の配線ピッチとが交互に繰り返すように設定されており、

更に、前記第 1 の配線ピッチは、前記第 2 の配線ピッチよりも狭く、

前記第 2 の配線ピッチになるように配線された 1 組のゲート配線の間には挟まれて存在する少なくとも 1 つの拡散領域である第 1 のソース拡散領域は、前記電源配線と複数の C A ピアを介して接続されており、

前記複数の C A ピアのうち、少なくとも 2 個の 1 組は、前記スタンダードセルの上下辺と平行な方向に並べて配置されている

ことを特徴とする半導体集積回路のレイアウト構造。

【請求項 5】

前記請求項 4 記載の半導体集積回路のレイアウト構造において、

前記スタンダードセルは、インバータ又はバッファの機能を備えたドライバセルであり、

前記ドライバセルを構成するトランジスタのソース端子に相当する拡散領域は、前記第 1 のソース拡散領域である

ことを特徴とする半導体集積回路のレイアウト構造。

【請求項 6】

前記請求項 5 記載の半導体集積回路のレイアウト構造において、

更に、単一のゲート配線ピッチで並べられた複数のトランジスタを有する複数のスタンダードセルを複数個配置した第 2 のスタンダードセル列を備えた

ことを特徴とする半導体集積回路のレイアウト構造。

【請求項 7】

前記請求項 6 記載の半導体集積回路のレイアウト構造において、

更に、第 1 及び第 2 の回路ブロックと、少なくとも 1 つのリピータブロックとを備え、

前記リピータブロックは、インバータ又はバッファの機能を有する第 1 のスタンダードセルが配置されている前記第 1 のスタンダードセル列を、少なくとも 1 列備え、

前記第 1 の回路ブロックから出力された信号が、前記第 1 のスタンダードセルに入力されるように配線されており、

前記第 1 のスタンダードセルから出力された信号が、前記第 2 の回路ブロックに入力されるように配線されている

ことを特徴とする半導体集積回路のレイアウト構造。

【請求項 8】

前記請求項 7 記載の半導体集積回路のレイアウト構造において、

前記第 1 の回路ブロックは、インバータ又はバッファの機能を備えた前記第 1 のスタンダードセルが配置されている前記第 1 のスタンダードセル列を少なくとも 1 列備え、

前記第 1 の回路ブロックから出力される信号は、前記第 1 のスタンダードセルから出力された信号であり、且つ、前記第 2 の回路ブロックへと伝達される

ことを特徴とする半導体集積回路のレイアウト構造。

【請求項 9】

拡散領域及びゲート配線を有する複数のトランジスタと、前記複数のトランジスタのドレイン拡散領域又はソース拡散領域と金属配線層を接続するための複数の C A ピアとを有

するスタンダードセルを用い、このスタンダードセルをこのスタンダードセルの上下辺と平行な方向に複数個並べてスタンダードセル列を構成し、このスタンダードセル列を複数列備えた半導体集積回路のレイアウト構造であって、

前記複数のトランジスタのゲート配線間の配線ピッチが第1の配線ピッチ S になるように前記複数のトランジスタが一定間隔で配置されている第1のスタンダードセル列と、

前記第1のスタンダードセル列と上下辺を接するように隣接して配置され、前記複数のトランジスタのゲート配線間の配線ピッチとして、第2の配線ピッチ S_1 と、前記第2の配線ピッチよりも大きな第3の配線ピッチ S_0 とが、交互に繰り返されるように前記複数のトランジスタが配置されている第2のスタンダードセル列と、

前記第1及び第2のスタンダードセル列に跨って配置された少なくとも1つのダブルハイトセルとを備えた

ことを特徴とする半導体集積回路のレイアウト構造。

【請求項10】

前記請求項9記載の半導体集積回路のレイアウト構造において、

前記第3の配線ピッチ S_0 の大きさは、前記第1の配線ピッチ S よりも大きく、

前記第3の配線ピッチ S_0 で隣接して配置された2つのゲート配線間の拡散領域上に前記スタンダードセルの上下辺と平行な方向に並べて互いに接触することなく配置可能なCAビアの最大数は、前記第1の配線ピッチ S で隣接して配置された2つのゲート配線間の拡散領域上に前記スタンダードセルの上下辺と平行な方向に並べて互いに接触することなく配置可能なCAビアの最大数よりも大きい

ことを特徴とする半導体集積回路のレイアウト構造。

【請求項11】

請求項9又は10記載の半導体集積回路のレイアウト構造において、

前記ダブルハイトセルは、複数の第1のトランジスタを備えており、

前記複数の第1のトランジスタは、

前記ダブルハイトセルが半導体集積回路内に配置されたとき、前記第2のスタンダードセル列に配置され、且つ、複数のゲート配線間の配線ピッチとして、前記第2の配線ピッチ S_1 と前記第3の配線ピッチ S_0 とが交互に繰り返されるように並べて配置されており、更に、半導体集積回路内の別の前記スタンダードセルへと伝播する信号を出力するための出力回路を構成している

ことを特徴とする半導体集積回路のレイアウト構造。

【請求項12】

前記請求項11記載の半導体集積回路のレイアウト構造において、

前記出力回路は、インバータである

ことを特徴とする半導体集積回路のレイアウト構造。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】半導体集積回路のレイアウト構造

【技術分野】

【0001】

本発明は、半導体集積回路のレイアウトにおける基本単位を構成するスタンダードセルを用いた半導体集積回路のレイアウト構造に関し、特に、トランジスタのゲート配線ピッチを一定とすることを特徴とするスタンダードセルを用いた半導体集積回路のレイアウト構造に関する。

【背景技術】

【0002】

従来より、安価且つ高性能な半導体集積回路を実現するため、1枚のシリコンウエハ上に、できるだけ多くの半導体集積回路を搭載できるように、半導体集積回路1つあたりの面積を、動作速度を低下させること無く、できるだけ小さくする取り組みが行われてきた。

【0003】

その取り組みのうち、製造プロセス技術の分野で行われてきたのが、いわゆる「微細化」である。微細化とは、ゲート配線同士の間隔であるゲート配線ピッチが非常に小さいトランジスタや、小さな直径で高密度に配置可能なCAビア（コンタクト又はビアホールとも呼ばれる、ドレイン拡散領域又はソース拡散領域と金属配線を接続する金属で出来た柱）を製造できるよう、製造技術の設計精度を向上する技術である。この微細化により、単位面積当たりに集積できるトランジスタの数が向上し、半導体集積回路の面積を小さくすることができるようになった。

【0004】

しかし、一方で、微細化の進展は、動作速度の低下に直結する大きな2つの問題を新たにもたらすことになった。第1の問題は、ゲート長ばらつきによる半導体集積回路の動作速度の低下であり、第2の問題は、トランジスタのソース用CAビアの高抵抗化による、半導体集積回路の動作速度の低下である。

【0005】

先ず、第1の問題について、以下に詳しく述べる。半導体製造プロセスにおいて、シリコン基板上に回路を形成する工程では、ホトリソグラフィ技術が用いられる。ホトリソグラフィ技術は、一般的に、レジストコート プリベーク 露光 現像 エッチング レジスト除去、という工程から構成されており、トランジスタのゲート配線となるポリシリコン配線の形成にも用いられている。第1の問題は、このうちの露光工程で生じる。

【0006】

露光工程は、ガラス板（マスク）に描画された回路パターンを、シリコンウエハ上に投影し、回路パターンをシリコンウエハ上に転写する工程である。このとき、あまりに回路パターンが細かいと、それがあたかも回折格子であるかのごとく光波に作用して、散乱光が発生するため、シリコンウエハ上に転写されたパターンの輪郭が、マスク上の回路パターンよりも、散乱された分だけ広がってしまう。この結果、回路パターンの形状誤差が大きくなるという問題が生じることになる。

【0007】

この形状誤差は、マスクに描画されたパターンの幅やピッチが小さければ小さいほど、大きくなる。この影響を強く受けるのが、トランジスタのゲート長である。ゲート配線ピッチが狭い複数のトランジスタと、それが広い複数のトランジスタが、混在した半導体集積回路において、露光によるゲート長の変化を考える。このとき、マスク上では、ゲート配線ピッチの狭いトランジスタのゲート長は、ゲート配線ピッチの広いトランジスタのゲート長と、同じになるように、回路パターンは描画されているとする。このマスクを用いて、露光を行うと、シリコン基板上には、散乱光の影響で、ある量の形状誤差をもったゲート配線が形成される。

【0008】

先ず、ゲート配線ピッチの狭いトランジスタのゲート長は、散乱光の影響が大きいため、シリコン基板上において、大きな形状誤差をもつ。一方、ゲート配線ピッチの大きいトランジスタのゲート長は、散乱光の影響が小さいため、シリコン基板上において、小さな形状誤差を持つ。従って、マスク上は、同一のゲート長であっても、シリコン基板上では、異なるゲート長を持つようにトランジスタが形成される。従って、トランジスタのゲート長は、ある一定量のばらつきを持つことになる。

【0009】

以上のように、ゲート配線ピッチが一定でなく、ばらばらになるように配置されたトランジスタを備えた半導体集積回路をシリコン基板上に製造すると、マスク上からシリコンウエハ上に転写される段階で、各トランジスタのゲート長は、均一にならず、ある一定量

のばらつきを持つことになる。

【 0 0 1 0 】

トランジスタの電流駆動能力は、ゲート長に反比例するため、ゲート長のばらつきは、トランジスタの電流駆動能力のばらつきにそのまま直結する。半導体集積回路の動作速度は、回路内の所望の容量に、所定の電荷をどれだけ速く充電できるかによって決まる。このため、半導体集積回路の動作速度は、トランジスタの電流駆動能力に比例する。従って、電流駆動能力のばらつきは、動作速度のばらつきにそのまま直結し、半導体集積回路の動作速度は、設計段階で推定していた値からばらつくため、所望の動作速度を備えた半導体集積回路が得られにくくなる。

【 0 0 1 1 】

以上のように、微細化の進んだプロセスを用いて、ゲート配線ピッチが一定でないトランジスタを備えた半導体集積回路を製造しようとする、半導体集積回路の動作速度が低下し易くなる。以上が第 1 の問題である。

【 0 0 1 2 】

この第 1 の問題を解決するには、ゲート配線ピッチが一定となるようなトランジスタを備えた半導体集積回路を作成すれば良く、特許文献 1 には、ゲート配線ピッチが一定となるようにトランジスタを配置したスタンダードセルを用いた半導体集積回路のレイアウト構造が記載されている。この特許文献 1 の記載内容については、従来例として後述するので、ここでは省略する。

【 0 0 1 3 】

次に、第 2 の問題について、以下に詳しく述べる。

【 0 0 1 4 】

微細化を進めるためには、単位面積当たりの金属配線の本数を増やすため、金属配線の配線幅を細くする必要がある。配線幅の細い金属配線は、抵抗値が高くなる。抵抗値の高い金属配線は、金属配線を伝播する信号の伝播速度が低下や、発熱による断線故障を招く。これを防ぐため、微細化の進んだプロセスでは一般的に、従来のアルミに比べて比抵抗が $2/3$ と小さい銅が採用されている。

【 0 0 1 5 】

ところが、銅は、シリコン基板と接触すると、シリコン基板内に拡散して、シリコン基板の電気特性や結晶性を劣化させる特徴がある。これを防ぐために、トランジスタの拡散領域と金属配線層を接続する C A ピアには、低抵抗な銅ではなく、それ以外の抵抗値の高い金属（タングステンなど）を使わざるを得ない。このため C A ピアは、銅で作られた金属配線層や、金属配線層同士を接続する他のピアと比べて、抵抗が高くなる。例えば、タングステンの場合は、銅の 3.2 倍の比抵抗を持つ。

【 0 0 1 6 】

更に、銅は、酸化膜内に対しても拡散する特徴を備える。このため、銅で作られた金属配線層とトランジスタの拡散領域とを分離する酸化膜が薄すぎると、拡散した銅が、酸化膜を通過し、シリコン基板まで及ぶ恐れがある。これを防ぐために、微細化の進んだプロセスでは、トランジスタの拡散領域と金属配線層の間に形成された酸化膜層を充分厚くする必要がある。

【 0 0 1 7 】

この結果、トランジスタの拡散領域と金属配線層との間の距離が離れるため、両者を接続する C A ピアの長さも長くなる。この結果、更に抵抗値が増大する。以上のような要因により、微細化が進んだプロセスを用いた半導体集積回路は、C A ピアの抵抗値が大きくなる傾向がある。

【 0 0 1 8 】

C A ピアは、トランジスタのソースに相当する拡散領域と、電源配線に相当する金属配線とを接続する経路に使用されている。このため、C A ピアの抵抗値が高いと、金属配線層から拡散領域に至るまでの経路を流れる電流によって、より大きな電圧降下が生じる。このため、電源配線の電圧よりも、より低い電圧が、トランジスタのソース端子に印加さ

れるようになる。トランジスタの電流駆動能力は、トランジスタのソース端子の電圧に比例するため、C A ピアの抵抗値の増大は、半導体集積回路の動作速度の低下に直結する問題である。

【 0 0 1 9 】

以上のように、微細化の進んだ製造プロセスを用いると、C A ピアが高抵抗になるため、半導体集積回路の動作速度が低下し易くなる。以上が第 2 の問題である。

【 0 0 2 0 】

先に述べた特許文献 1 には、この第 2 の問題を解決する手段が記載されていない。このため、特許文献 1 に記載されている半導体集積回路のレイアウト構造は、動作速度の低下に関する課題を持っていることになる。その詳細は、以下の「発明が解決しようとする課題」にて後述するので、ここでは省略する。

【 0 0 2 1 】

次に、以上の問題のうち、第 1 の問題に対する 4 つの従来例について説明する。

【 0 0 2 2 】

以下に第 1 の従来例について説明する。図 8 は、特許文献 1 の図 1 に記載されている図面であり、スタンダードセルである。

【 0 0 2 3 】

同図において、スタンダードセル 1 は、P 型拡散領域 2 と、N 型拡散領域 3 を備えている。ゲート配線 4、5、6 は、スタンダードセル 1 の左右の辺と平行な方向に配線されており、且つ、P 型拡散領域 2 及び N 型拡散領域 3 を貫くように配線されており、その結果、ゲート配線 4、5、6 は、P 型拡散領域 2 と重複する領域において、P チャネル型のトランジスタ P 1、P 2、P 3 のゲート電極として各々機能し、N 型拡散領域 3 と重複する領域において、N チャネル型トランジスタ N 1、N 2 及び N 3 のゲート電極として機能する。ゲート配線 6、ゲート配線 5、ゲート配線 4 の配線ピッチは、何れも同一である。

【 0 0 2 4 】

電源配線 1 1、1 9 は、各々、電源電圧 V D D 及び V S S を、スタンダードセル 1 内のトランジスタのソース端子に供給するための配線であり、各々、スタンダードセルの上辺及び下辺に沿って平行に、金属配線層で配線されている。

【 0 0 2 5 】

C A ピア 1 2 は、電源配線 1 1 から突き出された、電源配線 1 1 と同一の金属配線層を用いて配線された電源配線 1 6 と接続され、更に、P チャネル型トランジスタ P 1、P 2 間に位置する P 型拡散領域 2 である、ソース拡散領域 3 0 0 の内部に配置され、更に、C A ピア 1 2 は、ソース拡散領域 3 0 0 と接続されている。

【 0 0 2 6 】

C A ピア 1 3、1 4 は、各々、P チャネル型トランジスタ P 1 の右隣及び P チャネル型トランジスタ P 2 の左隣に配置され、何れも P 型拡散領域 2 と接続されている。更に、C A ピア 1 3、1 4 は、金属配線層で配線されているドレイン間配線 1 5 で互いに接続されている。ドレイン間配線 1 5、電源配線 1 1、1 6 は何れも、同一の金属配線層で配線されている。

【 0 0 2 7 】

図 9 は、特許文献 1 の図 7 (b) 記載の図面であり、図 8 記載のスタンダードセルの回路図である。P チャネル型トランジスタ P 1、P 2 は、各々、ソース端子 2 2、2 3 を備え、且つ、ドレイン端子 2 4、2 5 を備える。ドレイン端子 2 4、2 5 は、配線 2 6 で接続されている。トランジスタ P 1、P 2 は、各々、図 8 のトランジスタ P 1、P 2 に相当する。ソース端子 2 2、2 3 は、何れも、図 8 の C A ピア 1 2 が接続されている。ドレイン端子 2 4、2 5 は、各々図 8 記載の C A ピア 1 3、1 4 が各々接続されている。配線 2 6 は、図 8 の信号配線 1 5 に相当する。以上が第 1 の従来例である。

【 0 0 2 8 】

次に、第 2 の従来例について説明する。図 1 0 は、特許文献 1 の請求項 1 に記載のスタンダードセルであり、インバータの論理を備えたスタンダードセルであり、ソース端子で

の電圧降下を防ぐため、複数のCAをソース拡散領域に配置したスタンダードセルである。

【0029】

スタンダードセル70は、P型拡散領域71と、N型拡散領域72とを備え、更に、P型拡散領域71上に配線されたゲート配線81～84は、一定間隔の配線ピッチで配線されている。ゲート配線81～84のうち、P型拡散領域71と重複する領域は、各々、Pチャンネル型トランジスタP81～P84のゲート電極として機能する。ゲート配線81～84は、ポリシリコン配線86によって互いに接続されている。

【0030】

N型拡散領域72上に配線されたゲート配線91～94は、一定間隔の配線ピッチで配線されている。ゲート配線91～94のうち、N型拡散領域72と重複する領域は、各々、Nチャンネル型トランジスタN91～N94のゲート電極として機能する。ゲート配線91～94は、ポリシリコン配線86によって互いに接続されている。ソース拡散領域101は、ゲート配線81の左側に位置するP型拡散領域71であり、且つ、Pチャンネル型トランジスタP81のソース端子に相当する。

【0031】

ソース拡散領域102は、ゲート配線82と83の間に位置するP型拡散領域71であり、且つ、Pチャンネル型トランジスタP82のソース端子に相当し、且つ、Pチャンネル型トランジスタP83のソース端子に相当する。ソース拡散領域103は、ゲート配線84の右側に位置するP型拡散領域71であり、且つ、Pチャンネル型トランジスタ84のソース端子に相当する。ドレイン拡散領域104は、ゲート配線81と82の間に位置するP型拡散領域71であり、且つ、Pチャンネル型トランジスタP81のドレイン端子に相当し、且つ、Pチャンネル型トランジスタP82のドレイン端子に相当する。ドレイン拡散領域105は、ゲート配線83と84の間に位置するP型拡散領域71であり、且つ、Pチャンネル型トランジスタP83のドレイン端子に相当し、且つ、Pチャンネル型トランジスタP84のドレイン端子に相当する。

【0032】

電源配線106、107は、各々、電源電圧VDD及びVSSを、スタンダードセル70内のトランジスタのソース端子に供給するための配線であり、スタンダードセル70の上辺及び下辺に沿って、平行に、金属配線で配線されており、電源配線110～112は、電源配線106と垂直な方向に、金属配線で配線されている。

【0033】

ドレイン配線140は、金属配線層で配線されている。CAビア120～123は、何れも、電源配線110と、ソース拡散領域101を接続しており、且つ、ソース拡散領域101の内部に配置されている。CAビア124～127は、何れも、電源配線111と、ソース拡散領域102を接続しており、且つ、ソース拡散領域102の内部に配置されている。CAビア128～131は、何れも、電源配線112と、ソース拡散領域103を接続しており、且つ、ソース拡散領域103の内部に配置されている。CAビア141～144は、何れも、ドレイン配線140と、ドレイン拡散領域104を接続しており、ドレイン拡散領域104の内部に配置されている。CAビア145～148は、何れも、ドレイン配線140と、ドレイン拡散領域105を接続しており、ドレイン拡散領域105の内部に配置されている。以上が第2の従来例である。

【0034】

次に、第3の従来例について説明する。図11は、特許文献1の請求項1に記載のスタンダードセルであり、ORの論理を備えたスタンダードセルである。図12は、前記図11に記載のスタンダードセルの回路図である。

【0035】

まず、図12のORの回路図から説明する。OR回路2000は、NOR回路2010の出力とインバータ回路2020の入力を直列に接続した構造を備えている。インバータ回路2020の出力は、OR回路2000の出力端子OUTに接続されており、これによ

り、出力端子OUTは、インバータ回路2020で駆動されている。

【0036】

次に、図11について説明する。スタンダードセル160は、NOR回路161とインバータ回路162とから構成されている。NOR回路161は、図12のNOR回路2010に相当する。インバータ回路162は、図12のインバータ回路2020に相当する。Pチャンネル型トランジスタのゲート配線163、164は、何れも一定間隔Sで配線されている。また、Nチャンネル型トランジスタのゲート配線168、169は、何れも一定間隔Sで配線されている。以上が第3の従来例である。

【特許文献1】特開平9-289251号公報

【発明の開示】

【発明が解決しようとする課題】

【0037】

しかしながら、以上3つの従来事例は、各々、以下のような課題がある。

【0038】

第1の従来例は、ドレイン端子間をドレイン間配線が、電源配線と同じ配線層で配線されているため、ソース拡散領域のうち、ドレイン間配線が通過した領域には、ソース端子に接続すべきCAビアをおくことが出来ない。このため、ソース拡散領域に配置されるCAビアの配置の自由度が低くなり、CAビア数を変更することによるソース抵抗の調整自由度が低下し、トランジスタの動作速度を向上させる高速設計の自由度が低下するという第1の課題がある。

【0039】

図8のソース拡散領域300上には、ドレイン間配線15が横断している。電源配線16は、ドレイン間配線15と同一の金属配線層で、同一のソース拡散領域300上を縦断する方向に配線されているが、ドレイン間配線15に接触しない程度の長さでしか配線できない。CAビア12は、電源配線16と接触する場所にしか配置できず、且つ、ドレイン間配線15と接触する場所には配置できない。このため、ソース拡散領域300上の領域のうち、ドレイン間配線15が横断している領域にはCAビアを追加することが出来ない。その結果、Pチャンネル型トランジスタP1、P2のソース端子に接続されるCAビアの配置の自由度は、ドレイン間配線15が横断している領域の分だけ制限され低下し、配置するCAビアの数は少なくなるため、ソース抵抗が増大し、トランジスタの速度が低下する。

【0040】

次に、第2の従来例の場合、ゲート配線ピッチを大きくすると、ソース拡散領域として用いられない拡散領域も同様に広がってしまう。その結果、トランジスタのドレイン端子に接続されているドレイン拡散領域も広がるため、ドレイン拡散領域の接合容量が増加し、半導体集積回路の速度低下の要因となる。このように高速化を目的としたゲート配線ピッチの変更の効果が抑制されてしまう。その結果、半導体集積回路の動作速度を向上させる高速設計の自由度が低下するという、第2の課題がある。

【0041】

接合容量とは、拡散領域に生じる、シリコン基板との間の寄生容量であり、拡散領域の面積が小さいほど小さい。一般的に、トランジスタのドレイン端子は、ソース端子とは異なり、電位が一定でなく、回路内を伝播する信号に応じて、VDDからVSSまで変化する。この変化する速度が速いほど、半導体集積回路は高速動作する。電位の変化を高速にするためには、電位が生じている端子の容量を削減する必要がある。このため、ドレイン端子に相当する拡散領域の接合容量は、できるだけ小さくすることが望ましい。

【0042】

ところで、既に第2の問題として述べた通り、トランジスタの動作速度を向上させるためには、ソース端子の電圧を向上させる必要がある。そのためには、ソース端子と電源配線とを接続するCAビアの数を増やせば良い。そのためには、トランジスタのゲート配線ピッチを広げる必要がある。図10のゲート配線81~84は、ゲート配線ピッチが一定

になるように配置されている。このゲート配線ピッチは、更に、ソース拡散領域 101 ~ 103 に各々、縦 2 個 × 横 2 個の計 4 個の CA ピアを配置することができるだけの大きさである。

【0043】

しかし、ゲート配線ピッチが一定であるので、ドレイン拡散領域 104、105 の面積もまた、ソース領域 101 ~ 103 同様に大きくなってしまっている。このため、ドレイン拡散領域 104、105 には、ゲート配線ピッチの大きさに比例した拡散容量が発生することになる。

【0044】

このように、ゲート配線ピッチが一定であると、ゲート配線ピッチが増えれば増えるほど、ドレイン拡散容量は増加する。ドレイン拡散容量の増加は、ドレイン端子の電位変化が遅くし、半導体集積回路の速度を遅くする方向に働く。これにより、ゲート配線ピッチの変更と CA ピアの追加とに起因して、速度改善の効果が抑制されてしまう。従って、ゲート配線ピッチの変更による半導体集積回路の動作速度を向上させる高速設計の自由度が低くなってしまっていた。

【0045】

第 3 の従来例は、ゲート配線ピッチが一定であるため、OR 回路のように、出力端子をインバータで駆動する回路構造を備えた多段セルにおいて、インバータにも、それ以外の回路にも、同一のゲート配線ピッチを適用しなくてはならない。従って、インバータを高速動作させるのに適したゲート配線ピッチと、それ以外の回路を高速化するのに適したゲート配線ピッチとを、スタンダードセル内に混在させることが出来ない。このため、半導体集積回路の動作速度を向上させる高速設計の自由度が低下するという第 3 の課題がある。

【0046】

図 11 記載のインバータ 160 は、NOR 回路 161 とインバータ 162 とが、隣り合って配置されている。この結果、ゲート配線もまた隣り合うように配置されるため、トランジスタのゲート長ばらつきを避けるために、インバータ 160 と NOR 回路 161 とは、何れも、同一のゲート配線ピッチを採用することになる。その結果、インバータを高速動作させるのに適したゲート配線ピッチと、それ以外の回路を高速化するのに適したゲート配線ピッチとを、スタンダードセル内に混在させることが出来ない。その結果、半導体集積回路の動作速度を向上させる高速設計の自由度が低下する。

【課題を解決するための手段】

【0047】

前記第 1 の課題を解決するために、本発明では、ドレイン間配線を電源配線の配線層とは異なる配線層に配線することとする。

【0048】

また、前記第 2 の課題を解決するために、本発明では、複数のゲート配線間の配線ピッチを単一ピッチとせず、2 種類の配線ピッチを設定して、それ等の配線ピッチ間で配線ピッチが交互に繰り返されるように複数のトランジスタのゲート配線をレイアウトする。

【0049】

更に、前記第 3 の課題を解決するために、本発明では、所定高さのスタンダードセルの 2 倍の高さに設定されたダブルハイトセルを設け、このダブルハイトセルの上半分に例えばインバータの高速化に適したゲート配線ピッチで複数のトランジスタを配置する一方、ダブルハイトセルの下半分に例えば汎用的な回路に対して設計自由度の高いゲート配線ピッチで複数のトランジスタを配置することとする。

【0050】

すなわち、請求項 1 記載の発明は、前記第 1 の課題を解決するために、スタンダードセルを用いた半導体集積回路のレイアウト構造であって、前記スタンダードセルは、シリコン基板と、前記シリコン基板上に構成されると共にドレイン拡散領域、ソース拡散領域及びゲート配線を備えるトランジスタと、前記シリコン基板を覆うように前記シリコン基板

の上に金属で構成された第1配線層及び前記第1配線層を覆うように前記第1配線層の上方に位置する金属で構成された第2配線層と、前記ドレイン拡散領域又はソース拡散領域と前記第1配線層とを接続するCAビアから少なくとも構成され、更に、前記スタンダードセルは、前記トランジスタを複数備えると共に、前記第1配線層に配置された電源配線と、ジャンパー配線とを備えており、前記複数のトランジスタは、それ等のゲート配線間の配線ピッチが一定になるように前記スタンダードセル内に配置されており、前記複数のトランジスタは、第1及び第2のトランジスタを備え、前記第1のトランジスタと前記第2のトランジスタは、各々のソース拡散領域を共有するように隣接して配置され、前記共有するソース拡散領域には、複数の第1のCAビアが配置されており、前記複数の第1のCAビアは、各々前記電源配線と接続されており、前記ジャンパー配線は、前記第2配線層に配線されており、前記第1のトランジスタのドレイン拡散領域と前記第2のトランジスタのドレイン拡散領域とは、前記ジャンパー線のみで接続されていることを特徴とする。

【0051】

請求項2記載の発明は、前記請求項1記載の半導体集積回路のレイアウト構造において、前記スタンダードセルは、インバータであることを特徴とする。

【0052】

請求項3記載の発明は、前記請求項2記載の半導体集積回路のレイアウト構造において、前記スタンダードセルに備える複数のトランジスタは、複数のNチャンネル型トランジスタであることを特徴とする。

【0053】

請求項4記載の発明は、前記第2の課題を解決するために、電源配線、複数のトランジスタ、及び前記複数のトランジスタのドレイン拡散領域又はソース拡散領域と金属配線層とを接続するための複数のCAビアを有するスタンダードセルを用い、このスタンダードセルを複数個配置して第1のスタンダードセル列を構成した半導体集積回路のレイアウト構造において、前記複数のトランジスタは、前記スタンダードセルの上下の辺と平行な方向に並べられており、且つ、前記複数のトランジスタのゲート配線は、前記スタンダードセルの上下の辺と垂直な方向に各々配線されており、且つ、前記複数のゲート配線間の配線ピッチが、第1の配線ピッチと第2の配線ピッチとが交互に繰り返すように設定されており、更に、前記第1の配線ピッチは、前記第2の配線ピッチよりも狭く、前記第2の配線ピッチになるように配線された1組のゲート配線の間挟まれて存在する少なくとも1つの拡散領域である第1のソース拡散領域は、前記電源配線と複数のCAビアを介して接続されており、前記複数のCAビアのうち、少なくとも2個の1組は、前記スタンダードセルの上下辺と平行な方向に並べて配置されていることを特徴とする。

【0054】

請求項5記載の発明は、前記請求項4記載の半導体集積回路のレイアウト構造において、前記スタンダードセルは、インバータ又はバッファの機能を備えたドライバセルであり、前記ドライバセルを構成するトランジスタのソース端子に相当する拡散領域は、前記第1のソース拡散領域であることを特徴とする。

【0055】

請求項6記載の発明は、前記請求項5記載の半導体集積回路のレイアウト構造において、更に、単一のゲート配線ピッチで並べられた複数のトランジスタを有する複数のスタンダードセルを複数個配置した第2のスタンダードセル列を備えたことを特徴とする。

【0056】

請求項7記載の発明は、前記請求項6記載の半導体集積回路のレイアウト構造において、更に、第1及び第2の回路ブロックと、少なくとも1つのリピータブロックとを備え、前記リピータブロックは、インバータ又はバッファの機能を有する第1のスタンダードセルが配置されている前記第1のスタンダードセル列を、少なくとも1列備え、前記第1の回路ブロックから出力された信号が、前記第1のスタンダードセルに入力されるように配線されており、前記第1のスタンダードセルから出力された信号が、前記第2の回路プロ

ックに入力されるように配線されていることを特徴とする。

【0057】

請求項8記載の発明は、前記請求項7記載の半導体集積回路のレイアウト構造において、前記第1の回路ブロックは、インパータ又はバッファの機能を備えた前記第1のスタンダードセルが配置されている前記第1のスタンダードセル列を少なくとも1列備え、前記第1の回路ブロックから出力される信号は、前記第1のスタンダードセルから出力された信号であり、且つ、前記第2の回路ブロックへと伝達されることを特徴とする。

【0058】

請求項9記載の発明は、前記第3の課題を解決するために、拡散領域及びゲート配線を有する複数のトランジスタと、前記複数のトランジスタのドレイン拡散領域又はソース拡散領域と金属配線層を接続するための複数のCAピアとを有するスタンダードセルを用い、このスタンダードセルをこのスタンダードセルの上下辺と平行な方向に複数個並べてスタンダードセル列を構成し、このスタンダードセル列を複数列備えた半導体集積回路のレイアウト構造であって、前記複数のトランジスタのゲート配線間の配線ピッチが第1の配線ピッチ S になるように前記複数のトランジスタが一定間隔で配置されている第1のスタンダードセル列と、前記第1のスタンダードセル列と上下辺を接するように隣接して配置され、前記複数のトランジスタのゲート配線間の配線ピッチとして、第2の配線ピッチ S_1 と、前記第2の配線ピッチよりも大きな第3の配線ピッチ S_0 とが、交互に繰り返されるように前記複数のトランジスタが配置されている第2のスタンダードセル列と、前記第1及び第2のスタンダードセル列に跨って配置された少なくとも1つのダブルハイトセルとを備えたことを特徴とする。

【0059】

請求項10記載の発明は、前記請求項9記載の半導体集積回路のレイアウト構造において、前記第3の配線ピッチ S_0 の大きさは、前記第1の配線ピッチ S よりも大きく、前記第3の配線ピッチ S_0 で隣接して配置された2つのゲート配線間の拡散領域上に前記スタンダードセルの上下辺と平行な方向に並べて互いに接触することなく配置可能なCAピアの最大数は、前記第1の配線ピッチ S で隣接して配置された2つのゲート配線の間の拡散領域上に前記スタンダードセルの上下辺と平行な方向に並べて互いに接触することなく配置可能なCAピアの最大数よりも大きいことを特徴とする。

【0060】

請求項11記載の発明は、請求項9又は10記載の半導体集積回路のレイアウト構造において、前記ダブルハイトセルは、複数の第1のトランジスタを備えており、前記複数の第1のトランジスタは、前記ダブルハイトセルが半導体集積回路内に配置されたとき、前記第2のスタンダードセル列に配置され、且つ、複数のゲート配線間の配線ピッチとして、前記第2の配線ピッチ S_1 と前記第3の配線ピッチ S_0 とが交互に繰り返されるように並べて配置されており、更に、半導体集積回路内の別の前記スタンダードセルへと伝播する信号を出力するための出力回路を構成していることを特徴とする。

【0061】

請求項12記載の発明は、前記請求項11記載の半導体集積回路のレイアウト構造において、前記出力回路は、インパータであることを特徴とする。

【0062】

以上により、請求項1～3記載の発明では、前記第1の課題を解決するために、ドレイン端子間を、ドレイン間配線が電源配線と異なる配線層で配線されるようになるので、ソース拡散領域のうち、ドレイン間配線が通過した領域においても、CAピアを配置することができる。従って、第1の従来例と比較して、ソース拡散領域に配置されるCAピアの配置の自由度が向上し、CAピア数を変更することによるソース抵抗の調整自由度が向上し、トランジスタの動作速度を向上させる高速設計の自由度が向上する。

【0063】

また、請求項4～8記載の発明では、前記第2の課題を解決するために、複数のCAピアを横方向に並べることができるような、広い拡散領域と、それより狭い拡散領域の、2

種類の拡散領域を備えたスタンダードセルを、ゲート長ばらつきを招くことなく構成できるようになるので、ソース拡散領域に上述の広い拡散領域を使用し、ドレイン拡散領域に、上述の狭い拡散領域を使用できるようになるため、ドレイン拡散領域の接合容量を増加させること無く、ソース拡散領域に複数のCAピアを置けるようになり、その結果、トランジスタの動作速度を、第2の従来例よりも高速にすることができるようになるため、高速化を目的としたゲート配線ピッチの変更の効果が向上し、半導体集積回路の動作速度を向上させる高速設計の自由度が向上する。

【0064】

更に、請求項9～12記載の発明では、前記第3の課題を解決するために、スタンダードセルのうち、ダブルハイトセルについて、その内部に、配線ピッチの異なる2種類のトランジスタを含むことができるようになる。即ち、ダブルハイトセルの内部に、インバータの高速化に優れる反面、汎用的な回路に対しては高速化に不向きなゲート配線ピッチを備えたトランジスタと、そのゲート配線ピッチと比較すると、インバータの高速化に対して不向きである一方で、汎用的な回路に対しては設計自由度が高い別のゲート配線ピッチを備えたトランジスタの、2種類のトランジスタを作ることができるようになるため、出力端子をインバータで駆動する回路構造を備えた多段セルについて、インバータと、それ以外の回路で、上述の2種類のトランジスタを使い分けることで、第3の従来例よりも、半導体集積回路の動作速度を向上させるための高速設計の自由度が向上する。

【発明の効果】

【0065】

以上説明したように、請求項1～3記載の発明によれば、ソース拡散領域に配置されるCAピアの配置の自由度を向上できるので、CAピア数を変更することによるソース抵抗の調整自由度を高めて、トランジスタの動作速度を向上させる高速設計の自由度を向上させることが可能である。

【0066】

また、請求項4～8記載の発明によれば、ドレイン拡散領域の接合容量を増加させること無く、ソース拡散領域に複数のCAピアを置くことができるので、トランジスタの動作速度の高速化が可能であり、よって、高速化を目的としたゲート配線ピッチの変更の効果が向上し、半導体集積回路の動作速度を向上させる高速設計の自由度を向上できる。

【0067】

更に、請求項9～12記載の発明では、出力端子をインバータで駆動する回路構造を備えた多段セルについて、インバータと、それ以外の回路との間で、ゲート配線ピッチの異なる2種類のトランジスタを使い分けるようにしたので、半導体集積回路の動作速度の向上を図ることができると共に、そのような半導体集積回路の高速設計の自由度を向上できる。

【発明を実施するための最良の形態】

【0068】

以下、本発明の実施形態を、図面を参照しながら説明する。

【0069】

(第1の実施形態)

図1は、本実施形態のスタンダードセルのレイアウト構成を示す。

【0070】

同図において、スタンダードセル200は、シリコン基板(図示せず)上に、P型拡散領域201と、N型拡散領域202とを備え、ゲート配線204～206は、スタンダードセル200の上下辺と垂直な方向に、配線幅L、ゲート配線ピッチSで配線されている。ゲート配線204～206は、P型拡散領域201と重複する領域において、Pチャネル型トランジスタP204～P206のゲート電極として機能し、同様に、N型拡散領域202と重複する領域において、Nチャネル型トランジスタN204～N206のゲート電極として機能する。

【0071】

ソース拡散領域 301 は、隣接する 2 個の P 型トランジスタ（第 1 及び第 2 のトランジスタ）P205、P206 のゲート配線 205、206 間に挟まれた領域に位置する P 型拡散領域 201 であって、それ等の P 型トランジスタ P205、P206 のソース端子に接続された拡散領域である。

【0072】

ドレイン領域 302 は、ゲート配線 206 の右側の領域に位置する P 型拡散領域 201 であって、且つ、P 型トランジスタ P206 のドレイン端子に接続された拡散領域である。ドレイン領域 303 は、ゲート配線 205 と 204 の間に挟まれた領域に位置する P 型拡散領域 201 であり、且つ、P 型トランジスタ P205 のドレイン端子に接続された拡散領域である。

【0073】

電源配線 211、212 は、各々、スタンダードセル 200 内のトランジスタのソース端子に、電源電圧 VDD 及び VSS を与えるために、各々、スタンダードセル 200 の上辺及び下辺に沿って、平行に第 1 の金属配線層で配線されている。電源配線 213 は、電源配線 211 から、電源配線 211 と垂直な方向に、ソース拡散領域 301 に進入するように、第 1 の金属配線層（第 1 配線層）で配線されている。

【0074】

CA ピア 220 は、2 つの CA ピアから構成され、電源配線 213 とソース拡散領域 301 とを接続し、且つ、ソース拡散領域 301 の内部に配置されている。CA ピア 221 は、第 1 の金属配線で配線されたドレイン配線 222 とドレイン拡散領域 302 とを接続し、且つ、ドレイン拡散領域 302 の内部に配置されている。V1 ピア 223 は、ドレイン間配線（ジャンパー配線）224 とドレイン配線 222 とを接続している。CA ピア 231 は、第 1 の金属配線で配線されたドレイン配線 232 とドレイン拡散領域 303 とを接続し、且つ、ドレイン拡散領域 303 の内部に配置されている。V1 ピア 233 は、ドレイン間配線 224 とドレイン配線 232 とを接続している。

【0075】

更に、ドレイン間配線（ジャンパー線）224 は、スタンダードセル 200 の上下辺と平行な方向に、第 1 の金属配線層（第 1 配線層）よりも上位の配線層である第 2 の金属配線層（第 2 配線層）で配線されており、ドレイン拡散領域 302 の内部から外部へと引き出されるように配線されると共に、ドレイン拡散領域 303 の内部へと引き込まれるように配線されており、且つ、共用されたソース拡散領域 301 を貫き横断するように配線されており、ドレイン拡散領域 303 とドレイン拡散領域 302 とを接続している。

【0076】

尚、図 1 において、入力端子及び出力端子に相当するメタル配線又はポリシリコン配線、更に、N チャネル型トランジスタの構成、及び、各端子と各配線との結線については、説明の簡略化のため省略している。

【0077】

以上のような実施形態により、以下のような効果が生まれる。すなわち、ドレイン拡散領域 302、303 同士を接続する配線であるドレイン間配線 224 は、第 2 の金属配線層で配線されている。一方、電源配線 213 は、その第 2 の金属配線層の下層の第 1 の金属配線層を用いている。

【0078】

このため、電源配線 213 は、ドレイン間配線 224 の配線経路の影響を受けることなく、ソース拡散領域 301 内を自由に延設することができる。従って、そのようにして配線された電源配線 213 の下に配置される CA ピア 220 は、同様に、ドレイン間配線 224 の配線経路の影響に制約されることなく配置することができるようになる。

【0079】

以上のように、ドレイン端子間を、ドレイン間配線が、電源配線と異なる配線層で配線されるので、ソース拡散領域 301 のうち、ドレイン間配線 302 が、その上を通過した領域においても、CA ピア 220 を置くことができる。このため、第 1 の従来例と比較し

て、ソース拡散領域 301 に配置される CA ピア 220 の配置の自由度が向上し、CA ピア数を変更することによるソース抵抗の調整自由度が向上し、トランジスタの動作速度を向上させる高速設計の自由度が向上する。

【0080】

尚、図 1 では、配置される CA ピア 220 の数は 2 つとして描画されているが、この数は限定されない。また、このレイアウト構造が適用されるトランジスタの導電タイプについては、P チャネル型に限定されず、N チャネル型でも良い。

【0081】

(第 1 の実施形態の変形例)

図 2 は、前記第 1 の実施形態の変形例を示し、半導体集積回路であるインバータに対して本願発明を適用したものである。

【0082】

図 2 において、インバータ 1 は、P チャネル型トランジスタ 10、20 及び 30 と、N チャネル型トランジスタ 100、110 及び 120 を備えている。P チャネル型トランジスタ 10、20 及び 30 の各々のゲート端子 11、21 及び 31 は、何れも、入力端子 4 に接続されている。P チャネル型トランジスタ 10、20 及び 30 の各々のソース端子 12、22 及び 32 は、何れも、VDD 電源 2 に接続されている。VDD 電源 2 の電位は所定電位 VDD である。

【0083】

P チャネル型トランジスタ 10、20 及び 30 の各々のドレイン端子 13、23 及び 33 は、何れも、出力端子 5 に接続されている。N チャネル型トランジスタ 100、110 及び 120 の各々のゲート端子 101、111 及び 121 は、何れも、入力端子 4 に接続されている。N チャネル型トランジスタ 100、110 及び 120 の各々のソース端子 102、112 及び 122 は、何れも、VSS 電源 3 に接続されている。VSS 電源 3 の電位は接地電位 VSS である。N チャネル型トランジスタ 100、110 及び 120 の各々のドレイン端子 103、113 及び 123 は、何れも、出力端子 5 に接続されている。

【0084】

尚、何れのトランジスタについても、基板端子は存在するが、説明の簡略化のため省略している。

【0085】

図 3 は、前記図 2 に示したインバータの具体的レイアウト構成を示す。同図において、インバータを構成するスタンダードセル 200 は、N 型拡散領域 201 と、P 型拡散領域 202 とを備え、ゲート配線 204 ~ 206 は、スタンダードセル 200 の上下辺と垂直な方向に、配線幅 L、ゲート配線ピッチ S で配線されている。

【0086】

前記ゲート配線 204 ~ 206 は、N 型拡散領域 201 と重複する領域において、N チャネル型トランジスタ N204 ~ N206 のゲート電極としての機能を備え、回路としては、図 2 のゲート端子 101、111 及び 121 に各々対応する。同様に、前記ゲート配線 204 ~ 206 は、P 型拡散領域 202 と重複する領域において、P チャネル型トランジスタ P204 ~ P206 のゲート電極としての機能を備え、回路としては、図 2 のゲート端子 11、21、及び 31 に各々対応する。ゲート配線 500 は、スタンダードセル 200 の上下辺と平行な方向に配線されており、且つ、N 型拡散領域 201 及び P 型拡散領域 202 に接しないように配線されており、ゲート配線 204 ~ 206 と電氣的に接続している。

【0087】

CA ピア 300 は、前記ゲート配線 500 の上に形成され、且つ、ゲート配線 500 と電氣的に接続されている。メタル配線 301 は、CA ピア 300 を介してゲート配線 500 と電氣的に接続されており、回路としては、図 2 の入力端子 4 に対応する。

【0088】

ソース拡散領域 600 は、ゲート配線 204 の右側に位置する P 型拡散領域 202 であ

り、回路としては、図2のソース端子12に相当する。ドレイン拡散領域601は、ゲート配線204及び205に挟み込まれた領域に位置するP型拡散領域202であり、回路としては、図2のドレイン端子13に相当し、且つ、図2のドレイン端子23にも相当する。ソース拡散領域602は、ゲート配線205及び206に挟み込まれた領域に位置するP型拡散領域202であり、回路としては、図2のソース端子22に相当し、且つ、図2のソース端子32にも相当する。ドレイン拡散領域603は、ゲート配線206の左側に位置するP型拡散領域202であり、回路としては、図2のドレイン端子33に相当する。

【0089】

電源配線212は、スタンダードセル200の上辺に沿って、平行に第1の金属配線層で配線されており、電源電圧VDDが印加されている。回路としては、図2のVDD電源2に相当する。電源配線700は、前記電源配線212と電氣的に接続されており、電源配線212と直交するように、第1の金属配線層で、ソース拡散領域600に進入するように配線されており、CAビア701によって、ソース拡散領域600と電氣的に接続されている。電源配線702は、前記電源配線212と電氣的に接続されており、電源配線212と直交するように、第1の金属配線層で、ソース拡散領域602に進入するように配線されており、CAビア703によって、ソース拡散領域602と電氣的に接続されている。

【0090】

ソース拡散領域301は、2個のNチャネル型トランジスタN205、N206のゲート配線205、206間に挟まれて、これ等2個のトランジスタで共有されるN型拡散領域201であって、回路としては、図2のソース端子112に相当し、且つ、ソース端子122にも相当する。ドレイン拡散領域302は、ゲート配線206の左側の領域に位置するN型拡散領域201あり、回路としては、図2のドレイン端子123に相当する。ドレイン拡散領域303は、ゲート配線204とゲート配線205との間に挟まれた領域に位置するN型拡散領域201であり、回路としては、図2のドレイン端子113に相当し、且つ、ドレイン端子103にも相当する。ソース拡散領域304は、ゲート配線204の右側に位置するN型拡散領域201であり、回路としては、図2のソース端子102に相当する。

【0091】

電源配線211は、スタンダードセル200の下辺に沿って、平行に第1の金属配線層で配線されており、接地電圧VSSが印加されている。回路としては、図2のVSS電源3に相当する。電源配線710は、前記電源配線211と電氣的に接続されており、電源配線211と直交するように、第1の金属配線層で、ソース拡散領域304に進入するように配線されており、CAビア711によって、ソース拡散領域304と電氣的に接続されている。電源配線213は、前記電源配線211から、電源配線211と垂直な方向に、ソース拡散領域301に進入するように、第1の金属配線層で配線されている。

【0092】

CAビア220は、2つのCAビアから構成され、電源配線213とソース拡散領域301とを接続し、且つ、ソース拡散領域301の内部に配置されている。CAビア221は、第1の金属配線層で配線されたメタル配線222とドレイン拡散領域302とを接続し、且つ、ドレイン拡散領域302の内部に配置されている。V1ビア223は、ドレイン間配線(ジャンパー線)224とドレイン配線222とを接続している。CAビア231は、第1の金属配線層で配線されたドレイン配線232とドレイン拡散領域303とを接続し、且つ、ドレイン拡散領域303の内部に配置されている。V1ビア233は、ドレイン間配線224と、ドレイン配線232を接続している。

【0093】

更に、ドレイン間配線224は、スタンダードセル200の上下辺と平行な方向に、第1の金属配線層より上位の配線層である第2の金属配線層で配線されており、ドレイン拡散領域302の内部から外部へと引き出されるように配線され、ドレイン拡散領域303

の内部へと引き込まれるように配線されており、且つ、共有ソース拡散領域 301 を貫き横断するように配線されており、ドレイン拡散領域 303 とドレイン拡散領域 302 を接続している。

【0094】

メタル配線 222 は、第 1 の金属配線層でドレイン拡散領域 302、ドレイン拡散領域 303、ドレイン拡散領域 601、ドレイン拡散領域 603 に進入するように配線され、何れも、CA ピアで電氣的に接続されており、回路としては、図 2 の出力端子 5 に相当する。

【0095】

以上のような構成により、本実施形態では、以下のような効果が生まれる。まず、ドレイン間配線 224 を、N チャネル型トランジスタに対して限定して適用することにより、スタンダードセル 200 内の配線領域が P チャネル型トランジスタ領域よりも小さい N チャネル型トランジスタ領域において、第 1 の金属配線層の配線領域を広げることが可能となり、ソース領域における CA 配置の自由度が、より一層に向上する。従って、スタンダードセルの高速化に対する設計自由度がより一層に向上する。

【0096】

また、本スタンダードセル 200 をインバータに適用することにより、このインバータを用いて、長距離の金属配線を駆動する際に、より高速な信号伝播を実現できるようになる。従って、大規模なブロック間の信号のやり取りを高速化することが可能となり、デジタルテレビに代表されるような、一度に多量のデータを処理するプロセッサに対して、特に高い高速化の効果を発揮することが可能となる。

【0097】

(第 2 の実施形態)

図 4 は、本発明の第 2 の実施形態のスタンダードセルを示す。図 5 は、前記図 4 記載のスタンダードセルを用いた半導体集積回路のレイアウト構造を示す。以下、図 4 及び図 5 について、詳細に説明する。

【0098】

まず、図 4 について説明する。同図において、スタンダードセル 400 は、P 型拡散領域 401 及び N 型拡散領域 402 を備える。ゲート配線 404 ~ 409 は、スタンダードセル 400 の上下辺と垂直な方向に配線幅 L で配線されており、且つ、P チャネル型トランジスタ P 404 ~ P 409 及び N チャネル型トランジスタ N 404 ~ N 409 のゲート配線間の配線ピッチは、第 1 の配線ピッチ S0 と第 2 の配線ピッチ S1 とを繰り返すように交互に配線されている。即ち、ゲート配線 405 とゲート配線 406 との間の配線ピッチは第 1 の配線ピッチ S0 であり、ゲート配線 406 とゲート配線 407 との間の配線ピッチは、第 2 の配線ピッチ S1 である。以下、隣接する 2 個のトランジスタのゲート配線間の配線ピッチは、第 1 の配線ピッチ S0 と第 2 の配線ピッチ S1 とを交互に繰り返す。ここで、ゲート配線間の第 1 の配線ピッチ S0 は、第 2 の配線ピッチ S1 よりも大きい ($S0 > S1$)。

【0099】

ゲート配線 404 ~ 409 は、P 型拡散領域 401 と重複する領域において、P チャネル型トランジスタ P 404 ~ P 409 のゲート電極を構成し、N 型拡散領域 402 と重複する領域において、N チャネル型トランジスタ N 404 ~ N 409 のゲート電極を構成している。

【0100】

ソース拡散領域 (第 1 のソース拡散領域) 423 は、ゲート配線ピッチが第 1 の配線ピッチ S0 の区間に位置する P 型拡散領域 401 である。即ち、ゲート配線 404 の左側に位置する領域と、ゲート配線 405 とゲート配線 406 とに挟み込まれた領域と、ゲート配線 407 とゲート配線 408 とに挟み込まれた領域と、ゲート配線 409 の右側に位置する領域の、計 4 つの領域に位置する P 型拡散領域 401 である。そして、更に、ソース拡散領域 423 は、各々、P チャネル型トランジスタ P 404 ~ P 409 のソース端子に

接続されている。

【0101】

ドレイン拡散領域424は、ゲート配線ピッチがS1である1組のゲート配線に挟み込まれた領域に位置するP型拡散領域402である。即ち、ゲート配線404とゲート配線405との間に挟み込まれた領域と、ゲート配線406とゲート配線407とに挟み込まれた領域と、ゲート配線408とゲート配線409とに挟み込まれた領域の、計3つの領域に位置するP型拡散領域401である。そして、更に、ドレイン拡散領域424は、各々、Pチャンネル型トランジスタP404～P409のドレイン端子に接続されている。

【0102】

ポリシリコン配線412は、ゲート配線404～409を互いに接続するように、スタンダードセル400の上下辺に平行に配線されており、且つ、Pチャンネル型トランジスタP404～P409のゲート電極を互いに接続している。

【0103】

電源配線420及び421は、各々、スタンダードセル400内のトランジスタのソース端子に、電源電圧VDD及び接地電圧VSSを与えるために、各々、スタンダードセル400の上辺及び下辺に沿って、平行に第1の金属配線層で配線されている。

【0104】

電源配線422は、前記電源配線420と接続されており、電源配線420と垂直な方向に第1の金属配線層で配線されており、且つ、ソース拡散領域423に進入するように各々配線されている。

【0105】

CAビア425は、ソース拡散領域423内に、各々、縦2列及び横2列の計4つずつ配置されており、ソース拡散領域423と、ソース拡散領域423上に配線されている電源配線422とを各々接続している。

【0106】

ドレイン配線430は、第1の金属配線層で配線されており、ドレイン拡散領域424の上を通過するように配線されており、CAビア431は、ドレイン拡散領域424内に、各々、縦2列及び横1列の計2つずつ配置されており、ドレイン拡散領域424とドレイン配線430とを接続している。

【0107】

尚、図4中には記載されていないが、ドレイン配線430は、スタンダードセル400の出力端子が接続されており、ポリシリコン配線412には、入力端子が接続されている。

【0108】

この構成の結果、Pチャンネル型トランジスタP404～P409は、ソース端子が何れも電源配線420に接続され、ドレイン端子が何れも共通にドレイン配線430を介して出力端子に接続され、ゲート端子は何れも共通にポリシリコン配線412を介して入力端子に接続されており、論理的には、インバータのPチャンネル型トランジスタに相当する回路構造を備える。

【0109】

また、Nチャンネル型トランジスタN404～N409のソース端子、ドレイン端子、ゲート端子の接続関係については、Pチャンネル型トランジスタP404～P409の構造と同様の接続関係があるが、ここでは簡略化のため説明を省略する。この結果、Nチャンネル型トランジスタN404～N409は、ソース端子が何れも電源配線421に接続され、ドレイン端子が何れも共通にドレイン配線430を介して出力端子に接続され、ゲート端子が何れも共通にポリシリコン配線412に接続されており、論理的にはインバータのNチャンネル型トランジスタに相当する回路構造を備えている。従って、スタンダードセル400は、インバータの論理を備える。

【0110】

以上のような構成を備えることにより、以下のような効果が生じる。先ず、ゲート配線

ピッチについて説明する。

【0111】

先ず、Nチャンネル型トランジスタN405のゲート電極を構成するゲート配線405について考える。ゲート配線405は、ゲート配線404とゲート配線ピッチS1で隣接している。また、ゲート配線405は、ゲート配線406とゲート配線ピッチS0で隣接している。従って、ゲート配線405は2つのゲート配線と隣接しており、そのうち、片方のゲート配線との間のゲート配線ピッチは第1の配線ピッチS0であり、もう片方のゲート配線との間のゲート配線ピッチは、第2の配線ピッチS1である。

【0112】

次に、Nチャンネル型トランジスタN406のゲート電極を構成するゲート配線406について考える。ゲート配線406は、ゲート配線407と第2のゲート配線ピッチS1で隣接している。また、ゲート配線406は、ゲート配線405と第1のゲート配線ピッチS0で隣接している。従って、ゲート配線406は、2つのゲート配線と隣接しており、そのうち、片方のゲート配線との間のゲート配線ピッチは第1のゲート配線ピッチS0であり、もう片方のゲート配線との間のゲート配線ピッチは、第2のゲート配線ピッチS1である。

【0113】

以上のように、ゲート配線406とゲート配線405とは、何れも、隣接する配線とのゲート配線ピッチは第1のゲート配線ピッチS0及びS1であることが判る。その結果、回折による散乱光の影響による、シリコン基板上に転写した際に生じるゲート配線幅の誤差は、ゲート配線405と、ゲート配線406とで、同一である。

【0114】

このことから、Pチャンネル型トランジスタP405のゲート長とPチャンネル型トランジスタP406のゲート長とは、同一の誤差を持ち、よって、互いにゲート長がばらつくことはない。

【0115】

この2つのゲート配線405、406を構成するゲート配線ピッチの組み合わせが、スタンダードセル400の上下辺と平行な方向に幾度も繰り返されるように、ゲート配線が、スタンダードセル400の内部に配線されているので、スタンダードセル420に備えられたPチャンネル型トランジスタのゲート長は、回折による散乱光の影響でばらつくことはない。

【0116】

次に、この構成によるインバータの高速化について説明する。先ず、前記第2の従来例では、図10で説明した通り、ゲート配線ピッチが一定であったため、ソース拡散領域101～103と同じ大きさのドレイン拡散領域104～105を配置していた。

【0117】

一方、本実施形態の図4では、スタンダードセル400のゲート配線ピッチが第1及び第2の配線ピッチS0、S1の2種類がある。そのうち、ゲート配線ピッチが第1の配線ピッチS0になるような領域はインバータを構成するPチャンネル型トランジスタのソース拡散領域425が配置され、ゲート配線ピッチが第2の配線ピッチS1になるような領域はインバータを構成するPチャンネル型トランジスタのドレイン拡散領域424が配置されている。このとき、第2のゲート配線ピッチS1は第1の配線ピッチS0より小さいので、ドレイン拡散領域424はソース拡散領域425よりも小さくできる。よって、本発明の構造を備えたインバータのドレインの拡散容量は、第2の従来例よりも小さくできる。従って、より高速動作するインバータを設計することが可能となる。

【0118】

尚、図5では、インバータで説明したが、2つのインバータを直列に接続したバッファであっても、同様の効果を発揮する。

【0119】

以上のように、複数のCAピアを横方向に並べることができるような、広い拡散領域と

、それより狭い拡散領域との、2種類の拡散領域を備えたスタンダードセルを、ゲート長ばらつきを招くことなく提供できるようになるので、ソース拡散領域に上述の広い拡散領域を使用し、ドレイン拡散領域に、上述の狭い拡散領域を使用すると、ドレイン拡散領域の接合容量を増加させることなく、ソース拡散領域に複数のCAピアを置けるようになり、その結果、トランジスタの動作速度を、前記第2の従来例よりも高速にすることができるようになる。よって、高速化を目的としたゲート配線ピッチの変更の効果が向上し、半導体集積回路の動作速度を向上させる高速設計の自由度が向上する。以上が図4についての説明である。

【0120】

次に、図5について説明する。半導体集積回路500は、第1及び第2の回路ブロック501、503と、リピータブロック502とを備える。

【0121】

第1の回路ブロック501は、第1のゲート配線ピッチS0と第2のゲート配線ピッチS1とが交互に繰り返されるようにトランジスタが配置された第1のスタンダードセル列を有する出力回路部505と、ゲート配線間の配線ピッチが所定配線ピッチSになるように一定間隔で配置されたトランジスタが並ぶ第2のスタンダードセル列を複数備えた論理回路部504とを備える。フリップフロップ507は、論理回路部504内に配置されており、論理回路部504の演算結果を受け取り、インバータ508へと信号を出力するように配線されている。また、インバータ508は、図4記載のインバータと同一の構造を備えたインバータであって、出力回路部505に配置されており、フリップフロップ507から出力された信号を受け取り、後述するリピータブロック502内のインバータ509へと信号を出力するように配線されている。

【0122】

リピータブロック502において、インバータ（インバータ機能を有するドライバセルである第1のスタンダードセル）509は、図4記載のインバータと同一の構造を備えたインバータであって、リピータブロック502内に配置されており、前記第1の回路ブロック501内のインバータ508から出力された信号を受け取り、リピータブロック502の出力回路として、第2の回路ブロック503内のフリップフロップ510へと信号を出力するように配線されている。

【0123】

第2の回路ブロック503において、フリップフロップ510は、回路ブロック503内に配置されており、インバータ509から出力された信号を受け取るように配線されている。

【0124】

以上のような構成を備えることにより、以下のような効果が生じる。先ず、回折による、光の散乱と、スタンダードセル列内に配置されたゲート配線のピッチとの関係について以下に述べる。

【0125】

露光時に、あるゲート配線で生じる回折による光の散乱は、左右に隣り合うゲート配線との配線ピッチによって変化するのは、既に述べた通りである。しかし、厳密に言えば、光の散乱の原因となるのは、左右に隣り合うゲート配線のみには限定されない。

【0126】

光の回折は、複数のスリットを備えた回折格子を通過するときに、各スリットを通過してきた光の波が互いに干渉し合うことであり、光が散乱する現象である。しかし、この干渉の要因となるのは、隣接するスリットを通過してきた光の波だけではない。それより遠い場所にあるスリットを通過してきた光の波も、微弱ながら影響を与える。

【0127】

このことから、あるゲート配線で生じる光の散乱は、厳密には、隣接するゲート配線との配線ピッチに限定されない。光の散乱は、そのゲート配線が存在するスタンダードセル列に配置される全てのゲート配線の配置の影響を受ける。

【 0 1 2 8 】

例えば、仮に、スタンダードセル列に並ぶ複数のゲート配線の配線ピッチが一定であれば、ゲート長ばらつきもまた個別のトランジスタで一定になり、従ってばらつきは生じない。

【 0 1 2 9 】

しかし、スタンダードセルの中だけでゲート配線ピッチが一定であっても、スタンダードセル列全体でばらばらであれば、そのスタンダードセル内のトランジスタのゲート長は、スタンダードセル外のゲート配線ピッチの影響を受けて、ゲート長ばらつきを生じてしまう。

【 0 1 3 0 】

以上のように、ゲート配線ピッチは、単一のスタンダードセルの内部だけで統一するよりも、同一のスタンダードセル列全体で統一した方が、よりゲート長のばらつきを抑制できる。

【 0 1 3 1 】

従って、図 4 記載のスタンダードセル 4 0 0 のように、複数のゲート配線ピッチが交互に繰り返されるようにトランジスタが配置されたスタンダードセルを使用する場合は、第 1 のゲート配線ピッチ S 0 のスタンダードセルと同一の列で混在し並べて使用するよりも、混在せずに、同じゲート配線ピッチ S を備えたスタンダードセルだけで 1 つの列を成すように、スタンダードセル列を分けた方が、ゲート長ばらつきの抑制効果がより高くなる。

【 0 1 3 2 】

しかも、図 4 記載のスタンダードセルのゲート配線ピッチの構造は、ソース端子に適した広い拡散領域と、ドレイン端子に適した狭い拡散領域とが、交互に配置される構造になっているために、トランジスタの縦積みのある 2 入力以上の回路を配置しようとする、広い拡散領域がドレイン端子にあてがわれたり、狭い拡散領域がソース領域としてあてがわれたりし、その結果、トランジスタの速度が低下してしまう。そのため、図 4 記載のゲート配線ピッチの構造を備えたスタンダードセル列は、インバータ又はバッファといった 1 入力の論理セルが配置される構造が望ましい。

【 0 1 3 3 】

図 5 に記載の半導体集積回路 5 0 0 では、出力回路部 5 0 5 及び 2 つの回路ブロック 5 0 1、5 0 3 を中継するリピータブロック 5 0 2 に、図 4 記載のゲート配線ピッチの構造を備えたスタンダードセル列を適用している。出力回路部 5 0 5 もリピータブロック 5 0 2 も、一般的には長距離の配線を駆動することを目的としたブロックであり、高速なインバータ又はバッファを用いるのが一般的であり、しかも、回路ブロック間の信号のやり取りされる際には、1 0 ~ 1 0 0 本といった本数の信号が行き来するため、同一の機能を備えたインバータやバッファを、信号の数だけ並列に並べる必要がある。

【 0 1 3 4 】

このため、同一のスタンダードセル列に、図 4 記載のインバータを並べた構造を、リピータブロック 5 0 2 又は出力回路部 5 0 5 に適用することにより、高速且つゲート長ばらつきの極めて小さいトランジスタで構成されたりピータブロック又は出力回路部を提供することが可能となる。

【 0 1 3 5 】

当然のことながら、図 5 記載のフリップフロップ 5 0 7、5 1 0 及びインバータ 5 0 8、5 0 9 は、各々複数あっても良い。

【 0 1 3 6 】

(第 3 の実施形態)

図 6 は、本発明の第 3 の実施形態のスタンダードセルを示す。図 7 は、図 6 記載のスタンダードセルを用いた半導体集積回路を示す。

【 0 1 3 7 】

先ず、図 6 について説明する。同図において、スタンダードセル 6 0 0 は、図 1 2 記載

のOR論理を備えたスタンダードセルであり、左右辺の長さ610は、スタンダードセル列の幅の2倍に等しいダブルハイトセルである。前記ダブルハイトセル600は、2つのスタンダードセル601、602を、縦方向に、上下の辺を接して連結した構造を備える。

【0138】

前記スタンダードセル601は、ゲート配線ピッチが一定で1種類の第1の配線ピッチSになるようにトランジスタが配置されたスタンダードセルであり、図12のNOR回路2010に相当する。

【0139】

一方、スタンダードセル602は、ゲート配線ピッチが、第2の配線ピッチS1と第3の配線ピッチS0とを繰り返すようにトランジスタ(第1のトランジスタ)が配置されたスタンダードセルであってインバータであって、図12のインバータ回路2020に相当する。

【0140】

信号配線603は、スタンダードセル601から出力された信号が、スタンダードセル602に入力されるように配線されている。

【0141】

尚、図6において、スタンダードセル600、601、602の入力端子及び出力端子については、何れも簡略化のため説明を省いている。以上が図6についての説明である。

【0142】

次に、図7について説明する。同図において、半導体集積回路700は、複数のスタンダードセル列を、上下の辺を接するように並べた構造を備えている。スタンダードセル列は、第1のスタンダードセル列701と、第2のスタンダードセル列702とから構成されている。

【0143】

前記第1のスタンダードセル列701には、ゲート配線ピッチが1種類の第1の配線ピッチSになるように配置されたトランジスタが、スタンダードセル列の延設方向に並べられている。

【0144】

前記第2のスタンダードセル列702には、ゲート配線ピッチが、第2の配線ピッチS1と第3の配線ピッチS0とを交互に繰り返すように配置されたトランジスタがスタンダードセル列の延設方向に並べられている。

【0145】

ダブルハイトセル703は、図6記載のスタンダードセル600である。スタンダードセル600に含まれているインバータ、即ちスタンダードセル602が第2のスタンダードセル列702に配置され、且つ、スタンダードセル600に含まれているNOR回路、即ち、スタンダードセル601が、第1のスタンダードセル列701に配置されるように、配置されている。

【0146】

尚、第1のスタンダードセル列701には、複数のスタンダードセルが配置されているが、簡略化のため説明を略している。

【0147】

また、第2のスタンダードセル列702と、この第2のスタンダードセル列702に隣接した第1のスタンダードセル列701との2つのスタンダードセル列に跨るように配置されるスタンダードセルは、ダブルハイトセル703以外にも多数あるが、簡略化のため、説明を省略している。更に、スタンダードセル間の信号配線、及び電源配線については、簡略化のため説明を略している。以上が、図7についての説明である。

【0148】

以上のような構成を備えることにより、以下のような効果が生じる。半導体集積回路700は、2種類のスタンダードセル列701、702を備える。先ず、第2のスタンダー

ドセル列 702 について述べる。

【0149】

第2のスタンダードセル列702に配置されたトランジスタのゲート配線ピッチは、第2及び第3の配線ピッチS1、S0を繰り返すように配置されている。従って、図4の説明でも述べたように、ソース端子に適した広い拡散領域と、ドレイン端子に適した狭い拡散領域とが、交互に配置される構造になっているため、トランジスタの縦積みのある、2入力以上の回路を配置しようとする、広い拡散領域がドレイン端子にあてがわれたり、狭い拡散領域がソース領域としてあてがわれたりして、トランジスタの速度が低下してしまう。このため、スタンダードセル列702には、インバータ又はバッファといった1入力の論理セルが配置されることが望ましい。従って、第2のスタンダードセル列702は、インバータの高速化に優れる反面、汎用的な回路に対しては高速化に不向きなゲート配線ピッチを備えたトランジスタを配置するためのスタンダードセル列であるといえる。

【0150】

次に、第1のスタンダードセル列701について述べる。第1のスタンダードセル列701に配置されたトランジスタのゲート配線ピッチは、場所によらず一定値Sである。従って、スタンダードセル列701の各トランジスタのソース拡散領域及びドレイン拡散領域の接合容量は何れも一定である。

【0151】

第2のスタンダードセル列702は、前記第1のスタンダードセル列701と比べて、インバータやバッファの高速化には不向きである。何故なら、スタンダードセル列702の場合、ソース拡散領域のCAビア数を増やそうとゲート配線ピッチを広げると、ドレイン拡散容量が増えてしまうからである。

【0152】

一方、第2のスタンダードセル列702は、第1のスタンダードセル列701と比べて、インバータやバッファ以外の汎用回路に対して設計自由度が高い。何故なら、スタンダードセル列702の場合、どのトランジスタを選択しても、ドレイン拡散容量が一定であるのに対し、スタンダードセル列701の場合は、選択したトランジスタの配置場所によって、ドレイン端子の接合容量が大きい場合と小さい場合があるため、同一のトランジスタであっても、場所によっては動作速度が低下してしまうからである。

【0153】

例えば、図12のOR回路のような、インバータと多入力の論理ゲートを直列に接続した多段セルでは、論理ゲートに使用されるトランジスタの電流駆動能力は、スタンダードセル内部の負荷を駆動すれば良いので、それほど小さくなくて良く、その代わり、多入力な回路構造を構成するために、トランジスタの配置の自由度は高いほうが望ましい。従って、多入力の論理ゲートを構成するトランジスタを配置するスタンダードセルは、スタンダードセル列701に配置された方が、縦積み構造に対する自由度が高く、望ましい。

【0154】

以上のように、第1のスタンダードセル列701は、インバータは高速化できない一方で、汎用的な回路に対して設計自由度が高く、複合ゲートの、インバータ以外の、複雑な論理ゲートを構築するのに適しているといえる。

【0155】

スタンダードセル600は、これらのスタンダードセル列701、702を備えたダブルハイトセルであるので、多段セルを設計する際に、インバータとそれ以外の論理とを、各々のスタンダードセル列に対応して配置するように使い分けることにより、単一のゲート配線ピッチしか使用できなかった第3の従来例よりも高速なスタンダードセルを設計することができるようになる。

【0156】

以上のように、上述の構成を用いることにより、ダブルハイトセル600の内部に、インバータの高速化に優れる反面、汎用的な回路に対しては高速化に不向きなゲート配線ピッチを備えたトランジスタと、そのゲート配線ピッチと比較すると、インバータは高速化

できない一方で、汎用的な回路に対しては設計自由度が高い別のゲート配線ピッチを備えたトランジスタとの、２種類を作ることができるようになるので、出力端子をインバータで駆動する回路構造を備えた多段セルについて、インバータと、それ以外の回路とで、上述の２種類のトランジスタを使い分けることにより、第３の従来例よりも、半導体集積回路の動作速度を向上させる高速設計の自由度が向上する。

【産業上の利用可能性】

【０１５７】

以上説明したように、本発明に係る半導体集積回路のレイアウト構造では、トランジスタのソース端子と電源配線とを接続するビアの配置自由度を改善できるので、トランジスタの電流駆動能力を向上させて、トランジスタの動作速度を向上させる効果を有し、半導体集積回路の動作周波数の改善技術として有用である。

【図面の簡単な説明】

【０１５８】

【図１】本発明の第１の実施形態のスタンダードセルを示す図である。

【図２】同実施形態の変形例のスタンダードセルを示す図である。

【図３】同スタンダードセルのレイアウト構成を示す図である。

【図４】本発明の第２の実施形態のスタンダードセルを示す図である。

【図５】同スタンダードセルを用いた半導体集積回路の一例を示す図である。

【図６】本発明の第３の実施形態のスタンダードセルを示す図である。

【図７】同スタンダードセルを用いた半導体集積回路の一例を示す図である。

【図８】特許文献１の図１記載のスタンダードセルを示す図である。

【図９】同スタンダードセルの回路構成を示す図である。

【図１０】従来インバータ論理を備えたスタンダードセルを示す図である。

【図１１】従来OR論理を備えた多段セルであるスタンダードセルを示す図である。

【図１２】同スタンダードセルのレイアウト構成を示す図である。

【符号の説明】

【０１５９】

１	インバータ
２００	スタンダードセル
２０１	P型拡散領域
２０２	N型拡散領域
２０４、２０５、２０６	ゲート配線
P２０５、P２０６	Pチャンネル型トランジスタ（第１及び第２のトランジスタ）
N２０４、N２０５、N２０６	Nチャンネル型トランジスタ
２１１、２１２、２１３	電源配線
２２０、２２１	CAビア
２２２	ドレイン配線
２２３、２３１	CAビア
２２４	ドレイン間配線（ジャンパー線）
２３２	ドレイン配線
２３３	V１ビア
３０１	ソース拡散領域（共有ソース拡散領域）
３０２	ドレイン拡散領域
３０３	ドレイン拡散領域
３４０	OD配線
４００	スタンダードセル
４０１	P型拡散領域
４０２	N型拡散領域
４０４～４０９	ゲート配線

P 4 0 4 ~ P 4 0 9	P チャンネル型トランジスタ
N 4 0 4 ~ N 4 0 9	N チャンネル型トランジスタ
4 1 2	ポリシリコン配線
4 2 0、4 2 1、4 2 2	電源配線
4 2 3	ソース拡散領域 (第 1 のソース拡散領域)
4 2 4	ドレイン拡散領域
4 2 5	C A ピア
4 3 0	ドレイン配線
4 3 1	C A ピア
5 0 0	半導体集積回路
5 0 1	第 1 の回路ブロック
5 0 2	リピータブロック
5 0 3	第 2 の回路ブロック
5 0 4	論理回路部
5 0 5	出力回路部
5 0 7	フリップフロップ
5 0 8	インバータ
5 0 9	インバータ (ドライバセル、出力回路)
5 1 0	フリップフロップ
6 0 0	O R 論理のスタンダードセル
6 0 1	N O R 論理のスタンダードセル
6 0 2	インバータ論理のスタンダードセル
6 0 3	信号配線
6 1 0	スタンダードセルの左右辺の長さ
7 0 0	半導体集積回路
7 0 1	第 1 のスタンダードセル列
7 0 2	第 2 のスタンダードセル列
7 0 3	ダブルハイトセル
2 0 0 0	O R 回路
2 0 1 0	N O R 回路
2 0 2 0	インバータ回路