



제7도는 제5도의 제 1 실시예에서 설명된 제어 범위를 결정할 전압을 발생시키는 수단의 회로도.

제8도는 리미터를 가진 개방-루프 서보 회로를 나타내는 본 발명의 제 2 실시예의 블록도.

제9도는 피드백 회로에 이용된 스위치 수단을 가진 폐쇄-루프 서보 회로를 나타내는 본 발명의 제 3 실시예의 블록도.

제10도는 제9 및 11도에 제각기 도시된 본 발명의 제 3 및 4 실시예에 이용된 스위치 수단의 지정 회로도.

제11도는 스위치 수단을 가진 개방-루프 서보 회로를 나타내는 본 발명의 제 4 실시예의 블록도.

제12도는 스위치 수단을 가진 다른 폐쇄-루프 서보 회로를 나타내는 본 발명의 제 5 실시예의 블록도.

제 13도는 제 12 및 14도에 제각기 도시된 본 발명의 제 5 및 6 실시예에 사용된 스위치 수단의 지정 회로도.

제14도는 스위치 수단을 가진 다른 개방-루프 서보 회로를 나타내는 본 발명의 제 6 실시예의 블록도.

제15도는 제4 및 5도의 서보 회로가 음향 서라운드 장치에 이용되는 경우의 일예의 구성의 블록도.

\* 도면의 주요부분에 대한 부호의 설명

40 : VCA

42 : 제 1 레벨 검출기

43 : 제 2 레벨 검출기

45 : 제어기

46, 66 : 리미터

47 : 이득 제어 범위 결정기

104 : 계산기

110 : 증폭기

113 : 출력 선택기

[발명의 상세한 설명]

본 발명은 서보 회로에 관한 것으로, 특히 텔레비전 수상기, 스테레오 장치등의 오디오 신호를 처리할 가변 이득 증폭기를 제어하는 수단에 관한 것이다.

가변 이득 증폭기(이하, VCA 이라 칭함)에 공급된 제어 전압 또는 전류를 변화시켜, 그런 증폭기의 이득을 변화시킴으로써 처리될 수 있는 신호의 이득을 제어하는 서보 회로가 공지되어 있다. 서보 회로는 폐쇄 루프형 및 개방 루프형으로 분류되고, 다양한 방법 및 회로 구성은 VCA 를 제어하기 위해 현재 연구되고 있다. 그러나, 그런 서보 회로를 IC (집적 회로) 구성내에 형성함에 있어서, 온도 특성으로부터 유발된 특성 불일치(nonuniformity), 또는 바이폴라-트랜지스터 IC 에 고유한 지정 특성에 관한 몇몇 결점이 있었다. 공지된 방법에 따르면, 온도 특성 소거기는 완전한 서보 회로의 온도 특성을 개선하도록 VCA 제어 경로내에 삽입되거나 스위치 수단은 제어 신호의 어느 레벨의 변화에도 불구하고 VCA 의 어느 이득 변화를 유발시키지 않도록 어떤 상태에서 VCA 이득 변화를 정지시키기 위해 삽입된다.

통상적인 서보 회로에서, 제어 전압 또는 전류의 상위 및 하위 한계치 또는 VCA 제어 특성이 온도 특성을 가질 경우, 서보 회로의 이득 제어 범위는 대체로 온도 특성을 갖게 된다.

제1도는 통상적인 폐쇄-루프 서보 회로의 일예의 블록도 이다. 이런 블록도에서, 처리 신호 입력 단자 T1 에 공급된 처리 신호 S1 와, 제어 신호 입력 단자 T2 에 공급된 제어 신호 S2 는 제 1 레벨 검출기(2)에 공급된다. 한편, VCA 출력 신호 S3 는 출력 단자 T3 에 전달되어, 제 2 레벨 검출기(3)에 공급된다. 그런 제 1 및 제 2 레벨 검출기(2, 3)의 출력 신호 S4 및 S5 는 서로 반대인 극성을 가진 가산기(5)에 의해 서로 가산된다. 가산기(5)의 출력 S6 은 제어기(4)에 전달되며, 상기 제어기(4)는 입력 신호의 극성에 따라 VCA (1)의 이득을 제어하는 제어 신호 S7 를 발생시켜 신호 S7 를 리미터(6)로 전달한다. 예를들면, 설명된 극성의 레벨 검출 출력 S4 및 S5 의 가산기(5)에 공급될 시에, VCA (1)의 이득을 증가시키는 제어 신호 S7 는 가산기 출력 S6 이 포지티브하여, VCA (1)의 이득이 증가되는 경우에 제어기(4)로부터 출력됨으로써, 가산기(5)에 공급된 두 신호에서, 네가티브 신호 S5 는 점차 크게 되고, 서보 동작은 0 에서 가산기 출력의 도달과 동시에 완료된다.

리미터(6)는 상위 한계치 발생기(7)로부터 상위 한계치 설정 신호 S8 와, 하위 한계치 발생기(8)로부터 하위 한계치 설정 신호 S9 로 공급되어, 상위 및 하위 한계치 사이에서 출력 신호 S10 를 변화시키는 역할을 한다.

리미터(6)로부터의 출력 신호 S10 는 VCA(1)의 제어 특성에 포함된 온도 특성을 소거하는 온도 특성 소거기(9)에 공급된다. 리미터(6)로부터 성취된 신호 S10 는 온도 특성 소거기(9)로부터의 이득 제어 신호 S11 로서 출력되어, VCA (1)로 전달된다.

서보 회로가 폐쇄 루프내에 형성되는 일례의 경우를 나타내는 제1도 이외에, 유사한 동작이 서보 회로가 개방 루프내에 형성되는 제2도의 다른 경우에 수행된다.

전술된 구성의 통상적인 서보 회로에서, 기술된 바와 같은 VCA (1)의 제어 특성에 포함된 온도 특성을 소거하여, 회로규모를 확대하는 반면에, 전력 소모 및 생산 비용을 증가시키는 소거기(9)를 삽입할 필요가 있었다.

상위 한계치 발생기(7) 및 하위 한계치 발생기(8)로부터 제각기 출력된 신호 S8 및 S9 는 온도 특성을 가지는 것이 바람직하지 않으므로, 일정한 전압 회로(또는 일정한 전류 회로)는 상위 한계치 설정 신호 S8 및 하위 한계치 설정 신호 S9 의 온도 특성을 소거하도록 요구된다. 그러나, 그런 소거 회로는 전체 소자 회로 구성을 더욱 복잡하게 한다. 회로 구성이 다이오드, 제너 다이오드 또는 유사한 소자를 가진 리미터(6)의 사용으로 간소화될 수 있지만, 그런 소자를 가진 어느 리미터는 온도 특성을 가져, 몇몇 결

점은 온드 변동에 의한 불일치한 동작 및 특성 변화의 감소로 줄어 들 수 있다.

이제, 이득 변화가 폐쇄-루프 서보 회로의 피드백 경로의 스위치 회로의 사용으로 감소되는 경우의 다른 통상적인 예를 기술하기로 한다.

제3도의 블록도에 도시된 바와 같이, 적분기의 출력 전압에 의해 VCA 의 이득을 제어하는 서보 회로가 공지되어 있다. 그런 서보 회로에서, 처리될 입력 신호의 레벨과, 제어 신호의 레벨은 검출되고 계산되어, 적분기에 의해 유지된 전압은 그런 계산의 결과치에 따라 변화되어, 출력 전압을 변화시킴으로써, VCA 의 이득을 제어한다.

그런 이득 제어 동작시에, 제어 신호의 어느 레벨 변화에도 불구하고 어느 이득 변화를 유발시키지 않도록 어떤 상태에서 VCA 이득 변화를 정지시키는 동작을 실행할 필요가 때때로 있다. 그런 이득 제어는 적분기내에 흐르는 전류를 인터럽트 함으로써 성취될 수 있다. 특히 입력 전류가 인터럽트될 시에, 적분기는 그런 시점에서 전압을 유지함으로써, VCA 에 대한 제어 전압은 어떤 고정 치에서 VCA 의 이득을 보유하도록 고정치에서 유지된다.

제3도는 종래 기술에 의한 일례의 서보 회로의 블록도이다. 이런 블록도에서, VCA (31), 제 1 레벨 검출기(32), 제 2 레벨 검출기(33), 계산기(34), 적분기(35) 및 스위치(30)를 포함하고 있다. 스위치(30)는 적분기(35) 내로 흐르는 입력 전류를 인터럽트하기 위해 제공된다. 일반적으로, 통상적인 서보 회로에서, 스위치(30)로서 MOS FET 또는 접합 FET 를 사용한다.

그래서, 바이폴라 생산 공정에 의해 제3도의 서보 회로를 제조함에 있어서, 스위치(30)에 대한 FET 를 형성하는 부가적인 단계는 생산 비용을 증가시킬 수 있다. 생산 비용의 그런 증가를 억제하기 위하여, 제4도의 회로도에 도시된 바와같이, 바이폴라 트랜지스터 Q1 는 스위치(30)를 구성하도록 계산기(34) 및 적분기(35)사이로 보간되는 경우에 개선될 수 있다. 이런 경우에, 스위치(30)에 대한 FET 형성 공정을 가산시킬 필요성을 제거시켜, 부가적인 공정 단계로부터 유발된 생산 비용의 증가 문제를 해소할 수 있다. 그러나, 아래에 기술되는 바와 같이 동작 부자유가 일어난다. 계산기의 출력이 전압 형태로 제공되는 경우의 일례의 회로 구성에서, 각 부분에서의 전압이 제4도에 도시된 바와 같은 경우, 스위치(36)의 부재에서 성취된 출력 전류  $I_i$  는 아래와 같이 표현된다.

$$\text{입력 전류 } I_i = (V_1 - V_2) / R_1 \quad \text{--- (1)}$$

그래서, 입력 전류  $I_i$  는 적분기(35)의 입력 단자에서 결정된 값을 갖게 된다.

제4도의 회로의 바이폴라 트랜지스터 Q1 가 턴온될 시에, 입력 전류  $I_i$  는 저항  $R_1$  양단의 전위차에 따라 저항  $R_1$  내에 흐르게 된다.

$$\text{입력 전류 } I_i = (V_1 - V_3) / R_1 \quad \text{--- (2)}$$

전압  $V_3$  은 베이스-에미터 전압  $V_{BE}$  에 대응하는 값만큼 제어 전압  $V_4$  이하로 된다. 그러나, 베이스-에미터 전압  $V_{BE}$  이 입력 전류  $I_i$  또는 온도에 따라 변화하므로, 전압  $V_3$  도 그에 따라 변한다. 따라서, 입력 전류  $I_i$  는 온도 변동 등에 따라 변하며, 적분기(35)에 입력된 전류는 계산기(34)의 출력 전압  $V_1$  에 정확히 비례하지 않아, 바이폴라 트랜지스터 Q1 가 스위치(30)로서 이용될시에 정확성이 저하되는 결점을 줄인다.

본 발명의 제 1 목적은 가변 이득 증폭기(VCA), VCA 의 이득이 변할 수 있는 범위의 상위 한계치 및 하위 한계치를 설정하는 진폭 리미터와, 진폭 리미터의 이득 가변 범위의 상위 및 하위 한계치의 온도 계수와 VCA 의 온도 계수가 극성이 서로 반대로 되어, 간소화된 회로 구성의 온도 특성을 제거하도록 이득 가변 범위내의 온도 특성을 제거하도록 설계된 이득 제어 수단을 구비한 서보 회로를 제공하는 것이다.

본 발명의 제 2 목적은 리미터를 사용한 폐쇄-루프 서보 회로를 제공하는 것이다.

본 발명의 제 3 목적은 리미터를 사용한 개방-루프 서보 회로를 제공하는 데에 있다.

본 발명의 제 4 목적은 전술된 이득 제어 범위를 결정하도록 전압을 발생시키는 회로를 제공하는 것이다.

본 발명의 제 5 목적은 스위치 수단을 가진 폐쇄-루프 서보 회로를 제공하는 것이다.

본 발명의 제 6 목적은 스위치 수단을 가진 개방-루프 서보 회로를 제공하는 데에 있다.

본 발명의 제 7 목적은 스위치 수단과, 폐쇄-루프 서보 회로 및 개방-루프 서보 회로의 사용에 적합한 상기 수단의 지정 회로를 제공하는 것이다.

본 발명의 제 8 목적은 다른 스위치 수단과, 폐쇄-루프 서보 회로 및 개방-루프 서보 회로의 사용에 적합한 상기 수단의 지정 회로를 제공하는데에 있다.

본 발명의 제 9 목적은 음향 오디오 장치에 실제 내장된 서보 회로를 제공하는 것이다.

본 발명의 한 견지에 따르면, 이득이 절대 온도에 대한 예정된 온도 계수로 변할 수 있는 경우의 가변 이득 증폭기, 상기 증폭기의 이득 가변 범위의 상위 한계치 및 하위 한계치를 설정하는 진폭 리미터, 극성이 반대인 온도 계수를 가진 상기 진폭 리미터의 이득 가변 범위의 상위 및 하위 한계치를 상기 증폭기의 상기 한계치로 변화시키는 이득 제어 범위 결정기를 구비하는 서보 회로가 제공된다.

본 발명의 다른 견지에 따르면, 한 입력 단자에 공급된 제어 신호 레벨 및 다른 입력 단자에 공급된 처리 신호 레벨을 검출하고, 계산하여, 상기 가변 이득 증폭기의 이득을 제어하도록 두 입력 신호의 레벨 차에 따라 이득 제어 신호를 출력시키는 신호 처리기를 구비하는 서보 회로가 제공된다.

이하, 첨부된 도면을 참조로 본원 명세서를 더욱 상세히 설명하기로 한다.

제5도는 본 발명의 제 1 실시예에 따라 폐쇄-루프 서보 회로의 블록도이다.

이런 블록도로부터 명백하듯이, 제 1 실시예는 대체로 회로 구성에 관해 제1도의 전술된 통상적인 서보 회로와 대략 유사하다. 특히, 처리 신호 입력 단자 T1 에 공급된 처리 신호 S31 는 VCA (40)에 공급되고, 제어 신호 입력 단자 T2 에 공급된 제어 신호 S32 는 제 1 레벨 검출기(42)에 공급된다. 한편, VCA 출력 S33 은 출력 단자 T3 로 전달되지만, 제 2 레벨 검출기(43)에 공급된다. 제 1 및 제 2 레벨 검출기(42, 43)의 각 출력 신호 S34 및 S35 는 극성이 상호 반대로 되는 식으로 가산기(44)에 의해 서로 가산된다. 그 후 가산기(44)의 출력 S36 은 제어기(45)로 전달된다.

제어기(45)는 입력 신호의 극성에 따라 VCA (40)의 이득을 제어하는 제어 신호 S37 를 발생시켜, 신호 S37 를 리미터(46)로 전달한다. 예를들면 설명된 극성의 레벨 검출 출력 S34 및 S35 이 가산기(44)에 공급될 시에, VCA (40)의 이득을 증가시키는 제어 신호 S37 는 가산기 출력 S36 이 포지티브하여, VCA (40)의 이득이 증가되는 경우에 제어기(45)로부터 출력됨으로써, 가산기(44)에 공급된 두 신호에서, 네가티브 신호는 점차 크게되고, 서보 동작은 0 에서 가산기 출력 S36 의 도달과 동시에 완료된다.

리미터(46)는 이득 제어 범위 결정기(47)내의 상위 한계치 발생기(48)로부터의 상위 한계치 설정 신호 S38 와, 하위 한계치 발생기(48)로부터의 하위 한계치 설정 신호 S39 로 공급되고, 그런 상위 및 하위 한계치 사이에서 제1도의 이득 제어 신호 S11 에 대응하는 출력 신호 S40 를 변화시키는 역할을 한다.

리미터(46)로부터의 출력 신호 S40 는 이득 제어 신호로서 VCA (40)에 공급되어, VCA (40)가 이득 제어 범위 결정기(47)에 의해 결정된 범위 내에서 이득을 변화시키는 동작을 수행한다.

VCA (40)내의 이득 제어는 제6도에 도시된 바와 같이 회로의 동작 상태를 변화시키도록 제어 전압 조정기(52)에 의해 차동 증폭기(51)의 트랜지스터 Q2 및 Q3 내에 제각기 흐르는 출력 전류 비를 변화시킴으로써 일반적으로 실행된다.

전술된 식으로 이득을 제어하는 회로에서, 트랜지스터 Q2 및 Q3 의 출력 전류  $I_1$  및  $I_2$  의 비는 제어 전압 조정기(52)의 제어 전압 VC 과 관련하여 아래와 같이 표현된다.

$$I_1 / I_2 = \exp (q \text{ VC} / K T) \quad \text{--- (1)}$$

일반적으로, 회로는 비  $I_1 / I_2$  에 비례하여 VCA (40)의 이득을 유지하도록 형성된다. 그래서, 비례 상수  $\alpha$  에 관련하여, VCA (40)의 이득 A 은 아래와 같이 표현된다.

$$A = \alpha \cdot \exp (q \text{ VC} / K T) \quad \text{--- (2)}$$

따라서, 제8도에 도시된 VCA 의 대수 이득은 절대 온도 T 에 반비례하는 것을 알 수 있다.

한편, 절대 온도 T 에 정비례하는 전압을 발생시키는 수단은 IC 구성을 실현시키는 데에 적합한 제7도의 회로도에 도시된 바와 같다. 제7도는 제 1 내지 4 일정한 전류원(55a), (55b), (55c), (55d), 제 1 및 2 트랜지스터 Q4, Q5, 트랜지스터 Q5 의 에미터와 접지 사이에 접속된 저항 R2 과 일정한 전류원(55d)과 접지 사이에 접속된 저항 R3 을 구비한 일례의 전류 미러 회로를 나타낸다. 그런 전류 미러 회로의 출력 전압은 저항 R3 양단에 성취된다.

제7도의 회로에서, 저항 R3 내에 흐르는 출력 전류  $I_{out}$  는 트랜지스터 Q4 의 에미터 영역과 트랜지스터 Q5 의 에미터 영역 사이의 비 1 : n 에 관련하여 아래와 같이 표현된다.

$$I_{out} = \{ (2KT/q) \cdot \ln \cdot n \} R_3 \quad \text{--- (3)}$$

그래서, 저항 R3 으로부터 성취된 제어 전압의 상위 또는 하위 한계치  $V_{LIMIT}$  는 아래와 같이 주어진다.

$$V_{LIMIT} = (R3 / R2) \cdot (2KT/q) \cdot \ln \cdot n \quad \text{--- (4)}$$

따라서, 출력 전압  $V_{LIMIT}$  은 절대 온도 T 에 정비례한다. 따라서, 제7도의 회로가 제5도의 상위 한계치 발생기 (48) 및 하위 한계치 발생기(49)에 이용되는 것으로 간주하면, 그런 한계치 발생기로부터 출력된 전압  $V_{LIMIT}$  이 VCA (40)에 대한 제어 전압의 상위 및 하위 한계치로서 이용되는 경우에, 전체 서보 회로의 이득 제어 범위의 온도 특성은 서로 소거되어 0 으로 된다. 따라서, 이득 제어 범위의 온도 특성이 없는 개선된 서보 회로는 간소화된 회로 구성을 가진 본 발명에 의해 성취될 수 있다. 제5도의 일례의 회로에서, VCA (40)의 출력 신호는 레벨 검출기(43)에 직접 입력된다. 그러나, 회로 구성은 VCA 출력 신

호를 레벨 검출기(43)에 공급하기 전에 어떤 신호 처리를 실행하도록 수정될 수 있다. 더우기, 제어기(45) 및 레벨 검출기(42, 43)의 특성은 자유롭게 바람직한 특성으로 설정될 수 있다.

본 발명의 서보 회로는 제8도의 회로 블록도에 도시된 바와 같이 개방-루프 형에 적당히 적용할 수 있다.

상기 실시예에서, 각각의 상위 한계치 설정 신호 S48 및 하위 한계치 설정 신호 S49 가 전압 형태로 리미터(66)에 공급될지라도, 그런 신호 S48 및 S49 는 또한 전류 형태로 제공될 수 있다. 전류 신호가 공급되는 후자 경우에, 제7도의 출력 전류  $I_{OUT}$  는 직접 전달받아 리미터(66)에 공급될 수 있다.

상기 실시예에 따른 서보 회로가 IC 구성내에 형성될시에, 제7도에 도시된 바와 같이 온도에 정비례하는 전압(전류)을 발생시키는 실재 수단은, 일반적으로 IC 내에 내장되므로 이용 가능하며, 그래서 서보 회로가 회로 규모를 거의 확대하지 않고 온도 특성이 없이 구성될 수 있다.

전술된 바와 같이, 본 발명은, VCA 의 온도 계수 및, VCA 내의 이득 가변 범위의 상위 및 하위 한계치를 설정하는 진폭 한계치의 온도 계수가 극성이 서로 반대로 됨으로써, VCA 의 특성 및, 진폭 리미터에 의해 프리세트된 이득 가변 범위내의 온도 특성이 온도 변동에 의해 변화되어, 그런 변화가 전체 서보 회로의 이득 제어 범위내의 온도 특성을 0 으로 감소하도록 서로 소거하도록 설계된다. 따라서, 이득 제어 범위의 온도 특성을 관계상 소거하도록 사용된 공지된 회로의 필수성을 해소시켜, 이득 제어 범위의 온도 특성이 없는 서보 회로 구성을 관조화시킬 수 있다. 더우기, 회로 구성의 그런 간소화가 VCA 에 대한 제어 전압 리미터내의 제너 다이오드 등과 같은 소자의 사용에 근거를 두지 않으므로, 그런 소자의 온도 계수의 불일치로부터 유발될 수 있는 어느 특성 변동의 발생을 방지할 수 있다.

제9도는 본 발명의 제 3 실시예에 따른 서보 회로의 블록도이다.

상기 블록도에서 명백하듯이, 제 3 실시예는 전압 출력형 증폭기(77) 및 전압-전류 변환기(78)로 구성된 스위치 회로(76)로 설치되며, 계산기(74)와 적분기(75)사이에 보관된다.

제9도에서, 처리 신호 입력 단자 T1 에 제공된 처리 신호 S55 는 VCA (71)에 공급되고, 제어 신호 입력 단자 T2 에 제공된 제어 신호 S56 는 제 1 레벨 검출기(72)에 공급된다. 한편, VCA 출력 신호 S57 는 출력 단자 T3 에 전달되지만, 제 2 레벨 검출기(73)에 공급된다. 제 1 및 2 레벨 검출기(72, 73)의 그런 출력 신호 S58 및 S59 는 계산기(74)에 공급된다. 그때 계산기(74)는 수신된 신호 S58 및 S59 를 서로 비교하고, 그런 비교의 결과에 따라 VCA (71)의 이득을 제어하는 신호 S60 를 발생시킨다. 예를들면, 제 2 레벨 검출기(73)의 출력 신호 S59 가 제 1 레벨 검출기(72)의 출력 신호 S58 보다 작을시에, VCA (71)의 이득을 증가시키도록 이득 제어 신호 S60 가 출력된다.

계산기(74)로부터 출력된 이득 제어 신호 S60 는 스위치 회로(76)를 구성하는 전압 출력형 증폭기(77)에 공급된다. 증폭기(77)는 버퍼 증폭기 역할을 하도록 제공되고, 제어 입력 단자에 공급된 출력 상태 제어 신호 S61 에 따라 턴온 또는 오프된다. 제10도의 회로도에는 일예의 증폭기(77)를 나타낸다. 제10도로부터 명백하듯이, 증폭기(83)는 일반적으로 이용되는 형이며, 일정한 전류원이 출력 상태 제어 신호 S61 에 의해 정상동작 상태로 제어될시에, 예정치의 전류  $I_1$  및  $I_2$  는 증폭기(83) 그자체가 보통의 버퍼 증폭기 역할을 하도록 흐르게 된다. 그래서, 증폭기(83)에 인가된 신호 전압은 전혀 증폭되지 않고 출력되어, 계산기(74)의 출력 전압이 어느 변화됨이 없이 증폭기(83)의 출력 단자(83a)에 공급된다. 이런 경우에, 적분기(81)는 저항 R4 의 저항성에 의해 증폭기(83)의 출력 단자(83a)와 접지의 전위차의 분할을 통해 성취된 값의 전류로 공급되며, 적분기(81)에 의해 유지된 전압은 서보 동작을 수행하도록 그런 전류값에 따라 변화된다. 바이폴라 트랜지스터가 아나로그 스위치 역할만을 하도록 사용되지 않으므로, 스위칭 트랜지스터 구동기 및 적분기 사이의 불완전한 절연으로 유발될 수 있는 어떤 에러도 발생하지 않는다.

회로는 전류  $I_1$  및  $I_2$  가 일정한 전류원에 공급된 출력 상태 제어 신호 S61 를 스위치함으로써 흐르게 되지 않도록 형성될 경우, 출력단의 트랜지스터는 바이어스 전류로 공급되지 않아, 턴오프되어, 증폭기(83)의 출력 단자(83a)는 고임피던스를 갖게된다. 따라서, 저항 R4 의 한 단부에서의 임피던스는 또한 적분기(81)에 대한 입력 전류  $I_i$  가 0 으로 감소되도록 높게 된다. 따라서, 증폭기(83)의 전류  $I_1$  및  $I_2$  가 0 으로 감소하는 시점에서의 전압은 적분기(81)에 의해 유지되어, 그런 시점에서의 값으로 VCA (71)의 이득을 유지시킨다.

전술된 실시예는 VCA (71)의 이득이 VCA 출력 신호 S57 및 제어 신호 S56 사이의 비교 결과로 결정되는 경우의 일예의 폐쇄-루프 서보 회로의 구성을 나타낸다. 그러나, 이런 구성은 직접 비교가 처리 신호 S71 및 제어 신호 S72 사이에서 수행되는 경우의 제11도의 개방-루프 서보 회로로 수정될 수 있다.

상기 구성의 서보 회로는 예를들어 제15도에 블록도에 도시된 바와 같은 사운드 멀티플렉서의 매트릭스 서라운드 회로에 이용하기에 적합하다. 제15도의 구성에서, 한 입력 단자에 공급된 우측 채널 신호 R 및 좌측 채널 신호 L 의 대향-위상 성분(L-R)은 서보 회로의 처리 신호 입력 단자 T1 에 공급되는 동시에, 제 1 버퍼 증폭기(130)를 통해 제 1 레벨 검출기(131)에 공급된다. 한편, 다른 입력 단자에 공급된 동위상 성분(L+R)은 서보 회로의 제어 신호 입력 단자 T2 에 공급되는 동시에, 제 2 버퍼 증폭기(132)를 통해 제 2 레벨 검출기(133)에 공급된다. 제 1 및 2 레벨 검출기(131, 133)의 각 검출 출력  $S_x$  및  $S_y$  의 대향-위상 성분(L-R) 및 동위상 성분(L+R)의 비를 검출하는 비교기(134)에 공급된다. 이와 같이 검출된 비가 예정된 값보다 클 경우, 정상 상태에서 서보 회로의 증폭기(97)를 동작시키는 출력 상태 제어 신호 S97 는 비교기(134)로부터 서보 회로로 출력된다. 따라서, 서보 회로는 정상 동작 상태에서 위치되며, 여기서, 동위상 성분(L+R)에 따르는 이득에 의해 대향-위상 성분(L-R)의 레벨의 제어를 통해 성취된 출력 신호(L-R)'는 출력 단자 T3 로 전달된다.

검출비가 예정된 값보다 작은 다른 경우에, 비교기(134)는 서보 회로의 증폭기(97)의 동작을 정지하도록 출력 상태 제어 신호 S97 를 제공한다. 그때, 증폭기(97)의 출력 단자(97a)에서의 임피던스는 기술된 바와 같이 적분기(95)에 전류 유입을 차단하도록 높게된다. 그래서, 적분기(95)에 의해 유지된 전압은 그런 시점에서의 값으로 유지되어, 대향-위상 성분(L-R)의 지나친 레벨 감소로부터 유발된 VCA (91)의 이

득의 지나친 증가로 유발될 수 있는 신호대 잡음비의 저하를 방지한다.

본 발명에서, 전술된 바와 같이, 입력 이득 제어 신호를 출력 단자로 직접 전송하는 정상 동작 상태나, 고 임피던스에서 출력 단자를 보유하는 신호 인터럽트 상태로 선택적으로 스위치 가능한 전압 출력형 증폭기는 한 입력 단자에 공급된 처리 신호와 다른 입력 단자에 공급된 제어 신호의 레벨차에 따라 이득 제어 신호를 출력하는 신호 처리 회로와, 이득 제어 신호에 따라 제어 전압을 발생시켜, VCA의 이득을 제어하는 전압 유지 회로 사이에 배치되며, 그리고 증폭기의 출력 전압에 비례하는 전류는 발생되어 전압 유지 회로에 공급된다. 그래서, FET 스위치 회로에 의해 수행된 바람직한 동작은 또한 바이폴라-트랜지스터 스위치 회로의 사용으로 유사하게 성취될 수 있다. 따라서, 그런 서보 회로가 IC 구성으로 형성될 시에, 바이폴라 제조 공정에 의해서만 만족한 고정확 서보 회로를 생산하여, 생산 비용을 궁극적으로 줄이도록 많은 필요한 공정 단계를 단축할 수 있다.

제12도는 본 발명의 제 5 실시예에 따른 서보 회로의 블록도이다.

이런 실시예에서, 제12도로부터 명백하듯이, 계산기(104)와 적분기(105) 사이에 배치된 스위치 회로(106)는 전류 출력형 증폭기(107)로 구성된다.

제12도에서, 처리 신호 입력 단자 T1에 공급된 처리 회로 S81는 VCA(10)에 공급되고, 제어 신호 입력 단자 T2에 공급된 제어 신호 S82는 제 1 레벨 검출기(102)에 공급된다. 한편, VCA 출력 신호 S83는 서보 출력 신호로서 출력 단자 T3에 전달되는 동시에, 제 2 레벨 검출기(103)에 공급된다. 제 1 및 제 2 레벨 검출기(102, 103)의 각 출력 신호 S84 및 S85는 계산기(104)에 공급된다. 그때 계산기(104)는 수신된 신호 S84 및 S85를 서로 비교하여, 그런 비교의 결과에 따라 VCA(101)의 이득을 제어하는 신호 S86를 발생시킨다. 예를들면, 제 2 레벨 검출기(103)의 출력 신호 S85가 제 1 레벨 검출기(102)의 출력 신호 S84보다 작을 시에, 서보 동작이 제 2 레벨 검출기(103)로부터 출력 신호 S85이 레벨을 증가시키기 위해 수행되도록 VCA(101)의 이득을 증가시키는 이득 제어 신호 S86가 발생된다.

계산기(104)로부터 출력된 이득 제어 신호 S86는 스위치 회로(106)를 구성하는 증폭기(107)에 공급된다. 증폭기(107)는 버퍼 증폭기로서 역할을 하도록 제공되며, 이런 실시예에서 제13도의 회로도에 도시된 바와 같이 전류 출력형 증폭기(110)으로 구성된다. 이런 회로도로부터 명백하듯이, 증폭기(110)는 전류 발생기(111), 제어기(112) 및 출력 선택기(113)를 포함한다.

전류 발생기(111)는 차동 증폭기 역할을 할 3개의 일정한 전류원 a, b, c 및 한쌍의 트랜지스터 Q11, Q12로 구성된다. 상호 접속된 에미터 및 접지 사이에 보관된 일정한 전류원 c내에 흐르는 전류 I는 일정하게 유지되는 반면에, 일정한 전류원 a, b내에 제각기 흐르는 전류  $I_1$ ,  $I_2$ 는 계산기(104)로부터 출력되어, 트랜지스터 Q11, Q12의 제어 전극에 공급된 이득 제어 신호 S86에 따라 변화됨으로써, 전류  $I_1$ ,  $I_2$ 는 이득 제어 신호 S86에 비례하게 된다.

출력 선택기(113)는 4개의 트랜지스터 Q13 내지 Q16 및 3개의 일정한 전류원 d, e, f으로 구성되며, 여기서, 트랜지스터 Q13 내지 Q16를 턴온 또는 턴오프하는 신호는 각 트랜지스터의 제어 전극에 공급된다. 점선 화살표로 표시된 바와 같이, 일정한 전류원 a로부터의 미러 전류는 일정한 전류원 d내에 흐르고, 일정한 전류원 d로부터의 미러 전류는 일정한 전류원 e내로 흐른다. 더우기, 일정한 전류원 b로부터의 미러 전류는 일정한 전류원 f내로 흐른다. 따라서, 출력 선택기(113)내의 일정한 전류원 d, e, f내로 흐르는 각 전류는 이득 제어 신호 S86에 비례하게 된다. 따라서, 제어기(112)의 출력 단자(112a), (112b), (112c), (112d)에서의 전위가 제어기(112)의 제어 입력 단자에 공급된 출력 상태 제어 신호 S87에 따라 제각기 H(고), L(저), H, L레벨로 턴되어, 이득 제어 신호 S86에 비례하는 전류  $I_i$ 가 출력 단자(107a)내에 흐르게 되는 조건하에 출력 선택기(113)는 구동된다.

한편, 출력 단자(112a), (112b), (112c), (112d)에서의 전위가 제어기 L, H, L, H레벨로 턴되는 서로 다른 조건하에, 출력 단자(107a)내에 흐르는 전류는 0으로 감소된다. 따라서, 제어기(112)가 출력 상태 제어 신호 S87에 의해 정상 동작 상태에서 제어될 시에, 이득 제어 출력 신호 S86에 따른 예정된 값의 입력 전류  $I_i$ 는 전류 출력형 증폭기(107)로부터 제공되어, 적분기(105)에 공급된다. 따라서, 서보 동작은 적분기(105)에 의해 유지된 전압이 입력 전류  $I_i$ 에 따라 변화된다. 이런 경우에, 바이폴라 트랜지스터가 아날로그 스위치 역할만 하도록 사용되지 않으므로, 스위칭 트랜지스터 구동기 및 적분기 사이의 불완전한 절연으로부터 유발될 수 있는 어떤 에러도 발생하지 않는다.

회로가, 어떤 전류도 제어기(112)에 공급된 출력 상태 제어 신호 S87를 스위치 함으로써 출력 단자(107a)내에 흐르지 않도록 형성될 경우, 적분기(105)에 대한 입력 전류  $I_i$ 는 0으로 감소되고, 증폭기(107)의 출력 전류가 0으로 감소함과 동시에 성취된 전압은 적분기(105)에 의해 유지됨으로써, VCA(101)의 이득은 그런 시점에서의 값으로 유지된다.

전술된 제 5 실시예는 VCA(101)의 이득이 VCA 출력 신호 S83 및 제어 신호 S82 사이의 비교결과로 결정되는 경우의 폐쇄-루프 서보 회로의 일례의 구성을 나타낸 것이다. 그러나, 이런 구성은 제14도의 블록도에 도시된 바와 같이 처리 신호 S91가 제어 신호 S92와 비교되는 경우의 개방-루프 서보 회로로 수정될 수 있다.

제11도의 실시예와 관련하여 기술된 실시예와 마찬가지로, 본 발명의 제 6 실시예에 따른 상기 구성의 서보 회로는 제15도의 블록도에 도시된 바와 같이 사운드 멀티플렉서의 매트릭스 서라운드 회로 내에 사용하기에 적합하다.

그래서, 전술된 실시예에서와 같이, 신호 처리 회로로부터 성취된 이득 제어 신호에 따라 출력 단자로부터 전류를 전송하는 제 1 동작 상태나, 출력 단자로부터 전송된 전류를 0으로 감소시키는 제 2 동작 상태로 선택적으로 스위치 가능한 전류 출력형 증폭기는 한 입력 단자에 공급된 처리 신호와 다른 입력 단자에 공급된 제어 신호의 레벨차에 따라 이득 제어 신호를 출력하는 신호 처리 회로와, 이득 제어 신호에 따라 VCA의 이득을 제어하는 전압 유지 회로 사이에 배치되며, 여기서 증폭기의 출력 전류는 전압 유지 회로에 공급된다. 그래서, FET 스위치 회로에 의해 수행되는 바람직한 동작은 또한 바이폴라-트랜지스터 스위치 회로의 사용에 의해 유사하게 성취될 수 있다. 따라서, 그런 서보 회로가 IC 구성으로 형

성될시에, 바이폴라 트랜지스터 제조 공정에 의해서만 고-정확 동작 특징을 성취하며, 생산 비용을 궁극적으로 줄일 많은 필요한 공정 단계를 축소시킬 수 있게 된다.

### (57) 청구의 범위

#### 청구항 1

서보 회로에 있어서, 이득이 절대 온도에 대해 소정의 온도 계수로 변할 수 있도록 형성된 가변 이득 증폭기; 상기 증폭기의 이득 가변 범위의 상한 및 하한을 설정하는 진폭 리미터; 및 상기 증폭기와 극성이 반대인 온도 계수를 가진 상기 진폭 리미터의 이득 가변 범위의 상한 및 하한을 변화시키는 이득 제어 범위 결정기를 구비하는 것을 특징으로 하는 서보 회로.

#### 청구항 2

서보 회로에 있어서, 이득이 절대 온도에 대해 소정의 온도 계수로 변할 수 있도록 형성된 가변 이득 증폭기; 상기 증폭기의 이득 가변 범위의 상한 및 하한을 설정하는 진폭 리미터; 상기 증폭기와 극성이 반대인 온도 계수를 가진 상기 진폭 리미터의 이득 가변 범위의 상한 및 하한을 변화시키는 이득 제어 범위 결정기; 및 한 입력 단자에 공급된 제어 신호 레벨 및, 다른 입력 단자에 공급된 처리 신호 레벨을 증폭하거나 감쇠하는 상기 가변 이득 증폭기의 출력 신호 레벨을 검출 및 계산하며, 상기 가변 이득 증폭기의 이득을 제어하도록 상기 두 입력 신호의 레벨차에 따라 이득 제어 신호를 출력시키는 신호 처리기를 구비하는 것을 특징으로 하는 서보 회로.

#### 청구항 3

서보 회로에 있어서, 이득이 절대 온도에 대한 소정의 온도 계수로 변할 수 있도록 형성된 가변 이득 증폭기; 상기 증폭기의 이득 가변 범위의 상한 및 하한을 설정하는 진폭 리미터; 상기 증폭기와 극성이 반대인 온도 계수를 가진 상기 진폭 리미터에서 이득 가변 범위의 상한 및 하한을 변화시키는 이득 제어 범위 결정기; 및 한 입력 단자에 공급된 제어 신호 레벨, 및 다른 입력 단자에 공급된 처리 신호 레벨을 검출 및 계산하여, 상기 가변 이득 증폭기의 이득을 제어하도록 두 입력 신호 사이의 레벨차에 따라 이득 제어 신호를 출력시키는 신호 처리기를 구비하는 것을 특징으로 하는 서보 회로.

#### 청구항 4

서보 회로에 있어서, 한 입력 단자에 공급된 제어 신호 레벨 및 다른 입력 단자에 공급된 처리 신호 레벨을 증폭하거나 감쇠하는 이득 제어 증폭기의 출력 신호의 레벨을 검출 및 계산하여, 두 입력 신호의 레벨차에 따라 이득 제어 신호를 출력시키는 신호 처리기; 상기 신호 처리기로부터 성취된 이득 제어 신호를 출력단자로 직접 전달하는 정상 동작 상태나, 고 임피던스에 상기 출력 단자를 유지시키는 신호 인터럽트 상태로 선택적으로 스위칭 가능한 전압 출력형 증폭기; 상기 전압 출력형 증폭기의 출력 전압을 전류로 변환하는 증폭기 출력 변환기; 상기 증폭기 출력 변환기로부터 공급된 전류에 비례하는 전압을 발생 및 출력시키는 전압 유지 수단; 및 이득이 상기 전압 유지 수단의 출력 전압에 의해 제어되고, 상기 제어 신호 레벨에 따라 상기 한 입력 단자에 공급된 처리 신호를 증폭하도록 형성된 가변 이득 증폭기를 구비하는 것을 특징으로 하는 서보 회로.

#### 청구항 5

제4항에 있어서, 상기 전압 유지 수단이 적분기인 것을 특징으로 하는 서보 회로.

#### 청구항 6

서보 회로에 있어서, 한 입력 단자에 공급된 제어 신호 레벨 및 다른 입력 단자에 공급된 처리 신호 레벨을 검출 및 계산하며, 두 입력 신호의 레벨차에 따라 이득 제어 신호를 출력시키는 신호 처리기; 상기 신호 처리기로부터 얻은 이득 제어 신호를 출력단자로 직접 전달하는 정상 동작 상태나, 고 임피던스에 상기 출력 단자를 유지시키는 신호 인터럽트 상태로 선택적으로 스위칭 가능한 전압 출력형 증폭기; 상기 전압 출력형 증폭기의 출력 전압을 전류로 변환하는 증폭기 출력 변환기; 상기 증폭기 출력 변환기로부터 공급된 전류에 비례하는 전압을 발생 및 출력하는 전압 유지 수단; 및 이득이 상기 전압 유지 수단의 출력 전압에 의해 제어되고, 상기 제어 신호 레벨에 따라 상기 한 입력 단자에 공급된 처리 신호를 증폭하도록 형성된 가변 이득 증폭기를 구비하는 것을 특징으로 하는 서보 회로.

#### 청구항 7

제6항에 있어서, 상기 전압 유지 수단이 적분기인 것을 특징으로 하는 서보 회로.

#### 청구항 8

서보 회로에 있어서, 한 입력 단자에 공급된 제어 신호 레벨 및 다른 입력 단자에 공급된 처리 신호 레벨을 증폭하거나 감쇠하는 이득 제어 증폭기의 출력 신호의 레벨을 검출 및 계산하며, 두 입력 신호의 레벨차에 따라 이득 제어 신호를 출력시키는 신호 처리기; 상기 신호 처리기로부터 출력된 이득 제어 신호에 대응하는 값의 출력 전류를 발생시켜, 출력 단자로부터 출력 전류를 선택적으로 공급하거나 그런 출력 전류를 인터럽트 하는 전류 출력형 증폭기; 상기 전류 출력형 증폭기로부터 공급된 전류에 비례하는 전압을 발생 및 출력하는 전압 유지 수단; 및 이득이 상기 전압 유지 수단의 출력 전압에 의해 제어되고, 상기 제어 신호 레벨에 따라 상기 한 입력 단자에 공급된 처리 신호를 증폭하도록 형성된 가변 이득 증폭기를 구비하는 것을 특징으로 하는 서보 회로.

#### 청구항 9

제8항에 있어서, 상기 전압 유지 수단이 적분기인 것을 특징으로 하는 서보 회로.

# 청구항 10

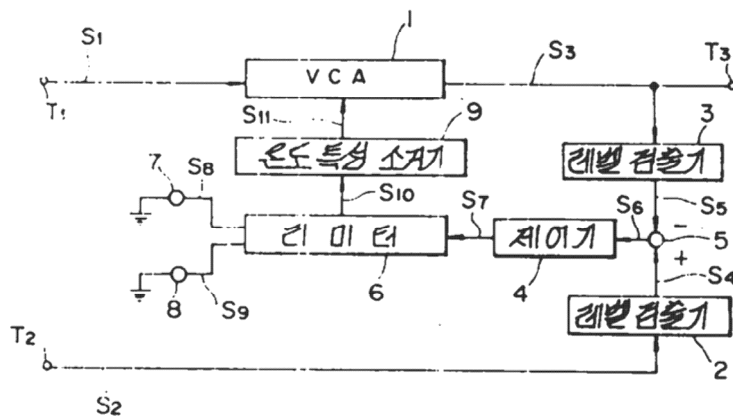
서보 회로에 있어서, 한 입력 단자에 공급된 제어 신호 레벨 및, 다른 입력 단자에 공급된 처리 신호 레벨을 검출 및 계산하여, 두 입력 신호의 레벨차에 따라 이득 제어 신호를 출력시키는 신호 처리기; 상기 신호 처리기로부터 출력된 이득 제어 신호에 대응하는 값의 출력 전류를 발생시켜, 출력 단자로부터 출력 전류를 선택적으로 공급하거나, 그런 출력 단자를 인터럽트 하는 전류 출력형 증폭기; 상기 전류 출력형 증폭기로부터 공급된 전류에 비례하여 전압을 발생 및 출력하는 전압 유지 수단; 및 이득이 상기 전압 유지 수단의 출력 전압에 의해 제어되고, 상기 제어 신호의 레벨에 따라 상기 한 입력 단자에 공급된 처리 신호를 증폭하도록 형성된 가변 이득 증폭기를 구비한 것을 특징으로 하는 서보 회로.

# 청구항 11

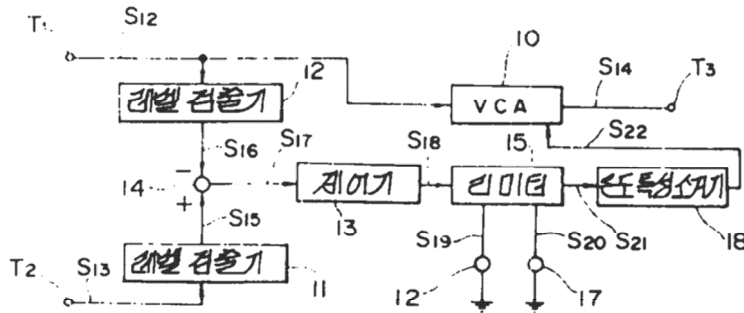
제10항에 있어서, 상기 전압 유지 수단이 적분기인 것을 특징으로 하는 서보 회로.

## 도면

도면1

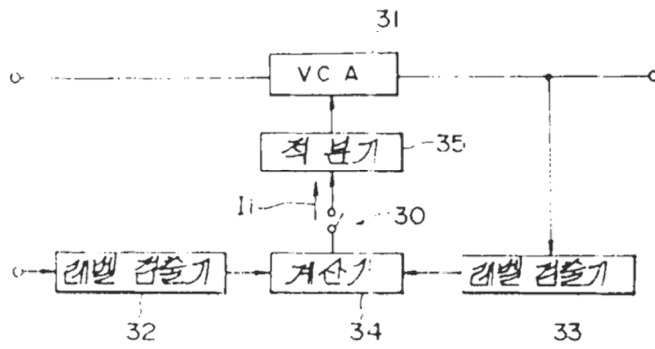


도면2

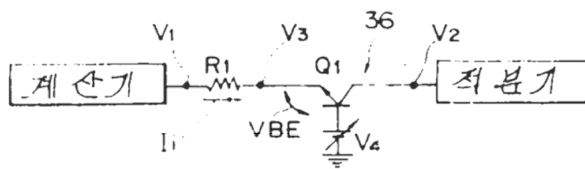




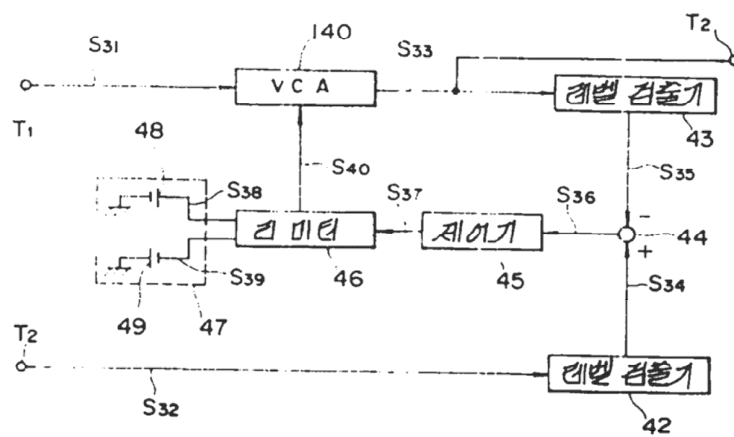
도면3



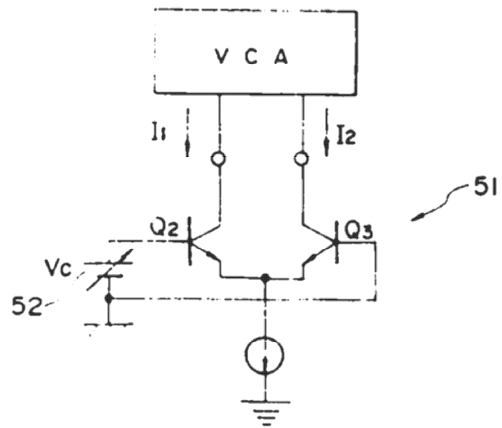
도면4



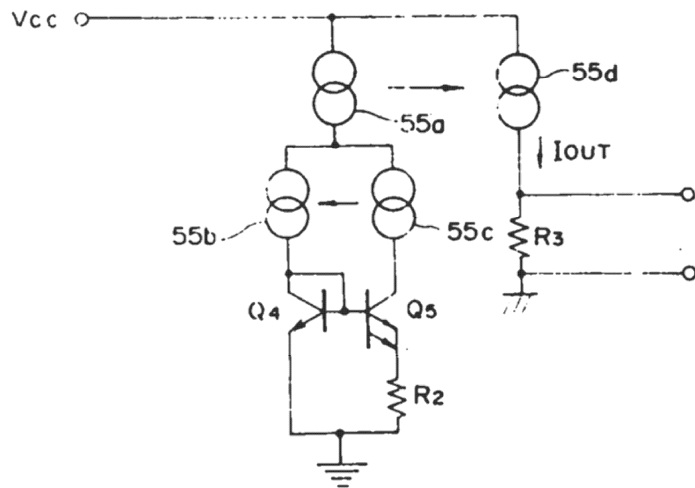
도면5



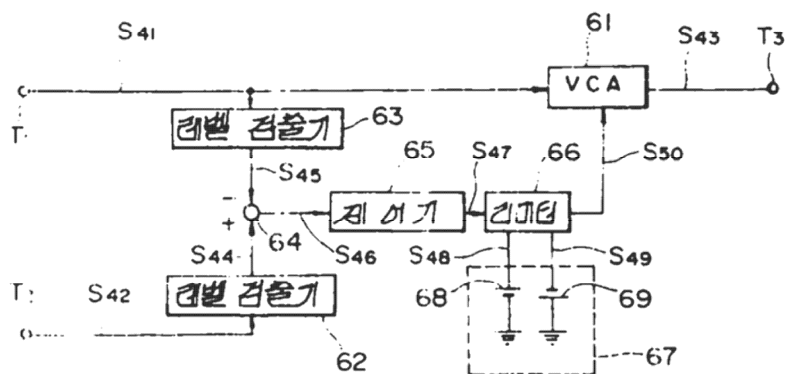
도면6



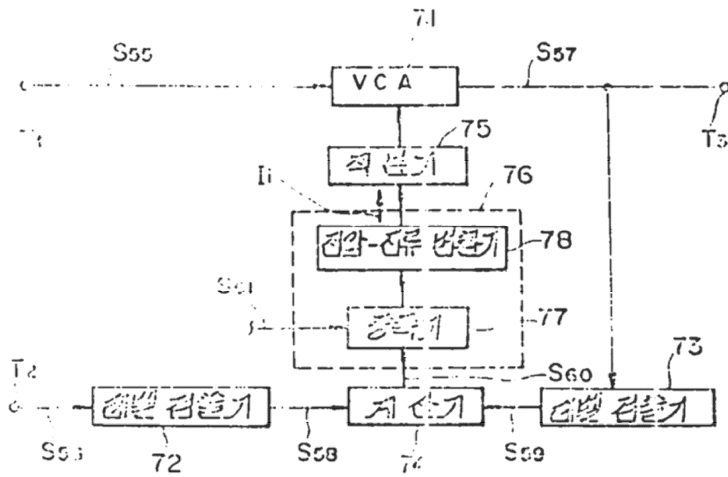
도면7



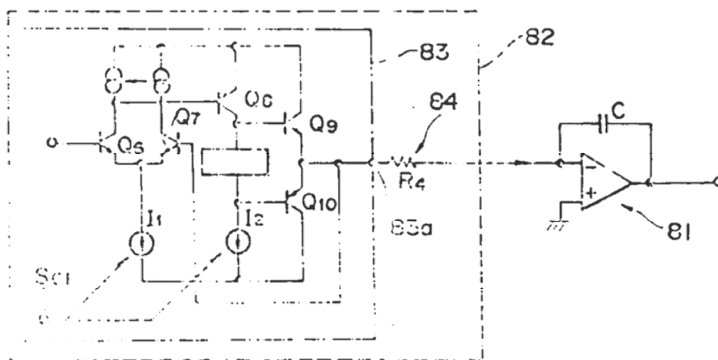
도면8



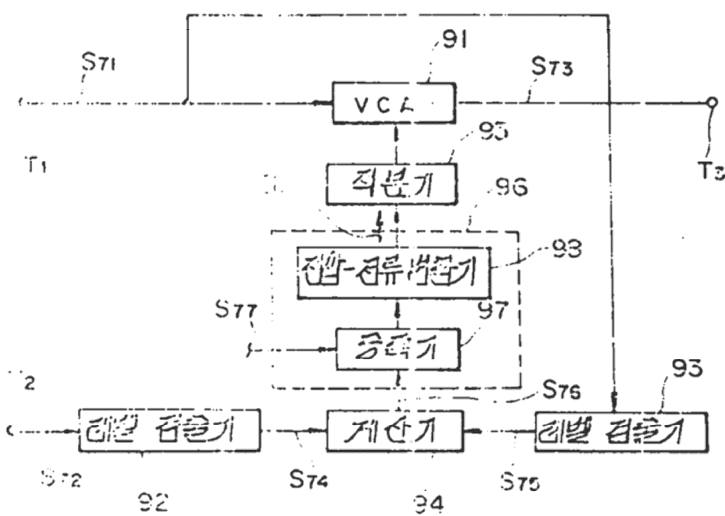
도면9



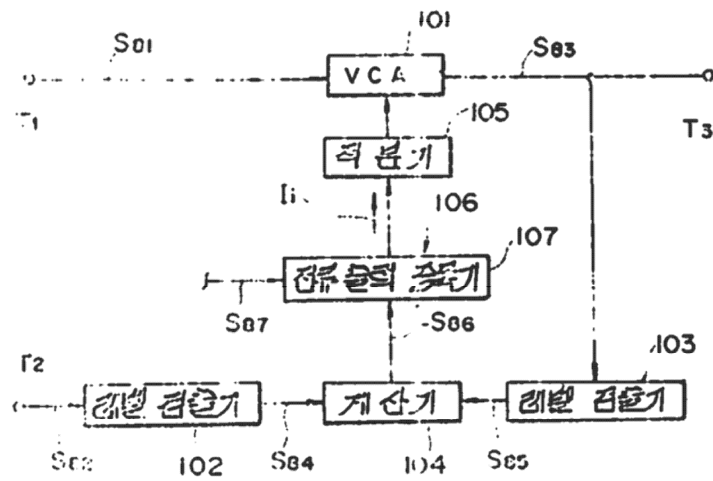
도면10



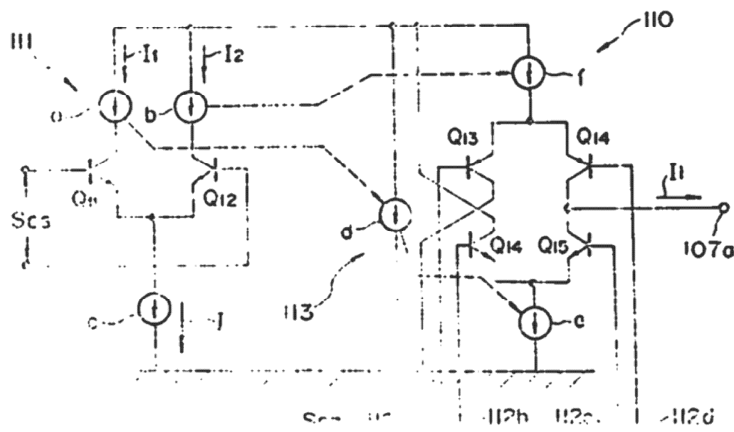
도면11



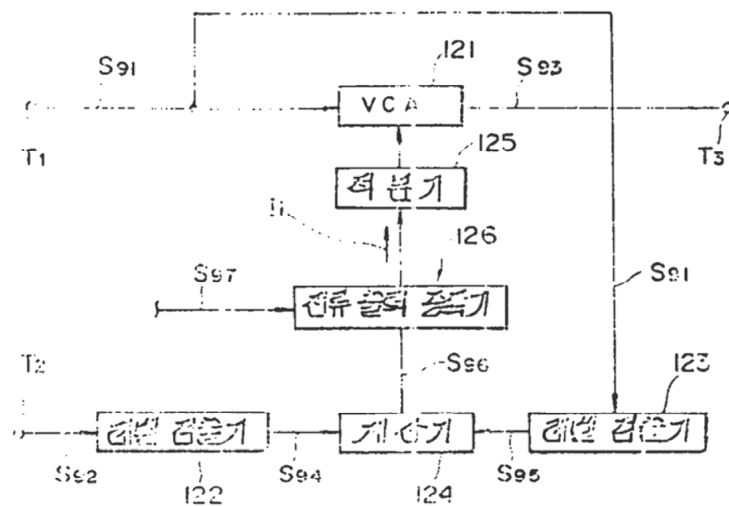
도면 12



도면 13



도면 14



도면 15

