



(12) 发明专利申请

(10) 申请公布号 CN 119054083 A

(43) 申请公布日 2024. 11. 29

(21) 申请号 202380033608.1

(22) 申请日 2023.01.26

(30) 优先权数据

2022-066834 2022.04.14 JP

(85) PCT国际申请进入国家阶段日

2024.10.11

(86) PCT国际申请的申请数据

PCT/JP2023/002514 2023.01.26

(87) PCT国际申请的公布数据

W02023/199570 JA 2023.10.19

(71) 申请人 株式会社电装

地址 日本

(72) 发明人 高谷秀史

(74) 专利代理机构 永新专利商标代理有限公司

72002

专利代理师 吕文卓

(51) Int.Cl.

H01L 29/78 (2006.01)

H01L 29/12 (2006.01)

H01L 21/336 (2006.01)

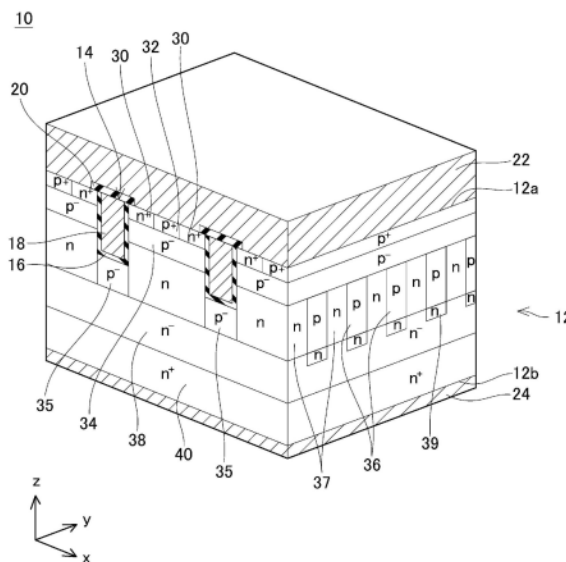
权利要求书2页 说明书6页 附图16页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

半导体装置10具有多个p型深层36、多个n型深层37、n型的漂移层38和n型高浓度层39。n型高浓度层与多个p型深层中的对应的p型深层的下表面的至少一部分相接，n型杂质的浓度比漂移层高。



1. 一种半导体装置(10),其特征在于,具备:
 - 半导体衬底(12),在上表面设有沟槽(14);
 - 栅极绝缘膜(16),将上述沟槽的内表面覆盖;以及
 - 栅极电极(18),配置在上述沟槽内,被上述栅极绝缘膜从上述半导体衬底绝缘;上述半导体衬底具有:
 - n型的源极层(30),在上述沟槽的侧面与上述栅极绝缘膜相接;
 - p型的体层(34),在位于上述源极层的下侧的上述沟槽的上述侧面与上述栅极绝缘膜相接;多个p型深层(36),分别从上述体层延伸至比上述沟槽的底面靠下侧,当从上侧观察上述半导体衬底时,上述多个p型深层分别沿着第1方向延伸,并且在相对于上述第1方向正交的第2方向上相互隔开间隔而配置;
 - 多个n型深层(37),分别配置于在相邻的上述p型深层之间划定的多个间隔中的对应的间隔,在位于上述体层的下侧的上述沟槽的上述侧面与上述栅极绝缘膜相接;
 - n型的漂移层(38),配置在上述多个p型深层和上述多个n型深层的下侧,与上述多个n型深层相接;以及
 - n型高浓度层(39),与上述多个p型深层中的对应的p型深层的下表面的至少一部分相接,n型杂质的浓度比上述漂移层高。
2. 如权利要求1所述的半导体装置,其特征在于,上述n型高浓度层至少与对应的上述p型深层的下表面中的上述第2方向上的两端部相接。
 3. 如权利要求2所述的半导体装置,其特征在于,上述n型高浓度层与对应的上述p型深层的下表面的整体相接。
 4. 如权利要求3所述的半导体装置,其特征在于,上述n型高浓度层的上述第2方向上的宽度大于上述p型深层的上述第2方向上的宽度,从而上述n型高浓度层和与上述p型深层相邻的上述n型深层相接。
 5. 如权利要求1~4中任一项所述的半导体装置,其特征在于,上述多个p型深层延伸到比上述多个n型深层靠下侧。
 6. 如权利要求5所述的半导体装置,其特征在于,上述n型高浓度层还与比上述多个n型深层靠下侧的上述p型深层的侧面相接。
 7. 如权利要求1~6中任一项所述的半导体装置,其特征在于,上述n型高浓度层的n型杂质的浓度比上述多个n型深层低。
 8. 一种半导体装置(10)的制造方法,其特征在于,具备:
 - 深层形成工序,是在n型的外延层(50)中形成多个p型深层(36)和多个n型深层(37)的深层形成工序,在从上侧观察上述外延层时上述多个p型深层分别沿着第1方向延伸并且在相对于上述第1方向正交的第2方向上相互隔开间隔而配置,上述多个n型深层分别配置于在相邻的上述p型深层之间划定的多个间隔中的对应的间隔;以及
 - n型高浓度层形成工序,形成n型杂质的浓度比上述外延层高的n型高浓度层,该n型高

浓度层与上述多个p型深层中的对应的p型深层的下表面的至少一部分相接。

9. 如权利要求8所述的半导体装置的制造方法,其特征在於,

用来在上述深层形成工序中形成上述多个p型深层的离子注入用的掩模与用来在上述n型高浓度层形成工序中形成上述n型高浓度层的离子注入用的掩模是通用的。

10. 如权利要求8所述的半导体装置的制造方法,其特征在於,

用来在上述n型高浓度层形成工序中形成上述n型高浓度层的离子注入用的掩模的上述第2方向上的开口宽度大于用来在上述深层形成工序中形成上述多个p型深层的离子注入用的掩模的上述第2方向上的开口宽度。

11. 如权利要求8~10中任一项所述的半导体装置的制造方法,其特征在於,

在上述n型高浓度层形成工序中,利用倾斜离子注入技术形成上述n型高浓度层。

12. 如权利要求8~11中任一项所述的半导体装置的制造方法,其特征在於,

上述n型高浓度层的n型杂质的浓度比上述多个n型深层低。

半导体装置及其制造方法

[0001] 关联申请的相互参照

[0002] 本申请是2022年4月14日提出的日本专利申请第2022—066834号的关联申请,基于该日本专利申请主张优先权,将该日本专利申请中记载的全部内容作为构成本说明书的内容加以引用。

技术领域

[0003] 本说明书所公开的技术涉及半导体装置及其制造方法。

背景技术

[0004] 在日本特开2003—309261号公报及日本特开2017—152488号公报中,公开了在半导体衬底的面方向上交替地反复配置有p型层和n型层的半导体装置。在该半导体装置断开(off)的情况下,多个p型层和多个n型层耗尽,源极—漏极间的电压被保持。

发明内容

[0005] 在这样的具有多个p型层和多个n型层的半导体装置中,在导通电阻与耐压之间有权衡(trade off)的关系。在本说明书中,提出了改善存在于导通电阻与耐压之间的权衡的技术。

[0006] 本说明书公开的半导体装置可以具备:半导体衬底,在上表面设有沟槽;栅极绝缘膜,将上述沟槽的内表面覆盖;以及栅极电极,配置在上述沟槽内,被上述栅极绝缘膜从上述半导体衬底绝缘。上述半导体衬底可以具有:n型的源极层,在上述沟槽的侧面与上述栅极绝缘膜相接;p型的体层,在位于上述源极层的下侧的上述沟槽的上述侧面与上述栅极绝缘膜相接;多个p型深层,分别从上述体层延伸至比上述沟槽的底面靠下侧,当从上侧观察上述半导体衬底时,上述多个p型深层分别沿着第1方向延伸,并且在相对于上述第1方向正交的第2方向上相互隔开间隔而配置;多个n型深层,分别配置于在相邻的上述p型深层之间划定的多个间隔中的对应的间隔,在位于上述体层的下侧的上述沟槽的上述侧面与上述栅极绝缘膜相接;n型的漂移层,配置在上述多个p型深层和上述多个n型深层的下侧,与上述多个n型深层相接;以及n型高浓度层,与上述多个p型深层中的对应的p型深层的下表面的至少一部分相接,n型杂质的浓度比上述漂移层高。

[0007] 在上述半导体装置中,由于n型高浓度层以与p型深层的下表面的至少一部分相接的方式设置,所以在导通时抑制了耗尽层从p型深层朝向漂移层的扩展。因此,在上述半导体装置中,电流路径被确保得较宽,所以能够具有低导通电阻这一特性。此外,n型高浓度层被部分性地设置为与p型深层的下表面相接。因此,在上述半导体装置中还抑制了耐压的下降。上述半导体装置能够兼顾低导通电阻和高耐压。

[0008] 本说明书公开的半导体装置的制造方法可以具备:深层形成工序,是在n型的外延层中形成多个p型深层和多个n型深层的深层形成工序,在从上侧观察上述外延层时上述多个p型深层分别沿着第1方向延伸并且在相对于上述第1方向正交的第2方向上相互隔开间

隔而配置,上述多个n型深层分别配置于在相邻的上述p型深层之间划定的多个间隔中的对应的间隔;以及n型高浓度层形成工序,形成n型杂质的浓度比上述外延层高的n型高浓度层,该n型高浓度层与上述多个p型深层中的对应的p型深层的下表面的至少一部分相接。另外,深层形成工序和n型高浓度层形成工序的时间上的顺序没有特别限定。

[0009] 根据该半导体装置的制造方法,能够制造兼顾了低导通电阻和高耐压的半导体装置。

附图说明

[0010] 图1是半导体装置10的截面立体图(表示不包含p型深层36的xz截面的图)。

[0011] 图2是省略了源极电极22和层间绝缘膜20后的半导体装置10的截面立体图(表示不包含p型深层36的xz截面的图)。

[0012] 图3是包含p型沟槽下层35、p型深层36及n型深层37的放大xy截面,是表示将半导体衬底12从上方观察时的p型沟槽下层35、p型深层36及n型深层37的配置的半导体装置10的放大剖视图。

[0013] 图4是包含沟槽14、p型深层36及n型深层37的放大xy截面,是表示将半导体衬底12从上方观察时的沟槽14、p型深层36及n型深层37的配置的半导体装置10的放大剖视图。

[0014] 图5是半导体装置10的截面立体图(表示包含p型深层36的xz截面的图)。

[0015] 图6是包含p型深层36、n型深层37及n型高浓度层的半导体装置10的变形例的放大yz剖视图。

[0016] 图7是包含p型深层36、n型深层37及n型高浓度层的半导体装置10的变形例的放大yz剖视图。

[0017] 图8是包含p型深层36、n型深层37及n型高浓度层的半导体装置10的变形例的放大yz剖视图。

[0018] 图9是半导体装置10的制造方法的说明图。

[0019] 图10是半导体装置10的制造方法的说明图。

[0020] 图11是半导体装置10的制造方法的说明图。

[0021] 图12是半导体装置10的制造方法的说明图。

[0022] 图13是半导体装置10的制造方法的说明图。

[0023] 图14是半导体装置10的制造方法的说明图。

[0024] 图15是半导体装置10的制造方法的说明图。

[0025] 图16是半导体装置10的制造方法的说明图。

具体实施方式

[0026] 以下,参照附图说明各实施方式。以图示明确化为目的,关于反复配置的构成要素,仅对其一部分赋予标记。

[0027] 图1~图5所示的半导体装置10是被称作MOSFET(metal—oxide—semiconductor field effect transistor:金属氧化物半导体场效应晶体管)的种类的功率器件,具有半导体衬底12。以下,将半导体衬底12的厚度方向称作z方向,将与半导体衬底12的上表面12a平行的一个方向(与z方向正交的一个方向)称作x方向,将与x方向及z方向正交的方向称作

y方向。半导体衬底12由碳化硅(SiC)构成。另外,半导体衬底12也可以由硅、氮化镓等其他半导体材料构成。在半导体衬底12的上表面12a,设有多个沟槽14。如图2所示,多个沟槽14在上表面12a中沿着y方向较长地延伸。多个沟槽14在x方向上隔开间隔配置。

[0028] 如图1、图2、图5所示,各沟槽14的内表面(即,侧面和底面)被栅极绝缘膜16覆盖。在各沟槽14内配置有栅极电极18。各栅极电极18被栅极绝缘膜16从半导体衬底12绝缘。如图1、图5所示,各栅极电极18的上表面被层间绝缘膜20覆盖。在半导体衬底12的上部,设有源极电极22。源极电极22将各层间绝缘膜20覆盖。源极电极22被层间绝缘膜20从栅极电极18绝缘。源极电极22在不存在层间绝缘膜20的位置与半导体衬底12的上表面12a相接。在半导体衬底12的下部设有漏极电极24。漏极电极24与半导体衬底12的下表面12b的整体相接。

[0029] 如图1、图2、图5所示,半导体衬底12具有多个源极层30、多个接触层32、体层(body layer)34、多个p型沟槽下层35、多个p型深层36、多个n型深层37、漂移层38、多个n型高浓度层39、以及漏极层40。

[0030] 各源极层30是n型杂质的浓度较高的n型层。各源极层30配置在部分地包含半导体衬底12的上表面12a的范围。各源极层30与源极电极22欧姆接触。各源极层30在沟槽14的侧面的最上部与栅极绝缘膜16相接。各源极层30隔着栅极绝缘膜16而与栅极电极18对置。各源极层30沿着沟槽14的侧面在y方向上较长地延伸。即,在从上侧观察半导体衬底12时,各源极层30相对于沟槽14的长度方向平行地延伸,从沟槽14的长度方向的一个端部延伸至另一个端部。

[0031] 各接触层32是p型杂质的浓度较高的p型层。各接触层32配置在部分地包含半导体衬底12的上表面12a的范围。各接触层32配置在对应的2个源极层30之间。各接触层32与源极电极22欧姆接触。各接触层32在y方向上较长地延伸。即,在从上侧观察半导体衬底12时,各接触层32相对于沟槽14的长度方向平行地延伸,从沟槽14的长度方向的一个端部延伸至另一个端部。

[0032] 体层34是p型杂质的浓度比接触层32低的p型层。体层34配置在多个源极层30及多个接触层32的下侧。体层34对于多个源极层30及多个接触层32从下侧相接。体层34在位于源极层30下侧的沟槽14的侧面与栅极绝缘膜16相接。体层34隔着栅极绝缘膜16而与栅极电极18对置。

[0033] 各p型沟槽下层35是配置在对应的沟槽14下侧的p型层。如后述那样,各p型沟槽下层35可以通过与体层34通用的离子注入工序形成。该情况下,各p型沟槽下层35和体层34的p型杂质的深度方向的浓度分布一致,从对应的沟槽14的底面到各p型沟槽下层35的下表面的深度与从半导体衬底12的上表面12a到体层34的下表面的深度一致。在该例中,各p型沟槽下层35与将对应的沟槽14的底面覆盖的栅极绝缘膜16相接。如图3所示,在将半导体衬底12从上侧观察时,各p型沟槽下层35沿着对应的沟槽14的长度方向(在该例中是y方向)较长地延伸,从沟槽14的长度方向的一端连续地延伸至另一端。

[0034] 各p型深层36是从体层34的下表面向下侧突出的p型层。各p型深层36的p型杂质的浓度比体层34的p型杂质的浓度高,比接触层32的p型杂质的浓度低。如图4所示,在将半导体衬底12从上侧观察时,各p型深层36在x方向上较长地延伸,相对于沟槽14的长度方向(在该例中是y方向)正交。各p型深层36在y方向上相互隔开间隔而配置。p型深层36在yz截面中具有在z方向上较长的形状。即,p型深层36的z方向上的尺寸(即,p型深层36的高度)比p型

深层36的y方向上的尺寸(即,p型深层36的横宽)大。各p型深层36从体层34的下表面延伸至比各沟槽14的底面靠下侧的深度。各p型深层36在位于体层34下侧的沟槽14的侧面处与栅极绝缘膜16相接。此外,如图3所示,各p型深层36与配置在沟槽14下侧的p型沟槽下层35以交叉的方式相接。

[0035] 各n型深层37是从体层34的下表面向下侧突出的n型层。各n型深层37的n型杂质的浓度比漂移层38的n型杂质的浓度高。各n型深层37的n型杂质的浓度比各p型深层36的p型杂质浓度低。另外,代替该例,各n型深层37也可以是与漂移层38的n型杂质的浓度相同的浓度。如图1、图2、图5所示,各n型深层37配置在被相邻的p型深层36划定的多个间隔中的对应的间隔中。如图4所示,在将半导体衬底12从上侧观察时,各n型深层37在x方向上较长地延伸,相对于沟槽14的长度方向(在该例中是y方向)正交。各n型深层37与其两侧的p型深层36的侧面相接。n型深层37在yz截面中具有在z方向上较长的形状。即,n型深层37的z方向上的尺寸(即,n型深层37的高度)比n型深层37的y方向上的尺寸(即,n型深层37的横宽)大。在本实施方式中,n型深层37的高度等于p型深层36的高度。另外,在本说明书中,考虑离子注入工序的偏差,如果p型深层36的高度相对于n型深层37的高度的差为3%以内,就称n型深层37的高度与p型深层36的高度相同。n型深层37的横宽与p型深层36的横宽大致相等。如图1、图2、图5所示,各n型深层37从体层34的下表面延伸至比各沟槽14的底面靠下侧。各n型深层37在位于体层34下侧的沟槽14的侧面处与栅极绝缘膜16相接。此外,如图3所示,各n型深层37与配置在沟槽14下侧的p型沟槽下层35以交叉的方式相接。

[0036] 漂移层38是配置在多个p型深层36及多个n型深层37的下侧的n型层。漂移层38的n型杂质的浓度比n型深层37的n型杂质的浓度低。漂移层38对于n型深层37从下侧相接。

[0037] 各n型高浓度层39是与对应的p型深层36的下表面的整体相接的n型层。各n型高浓度层39的n型杂质的浓度比漂移层38的n型杂质的浓度高。各n型高浓度层39的n型杂质的浓度可以比n型深层37的n型杂质的浓度低。各n型高浓度层39配置在漂移层38与p型深层36之间,将漂移层38与p型深层36隔开。各n型高浓度层39以与p型深层36的下表面相接的方式被部分性地设置,并且不以将n型深层37的下表面的至少一部分覆盖的方式设置。换言之,各n型高浓度层39不在相邻的p型深层36之间连续地延伸,在n型深层37的下侧被截断。因此,n型深层37和漂移层38在相邻的n型高浓度层39之间的区域相接。在将半导体衬底12从上侧观察时,各n型高浓度层39沿着对应的p型深层36的长度方向(在该例中是y方向)较长地延伸,从p型深层36的长度方向的一端连续地延伸至另一端。此外,如图5所示,各n型高浓度层39还和与对应的p型深层36交叉的p型沟槽下层35的下表面相接,被配置在漂移层38与p型沟槽下层35之间。另外,相邻的n型高浓度层39可以在p型沟槽下层35的下侧被连接。在该例中,n型高浓度层39沿着p型沟槽下层35的下表面而在y方向上延伸,可以形成为将漂移层38与p型沟槽下层35隔开。

[0038] 漏极层40是n型杂质的浓度比漂移层38及n型深层37高的n型层。漏极层40对于漂移层38从下侧相接。漏极层40配置在将半导体衬底12的下表面12b包含在内的范围。漏极层40与漏极电极24欧姆接触。

[0039] 接着,对半导体装置10的动作进行说明。半导体装置10在对漏极电极24施加了比源极电极22高的电位的状态下被使用。在对各栅极电极18施加栅极阈值以上的电位的情况下,在栅极绝缘膜16附近的体层34中形成沟道。通过沟道将源极层30与n型深层37连接。因

此,电子从源极层30经由沟道、n型深层37及漂移层38向漏极层40流动。即,半导体装置10导通(on)。如果将各栅极电极18的电位从栅极阈值以上的值向小于栅极阈值的值降低,则沟道消失,电子的流动停止。即,半导体装置10断开(off)。

[0040] 在没有设置n型高浓度层39的情况下,当半导体装置10导通了时,耗尽层从p型深层36朝向漂移层38扩展。特别是,在耗尽层朝向n型深层37的下侧的漂移层38扩展的情况下,担心电流路径变窄而导通电阻增加。将这样的导通电阻的增加称作JFET效应。另一方面,在半导体装置10中,由于以与p型深层36的下表面相接的方式设有n型高浓度层39,所以抑制了耗尽层从p型深层36朝向漂移层38的扩展。因此,电流的导通路径被确保得较宽,所以半导体装置10能够具有低导通电阻这一特性。另外,n型高浓度层39的厚度可以大于通过p型深层36与n型高浓度层39之间的pn结的内建电势而生成的耗尽层的厚度。能够良好地抑制JFET效应。此外,n型高浓度层39部分性地设在p型深层36的下侧,没有设置在n型深层37的下侧的至少一部分,没有在半导体的衬底12的面方向上连续地形成。这样,由于部分性地设有n型高浓度层39,所以还抑制了半导体装置10的耐压的下降。半导体装置10能够兼顾低导通电阻和高耐压。

[0041] 在图6所示的变形例中,n型高浓度层39被选择性地配置在对应的p型深层36的下表面中的宽度方向上的两端部,没有与p型深层36的下表面的整个区域相接。即使是该变形例,在半导体装置10导通了时,也能够抑制耗尽层从p型深层36朝向n型深层37的下侧的漂移层38的扩展。进而,由于p型深层36的一部分与漂移层38相接,所以当半导体装置10断开了时,耗尽层从p型深层36良好地扩展到漂移层38。因此,在该变形例中,能够提高耐压。

[0042] 在图7所示的变形例中,n型高浓度层39的横宽比对应的p型深层36的横宽大,由此,n型高浓度层39除了和对应的p型深层36的下表面的整个区域相接以外,还和与对应的p型深层36相邻的n型深层37相接。根据该例,当半导体装置10导通了时,能够良好地抑制耗尽层从p型深层36朝向漂移层38的扩展。

[0043] 在图8所示的变形例中,p型深层36延伸到n型深层37的下侧。n型高浓度层39除了和p型深层36的下表面的整个区域相接以外,还和比n型深层37靠下侧的p型深层36的侧面相接。在p型深层36延伸到n型深层37的下侧的情况下,半导体装置10的耐压提高。此外,由于在p型深层36的侧面也配置有n型高浓度层39,所以即使p型深层36延伸到n型深层37的下侧,当半导体装置10导通了时,也能够抑制耗尽层从p型深层36朝向n型深层37的下侧的漂移层38的扩展。在该变形例中,能够进一步改善导通电阻与耐压之间存在的权衡关系。另外,在该变形例中,如图6所示,也可以在p型深层36的下表面的一部分中不设置n型高浓度层39,p型深层36与漂移层38相接地形成。

[0044] 接着,对半导体装置10的制造方法进行说明。从整体由漏极层40构成的半导体衬底制造半导体装置10。首先,如图9所示,利用外延生长技术,在漏极层40上形成n型的外延层50。

[0045] 接着,如图10所示,利用离子注入技术,向从外延层50的表面离开了的规定深度范围导入n型杂质从而形成n型层60。比n型层60靠下侧的外延层50的一部分成为漂移层38。

[0046] 接着,如图11所示,在外延层50上将具有开口的掩模52布图。

[0047] 接着,如图12所示,利用离子注入技术,经由掩模52的开口,向漂移层38的上部导入n型杂质,形成n型高浓度层39。

[0048] 接着,如图13所示,利用离子注入技术,经由掩模52的开口,向n型层60的一部分导入p型杂质,形成多个p型深层36。没有形成多个p型深层36的n型层60的一部分成为多个n型深层37。在本说明书中,图10~图13所例示的工序中的形成多个p型深层36和多个n型深层37的工序是深层形成工序的一例。在形成多个p型深层36之后,将掩模52除去。

[0049] 在该例中,掩模52兼用作用来形成n型高浓度层39的离子注入用的掩模和用来形成p型深层36的离子注入用的掩模。因此,工序数被削减,能够抑制制造成本。另外,也可以在形成p型深层36之后形成n型高浓度层39。此外,在形成n型高浓度层39时,通过对于外延层50的上表面从规定的角度斜着进行离子注入,能够形成图6所示的变形例的n型高浓度层39。另外,通过不将掩模52兼用地使得用来形成n型高浓度层39的离子注入用的掩模的开口宽度大于用来形成p型深层36的离子注入用的掩模的开口宽度,能够形成图7所示的变形例的n型高浓度层39。

[0050] 接着,如图14所示,利用离子注入技术,向外延层50的表层部导入n型杂质及p型杂质从而形成源极层30和接触层32。

[0051] 接着,如图15所示,利用蚀刻技术,形成从外延层50的表面达到n型深层37及p型深层36的沟槽14。调整沟槽14的深度,以使其不超过n型深层37及p型深层36。当从上侧观察外延层50时,沟槽14与多个p型深层36及多个n型深层37交叉。

[0052] 接着,如图16所示,利用离子注入技术,朝向外延层50的表面多级导入p型杂质从而形成体层34和p型沟槽下层35。体层34形成在比n型深层37及p型深层36靠上侧并且比源极层30及接触层32靠下侧。p型沟槽下层35形成在沟槽14的底面的下侧。

[0053] 然后,通过形成沟槽14、栅极绝缘膜16、栅极电极18、层间绝缘膜20、源极电极22及漏极电极24,半导体装置10完成。

[0054] 以上,对实施方式详细地进行了说明,但这些不过是例示,并不限定权利要求的范围。在权利要求书所记载的技术中,包括将以上例示的具体例各种各样地变形、变更后的技术。本说明书或附图中说明的技术要素单独或通过各种组合发挥技术有用性,并不限定于在申请时在权利要求中记载的组合。此外,本说明书或附图所例示的技术同时达成多个目的,达成其中1个目的本身就具有技术有用性。

10

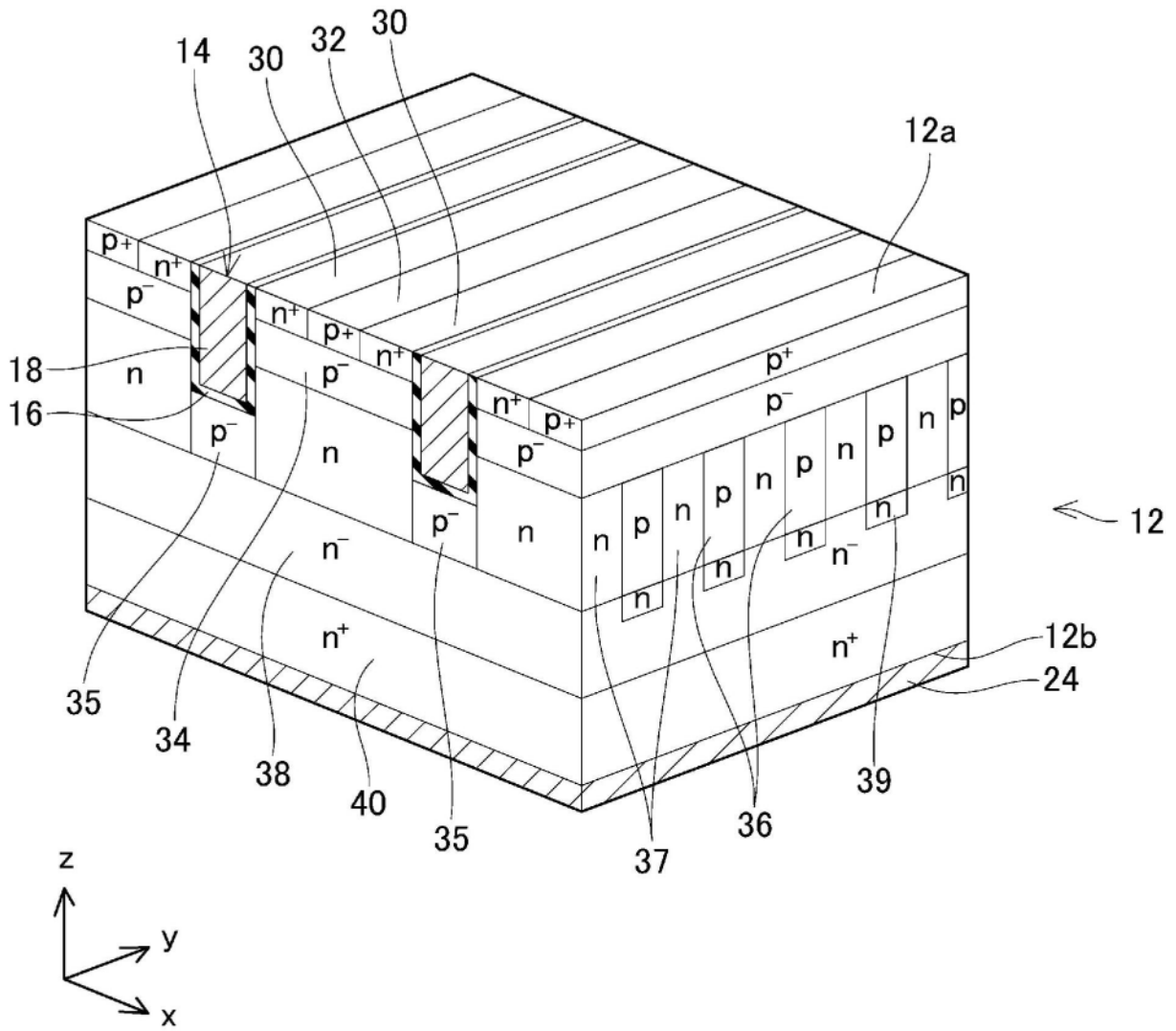


图2

10

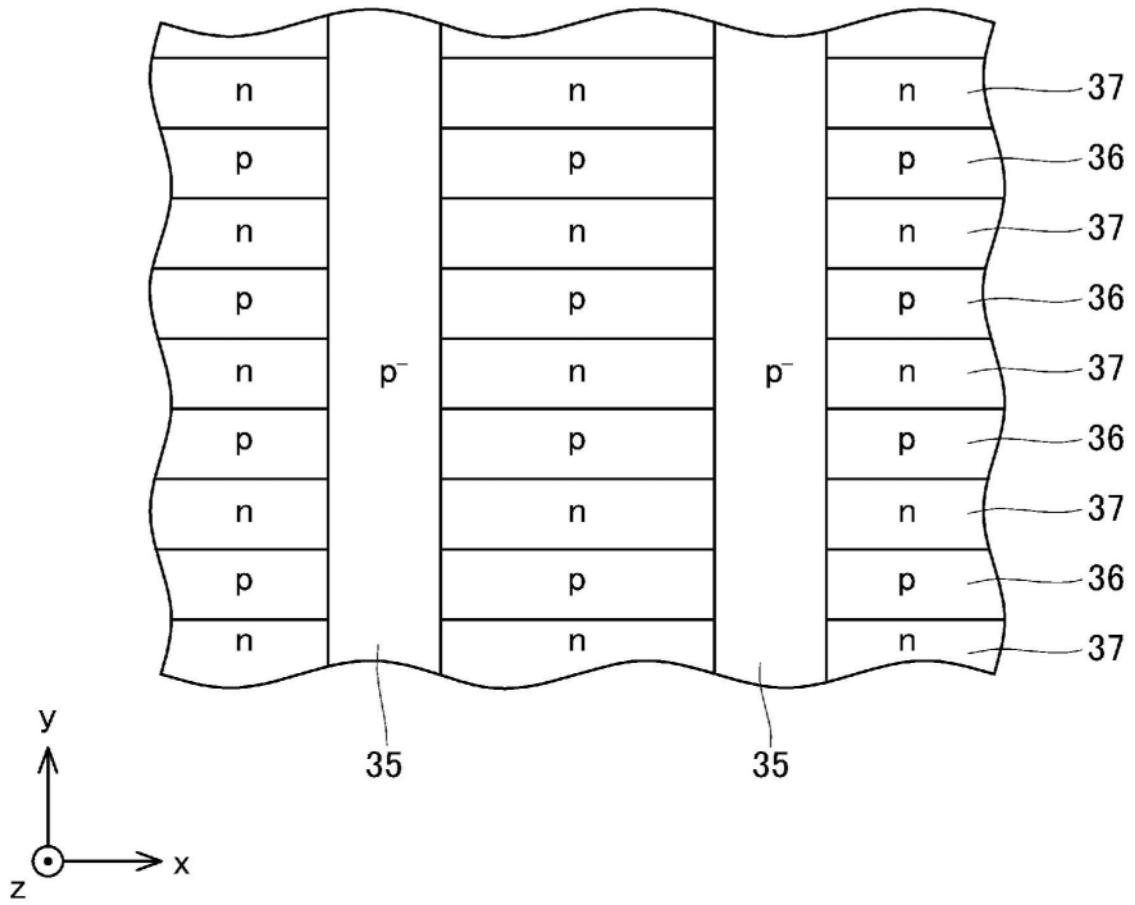


图3

10

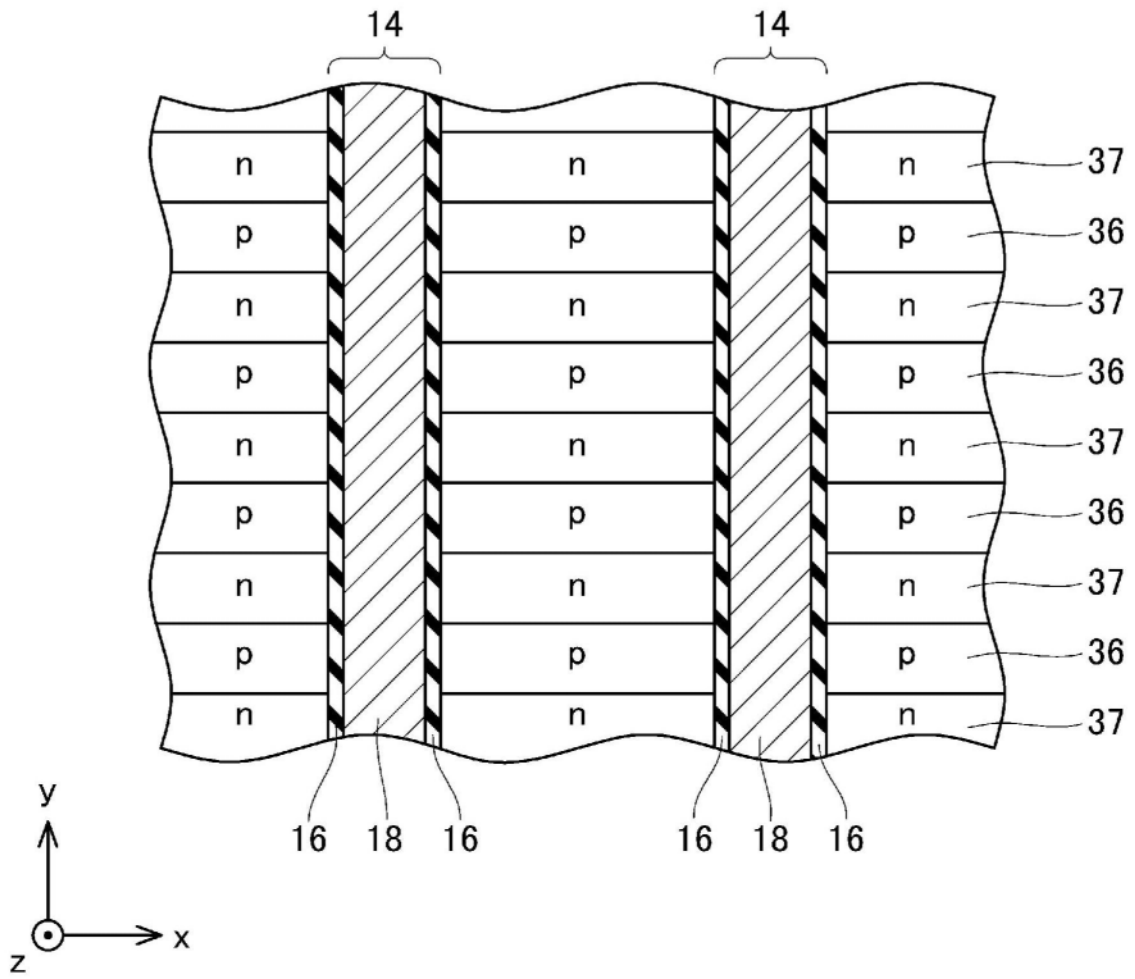


图4

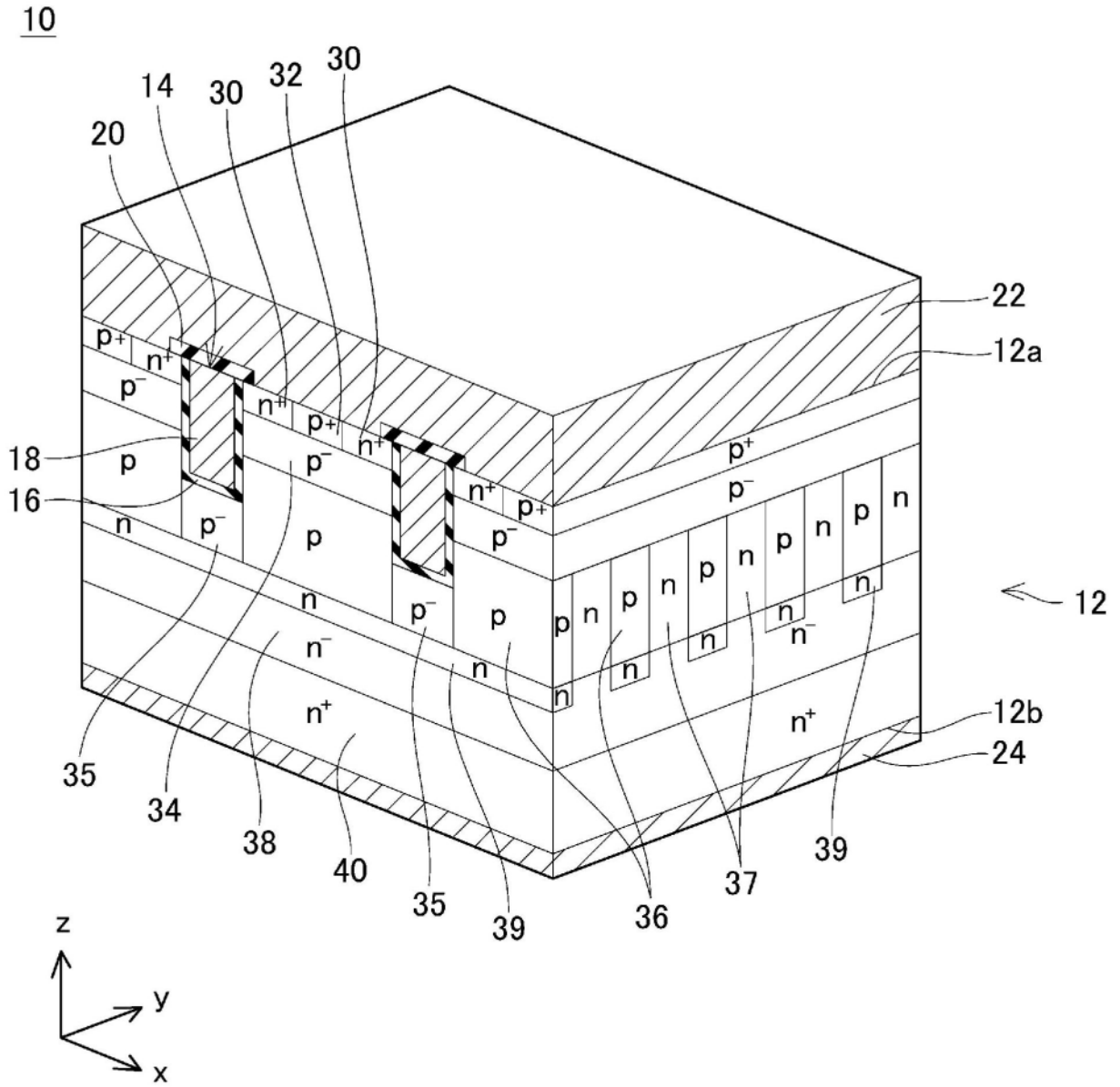


图5

10

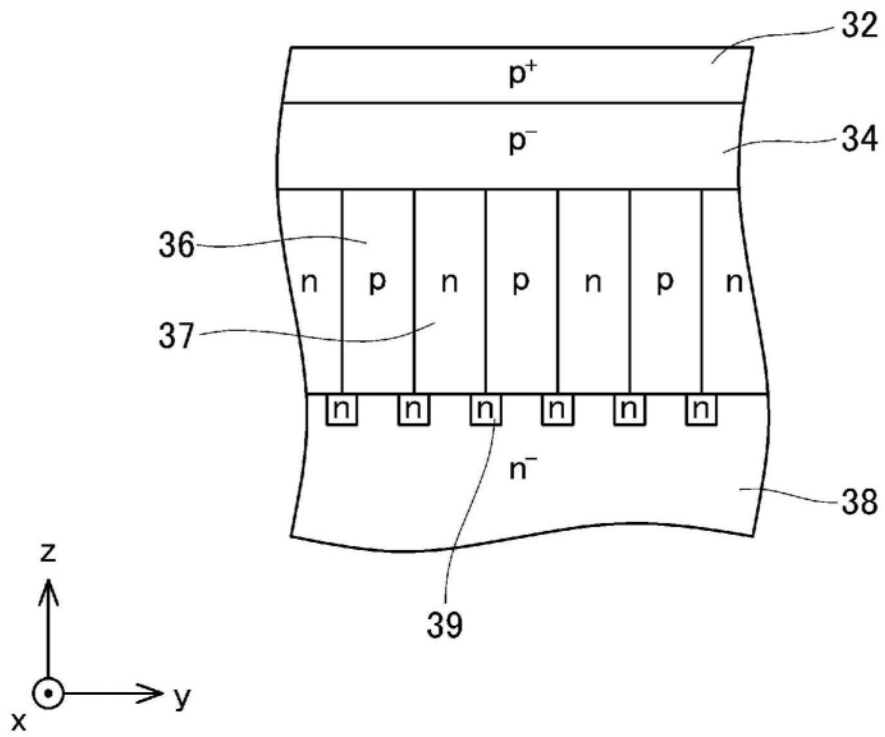


图6

10

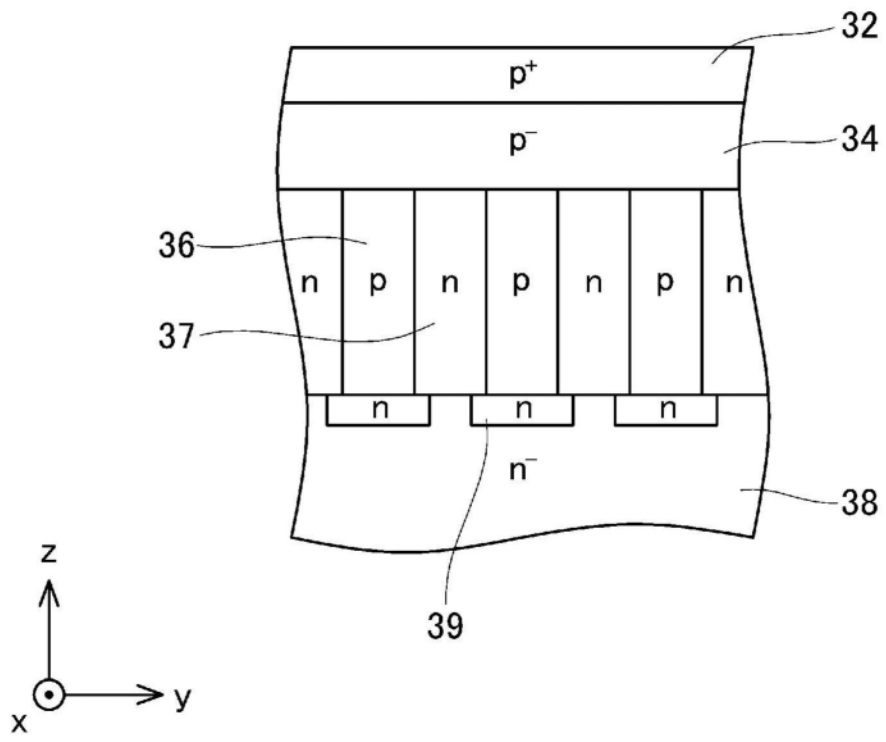


图7

10

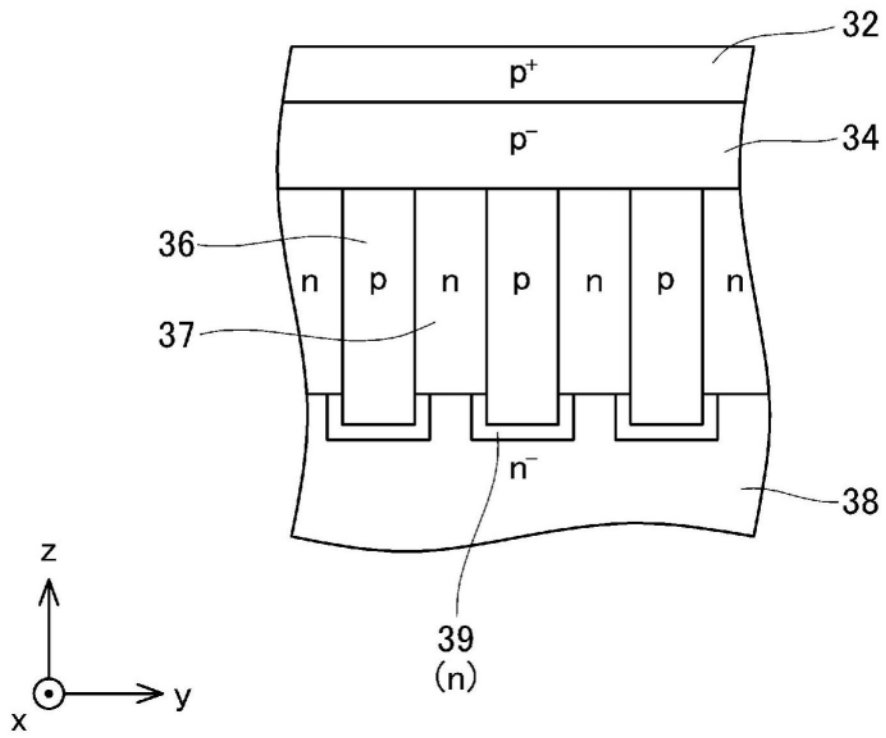


图8

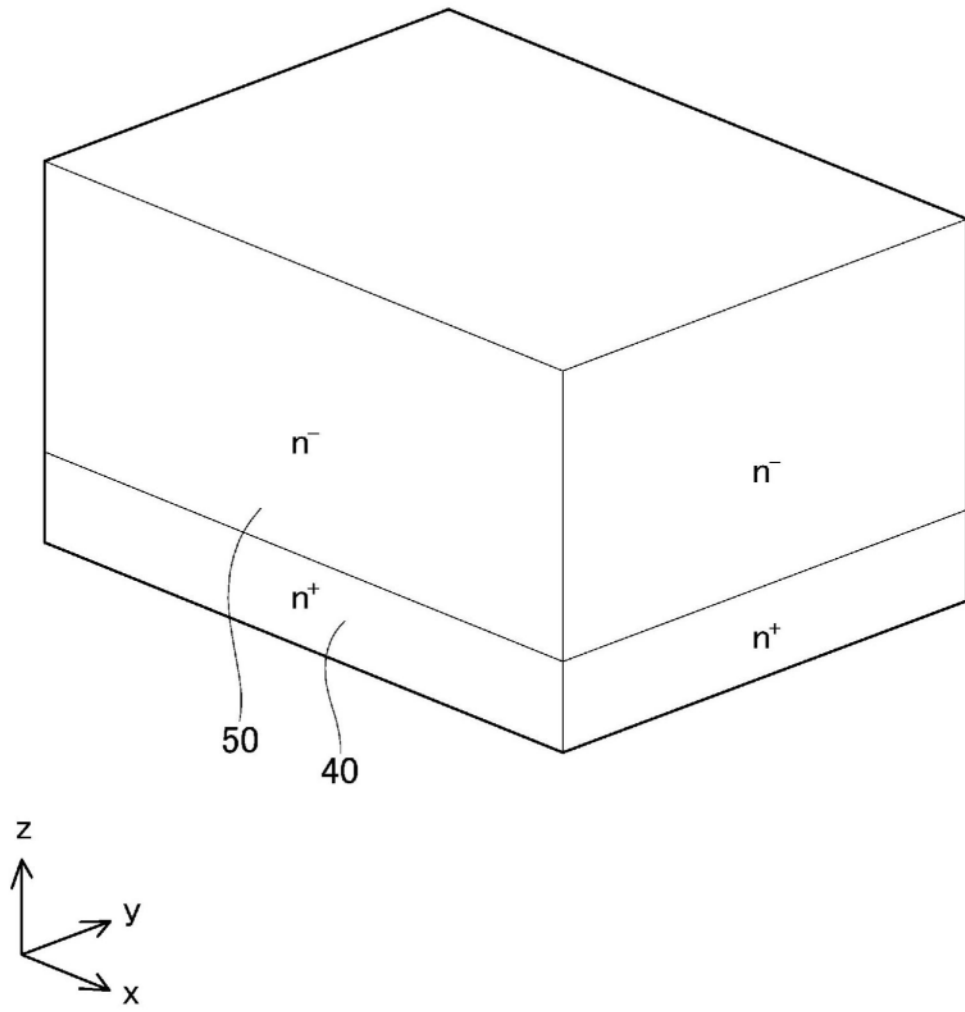


图9

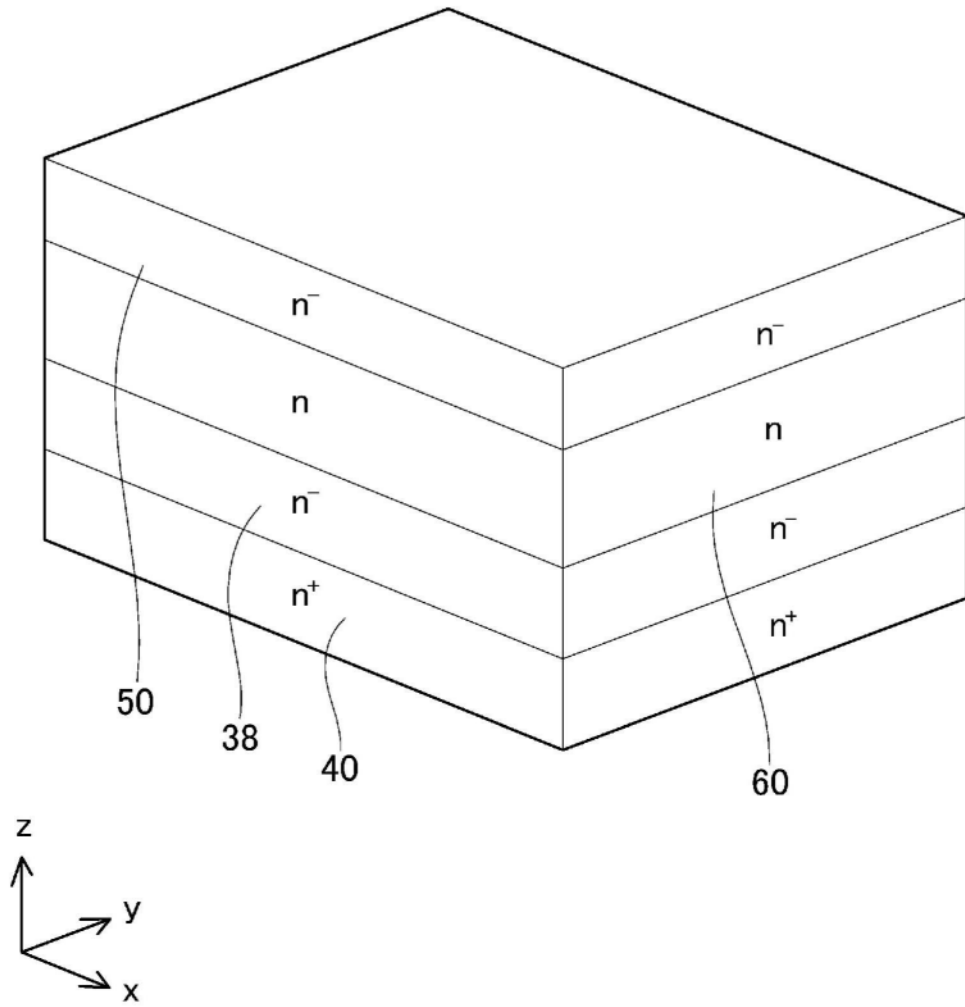


图10

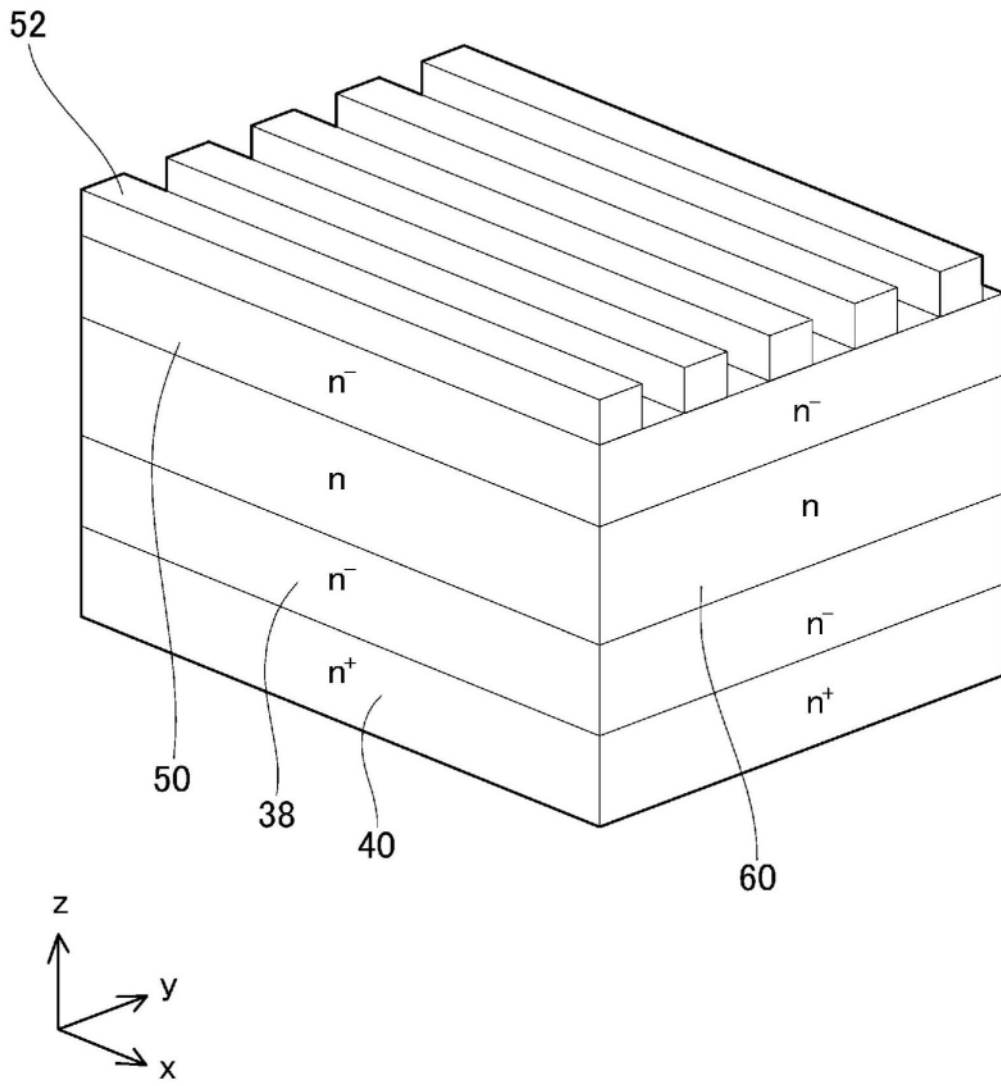


图11

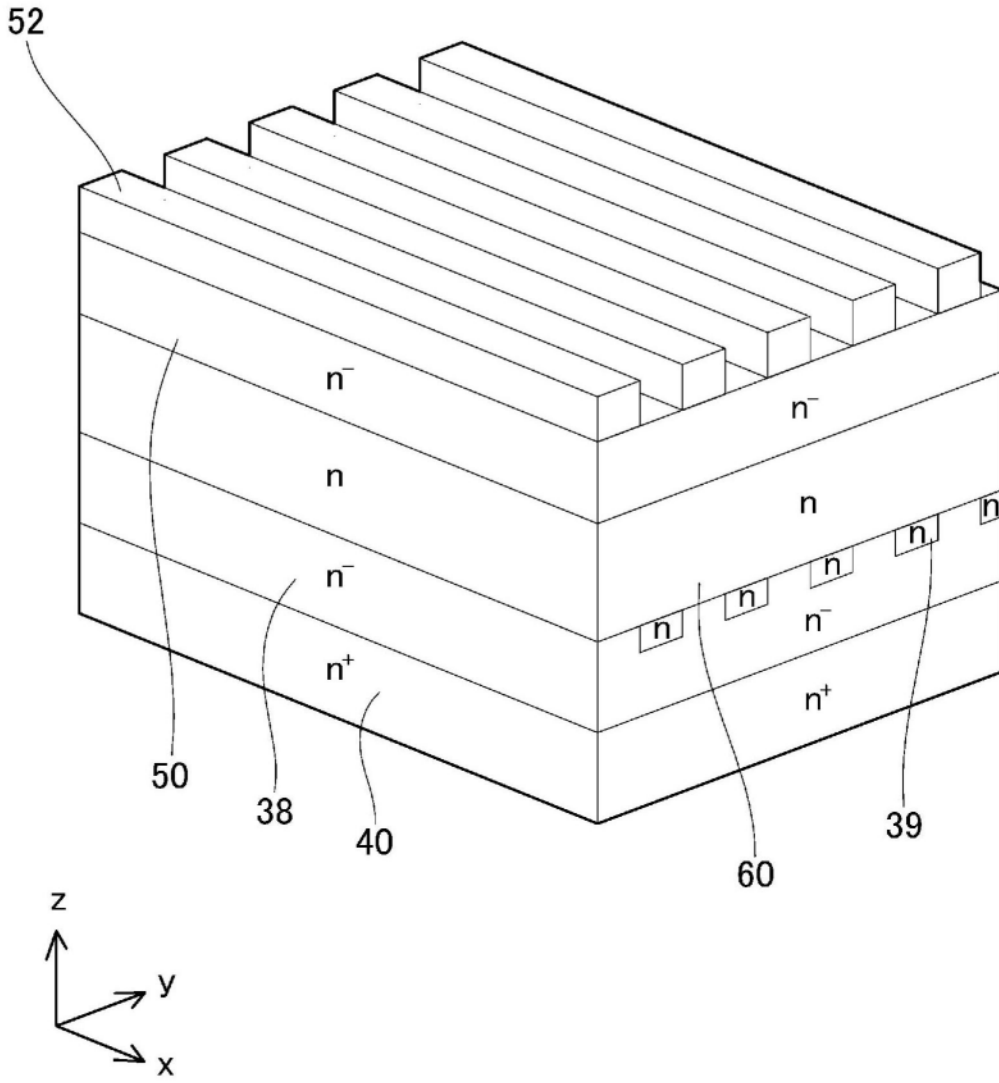


图12

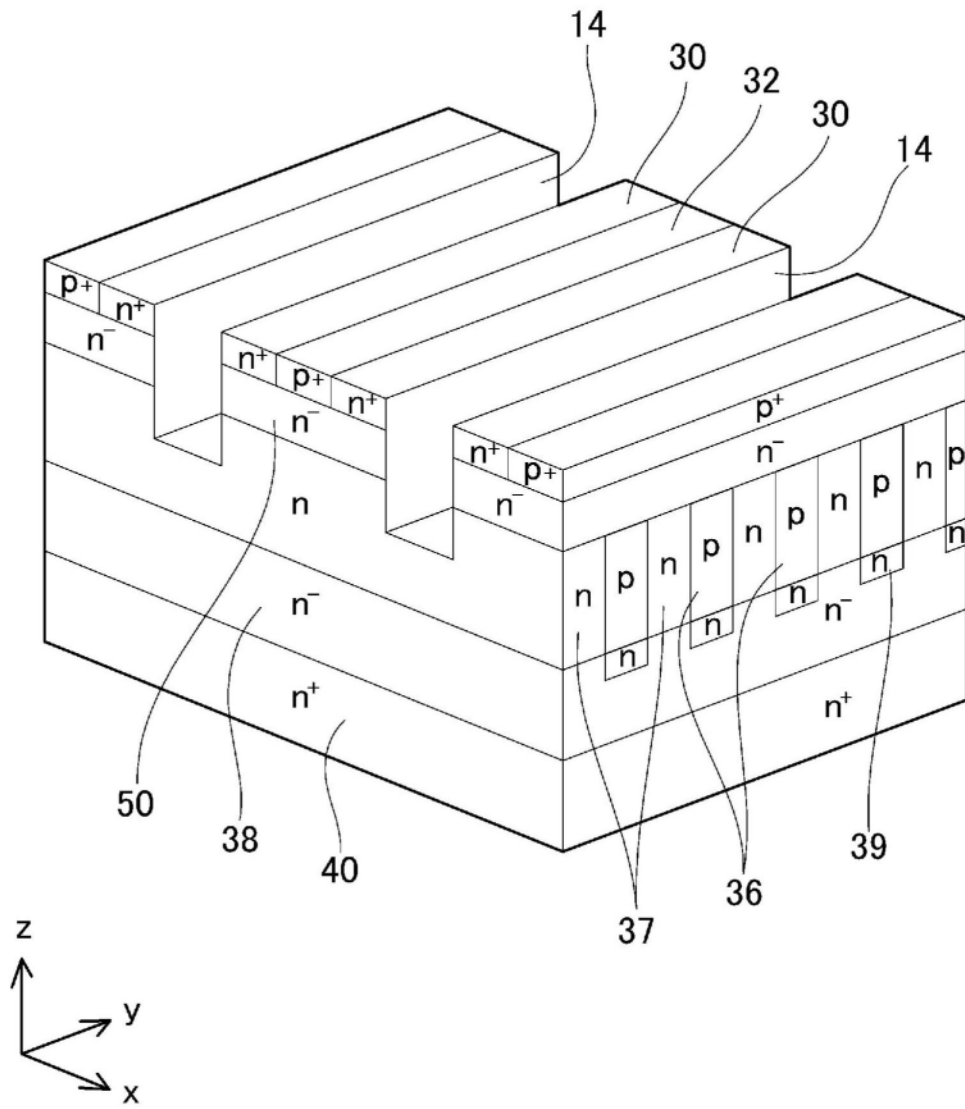


图15

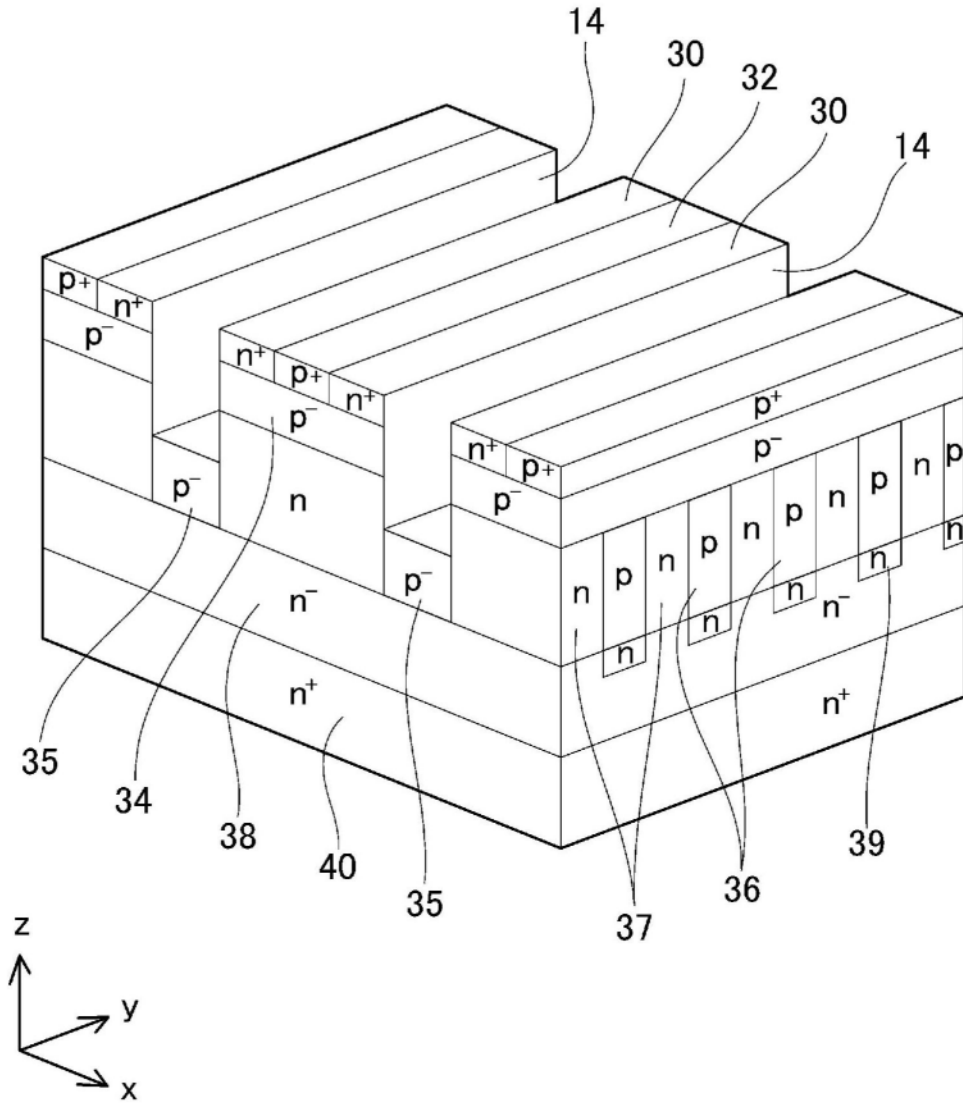


图16