



(12) 实用新型专利

(10) 授权公告号 CN 201918609 U

(45) 授权公告日 2011. 08. 03

(21) 申请号 201020609912. 6

(22) 申请日 2010. 11. 09

(73) 专利权人 百慕大商泰科资讯科技有限公司
地址 百慕大潘布克市比倍路 96 号

(72) 发明人 庄文菁 彭圣文 冯辉舜

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 孙纪泉

(51) Int. Cl.

H01R 27/02(2006. 01)

H01R 13/02(2006. 01)

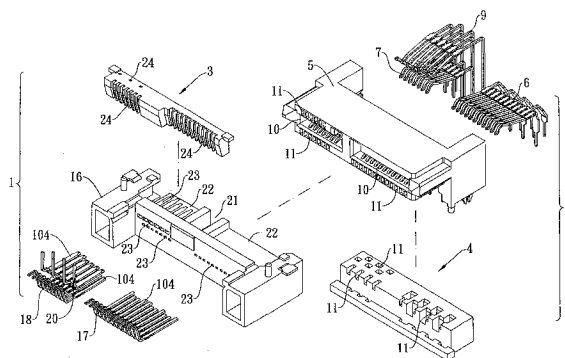
权利要求书 3 页 说明书 9 页 附图 16 页

(54) 实用新型名称

连接器

(57) 摘要

本实用新型公开了一种连接器, 具有 Slimline SATA 连接器外型及基本结构, 且具有传输 PCIe 信号的多个端子组, 该传输 PCIe 信号的多个端子组包括高速信号传输接脚、低速信号传输接脚与电源信号传输接脚, 所述电源信号传输接脚仅配合供传输 SATA 信号的接脚, 以适配符合 SATA 传输协议的其它装置, 所述电源信号传输接脚还仅配合供传输 PCIe 信号的接脚, 以适配符合 PCIe Gen2 传输协议的其它装置; 所述供传输 PCIe 信号的多个端子组中的低速信号传输接脚可以包括一个辅助电源接脚。本实用新型的优点在于在公知的 Slimline SATA 连接器的外型及基本结构上新设置一个可传输 PCIe 信号的端子组, 以使该连接器可兼具符合 SATA 传输协议及 PCIe Gen2 传输协议的连接器, 从而在不需转换连接器的情况下, 可传输 SATA 信号或者 PCIe 信号。



1. 一种连接器,具有 Slimline SATA 连接器外型及基本结构,且特征在于,所述连接器具有传输 PCIe 信号的多个导电端子组,所述传输 PCIe 信号的多个导电端子组包括高速信号端子组、低速信号端子组与电源信号端子组,适配符合 PCIe Gen2 传输协议的其它装置。

2. 如权利要求 1 所述的连接器,其特征在於,进一步包括一个传输 SATA 信号的多个导电端子组,且所述电源信号端子组仅配合供传输 SATA 信号的接脚,适配符合 SATA 传输协议的其它装置。

3. 如权利要求 1 或 2 所述的连接器,其特征在於,进一步包括一个绝缘本体,所述绝缘本体具有一个 Slimline SATA 造型对接口与多组端子槽以承置所述多个导电端子组,且所述电源信号端子组为符合所述 SATA 传输协议规范中电力传输部分的排列,并与所述低速信号端子组设置于所述绝缘本体内的两个相对侧壁的端子槽中,都呈两列交错配置,而所述高速信号端子组则设置于所述绝缘本体内的不相对于所述电源信号端子组的侧壁上的端子槽中,呈三列交错配置。

4. 如权利要求 3 所述的连接器,其特征在於,所述低速信号端子组中能够包括一个辅助电源接脚。

5. 如权利要求 3 所述的连接器,其特征在於,所述呈两列交错配置的所述低速信号端子组中能够包括一个辅助电源接脚。

6. 如权利要求 1 或 2 所述的连接器,其特征在於,所述连接器组装在一个外部数据输入装置上,所述连接器包括一个绝缘本体,所述绝缘本体具有一个 Slimline SATA 造型插接口、两个 L 状舌部与多组端子槽以承置所述多个导电端子组,其中所述电源信号端子组为符合所述 SATA 传输协议规范中电力传输部分的排列,并与所述低速信号端子组设置于所述 L 状舌部的两个不同侧。

7. 如权利要求 6 所述的连接器,其特征在於,所述多个导电端子组中距离所述电源信号端子组最远的导电端子为一个接地接脚。

8. 如权利要求 6 所述的连接器,其特征在於,所述 L 状舌部上不同于所述高速信号端子组的侧面上的端子槽中设置有供传输 SATA 信号的接脚。

9. 如权利要求 6 所述的连接器,其特征在於,所述低速信号端子组中能够包括一个辅助电源接脚。

10. 如权利要求 6 所述的连接器,其特征在於,所述多个导电端子组中的每一个都具有一个接触部以及一个焊接部,所述高速信号端子组、所述低速信号端子组的焊接部以表面接合的方式固定在一个电路板上,而其它信号的接脚的焊接部则穿孔式地固定在所述电路板上。

11. 一种插座连接器,包括:一个绝缘本体,其具有至少一个 SlimlineSATA 造型对接口,且在所述 Slimline SATA 造型对接口内上侧及下侧设有多组端子槽;以及多个导电端子组,其具有一个信号端子组及一个电源端子组,所述信号端子组及所述电源端子组分别设于所述多个端子槽的两个不同侧,且分别具有一个水平部与一个直立部,所述导电端子组的水平部被相应地收容在所述绝缘本体的多组端子槽中,其特征在於,所述信号端子组为一个第一导电端子组、一个第二导电端子组及一个第三导电端子组,而所述电源端子组为一个第四导电端子组,且所述第一导电端子组与所述第三导电端子组呈上下设置,而所述第二导电端子组与所述第四导电端子组呈上下设置,且所述第一导电端子组为 11 支接

脚且间距为 0.8mm,所述 11 支接脚的编号为 1 至 11,而所述第二导电端子组为 7 支接脚,且间距为 0.8mm,所述 7 支接脚的编号为 12 至 18,而所述第四导电端子组为 6 支接脚且间距为 1mm,所述 6 支接脚的编号为 P1 至 P6,且所述第一导电端子组、所述第二导电端子组及所述第四导电端子组用以传输 PCIe 信号。

12. 如权利要求 11 所述的插座连接器,其特征在于,所述第一导电端子组的 11 支接脚呈三列交错排列的配置,其中编号 1、4、7、8、11 为接地接脚,而编号 2、3 为参考频率的差动信号对接脚,编号 5、6 为数据线的传送端差动信号对接脚,编号 9、10 为数据线道的接收端差动信号对接脚,此编号 1 至 11 的接脚为提供高速信号传输接脚。

13. 如权利要求 12 所述的插座连接器,其特征在于,编号 1、4、7、10 的接脚置于距离所述第三导电端子组最远的一列设置,而编号 2、5、8、11 的接脚置于距离所述第三导电端子组最近的一列设置,且编号 2、5、8、11 的接脚与第三导电端子组以及编号 1、4、7、10 的接脚交错设置,而编号 3、6、9 的接脚置于编号 1、4、7、10 与编号 2、5、8、11 的接脚之间,且与编号 1、4、7、10 及编号 2、5、8、11 的接脚交错设置。

14. 如权利要求 11 所述的插座连接器,其特征在于,所述第二导电端子组的 7 支接脚呈两列交错排列的配置,其中编号 12 为 5 伏特电源接脚,编号 13 为参考频率需求信号接脚,编号 14 为连结重新活动的信号接脚,编号 15 为基本重置接脚,编号 16 为系统管理总线数据接脚,编号 17 为系统管理总线频率接脚,编号 18 为热插拔存在的侦测,编号 12 至 18 的接脚为提供低速与电源传输接脚。

15. 如权利要求 14 所述的插座连接器,其特征在于,编号 13、15、17 的接脚置于距离所述第四导电端子组最远的一列设置,而编号 12、14、16、18 的接脚系置于距离所述第四导电端子组最近的一列设置,且编号 12、14、16、18 的接脚与编号 13、15、17 的接脚交错设置。

16. 如权利要求 11 所述的插座连接器,进一步包括一个背盖,其具有多组端子槽,所述背盖连接所述绝缘本体,所述背盖的多组端子槽容置并覆盖所述导电端子组的直立部。

17. 如权利要求 16 所述的插座连接器,其特征在于,一组所述信号端子组在所述水平部与所述直立部之间设有一个斜边部,所述斜边部与所述水平部及所述直立部的夹角呈钝角,且该背盖对应所述第一导电端子组的斜边部也设有一个斜角部。

18. 一种插头连接器,可适配于如权利要求 11 所述的插座连接器,所述插头连接器组装在一个外部数据输入装置上,所述插头连接器包括一个绝缘本体以及多个端子组,所述绝缘本体具有一个 Slimline SATA 造型插接口、至少一个 L 状舌部与多组端子槽以承置所述多个端子组,所述多个端子组具有信号端子组以及电源端子组,其特征在于:所述信号端子组和所述电源端子组分别设于所述 L 状舌部的两个不同侧,且所述电源端子组为符合 SATA 协议规范中电力传输部分的排列,而所述信号端子组则为符合 PCIe 协议规范中信号传输部分的排列,其中所述信号端子组为一个第五导电端子组、一个第六导电端子组及一个第七导电端子组,而所述电源端子组为一个第八导电端子组,且所述第五导电端子组为 11 支接脚且间距为 0.8mm,所述 11 支接脚编号为 1 至 11,而所述第六导电端子组为 7 支接脚且间距为 0.8mm,所述 7 支接脚编号为 12 至 18,而所述第八导电端子组为 6 支接脚且间距为 1mm,所述 6 支接脚编号为 P1 至 P6,且所述第五导电端子组、所述第六导电端子组及所述第八导电端子组用以传输 PCIe 信号。

19. 如权利要求 18 所述的插头连接器,其特征在于,所述多个信号端子组中距离所述

电源信号端子最远的信号端子为一个接地接脚。

20. 如权利要求 18 所述的插头连接器,其特征在于,所述多个导电端子组中的每一个都具有一个接触部以及一个焊接部,所述第五导电端子组和所述第六导电端子组的焊接部以表面接合的方式固定在一个电路板上,而所述第七导电端子组和所述第八导电端子组的焊接部则穿孔式地固定在所述电路板上。

连接器

技术领域

[0001] 本实用新型涉及一种连接器,尤其涉及一种可在两个电子组件间建立电连接的连接器,如插座连接器与插头连接器。

背景技术

[0002] 计算机及计算机周边装置为有效进行数据传输均设置有不同通信协议标准的电连接器,因此不同通信协议标准的电连接器用以传输不同的信号,因此如果需要一种以上的传输信号时,常需要更换不同的连接器,造成使用者的不便。

[0003] 在 SATA 国际协会在其 2.6 版标准中新发布的薄形串行高级技术附件规格 (Slimline SATA) 正是为了满足薄形笔记本计算机和薄形光驱的低构形要求而推出 Slimline SATA 的连接器的,而另一种 PCIe Gen2 传输协议的连接器为用以传输高速信号所用的连接器,以上两个连接器为不同传输协议的连接器,因此如果要使用上述两种连接器,使用者需更换连接器,造成不便,而 Slimline SATA 的连接器的具有特定的结构及尺寸,因此如何将二者合二为一,以解决使用者方便性的问题以及如何朝着多元化结构改良,实为本产业待需解决的问题。

实用新型内容

[0004] 本实用新型的一方面提供一种在 Slimline SATA 连接器的外型及基本结构上新设置一个可传输 PCIe 信号的端子组,以使该连接器可兼具符合 SATA 传输协议及 PCIe Gen2 传输协议的连接器。

[0005] 本实用新型的另一方面提供一种连接器,其具有 Slimline SATA 连接器外型及基本结构,且具有传输 PCIe 信号的多个端子组,该传输 PCIe 信号的多个端子组包括高速信号传输接脚、低速信号传输接脚与电源信号传输接脚,适配符合 PCIe Gen2 传输协议的其它输出 / 输入装置。

[0006] 本实用新型的另一方面提供一种插座连接器与插头连接器,在不需转换连接器的情况下,可传输 SATA 信号或者 PCIe 信号。

[0007] 根据本实用新型的一个实施例的连接器的具有 Slimline SATA 连接器外型及基本结构,且具有传输 PCIe 信号的多个导电端子组,该传输 PCIe 信号的多个端子组包括高速信号端子组、低速信号端子组与电源信号端子组,适配符合 PCIe Gen2 传输协议的其它装置。

[0008] 根据本实用新型一个实施例的连接器的进一步包括一个传输 SATA 信号的多个端子组,且电源信号端子组仅配合供传输 SATA 信号的接脚,适配符合 SATA 传输协议的其它装置。

[0009] 根据本实用新型的一个实施例的连接器的进一步包括一个绝缘本体,该绝缘本体具有一个 Slimline SATA 造型插接口、两个 L 状舌部与多组端子槽以承置所述多个端子组,且电源信号端子组为符合 SATA 传输协议规范中电力传输部分的排列,并与低速信号端子组设置于绝缘本体内的两个相对侧壁的端子槽中,都呈两列交错配置,而高速信号端子组则

设置于绝缘本体内的不相对于电源信号端子组的侧壁上的端子槽中,呈三列交错配置。

[0010] 根据本实用新型的一个实施例,低速信号端子组中可以包括一个辅助电源接脚。

[0011] 根据本实用新型的一个实施例,呈两列交错配置的低速信号端子组中可以包括一个辅助电源接脚。

[0012] 根据本实用新型的一个实施例的连接器系组装在一个外部数据输入装置上,所述连接器包括一个绝缘本体,所述绝缘本体具有一个 Slimline SATA 造型对接口与多组端子槽以承置所述多个导电端子组,其中电源信号端子组为符合 SATA 传输协议规范中电力传输部分的排列,并与低速信号端子组设置于 L 状舌部的两个不同侧。

[0013] 根据本实用新型的一个实施例,所述多个导电端子组中距离电源信号端子组最远的信号端子为一个接地接脚。

[0014] 根据本实用新型的一个实施例,L 状舌部上不同于高速信号端子组的侧面上的端子槽中设置有供传输 SATA 信号的接脚。

[0015] 根据本实用新型的一个实施例,低速信号端子组中可以包括一个辅助电源接脚。

[0016] 根据本实用新型的一个实施例,多个导电端子组中的每一个都具有一个接触部以及一个焊接部,所述高速信号端子组、低速信号端子组的焊接部以表面接合的方式固定在一个电路板上,而其它信号的接脚的焊接部则穿孔式地固定在所述电路板上。

[0017] 根据本实用新型的一个实施例的一种插座连接器,包括:一个绝缘本体,具有至少一个 Slimline SATA 造型对接口,且在 Slimline SATA 造型对接口内上侧及下侧设有多个端子槽;以及多个导电端子组,其具有一个信号端子组及一个电源端子组,信号端子组及电源端子组分别设于多个端子槽的两个不同侧,且分别具有一个水平部与一个直立部,所述导电端子组的水平部被相应地收容于绝缘本体的多组端子槽中,其中信号端子组为一个第一导电端子组、一个第二导电端子组及一个第三导电端子组,而电源端子组为一个第四导电端子组,且第一导电端子组与第三导电端子组呈上下设置,而第二导电端子组与第四导电端子组呈上下设置,且第一导电端子组为 11 支接脚且间距为 0.8mm,所述 11 支接脚的编号为 1 至 11,而第二导电端子组为 7 支接脚且间距为 0.8mm,所述 7 支接脚的编号为 12 至 18,而第四导电端子组为 6 支接脚且间距为 1mm,所述 6 支接脚的编号为 P1 至 P6,且第一导电端子组、第二导电端子组及第四导电端子组用以传输 PCIe 信号。

[0018] 根据本实用新型的一个实施例,第一导电端子组的 11 支接脚呈三列交错排列的配置,其中编号 1、4、7、8、11 为接地接脚,而编号 2、3 为参考频率的差动信号对接脚,编号 5、6 为数据线的传送端差动信号对接脚,编号 9、10 为数据线路道的接收端差动信号对接脚,此编号 1 至 11 的接脚为提供高速信号传输接脚。

[0019] 根据本实用新型的一个实施例,编号 1、4、7、10 的接脚置于距离第三导电端子组最远的一列设置,而编号 2、5、8、11 的接脚系置于距离第三导电端子组最近的一列设置,且编号 2、5、8、11 的接脚与第三导电端子组以及编号 1、4、7、10 的接脚交错设置,而编号 3、6、9 的接脚置于编号 1、4、7、10 与编号 2、5、8、11 的接脚之间,且与编号 1、4、7、10 及编号 2、5、8、11 的接脚交错设置。

[0020] 根据本实用新型的一个实施例,第二导电端子组的 7 支接脚呈两列交错排列的配置,其中编号 12 为 5 伏特电源接脚,编号 13 为参考频率需求信号接脚,编号 14 为连结重新活动的信号接脚,编号 15 为基本重置接脚,编号 16 为系统管理总线数据接脚,编号 17 为

系统管理总线频率接脚,编号 18 为热插拔存在的侦测,此编号 12 至 18 的接脚为提供低速与电源传输接脚。

[0021] 根据本实用新型的一个实施例,编号 13、15、17 的接脚置于距离第四导电端子组最远的一列设置,而编号 12、14、16、18 的接脚置于距离第四导电端子组最近的一列设置,且编号 12、14、16、18 的接脚与编号 13、15、17 的接脚交错设置。

[0022] 根据本实用新型的一个实施例的插座连接器进一步包括一个背盖,其具有多组端子槽,背盖连接绝缘本体,背盖的多组端子槽容置并覆盖所述导电端子组的直立部。

[0023] 根据本实用新型的一个实施例,一组信号端子组在水平部与直立部之间设有一个斜边部,斜边部与水平部及直立部的夹角呈钝角,且背盖对应第一导电端子组的斜边部也设有一个斜角部。

[0024] 根据本实用新型的一个实施例的一种插头连接器,可适配于上述插座连接器,所述插头连接器组装在一个外部数据输入装置上,所述插头连接器包括一个绝缘本体以及多个端子组,绝缘本体具有一个 Slimline SATA 造型插接口、至少一个 L 状舌部与多组端子槽以承置所述多个端子组,多个导电端子组具有信号端子组以及电源端子组,其中信号端子组和电源端子组分别设于 L 状舌部的两个不同侧,且电源端子组为符合 SATA 协议规范中电力传输部分的排列,而信号端子组则为符合 PCIe 协议规范中信号传输部分的排列,其中信号端子组为一个第五导电端子组、一个第六导电端子组及一个第七导电端子组,而电源端子组为一个第八导电端子组,且第五导电端子组为 11 支接脚且间距为 0.8mm,所述 11 支接脚的编号为 1 至 11,而第六导电端子组为 7 支接脚且间距为 0.8mm,所述 7 支接脚的编号为 12 至 18,而第八导电端子组为 6 支接脚且间距为 1mm,所述 6 支接脚的编号为 P1 至 P6,且第五导电端子组、第六导电端子组及第八导电端子组用以传输 PCIe 信号。

[0025] 根据本实用新型的一个实施例,所述多个信号端子组中距离电源端子最远的导电端子为一个接地接脚。

[0026] 根据本实用新型的一个实施例,多个端子组中的每一个都具有一个接触部以及一个焊接部,第五导电端子组和第六导电端子组的焊接部以表面接合的方式固定在一个电路板上,而第七导电端子组和第八导电端子组的焊接部则穿孔式地固定在所述电路板上。

附图说明

[0027] 图 1 是显示本实用新型的第一实施例的连接器(包括插座与插头)的分解立体图;

[0028] 图 2A 是显示本实用新型的第二实施例的插座连接器的分解立体图;

[0029] 图 2B 是显示本实用新型的第二实施例的插座连接器的组合图;

[0030] 图 3 是显示本实用新型的第二实施例的插座连接器的第一导电端子组与第二导电端子组的俯视图;

[0031] 图 4 是显示本实用新型的第二实施例的插座连接器的侧视剖面图;

[0032] 图 5A 是显示本实用新型的具有斜边部的第一导电端子组的平面形状示意图;

[0033] 图 5B 是显示一般导电端子的平面形状示意图;

[0034] 图 6A 是显示本实用新型的第三实施例的插座连接器的分解图立体图;

[0035] 图 6B 是显示本实用新型的第三实施例的插座连接器的组合图;

- [0036] 图 7 是显示本实用新型的第三实施例的插座连接器的侧视剖面图；
- [0037] 图 8 是显示一种与本实用新型的一个实施例的插座连接器的第一导电端子组至第四导电端子组配合组接的一个电路板的示意图；
- [0038] 图 9A 是显示一种本实用新型的一个实施例的插头连接器的分解立体图；
- [0039] 图 9B 是显示图 9A 的本实用新型的一个实施例的插头连接器的组合立体图；
- [0040] 图 9C 是显示图 9A 的本实用新型的一个实施例的插头连接器不同视角的组合立体图；
- [0041] 图 9D 是显示图 9A 的本实用新型的一个实施例的插头连接器不同视角的组合立体图；
- [0042] 图 10 是显示一种本实用新型的实施例中若干导电端子组的立体分解图；
- [0043] 图 11A 是显示本实用新型的第三实施例的插座连接器与插头连接器组
- [0044] 图 11B 是显示本实用新型的第三实施例的插座连接器与插头连接器组接的组合图；
- [0045] 图 12 是显示一种与本实用新型的一个实施例的插头连接器的第五导电端子组至第八导电端子组配合组接的一个电路板的示意图；以及
- [0046] 图 13 是显示一种本实用新型的一个实施例的插座连接器与插头连接器最优化的仿真曲线图。

具体实施方式

[0047] 虽然本实用新型将参阅含有本实用新型的优选实施例的所附图予以充分描述，但在此描述之前应熟悉本领域的技术人员可修改本文中所描述的本实用新型，同时获悉本实用新型的功效。因此，须了解以上的描述对本领域的技术人员而言为一广泛的揭示，且其内容不在于限制本实用新型。

[0048] 请参照图 1，其显示本实用新型的第一实施例的连接器的分解立体图。本实用新型的连接器的连接器为具有 Slimline SATA 连接器外型及基本结构，且具有传输 PCIe 信号的多个导电端子组，传输 PCIe 信号的多个端子组包括高速信号端子组、低速信号端子组与电源信号端子组，适配符合 PCIe Gen2 传输协议的其它装置。

[0049] 本实施例的连接器可以是一个插头连接器 1 或插座连接器 2，如图 1 所示，本实用新型的插座连接器 2 及插头连接器 1 分别包括一个绝缘壳体 5、16、具有传输 PCIe 信号的多个导电端子组以及一个背盖 3、4，其中插座连接器 2 与插头连接器 1 的传输 PCIe 信号的多个导电端子组分别具有一个信号端子组和一个电源端子组，插座连接器 2 的信号端子组分别为：第一导电端子组 6、第二导电端子组 7，而电源端子组为第四导电端子组 9；而插头连接器 1 的信号端子组分别为：第五导电端子组 17、第六导电端子组 18，而电源端子组为第八导电端子组 20。

[0050] 在本实施例中，第一导电端子组 6 和第五导电端子组 17 为高速信号端子组，而第二导电端子组 7 和第六导电端子组 18 为低速信号端子组。第一导电端子组 6 和第五导电端子组 17 分别具有 11 支接脚，且各个导电端子间的横向间距为 0.8mm，而第二导电端子组 7 和第六导电端子组 18 分别具有 7 支接脚，且各个导电端子间的横向间距也为 0.8mm，而第四导电端子组 9 和第八导电端子组 20 分别具有 6 支接脚，且各个导电端子间的横向间距为

1mm。

[0051] 第二导电端子组 7 和第四导电端子组 9 呈上下设置,而第一导电端子组 6 则置于第二导电端子组 7 的一个侧边并与第二导电端子组 7 平行排列,而第六导电端子组 18 与第八导电端子组 20 也呈上下设置,而第五导电端子组 17 则置于第六导电端子组 18 的一个侧边并与第六导电端子组 18 平行排列。

[0052] 插座连接器 2 的绝缘本体 5 具有两个 Slimline SATA 造型对接口 10,这两个 Slimline SATA 造型对接口 10 呈现 L 形并且水平排列,且绝缘本体 5 以及背盖 4 对应第一导电端子组 6、第二导电端子组 7 及第四导电端子组 9 分别设有多组端子槽 11。另外,插头连接器 1 的绝缘壳体 16 具有一个 Slimline SATA 造型插接口 21、两个 L 状舌部 22 与多组端子槽 23 以承置第五导电端子组 17、第六导电端子组 18 及第八导电端子组 20。

[0053] 另外,本实用新型的连接器也兼具传输 SATA 信号的多个端子组,且电源信号传输接脚仅配合供传输 SATA 信号的接脚,适配符合 SATA 传输协议的其它装置。参照图 2A,其显示本实用新型的第二实施例的插座连接器的分解立体图。本实用新型的插座连接器 2 包括一个绝缘本体 5、多个导电端子组以及一个背盖 4,其中多个导电端子组具有一个信号端子组及一个电源端子组,该信号端子组分别为:第一导电端子组 6、第二导电端子组 7、第三导电端子组 8,而电源端子组为第四导电端子组 9。

[0054] 继续参照图 2A 并配合参考图 2B,其显示本实用新型的第二实施例的插座连接器的组合图。绝缘本体 5 具有两个 Slimline SATA 造型对接口 10,这两个 Slimline SATA 造型对接口 10 呈现 L 形并且水平排列,且绝缘本体 5 以及背盖 4 对应这些导电端子组分别设有多组端子槽 11,而这些导电端子组 6、7、8、9 分别具有一个水平部 101 与一个直立部 102,且第一导电端子组 6 的部分导电端子具有一个斜边部 103,该斜边部 103 介于水平部 101 与直立部 102 之间,且斜边部 103 与水平部 101 及直立部 102 的夹角都呈钝角,而这些导电端子组 6、7、8、9 的水平部 101 被收容在绝缘本体 5 的端子槽 11 内,而这些导电端子组 6、7、8、9 的直立部 102 则穿过背盖 4 的多个端子组 11,以使背盖 4 与绝缘本体 5 结合,如图 1B 所示。

[0055] 请参照图 3,其显示本实用新型的第二实施例的插座连接器的第一导电端子组与第二导电端子组的俯视图。在本实施例中,第一导电端子组 6、第二导电端子组 7 及第四导电端子组 9 为用以传输 PCIe 信号的接脚,其中第一导电端子组 6 的各个导电端子间的横向间距为 0.8mm,且第二导电端子组 7 的各个导电端子间的横向间距也为 0.8mm,而第一导电端子组 6 与第二导电端子组 7 间的纵向间距则为 1.2mm,而第四导电端子组 9 的各个导电端子间的横向间距为 1mm。而第三导电端子组 8 及第四导电端子组 9 用以传输 SATA 信号,其中第三导电端子组 8 的各个导电端子间的横向间距为 1.27mm,而第四导电端子组 9 的各个导电端子间的横向间距为 1mm。

[0056] 在本实施例中,本实用新型的第一导电端子组 6 具有 11 支接脚,而第二导电端子组 7 具有 7 支接脚,而第三导电端子组 8 具有 7 支接脚,第四导电端子组 9 具有 6 支接脚,且第一导电端子组 6 与第三导电端子组 8 呈上下设置,而第二导电端子组 7 与第四导电端子组 9 呈上下设置。

[0057] 请参照图 4,其显示本实用新型的第二实施例的插座连接器的侧视剖面图。本实用新型的第一导电端子组 6 及第二导电端子组 7 的水平部 101 被收容在绝缘本体 5 的多组端

子槽 11 内,而第一导电端子组 6 及第二导电端子组 7 的直立部 102 则穿透背盖 4 的多组端子槽 11 的槽孔,而使大部分的直立部 102 收容在背盖 4 的多组端子槽 11 内,且背盖 4 的多个端子组 11 为配合斜边部 103 也设有一个斜角部 12,以使第一导电端子组 6 与背盖 4 组接时,多组端子槽 11 覆盖直立部 102 及斜边部 103,以使本实用新型的插座连接器 2 的阻抗可与 85 欧姆 PCIe Gen2 的系统阻抗达到良好的阻抗匹配。

[0058] 请参照图 5,其显示本实用新型的一个实施例的第一导电端子组 6 的斜边部 103 的设计,本实用新型的一个实施例的插座连接器 2 在无法改变插座连接器 2 的接脚的高度,又需要缩短端子的距离,以符合高速信号需求的情况下进行的设计,如图 5A 所示,本实用新型的一个实施例具有斜边部 103 的第一导电端子组 6 的水平部 101、斜边部 103 以及直立部 102 的长度分别为 $L3$ 、 $L4$ 及 $L5$,因此导电端子 6 的总长度为 $L3+L4+L5$,与一般仅有水平部 501 及直立部 502 的导电端子 50 相比较,如图 5B 所示,其水平部 501 以及直立部 502 的长度分别为 $L1$ 及 $L2$,因此一般导电端子 50 的总长度为 $L1+L2$,当 $L1 = D1$, $L2 = D2$ 时, $L3+L4+L5 < L1+L2$ (在三角形中,任意两边的长度和会大于第三边的长度)。因此,本实用新型的一个实施例的斜边部确实缩短端子的距离,以提升高速传输信号的质量。

[0059] 请参照图 6A 及图 6B,其显示本实用新型的第三实施例的插座连接器的分解图及组合图。本实施例的结构大致与第二图的实施例相同,不同之处在于,第一导电端子组 6' 仅具有水平部 101' 与直立部 102',且本实施例的第一导电端子组 6' 的端子短于本实用新型的第二图的实施例的第一导电端子组 6 的端子,因此,本实施例的端子高度也符合高频需求,且同时提升高速传输信号的质量。

[0060] 请配合参照图 7,其显示本实用新型的第三实施例的插座连接器的侧视剖面图。在本实施例中,本实用新型的第一导电端子组 6' 及第二导电端子组 7' 的水平部 101' 被收容在绝缘本体 5' 的多组端子槽 11' 内,而第一导电端子组 6' 及第二导电端子组 7' 的直立部 102' 则穿透背盖 4' 的多组端子槽 11' 的槽孔,而使大部分的直立部 102' 收容在背盖 4' 的多组端子槽 11' 内,所述多组端子槽 11' 覆盖直立部 102' 及斜边部 103',以使本实用新型的插座连接器 2' 的阻抗可与 85 欧姆 PCIe Gen2 的系统阻抗达到良好的阻抗匹配。

[0061] 请参照图 8,其显示一种与本实用新型的一个实施例的插座连接器的第一导电端子组至第四导电端子组配合组接的一个电路板的示意图,另外,为了便于说明,图中仅显示电路板的仰视图。电路板具有对应第一导电端子组 6 至第四导电端子组 9 的第一接点组 32、第二接点组 33、第三接点组 34 及第四接点组 35,其中第一接点组 32 具有 11 个接点,并且与插座连接器 2 的第一导电端子组 6 相对应,第一接点组 32 的横向间距为 0.8mm,而纵向间距为 1.2mm。第二接点组 33 具有 7 个接点,并且与插座连接器 2 的第二导电端子组 7 相对应,第二接点组的间距为 0.8mm。而第三接点组 34 具有 7 个接点,并且与插座连接器 2 的第三导电端子组 8 相对应,第三接点组的间距为 1.27mm (如图中 S3 接点与 S4 接点所示)。第四接点组 35 具有 6 个接点,并且与插座连接器 2 的第四导电端子组 9 相对应,第四接点组 35 的间距为 1mm (如图中 P4 接点与 P5 接点所示)。

[0062] 另外,在本实施例中,第一导电端子组 6 具有编号 1 至 11 的接脚,其中编号 1、4、7、8、11 为接地接脚,而编号 2、3 为参考频率的差动信号对接脚,编号 5、6 为数据线的传送端差动信号对接脚,编号 9、10 为数据线的接收端差动信号对接脚,此编号 1 至 11 的接脚为提供高速信号传输接脚,且其编号 1 至 11 的接脚呈三列交错排列的配置方式设置,编

号 1、4、7、10 的接脚系置于距离第三导电端子组最远的一列设置,而编号 2、5、8、11 的接脚系置于距离第三导电端子组最近的一列设置,且编号 2、5、8、11 的接脚与第三导电端子组以及编号 1、4、7、10 的接脚交错设置,而编号 3、6、9 的接脚置于编号 1、4、7、10 与编号 2、5、8、11 的接脚之间,且与编号 1、4、7、10 及编号 2、5、8、11 的接脚交错设置。

[0063] 而第二导电端子组 7 具有编号 12 至 18 的接脚,其中编号 12 为 5 伏特电源接脚为一个辅助电源接脚,编号 13 为参考频率需求信号接脚,编号 14 为连结重新活动的信号接脚,编号 15 为基本重置接脚,编号 16 为系统管理总线数据接脚,编号 17 为系统管理总线频率接脚,编号 18 为热插拔存在的侦测,此编号 12 至 18 的接脚为提供低速信号传输接脚及电源传输接脚,且其编号 12 至 18 的接脚呈两列交错排列的配置方式设置,编号 13、15、17 的接脚置于距离第四导电端子组最远的一列设置,而编号 12、14、16、18 的接脚置于距离第四导电端子组最近的一列设置,且编号 12、14、16、18 的接脚与编号 13、15、17 的接脚交错设置。

[0064] 而第三导电端子组 8 置于第一导电端子组 6 的下方设有 S1 至 S7 的接脚,而第四导电端子组 9 置于第二导电端子组 7 的下方设有 P1 至 P6 的接脚,其中 P2 与 P3 为电源接脚,因此所述多个导电端子组中距离电源信号端子最远的导电端子组为一个接地接脚(第一导电端子组的编号 1 的接脚),其余接脚都为本领域的技术人员所熟知,在此不再赘述。

[0065] 电源信号端子(第四导电端子组 9)为符合 SATA 传输协议规范中电力传输部分的排列,并与低速信号端子组(第二导电端子组 7)设置于绝缘本体 5 内的两个相对侧壁的端子槽 11 中,都呈两列交错配置,而高速信号端子组(第一导电端子组 6)则设置于绝缘本体 5 内的不相对于电源信号端子组的侧壁上的端子槽 11 中,呈三列交错配置。

[0066] 通过上述第一导电端子组 6 与第二导电端子组 7 所配置接脚,配合原来 SATA 信号接脚的电源接脚,即编号 P2 及 P3,以使组成本实用新型 PCIe 信号的接脚。

[0067] 而本实用新型的一个实施例的第一导电端子组 6 的两对差动对信号接脚(编号 5、6、9、10)及两个接地信号接脚(编号 7、8),其中编号 5、6 的差动对信号接脚配合与电路板上 PETX+ 接点及 PETX- 接点连接,而另外的编号 9、10 的差动对信号接脚则配合与 PERX 接点及 PERX- 接点连接,而在 PETX 与 PERX 之间设有两个接地接点,其配合第一导电端子组 6 的两个接地信号接脚(编号 7、8)连接,用以降低两对差动对信号近端噪声干扰的问题。

[0068] 请参照图 9A 至图 9C,本实用新型的一个实施例进一步包括一个插头连接器 1,组装于一个外部数据输入装置(图未示)上,插头连接器 1 也包括一个绝缘本体 16、多个导电端子组及一个背盖 3,其中多个导电端子组具有一个信号端子组及一个电源端子组,该信号端子组分别为:第五导电端子组 17、第六导电端子组 18、第七导电端子组 19,而电源端子组为第八导电端子组 20。绝缘本体 16 具有一个 Slimline SATA 造型插接口 21、两个 L 状舌部 22 与多组端子槽 23 以承置多个导电端子组,其中信号端子组的第五导电端子组 17 为一个高速信号端子组,而第六导电端子组 18 为一个低速信号端子组,而第七导电端子组 19 为 SATA 信号端子组。

[0069] 请参照图 10,其显示一种本实用新型的这些导电端子组 17、18、19、20 的立体分解图。若干导电端子组 17、18、19、20 分别具有一个接触部 104、一个焊接部 105 以及一个连接于接触部 104 与焊接部 105 的弯折部 106。其中所述导电端子组 17、18 的接触部 104 被收容于 L 状舌部 22 的上侧面的多组端子槽 23 内,而所述导电端子组 19、20 的接触部 104 被

收容于L状舌部22的下侧面的多组端子槽23内,因此信号端子组(第五导电端子组17、第六导电端子组18、第七导电端子组19)和电源端子组(第八导电端子组20)分别设于L状舌部22的两个不同侧,即第五导电端子组(高速信号端子组)置于一个L状舌部的上侧面的多个端子槽内,而第七导电端子槽(SATA信号端子组)则置于不同高速信号端子组的L状舌部22的下侧面的多组端子槽23中,而第六导电端子组(低速信号端子组)则置于另一个L状舌部的上侧面的多个端子槽内,而第八导电端子组(电源端子组)则置于不同于低速信号端子组的L状舌部22的下侧面的多组端子槽23中,且电源端子组为符合SATA协议规范中电力传输部分的排列,而信号端子组则为符合PCIe协议规范中信号传输部分的排列。背盖3连接绝缘本体16,背盖3具有多组端子槽24以容置并包覆这些导电端子组17、18、19、20的弯折部106。

[0070] 请继续参照图9及图10,在本实施例中,第五导电端子组17、第六导电端子组18及第八导电端子组20为用以传输PCIe信号的接脚,其中第五导电端子组17及第六导电端子组18间的各个导电端子间的横向间距为0.8mm,而第八导电端子组20的各个导电端子间的横向间距为1mm。而第七导电端子组19及第八导电端子组20用以传输SATA信号,其中第七导电端子组19的各个导电端子间的横向间距为1.27mm,而第八导电端子组20的各个导电端子间的横向间距为1mm。

[0071] 在本实施例中,本实用新型的第五导电端子组17具有11支接脚,第五导电端子组17的11支接脚为高速信号传输接脚,且此11支接脚的名称及作用与第一导电端子组6的接脚相同,在此不再赘述。而第六导电端子组18具有7支接脚,第六导电端子组18的7支接脚为低速信号传输接脚,且此7支接脚的名称及作用与第二导电端子组7的接脚相同,在此不再赘述。而第七导电端子组19为7支接脚,第七导电端子组19的7支接脚为SATA信号传输接脚,而第八导电端子组20为6支接脚,该第八导电端子组20的6支接脚为电源信号传输接脚,此6支接脚的名称及作用与第四导电端子组9的接脚相同,在此不再赘述,且所述多个端子组中距离电源信号端子组最远的端子为一个接地接脚。

[0072] 请参照图11A与图11B,其显示本实用新型的第三实施例的插座连接器与插头连接器组接的分解图及组合图。当插头连接器1与插座连接器2彼此接合时,插座连接器2的前端被收容在插头连接器1的Slimline SATA造型插接口21内,且L状舌部22被收容在Slimline SATA造型对接口10内,以使插头连接器1的这些导电端子组17、18、19、20分别与插座连接器2的这些导电端子组6、7、8、9相对应地接合,并且接触部104与水平部101电连接。

[0073] 图12是显示一种与实用新型的一个实施例的插头连接器1的第五导电端子组至第八导电端子组配合组接的一个电路板的示意图,另外,为了便于说明,图中仅显示该电路板的仰视图。电路板设有对应第五导电端子组17(高速信号传输接脚)及第六导电端子组18(低速信号传输接脚)中的一个的表面黏着技术(Surface Mount Technology, SMT)的第五接点组42及第六接点组43,第五接点组42具有11个接点,并且与插头连接器1的第五导电端子组17相对应,第五接点组42的横向间距为0.8mm。第六接点组43具有7个接点,并且与插头连接器1的第六导电端子组18相对应,第六接点组43的间距为0.8mm,其中所述多个端子组中的每一个都具有一个接触部104以及一个焊接部105,高速信号传输接脚、低速信号传输接脚的焊接部105以表面接合(SMT)的方式固定在电路板上。而电路板设有

对应第七导电端子组 19 及第八导电端子组 20 中的一个穿孔式连接技术 (Through Hole) 的第七接点组 44 及第八接点组 15, 第七导电端子组 19 及第八导电端子组 20 的焊接部 105 则穿孔式地固定在电路板上。本实用新型的一个实施例的插头连接器 1 应用此种混合式的 footprint (SMT & Through Hole) 在插头连接器 1 设计上, 让第五导电端子组 17 和第六导电端子组 18 采用 SMT 的设计, 则是要减少同一差动对间的时间延迟 (Intra-Pair Skew), 进而符合 PCIe Gen2 协会规范连接器高频特性需求。

[0074] 本实用新型的一个实施例的插座连接器及插头连接器为在原 Slimline SATA 连接器的结构上额外增设一个符合传输 PCIe 信号的端子组, 以使本实用新型的一个实施例的插座连接器及插头连接器可同时符合 SATA 传输协议及 PCIe Gen2 传输协议的连接器, 且通过本实用新型的一个实施例的插座连接器的第一导电端子组、第二导电端子组及插头连接器的第五导电端子组、第六导电端子组的横向间距设为 0.8mm, 而第一导电端子组与第二导电端子组间的纵向间距减少为 1.2mm, 且本实用新型的一个实施例的插头连接器使用混合式的 footprint (SMT & Through Hole), 以减少同一差动对间的时间延迟 (Intra-Pair Skew), 并且为插座和插头连接器额外增加一个背盖来覆盖大部分导电端子组的直立部, 从而使得此连接器的差动阻抗可与 85 欧姆 PCIe Gen2 的系统差动阻抗达到良好的阻抗匹配, 并使共振频率朝向更高频率移动, 且符合 PCIe Gen2 传输协议对信号衰减的要求, 如图 13 所示, 以使本实用新型的一个实施例的插座连接器及插头连接器符合 SATA 传输协议及 PCIe Gen2 传输协议的连接器之外, 更达到最佳化的设计。

[0075] 本实用新型的一个实施例的连接器的优点在于:

[0076] 1. 以 Slimline SATA 连接器外型及接口, 传输 PCIe 信号, 并适配符合 PCIe Gen2 传输协议的其它装置。

[0077] 2. 连接器还兼具传输 SATA 信号的多个端子组, 且以传输 PCIe 信号的多个端子组中的电源信号传输接脚仅配合供传输 SATA 信号的多个端子组, 适配符合 SATA 传输协议的其它装置。

[0078] 3. 在电连接器有限的宽度与高度的限制空间下, 导电端子减少总长度而提升高速信号传输的质量, 本实用新型的一个实施例的插座连接器的某一个导电端子组则是在水平部与直立部之间设有斜边部以减少该导电端子组的总长度。

[0079] 在详细说明本实用新型的优选实施例之后, 本领域的技术人员可清楚的了解, 在不脱离下述权利要求范围与精神下可进行各种变化与改变, 且本实用新型也不受限于说明书中所举实施例的实施方式。应注意, 措词“包括”不排除其它元件或步骤, 措词“一”或“一个”不排除多个。另外, 权利要求的任何元件标号不应理解为限制本实用新型的范围。

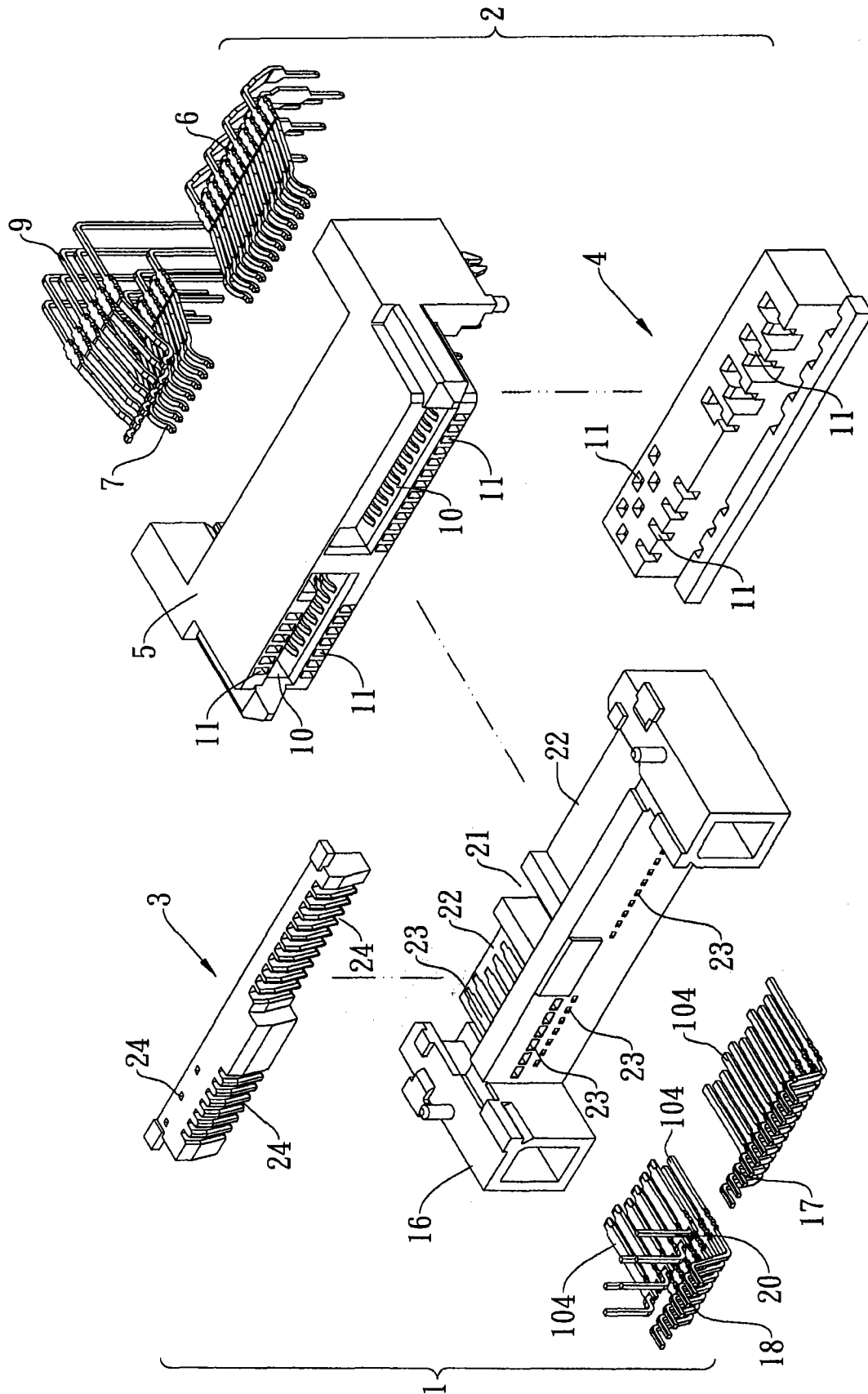


图 1

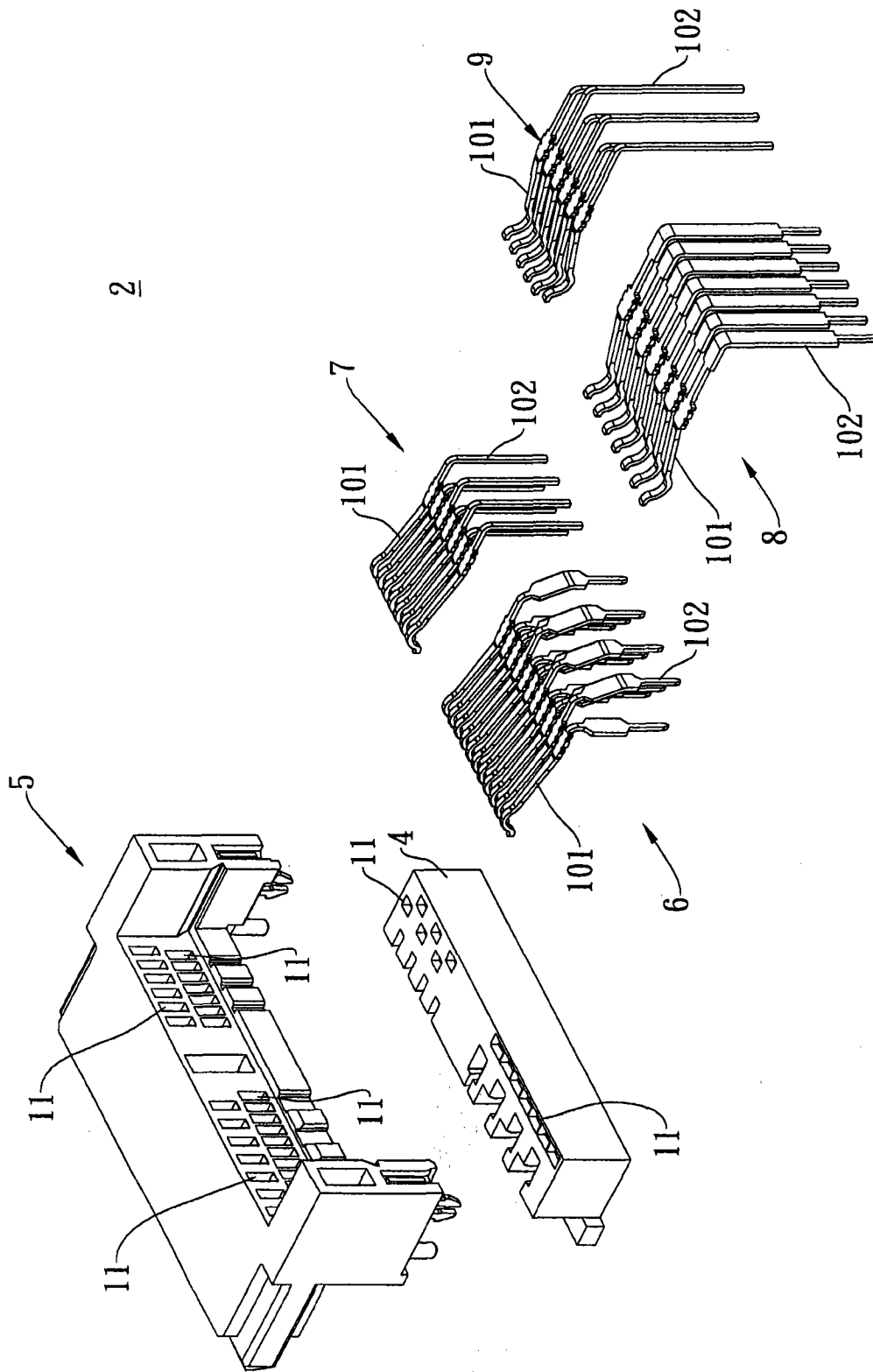


图 2A

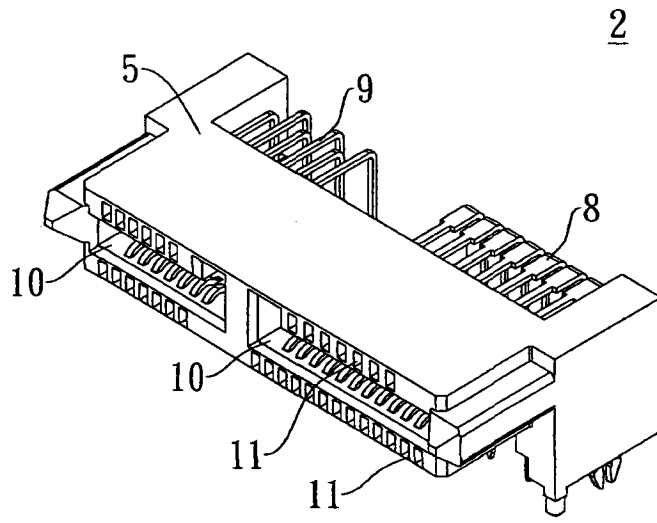


图 2B

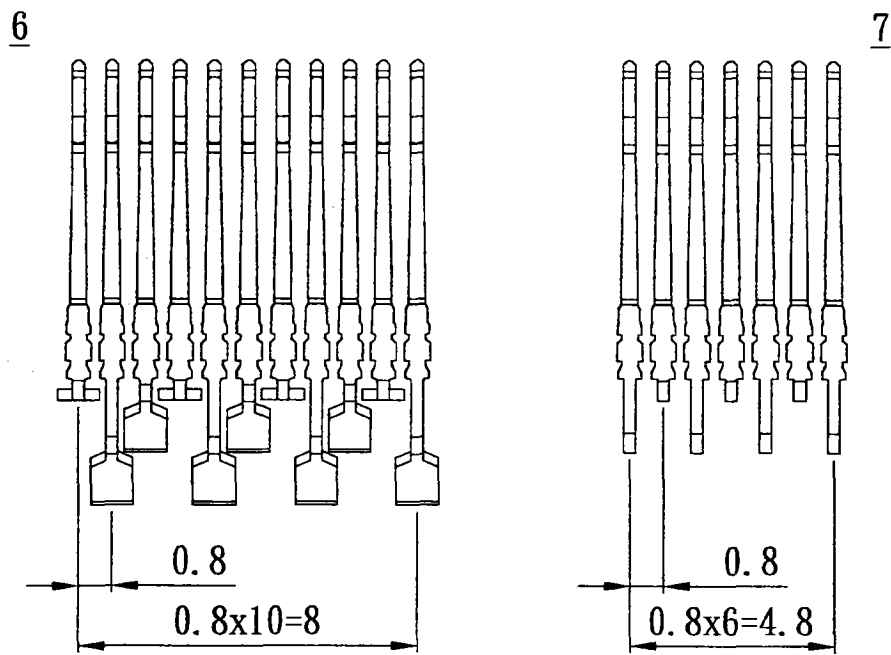


图 3

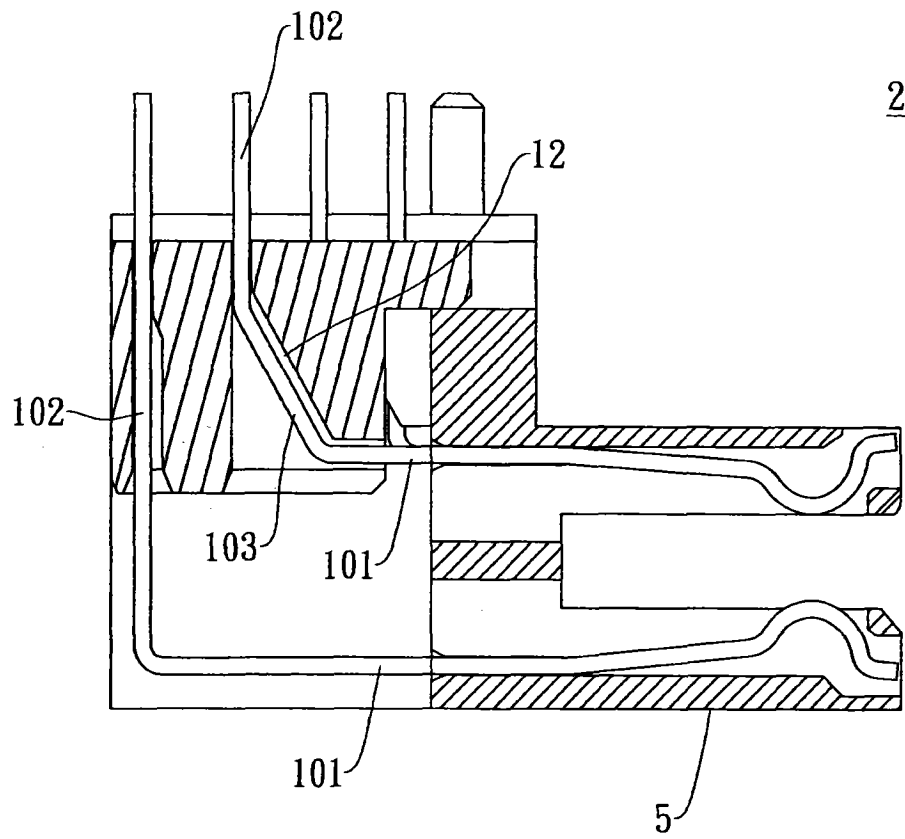


图 4

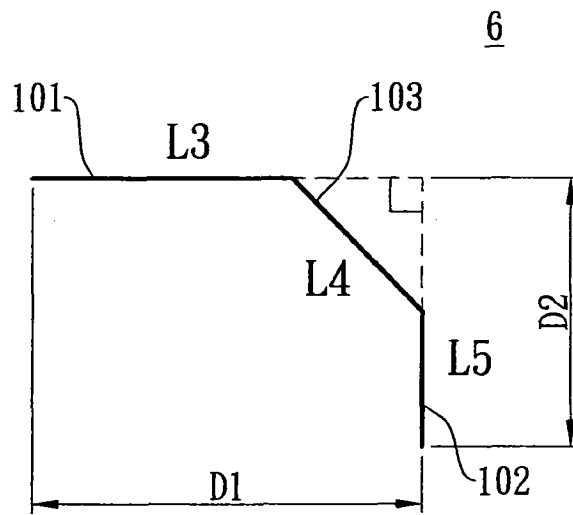


图 5A

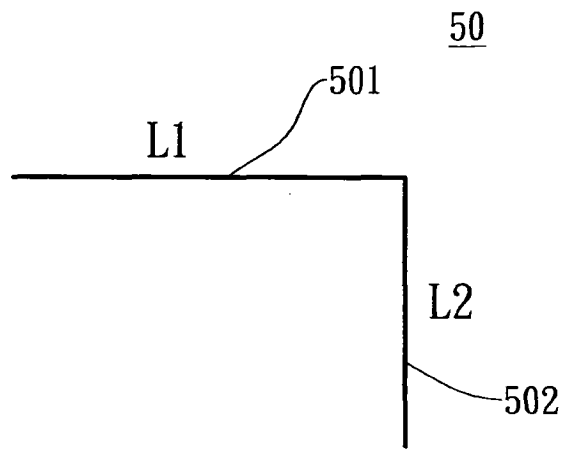


图 5B

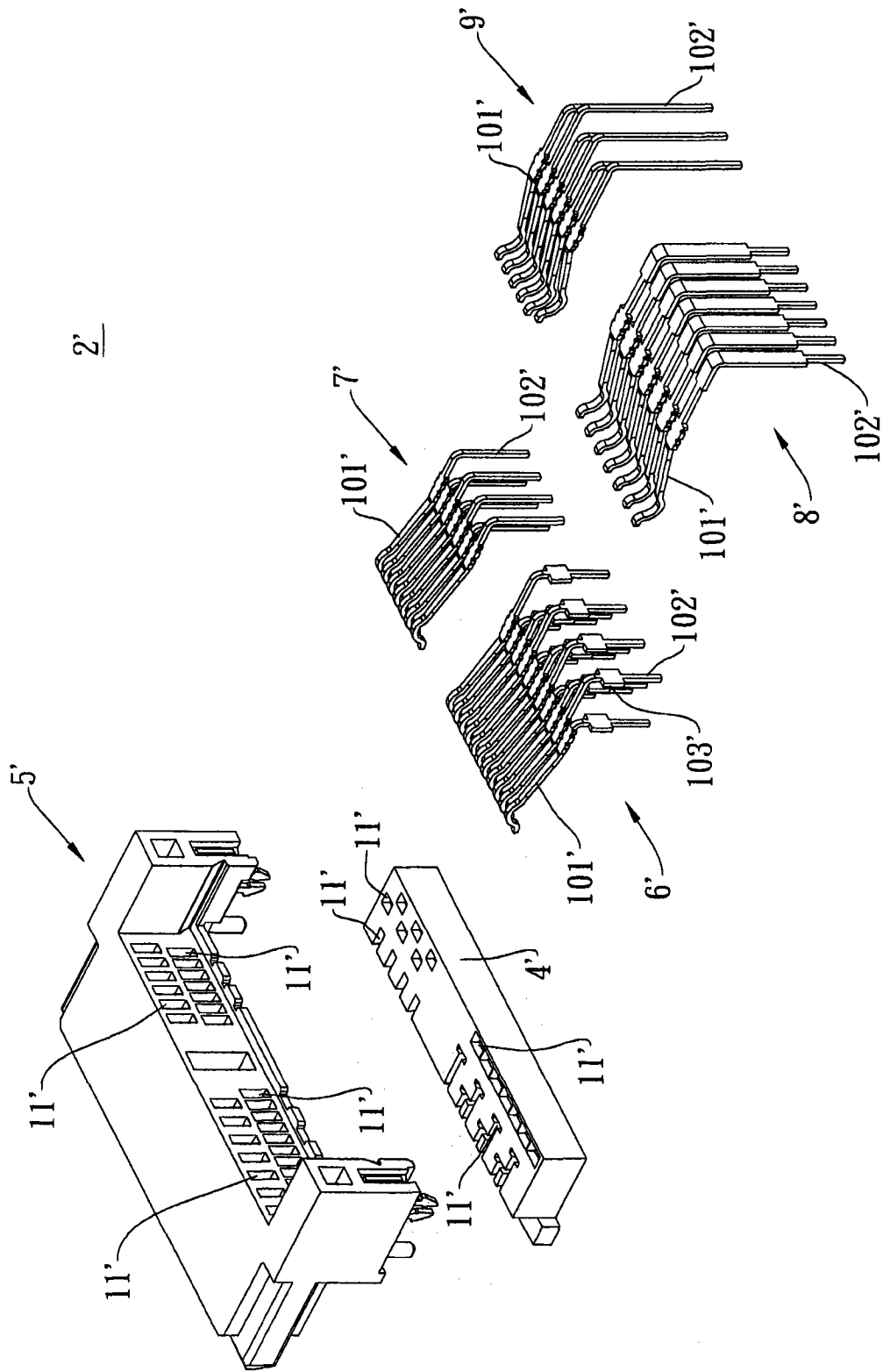


图 6A

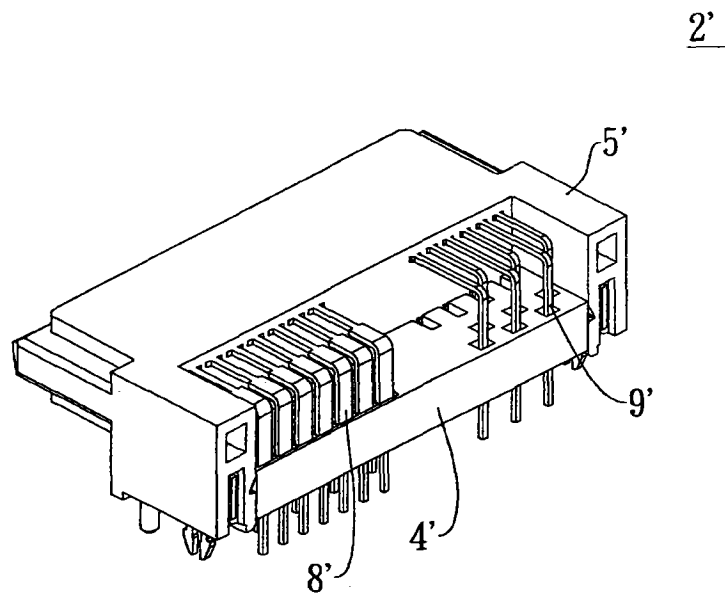


图 6B

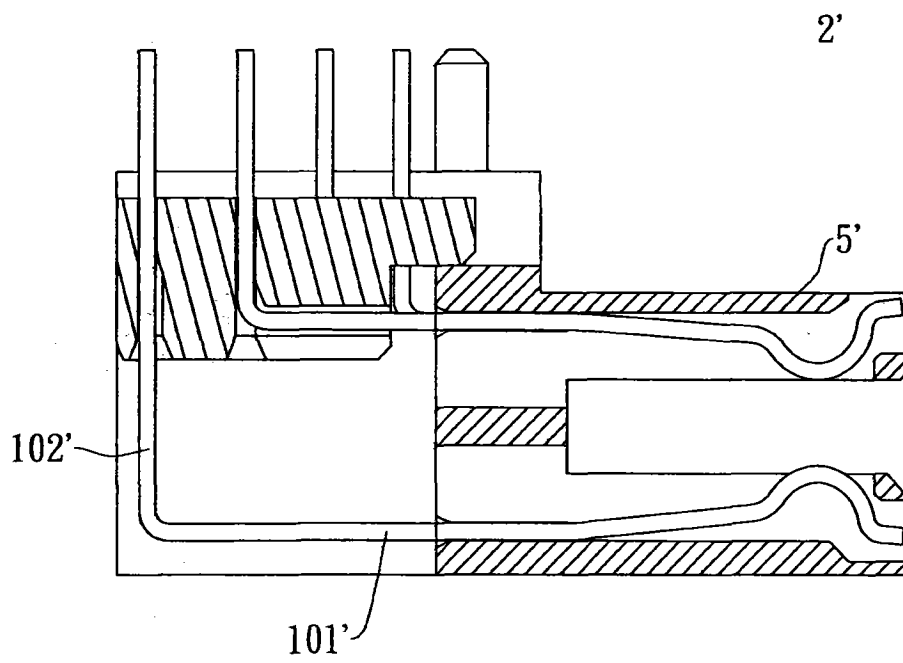


图 7

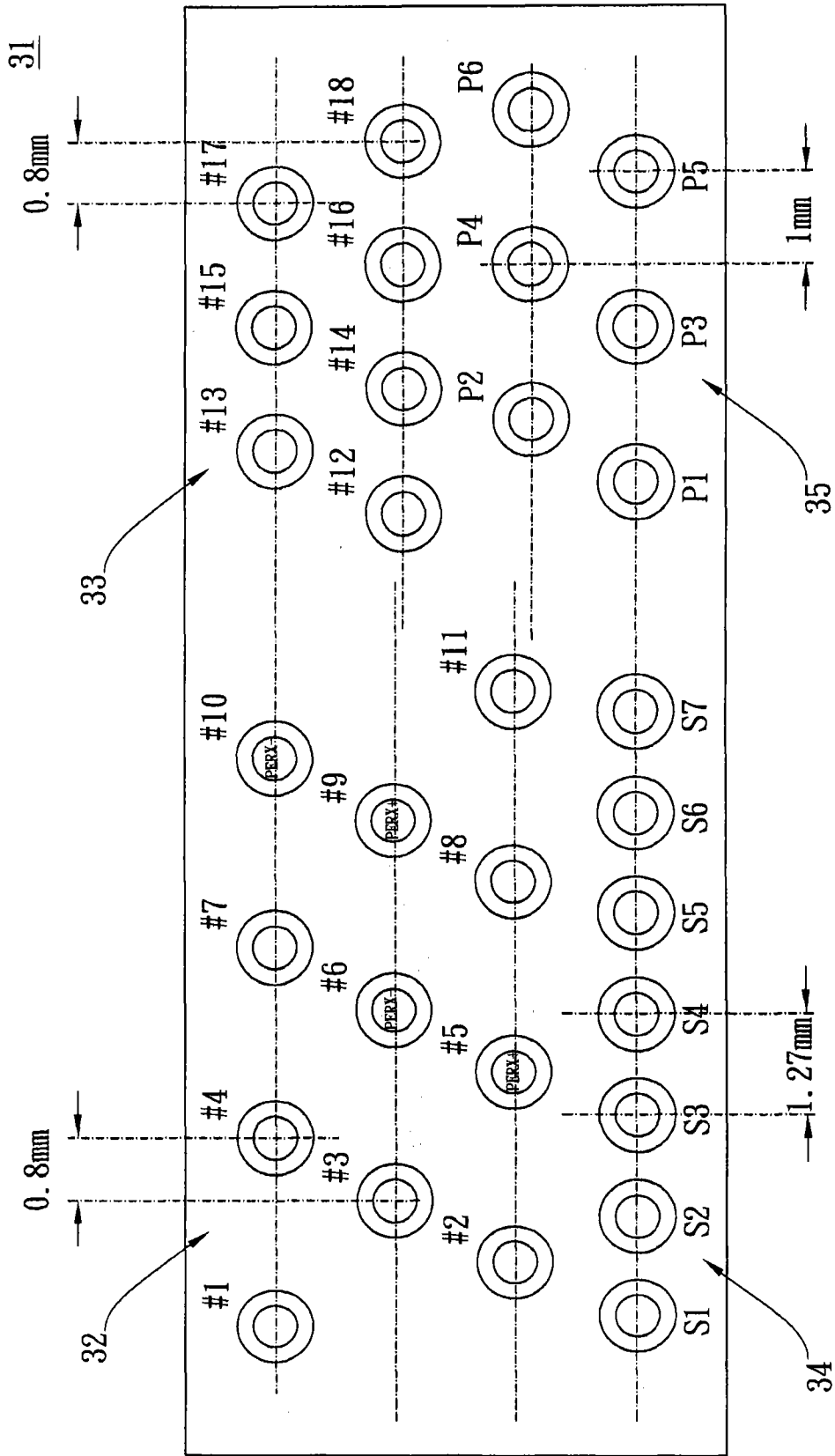


图 8

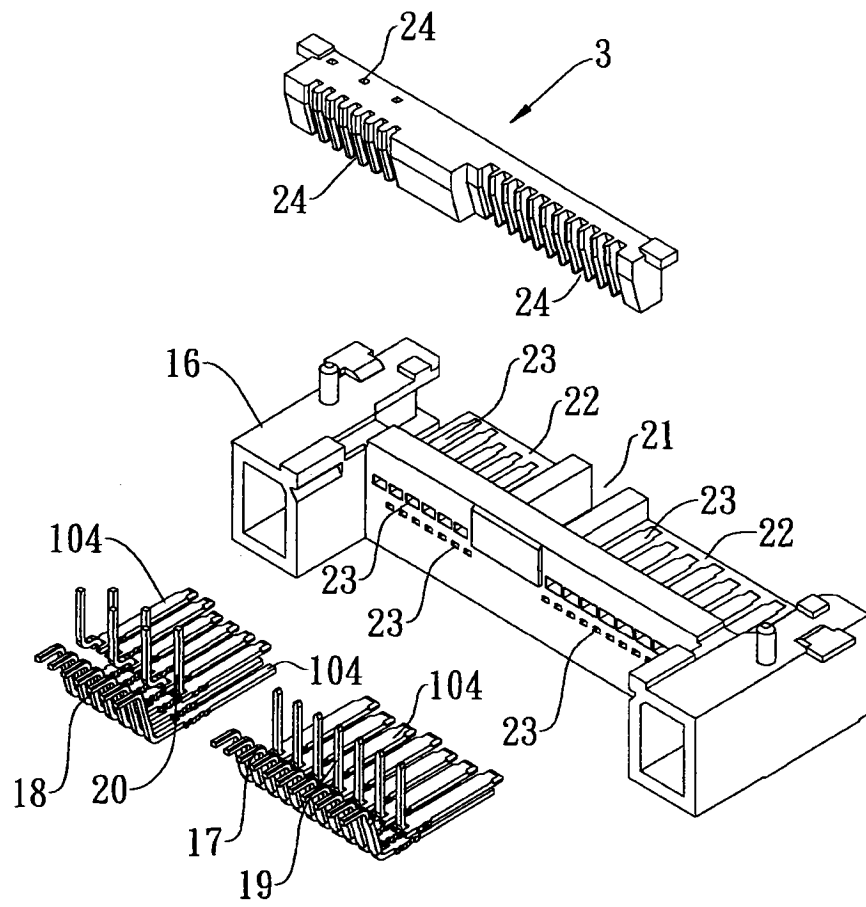


图 9A

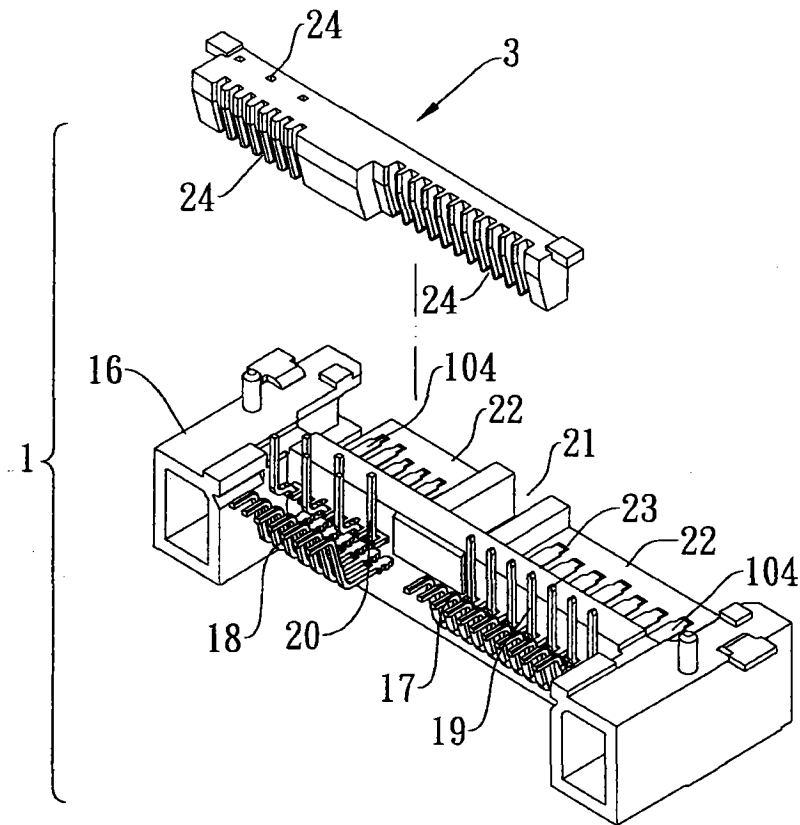


图 9B

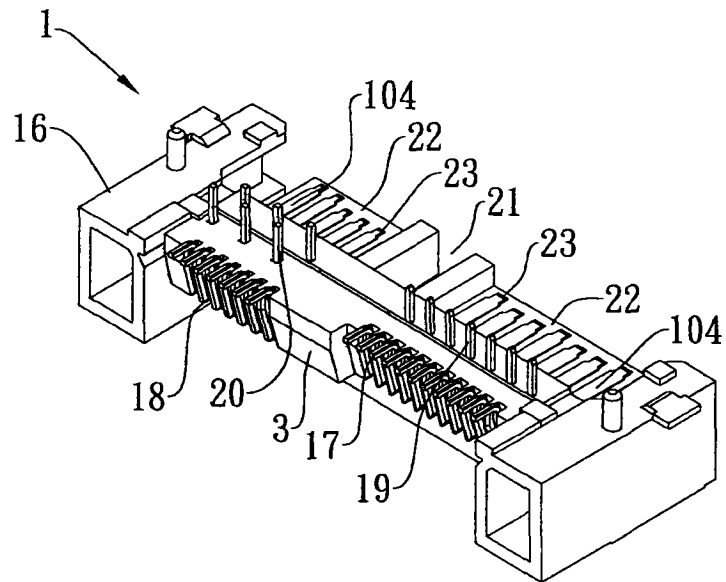


图 9C

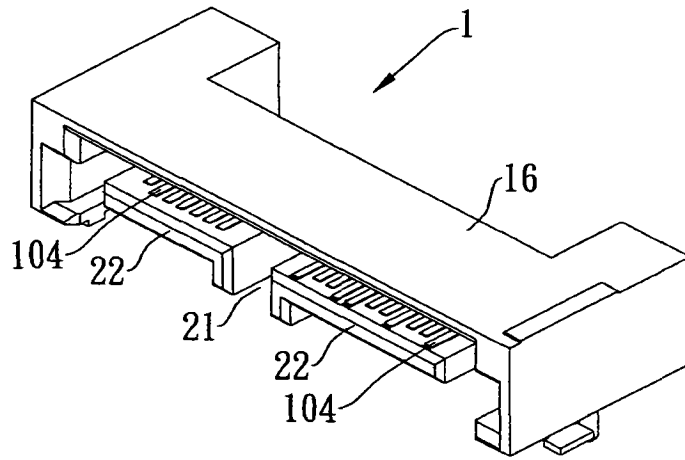


图 9D

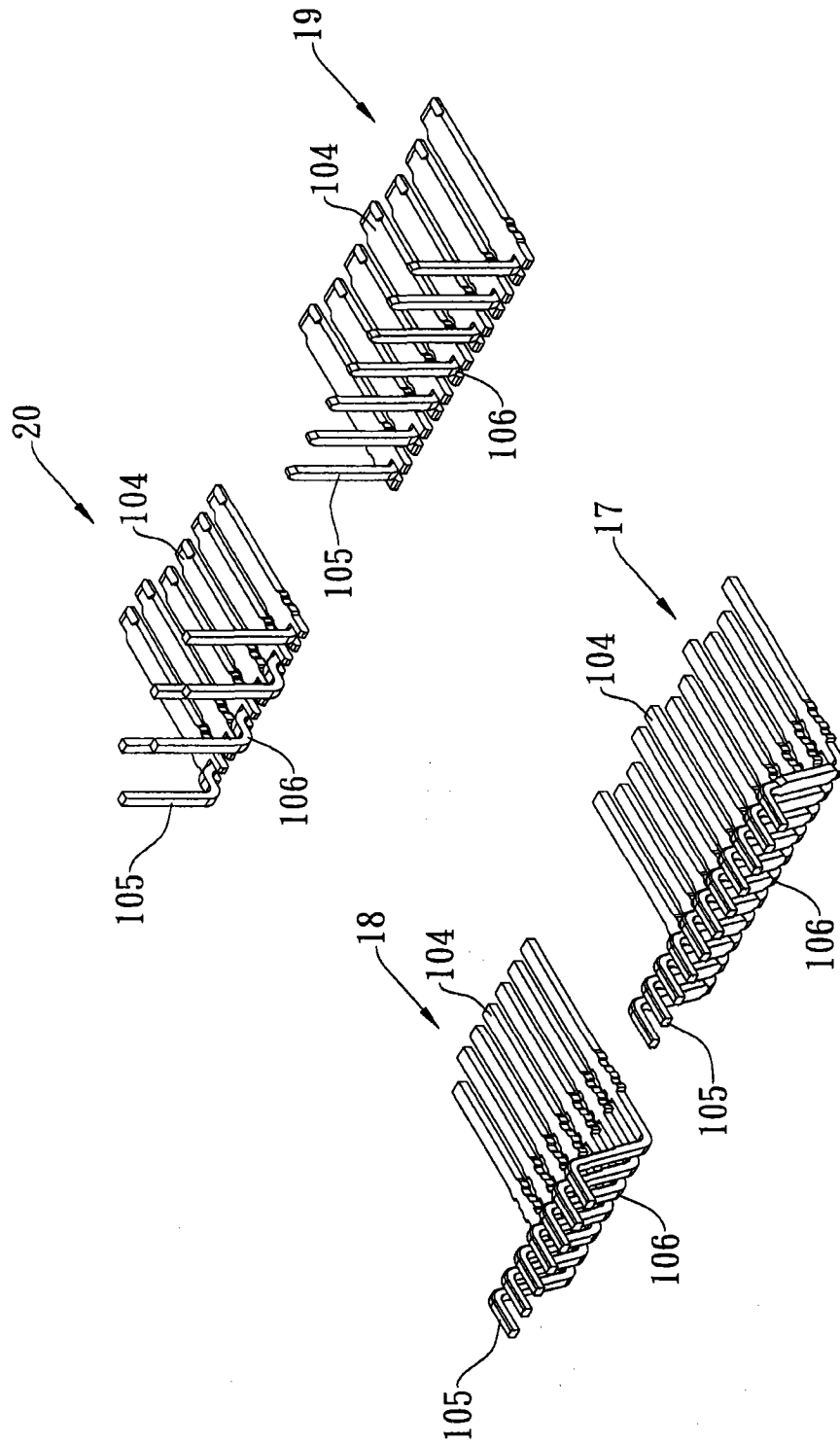


图 10

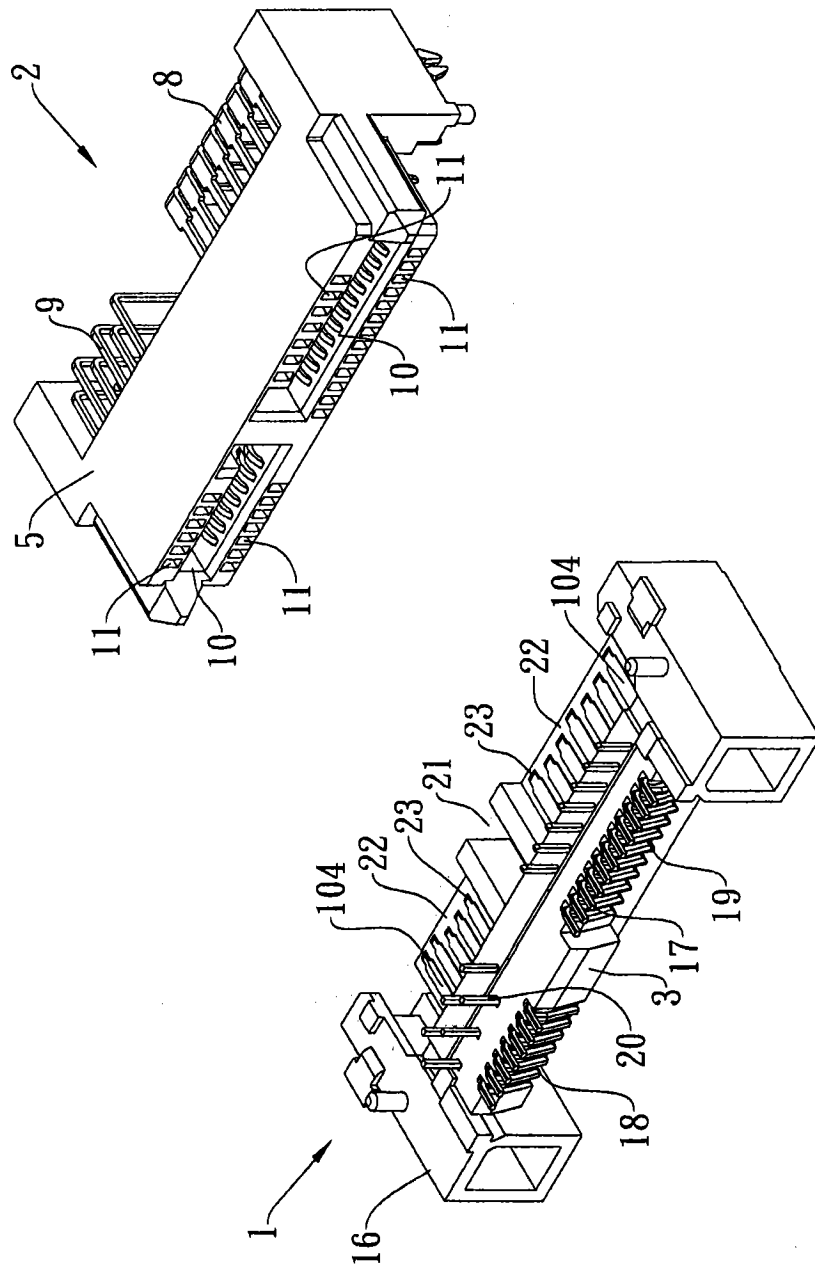


图 11A

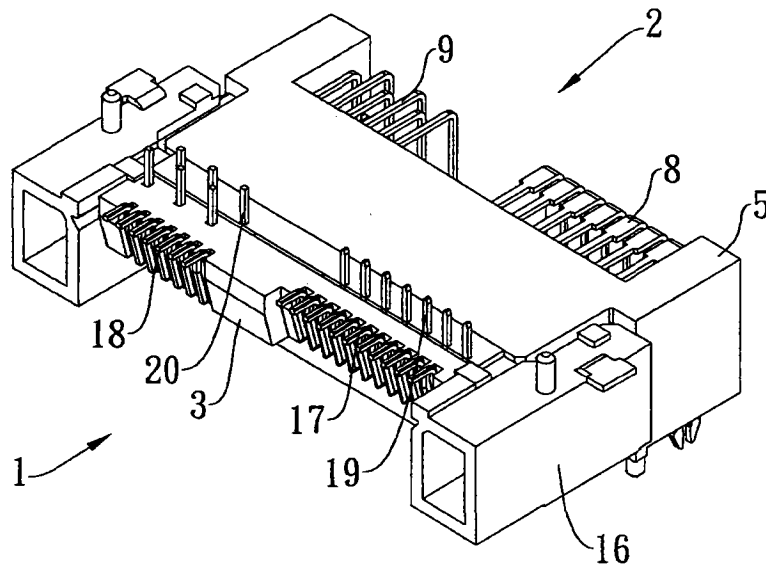


图 11B

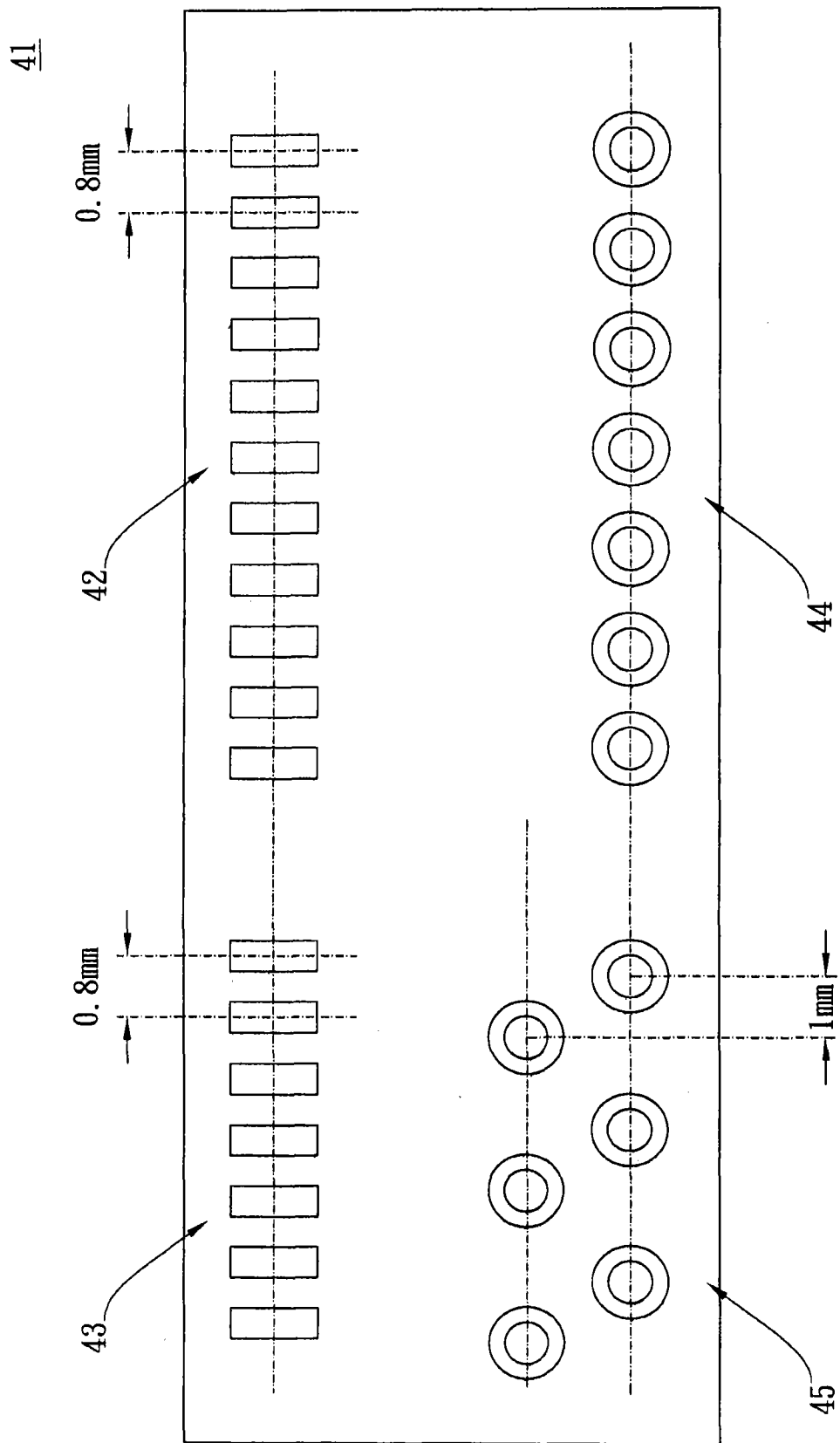


图 12

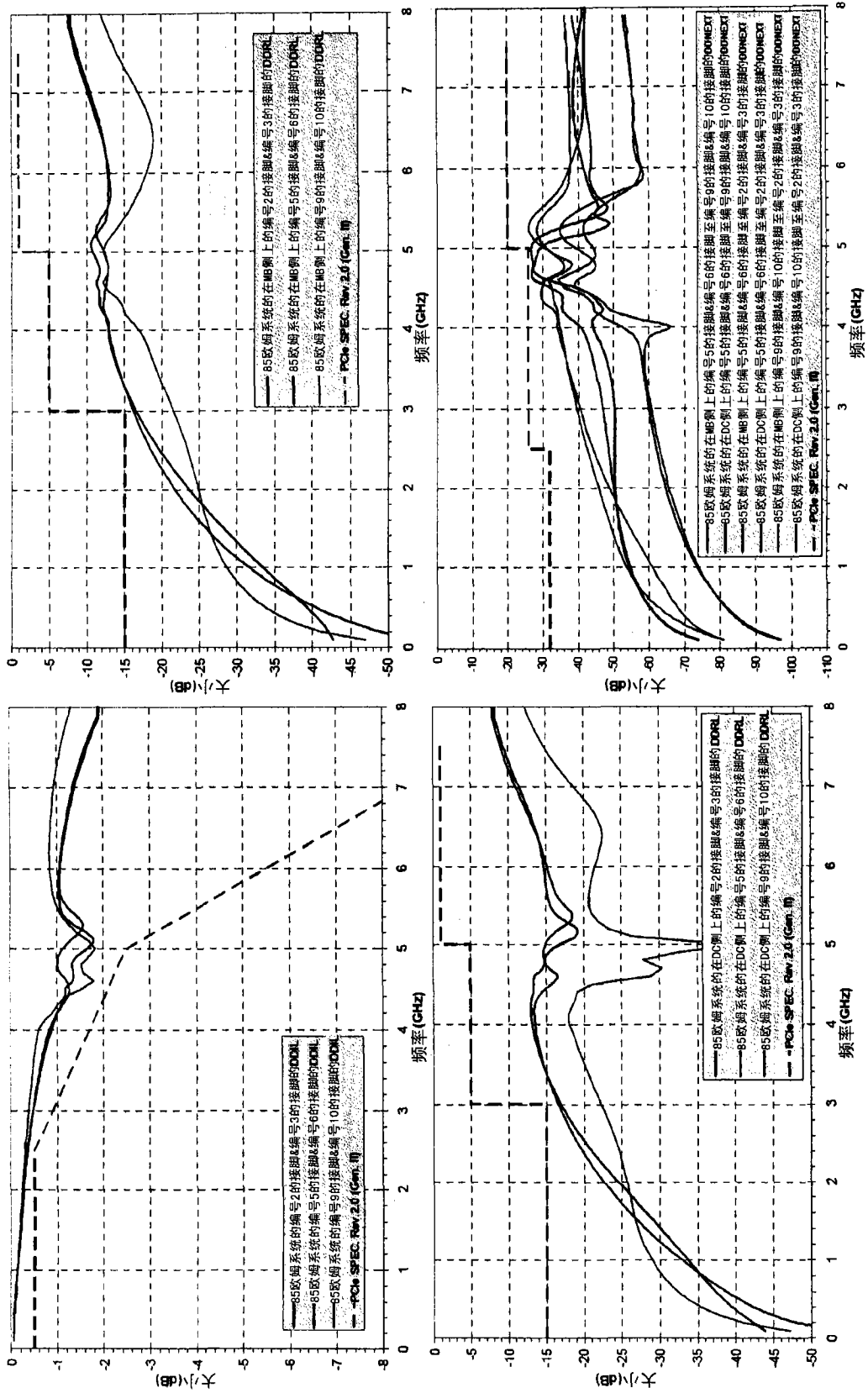


图 13