

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年10月5日(05.10.2023)



(10) 国際公開番号

WO 2023/189358 A1

(51) 国際特許分類:
G06F 12/02 (2006.01) G06F 12/06 (2006.01)

(21) 国際出願番号: PCT/JP2023/009080

(22) 国際出願日: 2023年3月9日(09.03.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-059698 2022年3月31日(31.03.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

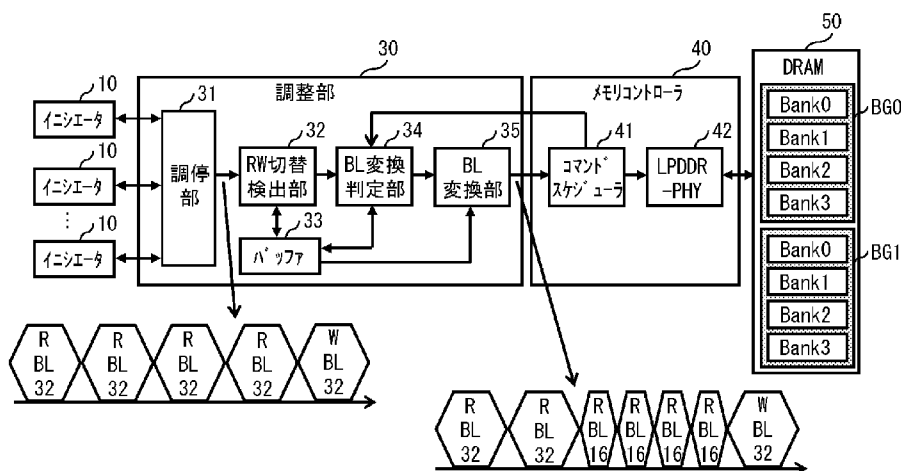
(72) 発明者: 池添 赳治 (IKEZOE, Takeharu); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 五十嵐 孝博(IKARASHI, Takahiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(54) Title: MEMORY CONTROL DEVICE

(54) 発明の名称: メモリ制御装置

[図5]



10 Initiator
30 Adjustment unit
31 Mediation unit
32 RW switching detection unit
33 Buffer
34 BL conversion assessment unit
35 BL conversion unit
40 Memory controller
41 Command scheduler

(57) Abstract: A memory control device according to one embodiment of the present disclosure comprises a detection unit and a conversion unit. In a plurality of memory access requests relating to accepted memory access, the detection unit detects either switching between a read bank group interleave and a write request or switching between a write bank group interleave and a read request. The conversion unit converts the BL length of the memory access request included in the read bank group interleave or the write bank group interleave on the basis of the number of memory access requests in the

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

read bank group interleave or write bank group interleave and timing information pertaining to a command corresponding to an immediately preceding memory access request in the read bank group interleave or write bank group interleave.

(57) 要約: 本開示の一実施形態にメモリ制御装置は、検出部と変換部とを備えている。検出部は、受け付けたメモリアクセスに関する複数のメモリアクセス要求において、リードバンクグループインタリーブとライト要求との切り替え、もしくはライトバンクグループインタリーブとリード要求との切り替えを検出する。変換部は、リードバンクグループインタリーブもしくはライトバンクグループインタリーブのメモリアクセス要求数と、リードバンクグループインタリーブもしくはライトバンクグループインタリーブの直前のメモリアクセス要求に対応するコマンドのタイミング情報とに基づいて、リードバンクグループインタリーブもしくはライトバンクグループインタリーブに含まれるメモリアクセス要求のBL長を変換する。

明 細 書

発明の名称：メモリ制御装置

技術分野

[0001] 本開示は、メモリ制御装置に関する。

背景技術

[0002] 従来から、D R A M (Dynamic Random Access Memory) へのアクセスをより効率良く実行するための様々な方策が提案されている（例えば、特許文献1，2参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2021-157295号公報

特許文献2：特開2006-252173号公報

発明の概要

[0004] ところで、従来のD R A M技術では、B L (Burst Length) 長が大きい方が、D R A Mへのアクセスの効率が良い。しかし、L P D D R (Low Power Double Data Rate) 5もしくはL P D D R 5 Xなどの、B G (Bank Group) を持ち、複数のB L長に対応したD R A M規格では、B L長が短い場合であっても、D R A Mへのアクセスの効率が良いときがある。従って、B Gを持ち、複数のB L長に対応したD R A M規格において、D R A Mへのアクセスをより効率良く実行することの可能なメモリ制御装置を提供することが望ましい。

[0005] 本開示の一実施形態にメモリ制御装置は、検出部と変換部とを備えている。検出部は、受け付けたメモリアクセスに関する複数のメモリアクセス要求において、リードバンクグループインタリーブとライト要求との切り替え、もしくはライトバンクグループインタリーブとリード要求との切り替えを検出する。変換部は、リードバンクグループインタリーブもしくはライトバンクグループインタリーブのメモリアクセス要求数と、リードバンクグループ

インタリーブもしくはライトバンクグループインタリーブの直前のメモリアクセス要求に対応するコマンドのタイミング情報とに基づいて、リードバンクグループインタリーブもしくはライトバンクグループインタリーブに含まれるメモリアクセス要求のＢＬ長を変換する。

[0006] 本開示の一実施形態に係るメモリ制御装置では、リードバンクグループインタリーブもしくはライトバンクグループインタリーブのメモリアクセス要求数と、リードバンクグループインタリーブもしくはライトバンクグループインタリーブの直前のメモリアクセス要求に対応するコマンドのタイミング情報とに基づいて、リードバンクグループインタリーブもしくはライトバンクグループインタリーブに含まれるメモリアクセス要求のＢＬ長が変換される。これにより、ＤＲＡＭへのアクセスの効率を考慮したＢＬ長を選択することが可能となる。

図面の簡単な説明

- [0007] [図1]図 1 は、コマンドスケジューラの動作の一例を表す図である。
- [図2]図 2 は、図 1 に続く動作の一例を表す図である。
- [図3]図 3 は、コマンドスケジューラの動作の一例を表す図である。
- [図4]図 4 は、コマンドスケジューラの動作の一例を表す図である。
- [図5]図 5 は、本開示の一実施の形態に係るメモリ制御装置を含む情報処理システムの概略構成例を表す図である。
- [図6]図 6 は、ＦＩＦＯメモリの概念を表す図である。
- [図7]図 7 は、ＦＩＦＯメモリに格納されるデータの一例を表す図である。
- [図8]図 8 は、ＲＷ切替検出部の動作の一例を表す図である。
- [図9]図 9 は、２ＢＧインタリーブに含まれるコマンドのＢＬ長の変換を実行するか否かを判断するための条件を表した図である。
- [図10]図 10 は、図 9 の条件について説明する図である。
- [図11]図 11 は、図 9 の条件について説明する図である。
- [図12]図 12 は、図 9 の条件について説明する図である。
- [図13]図 13 は、ＢＬ変換判定部の動作の一例を表す図である。

[図14]図14は、BL変換判定部の動作の一例を表す図である。

[図15]図15は、BL変換判定部の動作の一例を表す図である。

[図16]図16は、BL変換部の動作の一例を表す図である。

[図17]図17は、FIFOメモリに格納されるデータの一例を表す図である。

[図18]図18は、BL変換部による変換がなされた後のメモリアクセス要求列の一例を表す図である。

[図19]図19は、FIFOメモリに格納されるデータの一例を表す図である。

[図20]図20は、BL変換部による変換がなされた後のメモリアクセス要求列の一例を表す図である。

[図21]図21は、アウトオブオーダーの実行手順の一例を表す図である。

[図22]図22は、アウトオブオーダーの実行手順の一例を表す図である。

[図23]図23は、リード要求からライト要求に変化するアクセス要求列が入力されたときのコマンドスケジューラの動作の一例を表す図である。

[図24]図24は、ライト要求からリード要求に変化するアクセス要求列が入力されたときのコマンドスケジューラの動作の一例を表す図である。

[図25]図25は、図5の情報処理システムの概略構成の一変形例を表す図である。

[図26]図26は、図5の情報処理システムの概略構成の一変形例を表す図である。

[図27]図27は、2BGインタリーブに含まれるコマンドのBL長の変換を実行するか否かを判断するための条件を表した図である。

[図28]図28は、図27の条件について説明する図である。

[図29]図29は、FIFOメモリに格納されるデータの一例を表す図である。

[図30]図30は、BL変換部による変換がなされた後のアクセス要求列の一例を表す図である。

発明を実施するための形態

[0008] 以下、本開示を実施するための形態について、図面を参照して詳細に説明する。ただし、以下に説明する実施形態は、あくまでも例示であり、以下に明示しない種々の変形や技術の適用を排除する意図はない。本技術は、その趣旨を逸脱しない範囲で種々変形（例えば各実施形態を組み合わせる等）して実施することができる。また、以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付して表している。図面は模式的なものであり、必ずしも実際の寸法や比率等とは一致しない。図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることがある。

[0009] < 1. 最新世代の規格における課題について >

従来、メモリシステムとして、価格、バス帯域および容量の点において有利である同期 D R A M（S D R A M : Synchronous Dynamic Random Access Memory）が広く用いられている。この S D R A M は、クロック信号に同期して動作する D R A M であり、多くの場合、複数のバンクにより構成される。

[0010] このような構成の S D R A M においては、同一バンクに連続してアクセスする場合には、S D R A M へのアクセスの効率が著しく低下する。これに対して、D R A M へのアクセスの効率を改善する手法として、D R A M へのアクセス要求を複数保持して、その保持した複数のアクセス要求のうち、前回アクセスしたバンクと異なるバンクへのアクセス要求を出力する手法が提案されている。

[0011] 従来の D R A M 技術では、B L（Burst Length）長が大きい方が、D R A M へのアクセスの効率が良い。B L 長が大きい方が、アドレスコマンド線の使用時間当たりのデータ転送量が大きくなり、コマンドアドレス線の使用時間を減らすことができるからである。しかし、L P D D R 5 もしくは L P D D R 5 X といった最新世代の D R A M 規格では、B L 長が短い場合であっても、D R A M へのアクセスの効率が良いときがある。L P D D R 5 および L P D D R 5 X は、J E D E C（Join Electron Device Engineering Council）で規定された D R A M 規格である。

[0012] 図1、図2は、2つのバンクグループにインタリーブしたときのコマンドスケジューラの動作の一例を表したものである。図2には、図1に続く動作の一例が表されている。図1、図2の上段には、BL長がBL16のときのコマンドスケジューラの動作の一例が表わされている。図1、図2の下段には、BL長がBL32のときのコマンドスケジューラの動作の一例が表わされている。図1、図2の上段、下段において、アドレスコマンド線に出力されるコマンドがバンクグループごとおよびバンクアドレスごとに分けて表されており、データ線に出力されるデータがバンクグループごとおよびバンクアドレスごとに異なる模様で表されている。なお、データ線において、黒塗りの箇所はデータが出力されていないことを示している。

[0013] なお、図1、図2における各種記載は以下の内容を指している。

- ・ACT: Activeコマンド
- ・READ16: BL16のリードコマンド
- ・READ32: BL32のリードコマンド
- ・PRE: Prechargeコマンド

[0014] また、図1、図2における各種パラメータは以下のように規定されている。

- ・コマンドクロック=800MHz
- ・ $t_{RRD}=3\text{ nCK}$
- ・ $t_{FAW}=15\text{ ns}$
- ・ $t_{RCD}=15\text{ nCK}$
- ・ $t_{RCD_W}=7\text{ nCK}$
- ・ $n_{RBTp}=4\text{ nCK}$
- ・ $t_{RPpb}=15\text{ nCK}$
- ・ $t_{WR}=27\text{ nCK}$
- ・ $RL=18$

(図ではReadからDQまでの遅延が $RL=0$ として表現されている)

- ・ $WL=9$

(図ではWriteからDQまで遅延がWL=0で表現されている)

- [0015] ・ t_{RRD} : ACT-ACTの最短間隔
- ・ t_{FAW} : 最大4つのACTが存在してもよい期間
- ・ t_{RCD} : ACT-READもしくはACT-MASKEDWRITEの最短間隔
- ・ t_{RCD_W} : ACT-WRITEの最短間隔
- ・ n_{RBTP} : READ-burst end-PREの最短間隔
- ・ t_{RPpb} : PRE-ACTの最短間隔
- ・ t_{WR} : WRITE recovery time

[0016] 図1、図2から、1回目のBGインタリーブでは、BL16の方がBL32と比べて Δt_1 だけ早くデータ転送が終了することがわかる。しかし、2回目のBGインタリーブでは、BL32の方がBL16と比べて $\Delta t_2 (= 1nCK)$ だけ早く開始されることがわかる。これは、BL16使用時に、BGインタリーブするために少なくとも2つのバンクを開かなければならず、最初の2つのリードコマンドの最短間隔が t_{RRD} 以上となるためである。これらのことから、3回目、4回目とBGインタリーブが繰り返されるにつれて、BL32の方がBL16と比べてBGインタリーブの開始時が1nCKずつ早くなることがわかる。また、4回目のBGインタリーブでは、データ転送のレイテンシは、BL16、BL32において同等レベルとなる。従って、一般的にはBL32の方がBL16よりもDRAMへのアクセスの効率が良いことがわかる。

[0017] 図3、図4は、コマンドスケジューラの動作の一例を表したものである。図3、図4の上段には、BL長がBL16のときのコマンドスケジューラの動作の一例が表わされている。図3、図4の下段には、BL長がBL32のときのコマンドスケジューラの動作の一例が表わされている。

[0018] なお、図3、図4における各種記載は以下の内容を指している。

- ・ ACT : Activeコマンド
- ・ R16 : BL16のリードコマンド

- ・ R 3 2 : B L 3 2 のリードコマンド
- ・ P R E : P r e c h a r g e コマンド
- ・ W r i t e : ライトコマンド

[0019] D R A M のデータ線は、リード・ライトで共有されている。そのため、リードからライトへの切り替えや、ライトからリードへの切り替えを行う際に、ペナルティ時間が必要となる。ここで、B G モードにおいて、B L 1 6 の B L / n _ m i n が 2 であるのに対して、B L 3 2 の B L / n _ m i n が 6 となっている。そのため、図 3、図 4 に示したように、データ線の使用状況によっては、ライトコマンドが発行されるタイミングが、B L 1 6 の方が B L 3 2 と比べて早い場合があることがわかる。従って、最新世代の規格において B L 1 6 の方が B L 3 2 よりも D R A M へのアクセスの効率が良い場合があることがわかる。

[0020] 以上のことから、リード・ライトの切り替えが無い場合には、B L 3 2 の方が B L 1 6 よりも D R A M へのアクセスの効率が良く、リード・ライトの切り替えがある場合には、B L 1 6 の方が B L 3 2 よりも D R A M へのアクセスの効率が良くなることがあることがわかる。そこで、本願発明者は、リード・ライトの切り替え時に、D R A M へのアクセスの効率が良くなる B L 長を選択する手法について以下に提案する。

[0021] < 2. 実施の形態 >

[構成]

図 5 は、本開示の一実施の形態に係るメモリ制御装置を備えた情報処理システムの概略構成の一例を表したものである。情報処理システムは、例えば、図 5 に示したように、複数のイニシエータ 1 0 と、調整部 3 0 と、メモリコントローラ 4 0 と、D R A M 5 0 とを備えている。

[0022] (D R A M 5 0)

D R A M 5 0 は、L P D D R 5 もしくは L P D D R 5 X に準拠する D R A M である。D R A M 5 0 には、例えば、図 5 に示したように、2 つのバンクグループ B G 0, G B 1 が規定されている。各バンクグループ B G 0, G B

1 には、例えば、4つのバンクBank 0, Bank 1, Bank 2, Bank 3が規定されている。なお、DRAM 50におけるバンクグループおよびバンクのそれぞれの数は、上記の例には限定されない。

[0023] LPDDR 5もしくはLPDDR 5 Xでは、動的な駆動周波数の変更が可能となっている。また、LPDDR 5もしくはLPDDR 5 Xでは、バンク構成の使い方であるバンクモードが複数あり、駆動周波数に応じてバンクモードが変わる仕様が規格化されている。

[0024] DRAM 50への最小バースト単位であるBL 16とBL 32をコマンド単位で使い分ける場合、低速な駆動周波数では16B (Bank) モードを、高速な駆動周波数ではBG (Bank Group) モードを使用することになる。BGモードでは、BL 32によるデータ転送の場合、コマンドに対するデータ転送がBL 16分の期間(1 nCK)だけ空けて行われる。このようなデータ線における転送ペナルティはBGモード固有の規定である。ただし、この転送ペナルティの期間には、別のバンクグループの転送データを入れることができるため、データ線において転送データを連続して発行することが可能である。

[0025] (イニシエータ10)

複数のイニシエータ10は、調整部30およびメモリコントローラ40を介して、DRAM 50に対するデータの書き込みもしくは読み出しを行う。各イニシエータ10は、例えば、中央演算処理装置(CPU: Central Processing Unit)または機能ブロックなどである。

[0026] 各イニシエータ10は、DRAM 50に対するデータの書き込みもしくは読み出しを行うためのメモリアクセス要求を発行し、調整部30に出力する。このメモリアクセス要求には、例えば、イニシエータ10ごとに与えられた仮想的な記憶領域における論理アドレス、アクセスすべきデータの長さであるBL長、イニシエータ10を識別するための識別情報および転送方向が含まれる。ここにいう転送方向とは、データを書き込むためのライト要求、および、データを読み出すためのリード要求のいずれであるかを指し示すもの

である。各イニシエータ１０は、調整部３０からのデータ出力指示に従って、ＤＲＡＭ５０に書き込むべき書き込みデータを調整部３０に出力する。各イニシエータ１０は、例えば、ＡＭＢＡ（Advanced Microcontroller Bus Architecture）で定義されているプロトコル（例えば、ＡＸＩ（Advanced eXtensible Interface）プロトコル）を利用して、調整部３０と通信を行う。

[0027] （調整部３０）

調整部３０は、例えば、図５に示したように、調停部３１、ＲＷ切替検出部３２、バッファ３３、ＢＬ変換判定部３４およびＢＬ変換部３５を有している。

[0028] 調停部３１は、各イニシエータ１０から出力されたメモリアクセス要求に含まれる論理アドレスを、ＤＲＡＭ５０に対応する物理アドレスに変換する。ここにいう物理アドレスとは、ＤＲＡＭ５０を構成するバンク、ロウおよびカラムを指し示すアドレスであり、バンクアドレス、ロウアドレスおよびカラムアドレスのことをいう。このように、論理アドレスから物理アドレスに変換することによって、変換後のメモリアクセス要求には、ＤＲＡＭ５０におけるバンクアドレス、ロウアドレスおよびカラムアドレスが示される。

[0029] 調停部３１は、さらに、複数のイニシエータ１０から得られた複数のメモリアクセス要求に示される物理アドレスに基づいて調停（アービトレーション）を行う。調停部３１は、例えば、各イニシエータ１０から同時にメモリアクセス要求を受け付けた場合には、直前にＲＷ切替検出部３２に出力したメモリアクセス要求とバンクアドレスが同一であるメモリアクセス要求の出力を抑制する。すなわち、調停部３１は、複数のメモリアクセス要求を受け付けた場合には、直前にＲＷ切替検出部３２に出力したメモリアクセス要求とバンクアドレスが異なるメモリアクセス要求をＲＷ切替検出部３２に出力する。このように、調停部３１は、インタリーブ手法を用いて複数のメモリアクセス要求の、ＲＷ切替検出部３２への出力順番を調整する。調停部３１は、さらに、ＢＧモードでは、バンクグループごとにインタリーブ手法を用いて複数のメモリアクセス要求の、ＲＷ切替検出部３２への出力順番を調整

する。このとき、調停部 31 は、メモリアクセス要求に対して、バンクグループの識別子を追加する。調停部 31 は、メモリアクセス要求として、ライト要求を RW 切替検出部 32 に出力する際に、メモリアクセス要求に示される識別情報によって識別されるイニシエータ 10 に対して、そのメモリアクセス要求に対応する書き込みデータの出力を指示する。

[0030] RW 切替検出部 32 は、調停部 31 からメモリアクセス要求を受け付けるたびに、受け付けたメモリアクセス要求をバッファ 33 に格納する。バッファ 33 は、例えば、図 6 に示したような F I F O (First-In First-Out) メモリ 33 A を有している。F I F O メモリ 33 A では、複数のメモリアクセス要求が格納順に格納され、新たなメモリアクセス要求が F I F O メモリ 33 A に格納されると、格納順番が最も古いメモリアクセス要求が F I F O メモリ 33 A から出力される。

[0031] F I F O メモリ 33 A には、格納されたメモリアクセス要求ごとに、バンクグループ情報 *bgint* および分割要否情報 *dev* が関連付けられている。F I F O メモリ 33 A は、新たなメモリアクセス要求が格納されるたびに、F I F O メモリ 33 A における格納順番が最も古いメモリアクセス要求を、バンクグループ情報 *bgint* および分割要否情報 *dev* とともに BL 変換部 35 に出力する。

[0032] バンクグループ情報 *bgint* は、F I F O メモリ 33 A に格納された複数のメモリアクセス要求において、リード・ライトの切り替え直前に配置された BG インタリーブのメモリアクセス要求であるか否かを判別するためのフラグである。例えば、バンクグループ情報 *bgint* が「1」のとき、リード・ライトの切り替え直前に配置された BG インタリーブのメモリアクセス要求であることを意味する。また、例えば、バンクグループ情報 *bgint* が「0」のとき、リード・ライトの切り替え直前に配置された BG インタリーブのメモリアクセス要求ではないことを意味する。

[0033] 分割要否情報 *dev* は、F I F O メモリ 33 A に含まれる BG インタリーブのメモリアクセス要求の BL 長を BL 32 から BL 16 に変換するか否か

を判別するためのフラグである。例えば、分割要否情報 $d e v$ が「1」のとき、メモリアクセス要求の $B L$ 長を $B L 32$ から $B L 16$ に変換する必要があることを意味する。また、例えば、分割要否情報 $d e v$ が「0」のとき、メモリアクセス要求の $B L$ 長を $B L 32$ から $B L 16$ に変換する必要はないことを意味する。

[0034] $R W$ 切替検出部 32 は、バッファ 33 に格納した複数のメモリアクセス要求において、リード $B G$ インタリーブ（リード要求）からライト要求への切り替え、もしくはライト $B G$ インタリーブ（ライト要求）からリード要求への切り替えを検出する。 $F I F O$ メモリ 33 A に対して、例えば、図 7 に示したような複数のメモリアクセス要求が格納されていたとする。このとき、 $R W$ 切替検出部 32 は、格納順番が 5 番目に古いメモリアクセス要求（リード要求）と、格納順番が 6 番目に古いメモリアクセス要求（ライト要求）とにおいて、リード要求とライト要求との切り替えを検出する。

[0035] 図 8 は、 $R W$ 切替検出部 32 における上記切り替えの検出手順の一例を表したものである。 $R W$ 切替検出部 32 は、格納順番を示すパラメータ i を 0 にする（ステップ $S 101$ ）。次に、 $R W$ 切替検出部 32 は、パラメータ i が最も遅い格納順番 $N - 1$ よりも小さいか否かを判定する（ステップ $S 102$ ）。その結果、 $i < N - 1$ を満たす場合には（ステップ $S 102$; Y ）、 $R W$ 切替検出部 32 は、格納順番が i のメモリアクセス要求と、格納順番が $i + 1$ のメモリアクセス要求とを対比し、双方がリード要求もしくはライト要求であるか否かを判定する（ステップ $S 103$ ）。その結果、双方がリード要求もしくはライト要求である場合には（ステップ $S 103$; Y ）、 $R W$ 切替検出部 32 は、パラメータ i に 1 を加え（ステップ $S 104$ ）、ステップ $S 102$ に戻る。双方がリード要求もしくはライト要求ではない場合（ステップ $S 103$; N ）、 $R W$ 切替検出部 32 は、格納順番が i のメモリアクセス要求と、格納順番が $i + 1$ のメモリアクセス要求とにおいて、リード要求からライト要求への切り替え、もしくはライト要求からリード要求への切り替えが行われると判断する。そして、 $R W$ 切替検出部 32 は、格納順番が

i のメモリアクセス要求に対応するバンクグループ情報 $bgint$ に対して「1」を書き込み、BL変換要否判断に移行する（ステップS105）。このとき、RW切替検出部32は、上記切り替えについての情報（RW切り替え情報）として、パラメータ i をBL変換判定部34に出力する。なお、ステップS102において、 $i < N - 1$ を満たさない場合には（ステップS102；N）、リード要求からライト要求への切り替え、もしくはライト要求からリード要求への切り替えが存在しないとして、本処理を終了する。

[0036] BL変換判定部34およびBL変換部35は、上記切り替えの直前の2BGインタリーブ $IL - a$ （リードBGグループインタリーブもしくはライトBGインタリーブ）のメモリアクセス要求数と、2BGインタリーブ $IL - a$ の直前のメモリアクセス要求 $R - a$ に対応するコマンド $Cmd - a$ （第1コマンド）のタイミング情報とに基づいて、2BGインタリーブ $IL - a$ に含まれるメモリアクセス要求のBL長を変換する。なお、「2BGインタリーブ」とは、2つのバンクグループにインタリーブすることを指している。このとき、BL変換判定部34およびBL変換部35は、図9に記載の条件に基づいて、2BGインタリーブ $IL - a$ に含まれるメモリアクセス要求のBL長の変換を実行するか否かを判断する。

[0037] 図9は、2BGインタリーブ $IL - a$ に含まれるメモリアクセス要求のBL長の変換を実行するか否かを判断するための条件を表したものである。図9には、2BGインタリーブ $IL - a$ に含まれるメモリアクセス要求のBL長を、BL32からBL16へ変換する条件が示されている。BL変換判定部34およびBL変換部35は、以下の2つのいずれかの条件を満たす場合に、2BGインタリーブ $IL - a$ に含まれるメモリアクセス要求のBL長を、BL32からBL16へ変換する。なお、下記の条件Aに含まれる「コマンド $Cmd - b$ 」は、メモリアクセス要求 $R - a$ の直前のメモリアクセス要求 $R - b$ に対応するコマンドである。

[0038] ・条件A

2BGインタリーブ $IL - a$ のメモリアクセス要求数（BL16相当に換

算したときのメモリアクセス要求数)が偶数 $\times 2$ となっており、かつ、コマンドC m d - aがコマンドC m d - aの直前のコマンドC m d - b (第2コマンド)から2 n C K後以外のタイミングで発行されること

・条件B

2 B GインタリーブI L - aのメモリアクセス要求数(B L 1 6相当に換算したときのメモリアクセス要求数)が奇数 $\times 2$ となっており、かつ、コマンドC m d - aがコマンドC m d - bから2 n C K後のタイミングで発行されること

[0039] 図10(A)、図10(B)は、2 B GインタリーブI L - a、コマンドC m d - aおよびコマンドC m d - bについて説明する図である。図10(A)では、2 B GインタリーブI L - aが、2つのバンクグループB G 2, B G 3に対してB L 3 2の4つのリードコマンドでインタリーブするように構成されている場合が例示されている。図10(B)では、2 B GインタリーブI L - aが、2つのバンクグループB G 2, B G 3に対してB L 3 2の2つのリードコマンドでインタリーブするように構成されている場合が例示されている。

[0040] 図10(A)では、コマンドC m d - aがバンクグループB G 1に対するB L 3 2のリードコマンドとなっており、コマンドC m d - bがバンクグループB G 2に対するB L 3 2のリードコマンドとなっている。一方、図10(B)では、コマンドC m d - aがバンクグループB G 1に対するB L 3 2のリードコマンドとなっており、コマンドC m d - bがバンクグループB G 0に対するB L 3 2のリードコマンドとなっている。

[0041] 図11(A)は、複数のコマンドが図10(A)の並び順となっているときに、各コマンドがコマンドアクセス線C Aに出力されるタイミングの一例を表したものである。図11(B)は、各コマンドが図11(A)のタイミングでコマンドアクセス線C Aに出力されるとき、各転送データがデータ線D Qに出力されるタイミングの一例を表したものである。図11(A)では、コマンドC m d - bが発行されてから2 n C K後にコマンドC m d - aが

発行されている。

[0042] 図12(A)は、複数のコマンドが図10(A)の並び順となっているときに、各コマンドがコマンドアクセス線CAに出力されるタイミングの一例を表したものである。図12(B)は、各コマンドが図12(A)のタイミングでコマンドアクセス線CAに出力されるとき、各転送データがデータ線DQに出力されるタイミングの一例を表したものである。図12(A)では、コマンドCmd-bが発行されてから6nCK後にコマンドCmd-aが発行されている。

[0043] コマンドCmd-bが発行されてから2nCK後にコマンドCmd-aが発行される場合には、コマンドCmd-aに対応する転送データと、コマンドCmd-bに対応する転送データとによって、データ線DQが隙間なく埋められていることがわかる。しかし、コマンドCmd-bが発行されてから6nCK後にコマンドCmd-aが発行される場合には、コマンドCmd-aに対するデータ転送がBL16分の期間(1nCK)だけ空けて行われているため、その隙間が、コマンドCmd-bに対応する転送データによって埋められず、空いたままになっている。このような隙間が生じる条件が、条件Aに該当する。

[0044] 次に、BL変換判定部34の動作について説明する。図13は、BL変換判定部34におけるBL変換要否の判断手順の一例を表したものである。図13には、全てのフラグが初期化された状態のFIFOメモリ33Aが例示されている。

[0045] BL変換判定部34は、まず、RW切替検出部32から取得したパラメータiをパラメータjにコピーする(ステップS201)。次に、BL変換判定部34は、パラメータjが0以上であるか否かを判定する(ステップS202)。パラメータjが0以上である場合には(ステップS202; Y)、BL変換判定部34は、FIFOメモリ33Aに格納された、格納順番がjのメモリアクセス要求にアクセスし、格納順番がjのメモリアクセス要求に含まれるBGの識別子を読み出す。そして、BL変換判定部34は、ステッ

プS 2 0 1の実行を開始してから現在までにアクセスしたメモリアクセス要求に含まれるB Gの識別子およびその数（B Gの数）を内部メモリに記録する（ステップS 2 0 3）。B L変換判定部3 4は、さらに、ステップS 2 0 1の実行を開始してから現在までにアクセスしたメモリアクセス要求の数も内部メモリに記録する。パラメータjが負の値である場合には（ステップS 2 0 2；N）、分割要否情報生成判断に移行する（ステップS 2 0 4）。

[0046] B L変換判定部3 4は、ステップS 2 0 3を実行した後、内部メモリに記録されたB Gの数が2よりも大きいかな否かを判定する（ステップS 2 0 5）。内部メモリに記録されたB Gの数が2よりも大きい場合には（ステップS 2 0 5；Y）、分割要否情報生成判断（ステップS 2 0 4）に移行する。内部メモリに記録されたB Gの数が2以下の場合には（ステップS 2 0 5；N）、内部メモリに記録したB Gの識別子において、直近に記録した2つのB Gの識別子が互いに等しいかな否かを判定する（ステップS 2 0 6）。

[0047] 直近に記録した2つのB Gの識別子が互いに等しい場合には（ステップS 2 0 6；Y）、B L変換判定部3 4は、最後にアクセスしたメモリアクセス要求は有効な要求ではないと判断し、この処理を終了する。直近に記録した2つのB Gの識別子が互いに異なる場合には（ステップS 2 0 6；N）、B L変換判定部3 4は、最後にアクセスしたメモリアクセス要求は有効な要求であると判断する。そして、B L変換判定部3 4は、F I F Oメモリ3 3 Aに格納された、格納順番がjのメモリアクセス要求に対応するバンクグループ情報b g i n tに対して「1」を書き込む。B L変換判定部3 4は、さらに、パラメータjから1を引き（ステップS 2 0 7）、ステップS 2 0 2に戻る。

[0048] 図1 4は、B L変換判定部3 4における分割要否情報生成（ステップS 2 0 4）の判断手順の一例を表したものである。図1 4には、図1 3に記載の処理がなされた後のフラグが書き込まれたF I F Oメモリ3 3 Aが例示されている。

[0049] B L変換判定部3 4は、パラメータjが0であるかな否かを判定する（ステ

ップS 3 0 1)。パラメータ j が 0 である場合（ステップS 3 0 1；Y）、BL変換判定部34は、分割要否情報作成（ステップS 3 0 2）に移行する。パラメータ j が 0 ではない場合（ステップS 3 0 1；N）、BL変換判定部34は、分割要否情報生成の判断を終了する。

[0050] 図15は、BL変換判定部34における分割要否情報の作成手順の一例を表したものである。図15には、図15に記載の処理がなされた後のフラグが書き込まれたFIFOメモリ33Aが例示されている。

[0051] BL変換判定部34は、内部メモリに記録されたメモリアクセス要求の数が偶数×2であるか否かを判定する（ステップS 4 0 1）。上記「内部メモリに記録されたメモリアクセス要求の数」は、BGインタリーブ1L-aのメモリアクセス要求数（BL16相当に換算したときのメモリアクセス要求数）である。その結果、BGインタリーブ1L-aのメモリアクセス要求数（BL16相当に換算したときのメモリアクセス要求数）が偶数×2である場合には（ステップS 4 0 1；Y）、BL変換判定部34は、コマンドスケジューラ41から取得した発行タイミング情報に基づいて、コマンドCmd-aがコマンドCmd-bから2nCKずれているか否かを判定する（ステップS 4 0 2）。具体的には、コマンドスケジューラ41から取得した発行タイミング情報から、コマンドCmd-bの発行タイミング（発行時刻）と、コマンドCmd-aの発行タイミング（発行時刻）とが得られたとする。このとき、BL変換判定部34は、これらの発行時刻から、コマンドCmd-aがコマンドCmd-bから2nCKずれているか否かを判定することができる。

[0052] その結果、コマンドCmd-aがコマンドCmd-bから2nCKずれていない場合には（ステップS 4 0 2；Y）、BL変換判定部34は、FIFOメモリ33Aにおいて、BGインタリーブ1L-aのメモリアクセス要求に対応する分割要否情報devに「1」を書き込む（ステップS 4 0 3）。

[0053] 一方、ステップS 4 0 1において、BGインタリーブ1L-aのメモリアクセス要求数（BL16相当に換算したときのメモリアクセス要求数）が奇

数×2である場合には（ステップS401；N）、BL変換判定部34は、コマンドスケジューラ41から取得した発行タイミング情報に基づいて、コマンドCm d－aがコマンドCm d－bから2 n C Kずれているか否かを判定する（ステップS404）。具体的には、コマンドスケジューラ41から取得した発行タイミング情報から、コマンドCm d－bの発行タイミング（発行時刻）と、コマンドCm d－aの発行タイミング（発行時刻）とが得られたとする。このとき、BL変換判定部34は、これらの発行時刻から、コマンドCm d－aがコマンドCm d－bから2 n C Kずれているか否かを判定することができる。

[0054] その結果、コマンドCm d－aがコマンドCm d－bから2 n C Kずれている場合には（ステップS404；Y）、BL変換判定部34は、F I F Oメモリ33 Aにおいて、B GインタリーブI L－aのメモリアクセス要求に対応する分割要否情報d e vに「1」を書き込む（ステップS403）。ステップS404において、メモリアクセス要求R－aがメモリアクセス要求R－bから2 n C Kずれていない場合（ステップS404；N）、または、ステップS402において、メモリアクセス要求R－aがメモリアクセス要求R－bから2 n C Kずれている場合（ステップS402；Y）、BL変換判定部34は、F I F Oメモリ33 Aにおいて、B GインタリーブI L－aのメモリアクセス要求に対応する分割要否情報d e vに「0」を書き込む（ステップS405）。

[0055] 次に、BL変換部35の動作について説明する。図16は、BL変換部35におけるBL変換手順の一例を表したものである。F I F Oメモリ33 Aは、新たなメモリアクセス要求が格納されるたびに、F I F Oメモリ33 Aにおける格納順番が最も古いメモリアクセス要求を分割要否情報d e vとともにBL変換部35に出力する。BL変換部35は、F I F Oメモリ33 Aからメモリアクセス要求および分割要否情報d e vが入力されると、分割要否情報d e vが「1」であるか否かを判定する（ステップS501）。その結果、分割要否情報d e vが「1」である場合には（ステップS501；Y

）、ＢＬ変換部３５は、メモリアクセス要求のＢＬ長をＢＬ３２からＢＬ１６に変換する（ステップＳ５０２）。具体的には、ＢＬ変換部３５は、ＢＬ３２のメモリアクセス要求を、ＢＬ１６の２つのメモリアクセス要求に分割する。分割要否情報ｄｅｖが「０」である場合には（ステップＳ５０１；Ｎ）、ＢＬ変換部３５は、メモリアクセス要求のＢＬ長をＢＬ３２のまま変更しない（ステップＳ５０３）。

[0056] 次に、ＢＧインタリーブＩＬ－ａのメモリアクセス要求のＢＬ長について具体的な変換方法について説明する。

[0057] 図１７は、条件Ａを満たしたときにフラグの書き込み処理がなされた後のＦＩＦＯメモリ３３Ａの一例を表したものである。以下では、図１７に記載のＦＩＦＯメモリ３３Ａに対して複数のメモリアクセス要求が順次入力されたときの、ＢＬ変換部３５からの出力について説明する。

[0058] ＦＩＦＯメモリ３３Ａに新たなメモリアクセス要求が入力されると、ＦＩＦＯメモリ３３Ａにおける格納順番が最も古いメモリアクセス要求（リード要求（ＢＬ３２，ＢＧ２）＝メモリアクセス要求Ｒ－ｂ）および分割要否情報ｄｅｖがＢＬ変換部３５に出力される。ＢＬ変換部３５は、ＦＩＦＯメモリ３３Ａからリード要求（ＢＬ３２，ＢＧ２）および分割要否情報ｄｅｖが入力されると、ｄｅｖ＝０となっているので、リード要求（ＢＬ３２，ＢＧ２）をそのまま、メモリコントローラ４０に出力する。

[0059] ＦＩＦＯメモリ３３Ａに更にメモリアクセス要求が入力されると、ＦＩＦＯメモリ３３Ａにおける格納順番が最も古いメモリアクセス要求（リード要求（ＢＬ３２，ＢＧ１）＝メモリアクセス要求Ｒ－ａ）および分割要否情報ｄｅｖがＢＬ変換部３５に出力される。ＢＬ変換部３５は、ＦＩＦＯメモリ３３Ａからリード要求（ＢＬ３２，ＢＧ１）および分割要否情報ｄｅｖが入力されると、ｄｅｖ＝０となっているので、リード要求（ＢＬ３２，ＢＧ１）をそのまま、メモリコントローラ４０に出力する。

[0060] ＦＩＦＯメモリ３３Ａに更にメモリアクセス要求が入力されると、ＦＩＦＯメモリ３３Ａにおける格納順番が最も古いメモリアクセス要求（２ＢＧイ

ンタリーブ | L - a の先頭のリード要求 (B L 3 2, B G 2)) および分割可否情報 d e v が B L 変換部 3 5 に出力される。B L 変換部 3 5 は、F I F O メモリ 3 3 A からリード要求 (B L 3 2, B G 2) および分割可否情報 d e v が入力されると、d e v = 1 となっているので、リード要求 (B L 3 2, B G 2) を、2 つのリード要求 (B L 1 6, B G 2) に分割してメモリコントローラ 4 0 に出力する。

[0061] F I F O メモリ 3 3 A に更にメモリアクセス要求が入力されると、F I F O メモリ 3 3 A における格納順番が最も古いメモリアクセス要求 (2 B G インタリーブ | L - a の 2 番目のリード要求 (B L 3 2, B G 3)) および分割可否情報 d e v が B L 変換部 3 5 に出力される。B L 変換部 3 5 は、F I F O メモリ 3 3 A からリード要求 (B L 3 2, B G 3) および分割可否情報 d e v が入力されると、d e v = 1 となっているので、リード要求 (B L 3 2, B G 3) を、2 つのリード要求 (B L 1 6, B G 3) に分割してメモリコントローラ 4 0 に出力する。B L 変換部 3 5 は、以降も上記と同様にして、メモリアクセス要求をメモリコントローラ 4 0 に出力する。その結果、例えば、図 1 8 に示したようなメモリアクセス要求列がメモリコントローラ 4 0 に入力される。図 1 8 では、メモリコントローラ 4 0 に入力された複数のメモリアクセス要求が下から順番に並んで配置されている。

[0062] 図 1 9 は、条件 B を満たしたときにフラグの書き込み処理がなされた後の F I F O メモリ 3 3 A の一例を表したものである。以下では、図 1 9 に記載の F I F O メモリ 3 3 A に対して複数のコマンドが順次入力されたときの、B L 変換部 3 5 からの出力について説明する。

[0063] F I F O メモリ 3 3 A に新たなメモリアクセス要求が入力されると、F I F O メモリ 3 3 A における格納順番が最も古いメモリアクセス要求 (リード要求 (B L 3 2, B G 1) = メモリアクセス要求 R - b) および分割可否情報 d e v が B L 変換部 3 5 に出力される。B L 変換部 3 5 は、F I F O メモリ 3 3 A からリード要求 (B L 3 2, B G 1) および分割可否情報 d e v が入力されると、d e v = 0 となっているので、リード要求 (B L 3 2, B G

1) をそのまま、メモリコントローラ40に出力する。

[0064] F I F Oメモリ33Aに更にメモリアクセス要求が入力されると、F I F Oメモリ33Aにおける格納順番が最も古いメモリアクセス要求（リード要求（B L 3 2, B G 0）＝メモリアクセス要求R - a）および分割可否情報d e vがB L変換部35に出力される。B L変換部35は、F I F Oメモリ33Aからリード要求（B L 3 2, B G 0）および分割可否情報d e vが入力されると、d e v = 0となっているので、リード要求（B L 3 2, B G 0）をそのまま、メモリコントローラ40に出力する。

[0065] F I F Oメモリ33Aに更にメモリアクセス要求が入力されると、F I F Oメモリ33Aにおける格納順番が最も古いメモリアクセス要求（2 B G インタリーブ I L - aの先頭のリード要求（B L 3 2, B G 2））および分割可否情報d e vがB L変換部35に出力される。B L変換部35は、F I F Oメモリ33Aからリード要求（B L 3 2, B G 2）および分割可否情報d e vが入力されると、d e v = 1となっているので、リード要求（B L 3 2, B G 2）を、2つのリード要求（B L 1 6, B G 2）に分割してメモリコントローラ40に出力する。

[0066] F I F Oメモリ33Aに更にメモリアクセス要求が入力されると、F I F Oメモリ33Aにおける格納順番が最も古いメモリアクセス要求（2 B G インタリーブ I L - aの2番目のリード要求（B L 3 2, B G 3））および分割可否情報d e vがB L変換部35に出力される。B L変換部35は、F I F Oメモリ33Aからリード要求（B L 3 2, B G 3）および分割可否情報d e vが入力されると、d e v = 1となっているので、リード要求（B L 3 2, B G 3）を、2つのリード要求（B L 1 6, B G 3）に分割してメモリコントローラ40に出力する。B L変換部35は、以降も上記と同様にして、メモリアクセス要求をメモリコントローラ40に出力する。その結果、例えば、図20に示したようなメモリアクセス要求列がメモリコントローラ40に入力される。図20では、メモリコントローラ40に入力された複数のメモリアクセス要求が下から順番に並んで配置されている。

- [0067] 次に、メモリコントローラ40について説明する。メモリコントローラ40は、例えば、図5に示したように、コマンドスケジューラ41と、LPDDR-PHY（以下、単に「物理層」と称する。）42とを有している。
- [0068] コマンドスケジューラ41は、調整部30から入力されたメモリアクセス要求に基づいて、DRAM50に対するコマンドを発行する。このとき、コマンドスケジューラ41は、発行するコマンドの発行タイミング情報を生成し、生成した発行タイミング情報に従ってコマンドを物理層42に出力する。コマンドスケジューラ41は、生成した発行タイミング情報をBL変換判定部34に出力する。
- [0069] コマンドスケジューラ41は、例えば、DRAM50における複数のバンクグループに対して、並列的にアクセスさせるためのバンクグループインタリーブ手法によりコマンドを発行する。メモリコントローラ40は、内部バッファに格納しておいた書き込みデータを、コマンド発行と同期してDRAM50に出力する。メモリコントローラ40は、コマンド発行と同期して、DRAM50から読み出しデータを読み出し、内部バッファに格納する。
- [0070] 物理層42は、メモリコントローラ40の動作クロックと同期して供給されるコマンドと、内部バッファに格納しておいた書き込みデータとを、DRAM50のメモリクロックに基づいて出力する。また、物理層42は、DRAM50におけるメモリクロックに同期して読み出されたデータを、メモリコントローラ40の動作クロックに同期させて内部バッファに格納する。
- [0071] コマンドスケジューラ41は、メモリアクセスの効率を高めるためにアクセス順序の入れ替えを行う機能（アウトオブオーダー実行機能）を有している。以下に、アウトオブオーダー実行機能について説明する。
- [0072] 図21は、アウトオブオーダーの実行手順の一例を表したものである。まず、コマンドスケジューラ41は、追い越しフラグが立っているか否かを判定する（ステップS501）。その結果、追い越しフラグが立っている場合には（ステップS501；Y）、コマンドスケジューラ41は、追い越しフラグをクリアする（ステップS502）。このとき、コマンドスケジューラ4

1 は、(b) に対応するコマンドの発行時刻を決定し、(b) に対応するコマンドを (a) に対応するコマンドとする (ステップ S 5 0 2, S 5 0 3)。
。

[0073] 追い越しフラグが立っていない場合には (ステップ S 5 0 1 ; N)、コマンドスケジューラ 4 1 は、(b) に対応するコマンドの B L 長が B L 3 2 であるか否かを判定する (ステップ S 5 0 5)。その結果、(b) に対応するコマンドの B L 長が B L 3 2 である場合には (ステップ S 5 0 5 ; Y)、コマンドスケジューラ 4 1 は、(b) に対応するコマンドの発行時刻を決定し、(b) に対応するコマンドを (a) に対応するコマンドとする (ステップ S 5 0 6, S 5 0 7)。

[0074] (b) に対応するコマンドの B L 長が B L 3 2 ではない場合には (ステップ S 5 0 5 ; N)、コマンドスケジューラ 4 1 は、(a) に対応するコマンドと (b) に対応するコマンドとが互いにリードコマンドもしくはライトコマンドであるか否かを判定する (ステップ S 5 0 8)。その結果、(a) に対応するコマンドと (b) に対応するコマンドとが互いにリードコマンドもしくはライトコマンドではない場合には (ステップ S 5 0 8 ; N)、コマンドスケジューラ 4 1 は、(b) に対応するコマンドの発行時刻を決定し、(b) に対応するコマンドを (a) に対応するコマンドとする (ステップ S 5 0 9, S 5 1 0)。

[0075] (a) に対応するコマンドと (b) に対応するコマンドとが互いにリードコマンドもしくはライトコマンドである場合には (ステップ S 5 0 8 ; Y)、コマンドスケジューラ 4 1 は、(a) に対応するコマンドの B G が (b) に対応するコマンドの B G と等しいか否かを判定する (ステップ S 5 1 1)。その結果、(a) に対応するコマンドの B G が (b) に対応するコマンドの B G と異なっている場合には (ステップ S 5 1 1 ; N)、コマンドスケジューラ 4 1 は、(b) に対応するコマンドの発行時刻を決定し、(b) に対応するコマンドを (a) に対応するコマンドとする (ステップ S 5 1 2, S 5 1 3)。

[0076] (a) に対応するコマンドのBGが(b)に対応するコマンドのBGと等しい場合には(ステップS511; Y)、コマンドスケジューラ41は、追い越しフラグを立てる(ステップS514)。続いて、コマンドスケジューラ41は、(c)に対応するコマンドの発行時刻を決定し、(c)に対応するコマンドを(a)に対応するコマンドとする(ステップS515, S516)。

[0077] 図22は、コマンドスケジューラ41で生成されるコマンド列の一例を表したものである。図22の各時刻は、(b)に対応するコマンドに対して決定される発行時刻であり、(c)に対応するコマンドは(b)に対応するコマンドの次に古いコマンドである。

[0078] コマンドスケジューラ41は、図22(A)に示したように、追い越しフラグが立っておらず、(b)に対応するコマンドのBL長がBL16となっており、(a)に対応するコマンドと(b)に対応するコマンドとが互いにリードコマンドとなっており、(a)に対応するコマンドのBGが(b)に対応するコマンドのBGと異なっていると(ステップS501; N, S505; N, S508; Y, S511; N)。このとき、コマンドスケジューラ41は、(b)に対応するコマンドの発行時刻をt1とする(ステップS512)。さらに、コマンドスケジューラ41は、(a)に対応するコマンドを物理層42に出力し、(b)に対応するコマンドを(a)に対応するコマンドにする(ステップS513)。

[0079] 次に、コマンドスケジューラ41は、図22(B)に示したように、追い越しフラグが立っておらず、(b)に対応するコマンドのBL長がBL16となっており、(a)に対応するコマンドと(b)に対応するコマンドとが互いにリードコマンドとなっており、(a)に対応するコマンドのBGが(b)に対応するコマンドのBGと等しくなっていると(ステップS501; N, S505; N, S508; Y, S511; Y)。このとき、コマンドスケジューラ41は、追い越しフラグを立て、(c)に対応するコマンドの発行時刻をt2とする(ステップS514, S515)。さらに、コマンド

スケジューラ41は、(a)に対応するコマンドを物理層42に出力し、(c)に対応するコマンドを(a)に対応するコマンドにする(ステップS516)。

[0080] 次に、コマンドスケジューラ41は、図22(C)に示したように、追い越しフラグが立っている場合には(ステップS501; Y)、追い越しフラグをクリアする(ステップS502)。このとき、コマンドスケジューラ41は、(b)に対応するコマンドの発行時刻を t_3 とする(ステップS503)。さらに、コマンドスケジューラ41は、(a)に対応するコマンドを物理層42に出力し、(b)に対応するコマンドを(a)に対応するコマンドにする(ステップS504)。

[0081] 次に、コマンドスケジューラ41は、図22(D)に示したように、追い越しフラグが立っておらず、(b)に対応するコマンドのBL長がBL16となっており、(a)に対応するコマンドと(b)に対応するコマンドとが互いにリードコマンドとなっており、(a)に対応するコマンドのBGが(b)に対応するコマンドのBGと異なっていると(ステップS501; N, S505; N, S508; Y, S511; N)。このとき、コマンドスケジューラ41は、(b)に対応するコマンドの発行時刻を t_4 とする(ステップS512)。さらに、コマンドスケジューラ41は、(a)に対応するコマンドを物理層42に出力し、(b)に対応するコマンドを(a)に対応するコマンドにする(ステップS513)。

[0082] 次に、コマンドスケジューラ41は、図22(E)に示したように、追い越しフラグが立っておらず、(b)に対応するコマンドのBL長がBL16となっており、(a)に対応するコマンドと(b)に対応するコマンドとが互いにリードコマンドとなっており、(a)に対応するコマンドのBGが(b)に対応するコマンドのBGと異なっていると(ステップS501; N, S505; N, S508; Y, S511; N)。このとき、コマンドスケジューラ41は、(b)に対応するコマンドの発行時刻を t_5 とする(ステップS512)。さらに、コマンドスケジューラ41は、(a)に対応する

コマンドを物理層42に出力し、(b)に対応するコマンドを(a)に対応するコマンドにする(ステップS513)。

[0083] 次に、コマンドスケジューラ41は、図22(F)に示したように、追い越しフラグが立っておらず、(b)に対応するコマンドのBL長がBL16となっており、(a)に対応するコマンドと(b)に対応するコマンドとが互いにリードコマンドとなっており、(a)に対応するコマンドのBGが(b)に対応するコマンドのBGと等しくなっているとする(ステップS501; N, 505; N, S508; Y, S511; Y)。このとき、コマンドスケジューラ41は、追い越しフラグを立て、(c)に対応するコマンドの発行時刻をt6とする(ステップS514, S515)。さらに、コマンドスケジューラ41は、(a)に対応するコマンドを物理層42に出力し、(c)に対応するコマンドを(a)に対応するコマンドにする(ステップS516)。

[0084] 次に、コマンドスケジューラ41は、図22(G)に示したように、追い越しフラグが立っているとする(ステップS501; Y)。このとき、コマンドスケジューラ41は、追い越しフラグをクリアし、(b)に対応するコマンドの発行時刻をt7とする(ステップS502, S503)。さらに、コマンドスケジューラ41は、(a)に対応するコマンドを物理層42に出力し、(b)に対応するコマンドを(a)に対応するコマンドにする(ステップS504)。

[0085] 次に、コマンドスケジューラ41は、図22(H)に示したように、追い越しフラグが立っておらず、(b)に対応するコマンドのBL長がBL16となっており、(a)に対応するコマンドと(b)に対応するコマンドとが互いにリードコマンドとなっており、(a)に対応するコマンドのBGが(b)に対応するコマンドのBGと異なっているとする(ステップS501; N, 505; N, S508; Y, S511; N)。このとき、コマンドスケジューラ41は、(b)に対応するコマンドの発行時刻をt8とする(ステップS512)。さらに、コマンドスケジューラ41は、(a)に対応する

コマンドを物理層42に出力し、(b)に対応するコマンドを(a)に対応するコマンドにする(ステップS513)。

[0086] 次に、コマンドスケジューラ41は、図22(1)に示したように、追い越しフラグが立っておらず、(b)に対応するコマンドのBL長がBL32となっているとする(ステップS501; N, 505; Y)。このとき、コマンドスケジューラ41は、(b)に対応するコマンドの発行時刻をt9とする(ステップS506)。さらに、コマンドスケジューラ41は、(a)に対応するコマンドを物理層42に出力し、(b)に対応するコマンドを(a)に対応するコマンドにする(ステップS507)。

[0087] このようにして、コマンドスケジューラ41は、アウトオブオーダを実行する。

[0088] 図23は、リードコマンドからライトコマンドに変化するコマンド列が入力されたときのコマンドスケジューラ41の動作の一例を表したものである。図23の上段には、BL長がBL32のときのコマンドスケジューラ41の動作の一例が表わされている。図23の下段には、図23の上段に表されたコマンドスケジューラ41の動作において、特定のBGインタリーブの複数のリードコマンド(BL32, BG3)のBL長をBL32からBL16に変換した動作の一例が表わされている。なお、特定のBGインタリーブとは、分割要否情報devが「1」となっている複数のコマンドで構成されたBGインタリーブを指している。

[0089] 図23の上段、下段において、アドレスコマンド線に出力されるコマンドがバンクグループごとおよびバンクアドレスごとに分けて表されており、データ線に出力されるデータがバンクグループごとおよびバンクアドレスごとに異なる模様で表されている。なお、データ線において、黒塗りの箇所はデータが出力されていないことを示している。

[0090] 図23から、特定のBGインタリーブの複数のリードコマンドのBL長をBL32からBL16に変換することにより、リード・ライトの切り替えに要するペナルティを短縮することができることがわかる。

[0091] 図24は、ライトコマンドからリードコマンドに変化するコマンド列が入力されたときのコマンドスケジューラ41の動作の一例を表したものである。図24の上段には、BL長がBL32のときのコマンドスケジューラ41の動作の一例が表わされている。図24の下段には、図24の上段に表されたコマンドスケジューラ41の動作において、特定のBGインタリーブの複数のリードコマンド（BL32，BG3）のBL長をBL32からBL16に変換した動作の一例が表わされている。なお、特定のBGインタリーブとは、分割要否情報devが「1」となっている複数のコマンドで構成されたBGインタリーブを指している。

[0092] 図24の上段、下段において、アドレスコマンド線に出力されるコマンドがバンクグループごとおよびバンクアドレスごとに分けて表されており、データ線に出力されるデータがバンクグループごとおよびバンクアドレスごとに異なる模様で表されている。なお、データ線において、黒塗りの箇所はデータが出力されていないことを示している。

[0093] 図24から、特定のBGインタリーブの複数のコマンドのBL長をBL32からBL16に変換することにより、リード・ライトの切り替えに要するペナルティを短縮することができることがわかる。

[0094] [効果]

次に、本実施の形態に係る情報処理システムの効果について説明する。

[0095] 本実施の形態では、リードBGインタリーブもしくはライトBGインタリーブのメモリアクセス要求数と、リードバンクグループインタリーブもしくはライトバンクグループインタリーブの直前のメモリアクセス要求に対応するコマンドのタイミング情報とに基づいて、リードBGインタリーブもしくはライトBGインタリーブに含まれるメモリアクセス要求のBL長が変換される。これにより、DRAM50へのアクセスの効率を考慮したBL長を選択することが可能となる。その結果、LPDDR5もしくはLPDDR5Xなどの、BGを持ち、複数のBL長に対応したDRAM規格において、DRAM50へのアクセスをより効率良く実行することができる。

[0096] 本実施の形態では、上記条件Aおよび上記条件Bのいずれかの条件を満たす場合に、リードBGインタリーブもしくはライトBGインタリーブに含まれるメモリアクセス要求のBL長がBL32からBL16に変換される。これにより、DRAM50へのアクセスの効率を考慮したBL長を選択することが可能となる。その結果、LPDDR5もしくはLPDDR5Xなどの、BGを持ち、複数のBL長に対応したDRAM規格において、DRAM50へのアクセスをより効率良く実行することができる。

[0097] 本実施の形態では、複数のメモリアクセス要求において、リードBGインタリーブもしくはライトBGインタリーブに該当するメモリアクセス要求が存在するか否かが判定され、その判定結果に応じたフラグがバンクグループ情報としてバッファ33のFIFOメモリ33Aに書き込まれる。これにより、FIFOメモリ33Aを用いてDRAM50へのアクセスの効率を考慮したBL長を選択することが可能となる。その結果、LPDDR5もしくはLPDDR5Xなどの、BGを持ち、複数のBL長に対応したDRAM規格において、DRAM50へのアクセスをより効率良く実行することができる。

[0098] 本実施の形態では、コマンドスケジューラ41から取得した発行タイミング情報に基づいて、フラグが付与された複数のメモリアクセス要求のBL長を変換するか否かが判定され、その判定結果に応じたフラグが分割要否情報devとしてバッファ33のFIFOメモリ33Aに書き込まれる。これにより、FIFOメモリ33Aを用いてDRAM50へのアクセスの効率を考慮したBL長を選択することが可能となる。その結果、LPDDR5もしくはLPDDR5Xなどの、BGを持ち、複数のBL長に対応したDRAM規格において、DRAM50へのアクセスをより効率良く実行することができる。

[0099] <3. 変形例>

以下、上記実施の形態に係る情報処理システムの変形例について説明する。以下の変形例では、上記実施の形態と共通の構成に同一の符号を付して説

明する。

[0100] [変形例 A]

上記実施の形態およびその変形例において、例えば、図 25 に示したように、調整部 30 およびメモリコントローラ 40 の代わりに、メモリコントローラ 60 が設けられていてもよい。メモリコントローラ 60 は、コマンドスケジューラ 43 および物理層 42 を有している。コマンドスケジューラ 43 は、例えば、バッファ 43a、RW 切替検出部 32、BL 変換部 35、BL 変換判定部 34 およびコマンド発行部 43b を有している。

[0101] バッファ 43a は、例えば、FIFO メモリ 33A を有している。バッファ 43a は、調停部 31 からメモリアクセス要求を受け付けるたびに、受け付けたメモリアクセス要求を FIFO メモリ 33A に格納する。BL 変換部 35 は、バッファ 43a の FIFO メモリ 33A から出力されたメモリアクセス要求をコマンド発行部 43b に出力する。

[0102] コマンド発行部 43b は、BL 変換部 35 から入力されたメモリアクセス要求に基づいて、DRAM 50 に対するコマンドを発行する。コマンド発行部 43b は、例えば、DRAM 50 における複数のバンクグループに対して、並列的にアクセスさせるためのバンクグループインタリーブ手法によりコマンドを発行する。コマンド発行部 43b は、内部バッファに格納しておいた書き込みデータを、コマンド発行と同期して DRAM 50 に出力する。コマンド発行部 43b は、コマンド発行と同期して、DRAM 50 から読み出しデータを読み出し、内部バッファに格納する。

[0103] 本変形例では、調整部 30 の機能がメモリコントローラ 60 に内蔵されている。このようにした場合には、メモリコントローラ 60 内のコマンドバッファをバッファ 43a として用いることができる。

[0104] なお、本変形例において、コマンド発行部 43b は、メモリコントローラ 60 内で管理する DQ ピンの使用状態についての情報を BL 変換判定部 34 に出力してもよい。このとき、BL 変換判定部 34 は、DQ ピンの使用状態についての情報に基づいて、図 12 (B) に示したような空きが DQ ピンに

生じるか否か（つまり、上述の条件Aを満たすか否か）を判定する。その結果、図12（B）に示したような空きがDQピンに生じる（つまり、上述の条件Aを満たす）と判定した場合には、2BGインタリーブ1L-aに含まれるコマンドのBL長を、BL32からBL16へ変換する。このようにした場合であっても、DRAM50へのアクセスの効率を考慮したBL長を選択することが可能となる。その結果、LPDDR5もしくはLPDDR5Xといった最新世代のDRAM規格において、DRAM50へのアクセスをより効率良く実行することができる。

[0105] [変形例B]

上記実施の形態および変形例Aでは、各イニシエータ10から入力されるメモリアクセス要求に含まれるBL長が常にBL32となっていた。しかし、上記実施の形態および変形例Aにおいて、各イニシエータ10から入力されるメモリアクセス要求の一部に含まれるBL長が、例えば、図26に示したようにBL16となってもよい。

[0106] 図27は、2BGインタリーブ1L-aに含まれるコマンドのBL長の変換を実行するか否かを判断するための条件を表したものである。図27には、2BGインタリーブ1L-aに含まれるコマンドのBL長を、BL16からBL32へ変換する条件が示されている。BL変換判定部34およびBL変換部35は、以下の2つのいずれの条件も満たさない場合に、2BGインタリーブ1L-aに含まれるコマンドのBL長を、BL16からBL32へ変換する。

[0107] ・条件A

2BGインタリーブ1L-aのメモリアクセス要求数（BL16相当に換算したときのメモリアクセス要求数）が偶数×2となっており、かつ、コマンドCmd-aがコマンドCmd-aの直前のコマンドCmd-b（第2コマンド）から2nCK後以外のタイミングで発行されること

・条件B

2BGインタリーブ1L-aのメモリアクセス要求数（BL16相当に換

算したときのメモリアクセス要求数)が奇数×2となっており、かつ、コマンドC m d - aがコマンドC m d - bから2 n C K後のタイミングで発行されること

[0108] 図28(A)、図28(B)は、2BGインタリーブI L - a、コマンドC m d - aおよびコマンドC m d - bについて説明する図である。図28(A)では、2BGインタリーブI L - aが、2つのバンクグループBG2, BG3に対してBL16の8つのリード要求でインタリーブするように構成されている場合が例示されている。図29(B)では、2BGインタリーブI L - aが、2つのバンクグループBG2, BG3に対してBL16の4つのリードコマンドでインタリーブするように構成されている場合が例示されている。

[0109] 図28(A)では、2BGインタリーブI L - aの直前のコマンドC m d - aが、バンクグループBG1に対するBL32のリードコマンドとなっており、コマンドC m d - aの直前のコマンドC m d - bが、バンクグループBG2に対するBL32のリードコマンドとなっている。一方、図29(B)では、2BGインタリーブI L - aの直前のコマンドC m d - aが、バンクグループBG1に対するBL32のリードコマンドとなっており、コマンドC m d - aの直前のコマンドC m d - bが、バンクグループBG0に対するBL32のリードコマンドとなっている。

[0110] 本変形例では、上記条件Aおよび上記条件Bのいずれの条件も満たさない場合に、リードBGプインタリーブもしくはライトBGインタリーブに含まれるメモリアクセス要求のBL長がBL16からBL32に変換される。これにより、DRAM50へのアクセスの効率を考慮したBL長を選択することが可能となる。その結果、LPDDR5もしくはLPDDR5Xなどの、BGを持ち、複数のBL長に対応したDRAM規格において、DRAM50へのアクセスをより効率良く実行することができる。

[0111] [変形例C]

上記実施の形態および変形例A, Bにおいて、コマンドスケジューラ41

が、3つのバンクグループにインタリーブしてもよい。このとき、BL変換判定部34およびBL変換部35は、リード・ライトの切り替えの直前の3BGインタリーブIL-b（リードBGグループインタリーブもしくはライトBGインタリーブ）のメモリアクセス要求数と、3BGインタリーブIL-bの直前のメモリアクセス要求R-aに対応するコマンドCmd-a（第1コマンド）のタイミング情報とに基づいて、3BGインタリーブIL-bに含まれるメモリアクセス要求のBL長を変換する。なお、「3BGインタリーブ」とは、3つのバンクグループにインタリーブすることを指している。このとき、BL変換判定部34およびBL変換部35は、以下に記載の条件Aまたは条件Bに基づいて、3BGインタリーブIL-bに含まれるメモリアクセス要求のBL長の変換を実行するか否かを判断してもよい。

[0112] ・条件A

3BGインタリーブIL-aのメモリアクセス要求数（BL16相当に換算したときのメモリアクセス要求数）が偶数×2となっており、かつ、コマンドCmd-aがコマンドCmd-aの直前のコマンドCmd-b（第2コマンド）から2nCK後以外のタイミングで発行されること

・条件B

3BGインタリーブIL-aのメモリアクセス要求数（BL16相当に換算したときのメモリアクセス要求数）が奇数×2となっており、かつ、コマンドCmd-aがコマンドCmd-bから2nCK後のタイミングで発行されること

[0113] このとき、バッファ33には、例えば図29に記載のFIFOメモリ33Aが格納されている。図29は、条件Aを満たしたときにフラグの書き込み処理がなされた後のフラグが書き込まれたFIFOメモリ33Aの一例を表したものである。以下では、図29に記載のFIFOメモリ33Aに対して複数のメモリアクセス要求が順次入力されたときの、BL変換部35からの出力について説明する。

[0114] FIFOメモリ33Aに新たなメモリアクセス要求が入力されると、F I

F Oメモリ33Aにおける格納順番が最も古いメモリアクセス要求（リード要求（BL32, BG1）＝メモリアクセス要求R－b）および分割可否情報devがBL変換部35に出力される。BL変換部35は、FIFOメモリ33Aからリード要求（BL32, BG1）および分割可否情報devが入力されると、dev=0となっているので、リード要求（BL32, BG1）をそのまま、メモリコントローラ40に出力する。

[0115] FIFOメモリ33Aに更にメモリアクセス要求が入力されると、FIFOメモリ33Aにおける格納順番が最も古いメモリアクセス要求（リード要求（BL32, BG0）＝メモリアクセス要求R－a）および分割可否情報devがBL変換部35に出力される。BL変換部35は、FIFOメモリ33Aからリード要求（BL32, BG0）および分割可否情報devが入力されると、dev=0となっているので、リード要求（BL32, BG0）をそのまま、メモリコントローラ40に出力する。

[0116] FIFOメモリ33Aに更にメモリアクセス要求が入力されると、FIFOメモリ33Aにおける格納順番が最も古いメモリアクセス要求（3BGインタリーブIL－bの先頭のリード要求（BL32, BG1））および分割可否情報devがBL変換部35に出力される。BL変換部35は、FIFOメモリ33Aからリード要求（BL32, BG1）および分割可否情報devが入力されると、dev=1となっているので、リード要求（BL32, BG1）を、2つのリード要求（BL16, BG1）に分割してメモリコントローラ40に出力する。

[0117] FIFOメモリ33Aに更にメモリアクセス要求が入力されると、FIFOメモリ33Aにおける格納順番が最も古いメモリアクセス要求（3BGインタリーブIL－bの2番目のリード要求（BL32, BG3））および分割可否情報devがBL変換部35に出力される。BL変換部35は、FIFOメモリ33Aからリード要求（BL32, BG3）および分割可否情報devが入力されると、dev=1となっているので、リード要求（BL32, BG3）を、2つのリード要求（BL16, BG3）に分割してメモリ

コントローラ40に出力する。BL変換部35は、以降も上記と同様にして、コマンドをメモリコントローラ40に出力する。その結果、例えば、図30に示したようなメモリアクセス要求列がメモリコントローラ40に入力される。図30では、メモリコントローラ40に入力された複数のメモリアクセス要求が下から順番に並んで配置されている。

[0118] 本変形例では、リード・ライトの切り替えの直前の3BGインタリーブ1L-bのメモリアクセス要求数と、3BGインタリーブ1L-bの直前のメモリアクセス要求に対応するコマンドCmd-aのタイミング情報とに基づいて、3BGインタリーブ1L-bに含まれるメモリアクセス要求のBL長が変換される。このようにした場合であっても、DRAM50へのアクセスの効率を考慮したBL長を選択することが可能となる。その結果、LPDDR5もしくはLPDDR5Xなどの、BGを持ち、複数のBL長に対応したDRAM規格において、DRAM50へのアクセスをより効率良く実行することができる。

[0119] なお、本変形例において、コマンドスケジューラ41が、M個のバンクグループにインタリーブしてもよい。このとき、BL変換判定部34およびBL変換部35は、リード・ライトの切り替えの直前のMBGインタリーブ1L-b ($M \geq 4$) のメモリアクセス要求数と、MBGインタリーブ1L-bの直前のメモリアクセス要求R-aに対応するコマンドCmd-a (第1コマンド) のタイミング情報とに基づいて、MBGインタリーブ1L-bに含まれるメモリアクセス要求のBL長を変換してもよい。なお、「MBGインタリーブ」とは、M個のバンクグループにインタリーブすることを指している。このとき、BL変換判定部34およびBL変換部35は、以下に記載の条件Aまたは条件Bに基づいて、3BGインタリーブ1L-bに含まれるメモリアクセス要求のBL長の変換を実行するか否かを判断してもよい。

[0120] ・条件A

MBGインタリーブ1L-aのメモリアクセス要求数 (BL16相当に換算したときのメモリアクセス要求数) が偶数 $\times 2$ となっており、かつ、コマ

ンドC m d - a がコマンドC m d - a の直前のコマンドC m d - b (第2コマンド) から2 n C K 後以外のタイミングで発行されること

・条件B

M B G インタリーブ I L - a のメモリアクセス要求数 (B L 1 6 相当に換算したときのメモリアクセス要求数) が奇数×2となっており、かつ、コマンドC m d - a がコマンドC m d - b から2 n C K 後のタイミングで発行されること

[0121] このようにした場合であっても、D R A M 5 0 へのアクセスの効率を考慮したB L 長を選択することが可能となる。その結果、L P D D R 5 もしくはL P D D R 5 X などの、B G を持ち、複数のB L 長に対応したD R A M 規格において、D R A M 5 0 へのアクセスをより効率良く実行することができる。

[0122] 以上、複数の実施の形態およびそれらの変形例を挙げて本技術を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持ってもよい。

[0123] また、例えば、本開示は以下のような構成を取ることができる。

(1)

受け付けたメモリアクセスに関する複数のメモリアクセス要求において、リードバンクグループインタリーブとライト要求との切り替え、もしくはライトバンクグループインタリーブとリード要求との切り替えを検出する検出部と、

前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブのメモリアクセス要求数と、前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブの直前のメモリアクセス要求に対応する第1コマンドのタイミング情報とに基づいて、前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタ

リーブに含まれるメモリアクセス要求のBL長を変換する変換部と
を備えた
メモリ制御装置。

(2)

前記変換部は、以下の2つのいずれかの条件を満たす場合に、前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブに含まれるメモリアクセス要求のBL長をBL32からBL16に変換する

(1)に記載のメモリ制御装置。

・条件A

前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブの、BL16相当に換算したときのメモリアクセス要求数が偶数 $\times 2$ となっており、かつ、前記第1コマンドが前記第1コマンドの直前の第2コマンドから2nCK後以外のタイミングで発行されること

・条件B

前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブの、BL16相当に換算したときのメモリアクセス要求数が奇数 $\times 2$ となっており、かつ、前記第1コマンドが前記第2コマンドから2nCK後のタイミングで発行されること

(3)

前記変換部は、以下の2つのいずれの条件も満たさない場合に、前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブに含まれるコマンドのBL長をBL16からBL32に変換する

(1)に記載のメモリ制御装置。

・条件A

前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブの、BL16相当に換算したときのメモリアクセス要求数が偶数 $\times 2$ となっており、かつ、前記第1コマンドが前記第1コマンドの直前

の前記第2コマンドから2 n C K後以外のタイミングで発行されること

・条件B

前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブの、B L 1 6相当に換算したときのメモリアクセス要求数が奇数×2となっており、かつ、前記第1コマンドが前記第2コマンドから2 n C K後のタイミングで発行されること

(4)

前記複数のメモリアクセス要求と、前記コマンドごとに対応付けられたバンクグループ情報および分割要否情報とを記憶する記憶部と、

前記複数のメモリアクセス要求において、前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブに該当するメモリアクセス要求が存在するか否かを判定し、その判定結果に応じたフラグを、前記バンクグループ情報として前記記憶部に書き込む判定部と

を更に備えた

(1) または (2) に記載のメモリ制御装置。

(5)

前記判定部は、前記タイミング情報に基づいて、前記フラグが付与された複数のメモリアクセス要求のB L長を変換するか否かを判定し、その判定結果に応じたフラグを、前記分割要否情報として前記記憶部に書き込む

(4) に記載のメモリ制御装置。

[0124] 本開示の一実施形態に係るメモリ制御装置では、リードバンクグループインタリーブもしくはライトバンクグループインタリーブのメモリアクセス要求数と、リードバンクグループインタリーブもしくはライトバンクグループインタリーブの直前のメモリアクセス要求に対応するコマンドのタイミング情報とに基づいて、リードバンクグループインタリーブもしくはライトバンクグループインタリーブに含まれるメモリアクセス要求のB L長が変換される。これにより、D R A Mへのアクセスの効率を考慮したB L長を選択することが可能となる。その結果、L P D D R 5もしくはL P D D R 5 Xなどの

、ＢＧを持ち、複数のＢＬ長に対応したＤＲＡＭ規格において、ＤＲＡＭへのアクセスをより効率良く実行することができる。なお、本開示の効果は、ここに記載された効果に必ずしも限定されず、本明細書中に記載されたいずれの効果であってもよい。

[0125] 本出願は、日本国特許庁において２０２２年３月３１日出願された日本特許出願番号第２０２２－０５９６９８号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0126] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1] 受け付けたメモリアクセスに関する複数のメモリアクセス要求において、リードバンクグループインタリーブとライト要求との切り替え、もしくはライトバンクグループインタリーブとリード要求との切り替えを検出する検出部と、

前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブのメモリアクセス要求数と、前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブの直前のメモリアクセス要求に対応する第1コマンドのタイミング情報とに基づいて、前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブに含まれるメモリアクセス要求のBL長を変換する変換部と

を備えた

メモリ制御装置。

[請求項2] 前記変換部は、以下の2つのいずれかの条件を満たす場合に、前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブに含まれるメモリアクセス要求のBL長をBL32からBL16に変換する

請求項1に記載のメモリ制御装置。

・条件A

前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブの、BL16相当に換算したときのメモリアクセス要求数が偶数×2となっており、かつ、前記第1コマンドが前記第1コマンドの直前の第2コマンドから2nCK後以外のタイミングで発行されること

・条件B

前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブの、BL16相当に換算したときのメモリアク

セス要求数が奇数×2となっており、かつ、前記第1コマンドが前記第2コマンドから2 n C K後のタイミングで発行されること

[請求項3] 前記変換部は、以下の2つのいずれの条件も満たさない場合に、前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブに含まれるコマンドのB L 長をB L 1 6からB L 3 2に変換する

請求項1に記載のメモリ制御装置。

・条件A

前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブの、B L 1 6相当に換算したときのメモリアクセス要求数が偶数×2となっており、かつ、前記第1コマンドが前記第1コマンドの直前の前記第2コマンドから2 n C K後以外のタイミングで発行されること

・条件B

前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブの、B L 1 6相当に換算したときのメモリアクセス要求数が奇数×2となっており、かつ、前記第1コマンドが前記第2コマンドから2 n C K後のタイミングで発行されること

[請求項4] 前記複数のメモリアクセス要求と、前記コマンドごとに対応付けられたバンクグループ情報および分割要否情報とを記憶する記憶部と、

前記複数のメモリアクセス要求において、前記リードバンクグループインタリーブもしくは前記ライトバンクグループインタリーブに該当するメモリアクセス要求が存在するか否かを判定し、その判定結果に応じたフラグを、前記バンクグループ情報として前記記憶部に書き込む判定部と

を更に備えた

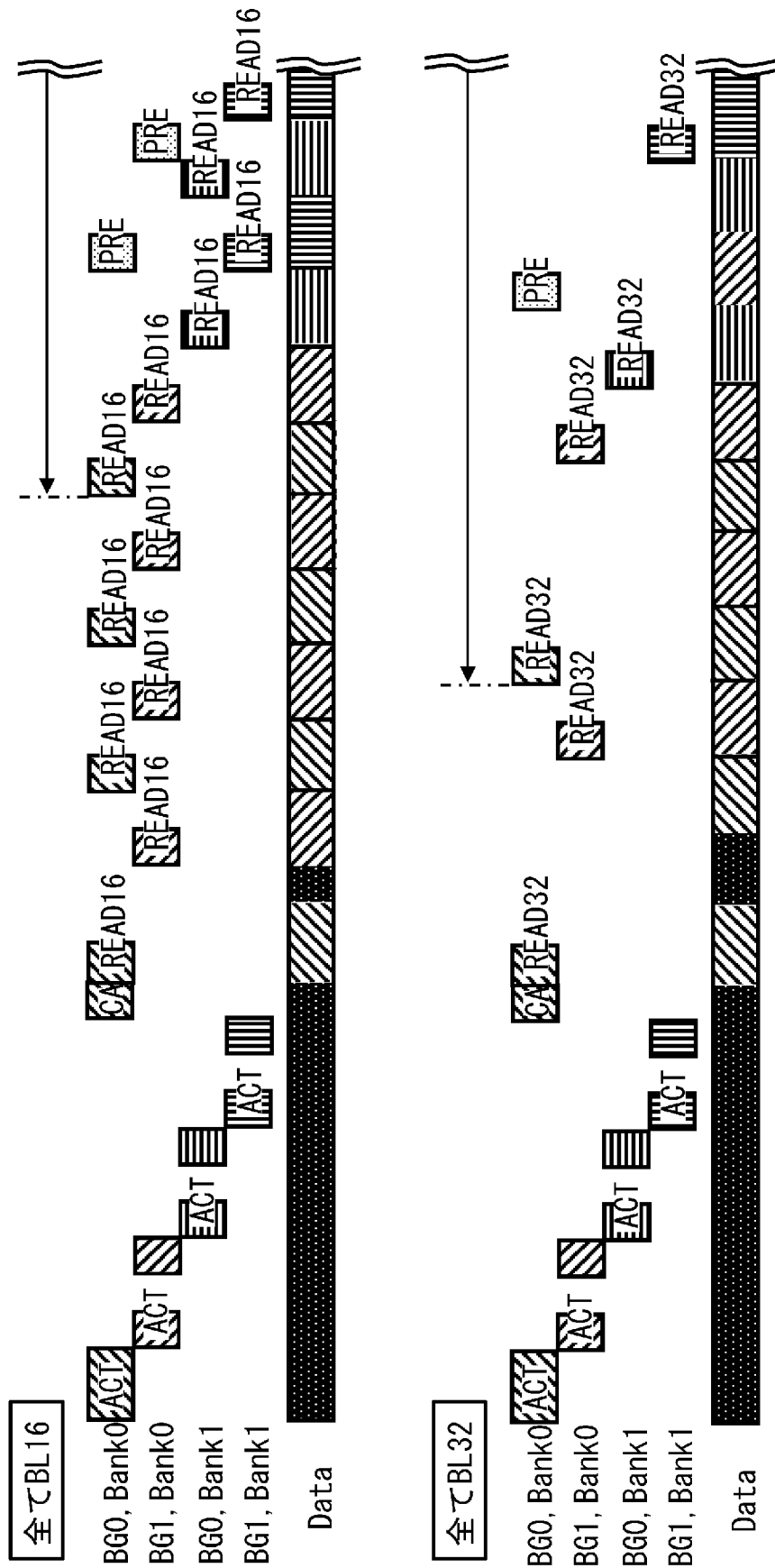
請求項1に記載のメモリ制御装置。

[請求項5] 前記判定部は、前記タイミング情報に基づいて、前記フラグが付与

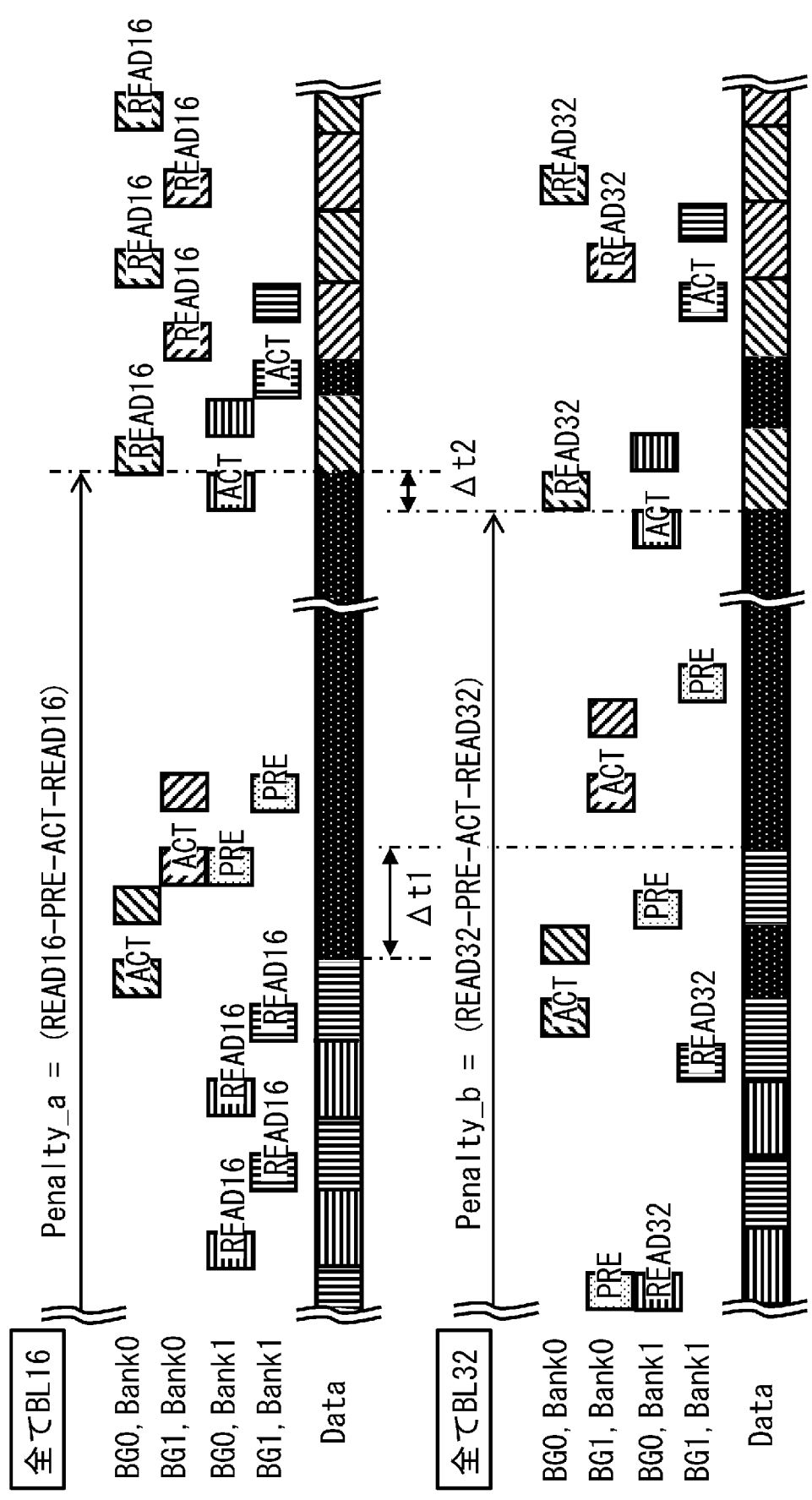
された複数のメモリアクセス要求のＢＬ長を変換するか否か判定し、その判定結果に応じたフラグを、前記分割要否情報として前記記憶部に書き込む

請求項４に記載のメモリ制御装置。

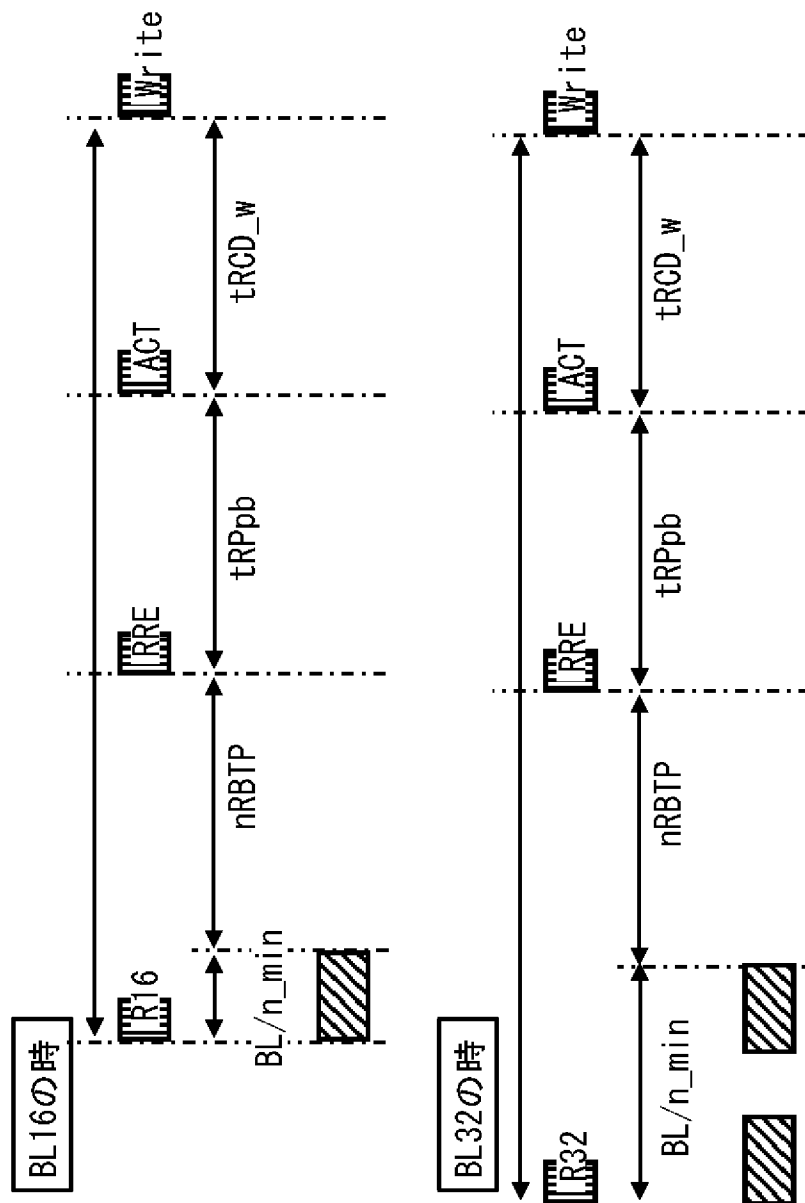
[図1]



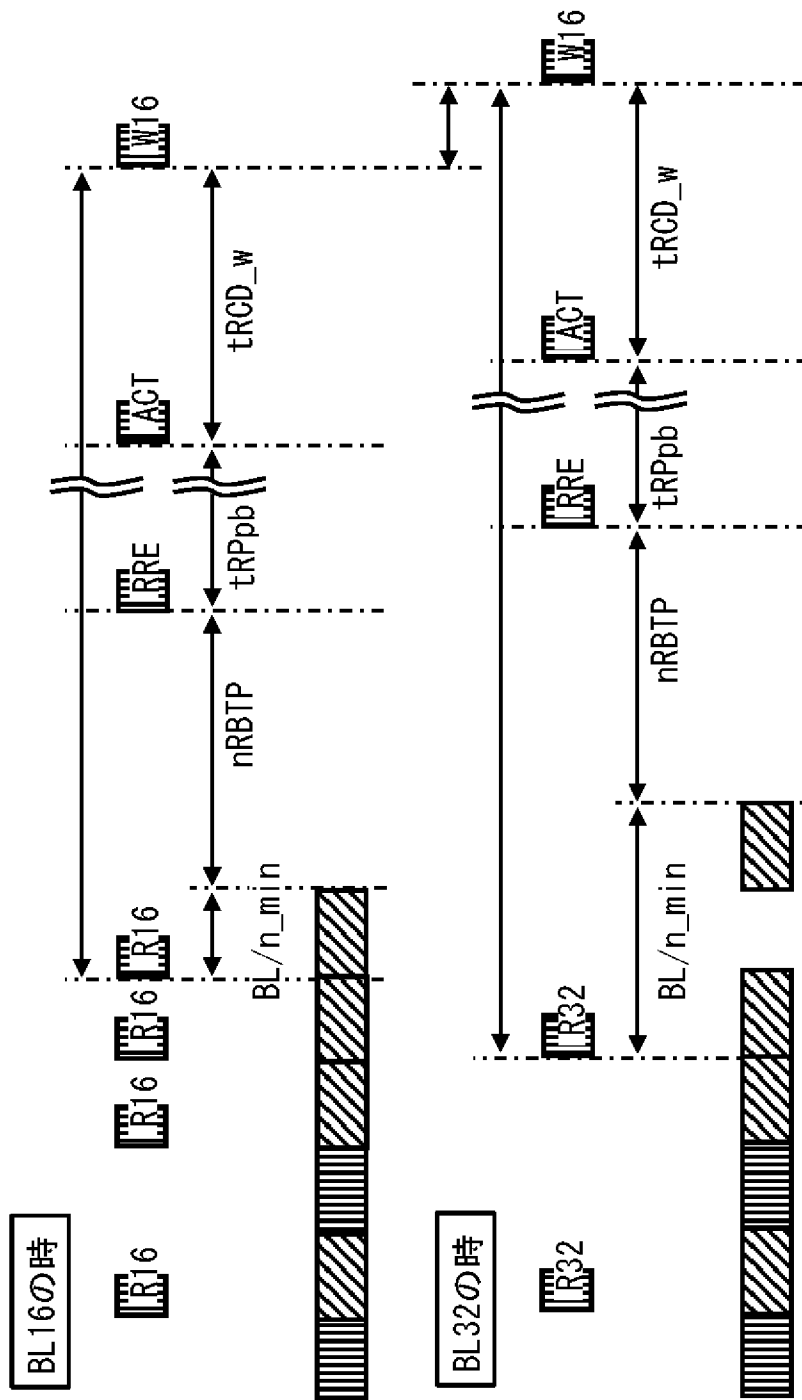
[図2]



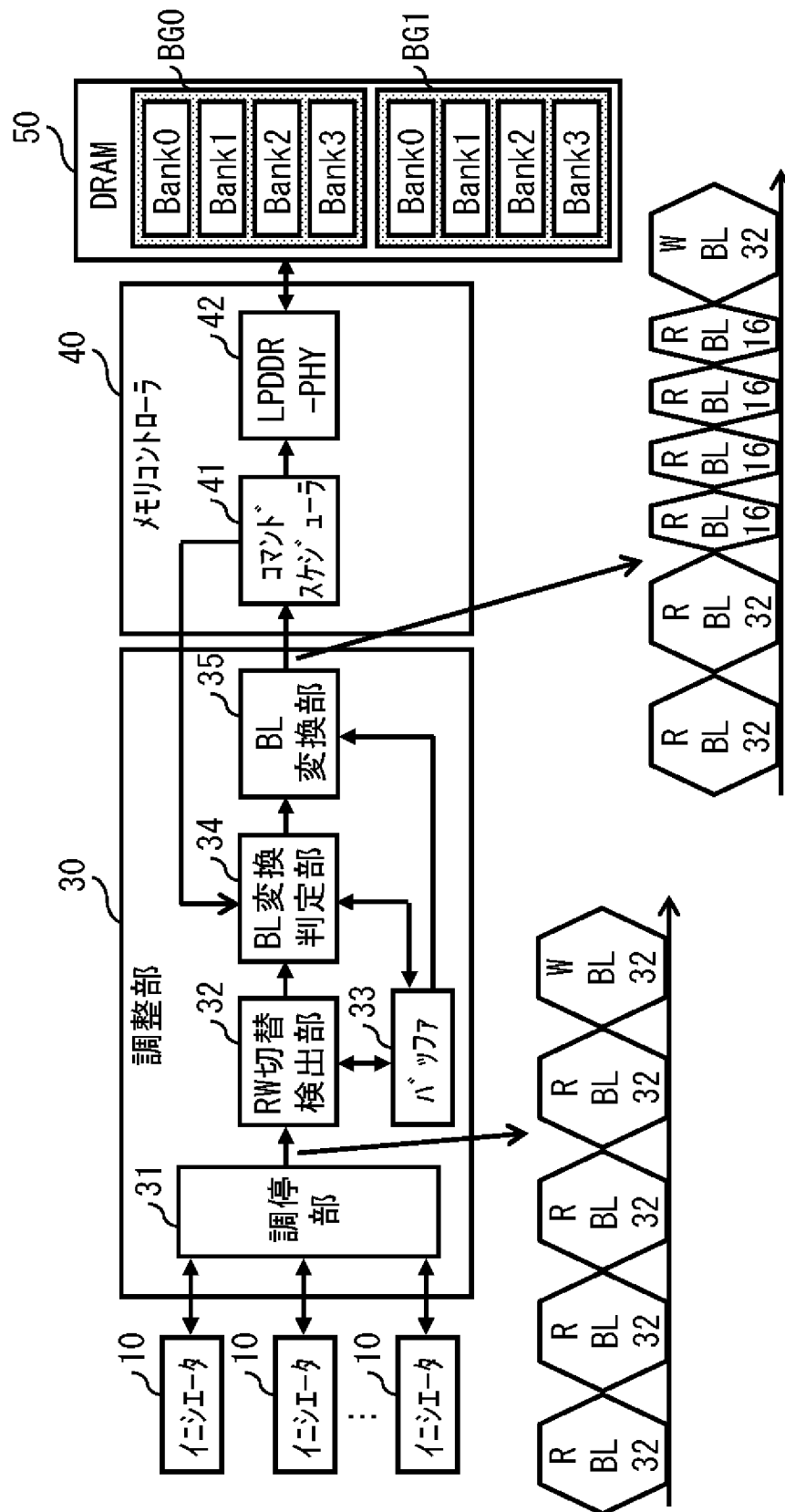
[図3]



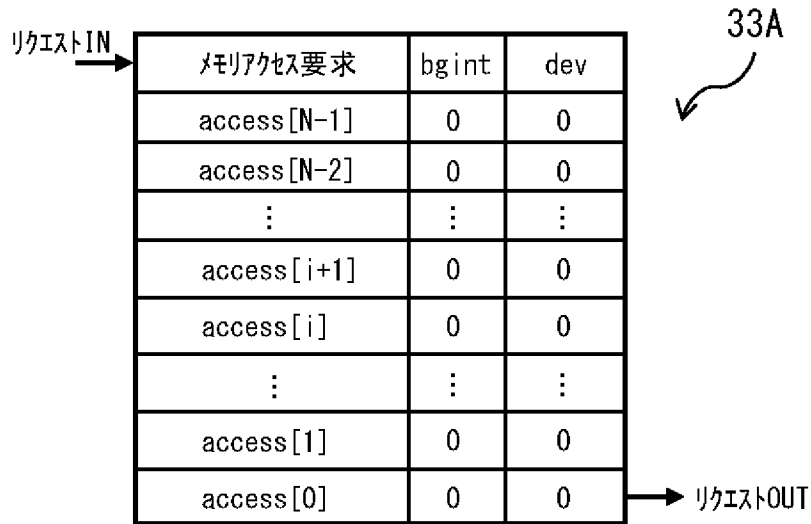
[図4]



[図5]



[図6]

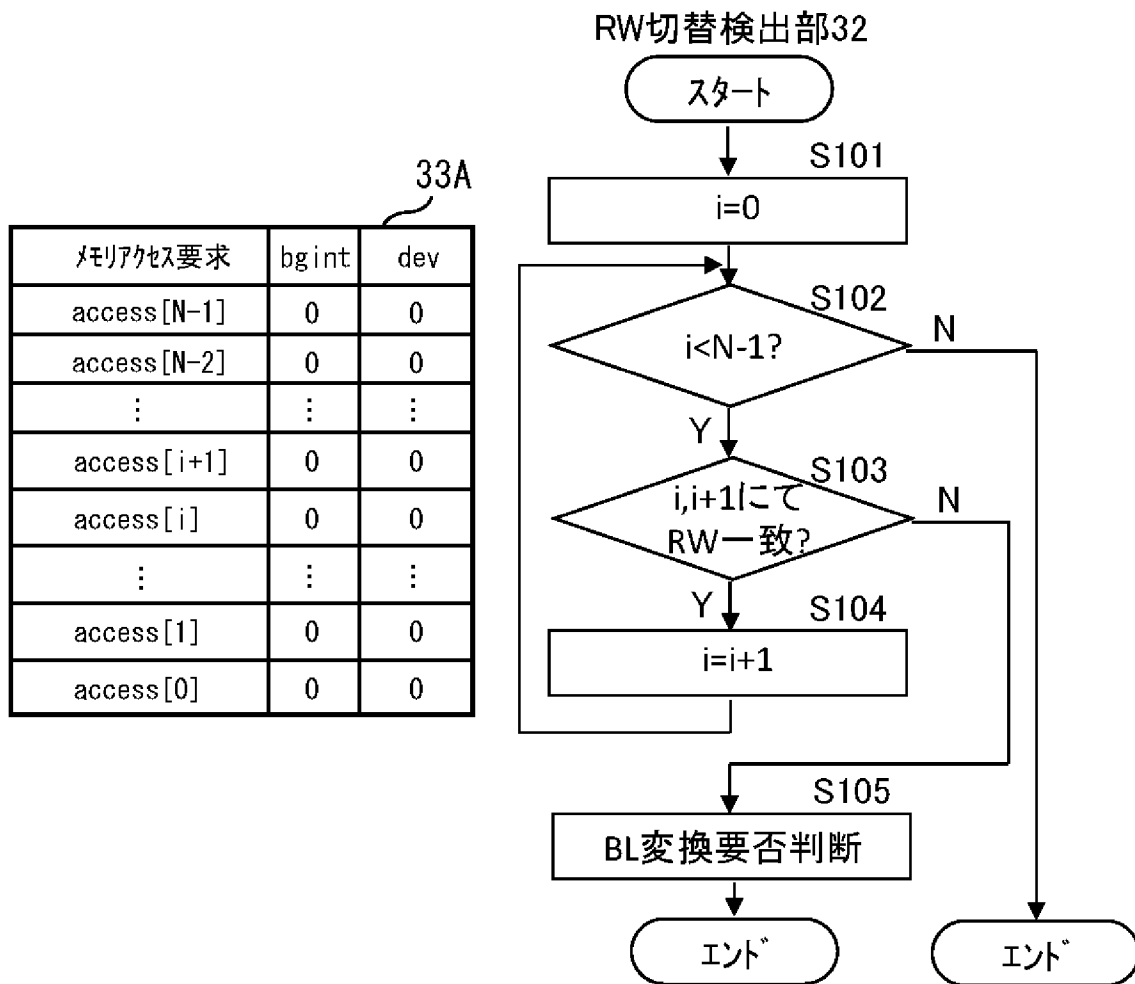


[図7]

33A

メモリアクセス要求	bgint	dev
ライト要求	0	0
ライト要求	0	0
ライト要求	0	0
リード* 要求 (BL32, BG3)	0	0
リード* 要求 (BL32, BG2)	0	0
⋮	⋮	⋮
リード* 要求 (BL32, BG2)	0	0
リード* 要求 (BL32, BG1)	0	0

[図8]



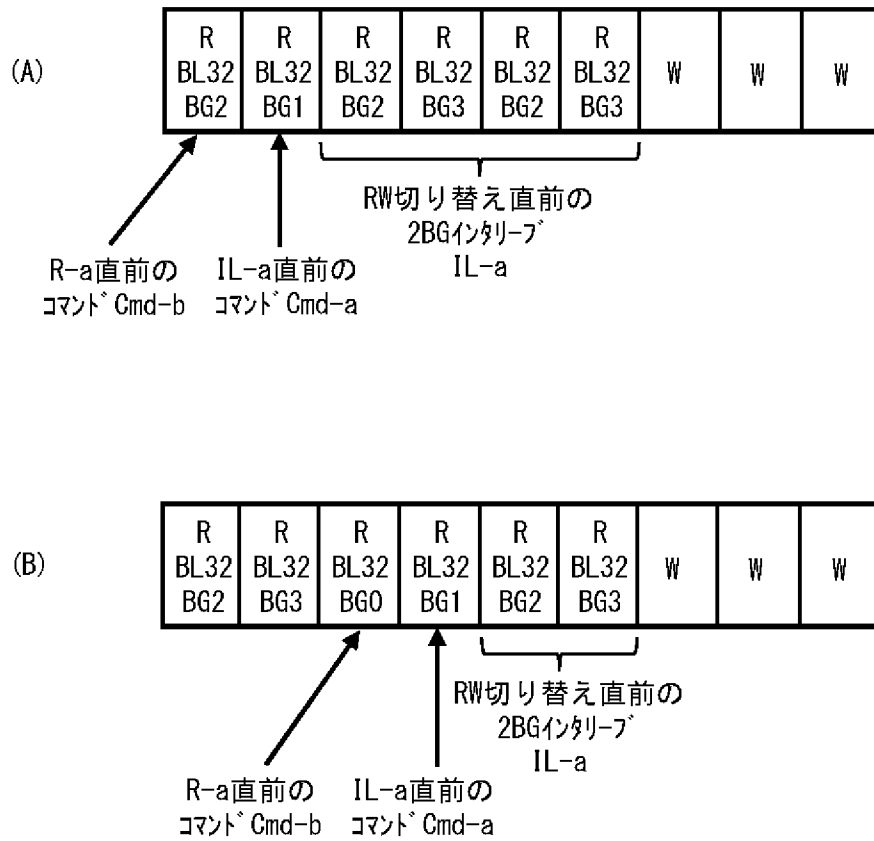
[図9]

BL32からBL16+BL16への変換条件		RW切り替え前の2BGインタープ IL-aのメモリアクセス要求数	
		BL16換算で偶数×2	BL16換算で奇数×2
RW切り替え前直の2BGインタープ IL-aの直前のコマンド Cmd-aの発行	コマンド Cmd-aがコマンド Cmd-bから2nCK後以外に発行される	RW切り替え前の2BGインタープ IL-aのメモリアクセス要求 (BL32) をBL16+BL16へ変換	変換なし
	コマンド Cmd-aがコマンド Cmd-bから2nCK後に発行される	変換なし	RW切り替え前の2BGインタープ IL-aのメモリアクセス要求 (BL32) をBL16+BL16へ変換

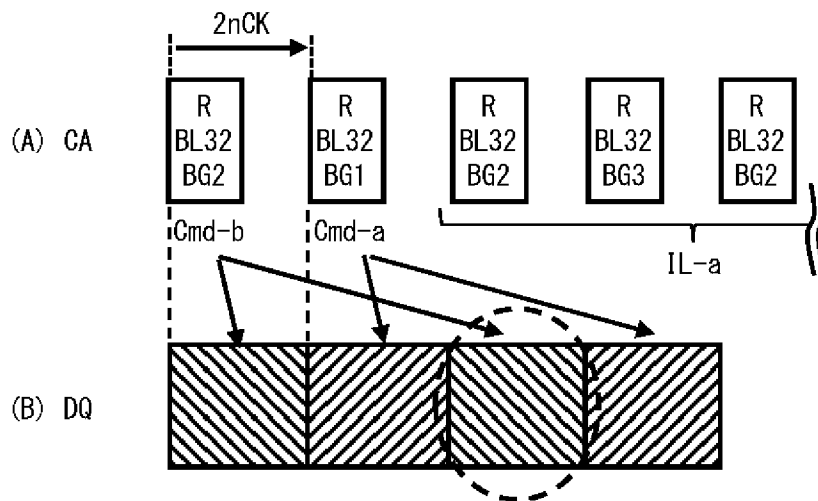
条件Aでの変換

条件Bでの変換

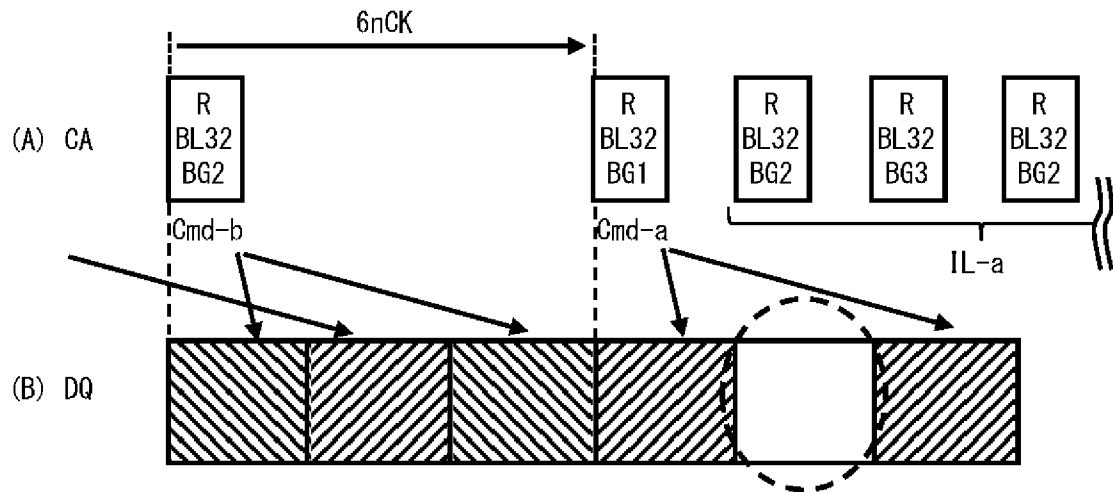
[図10]



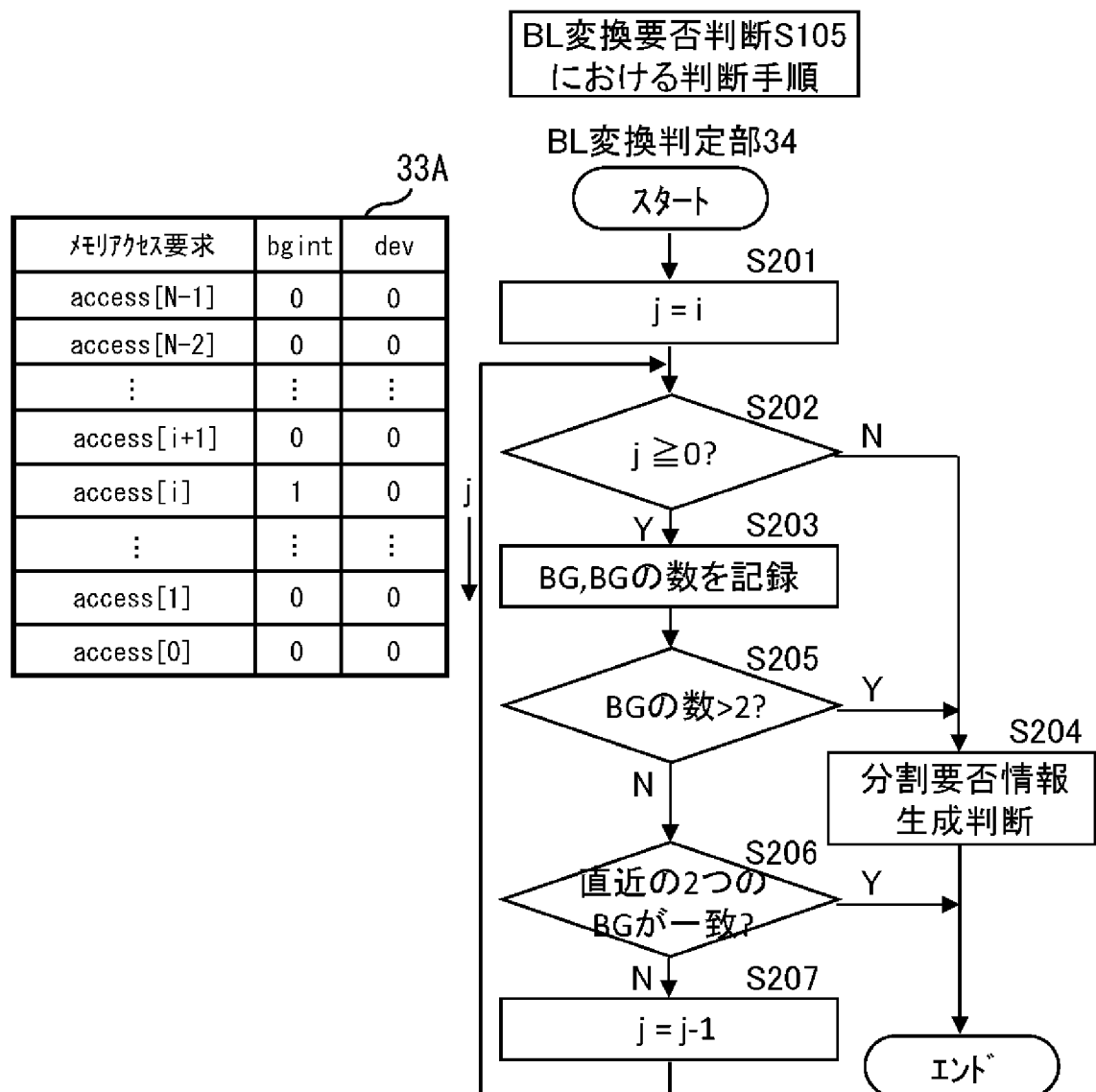
[図11]



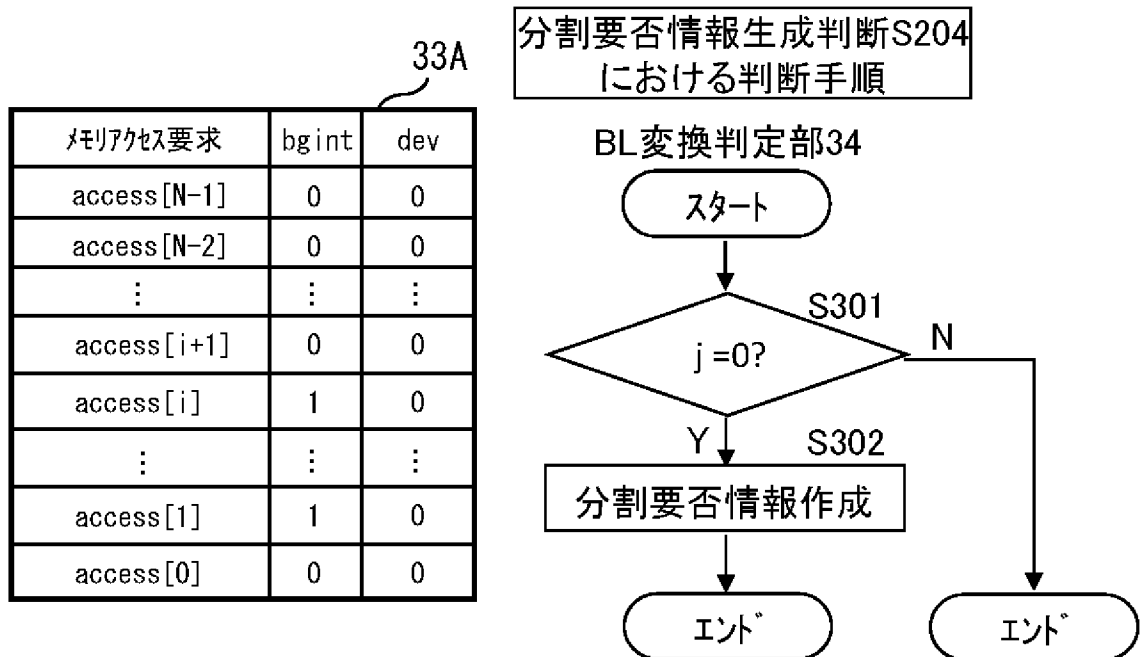
[図12]



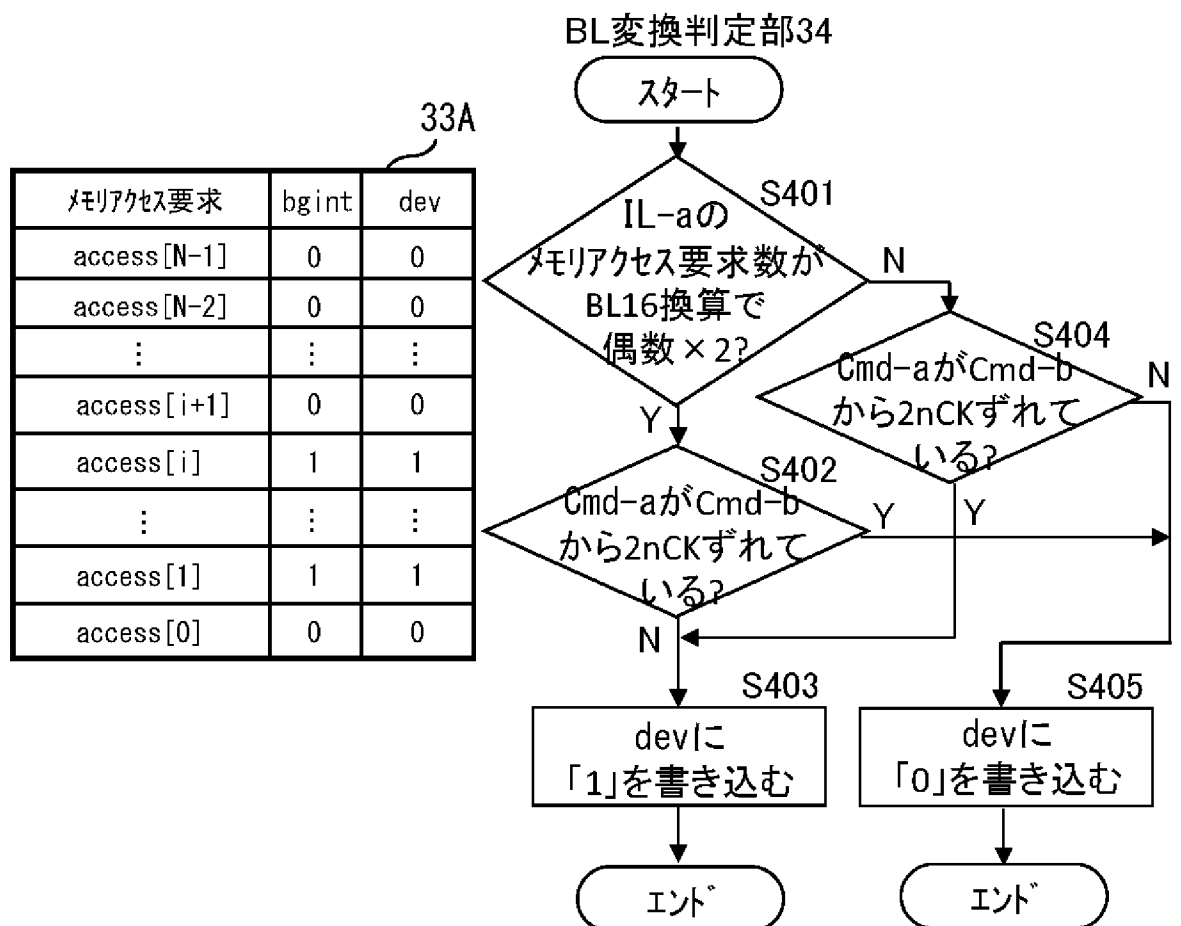
[図13]



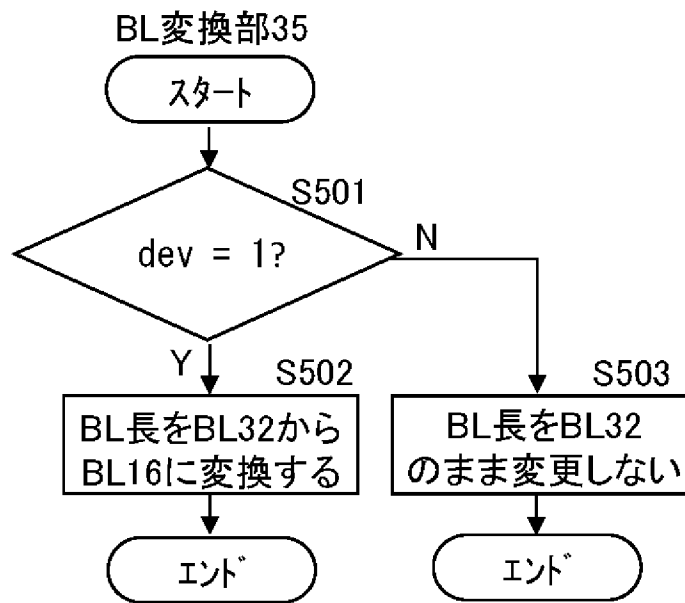
[図14]



[図15]



[図16]



[図17]



[図18]

IL-a'	ライト要求
	ライト要求
	リト* 要求 (BL16, BG3)
	リト* 要求 (BL16, BG3)
	リト* 要求 (BL16, BG2)
	リト* 要求 (BL16, BG2)
	リト* 要求 (BL16, BG3)
	リト* 要求 (BL16, BG3)
	リト* 要求 (BL16, BG2)
	リト* 要求 (BL16, BG2)
	リト* 要求 (BL32, BG1)
R-a	
R-b	リト* 要求 (BL32, BG2)

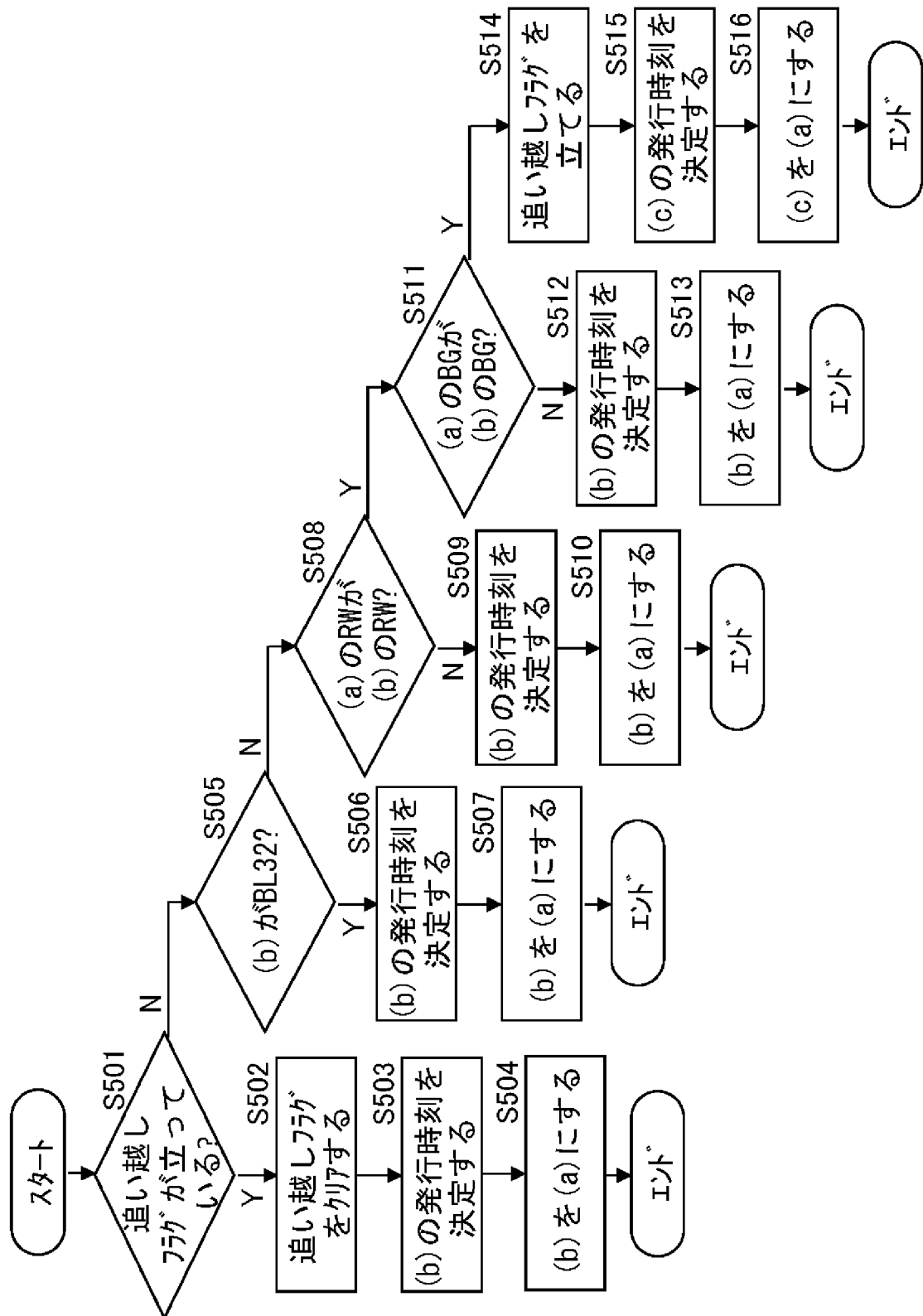
[図19]

リクエストIN →	メモリアクセス要求	bgint	dev	33A ↙
	ライト要求	0	0	
	ライト要求	0	0	
IL-a {	ライト要求	0	0	
	リト* 要求 (BL32, BG2)	1	1	
	リト* 要求 (BL32, BG3)	1	1	
R-a {	リト* 要求 (BL32, BG2)	1	1	
	リト* 要求 (BL32, BG0)	0	0	
	リト* 要求 (BL32, BG1)	0	0	
R-b				
				→ リクエストOUT

[図20]

	リト要求
	リト要求
	リト要求
IL-a'	リト要求 (BL16, BG2)
	リト要求 (BL16, BG2)
	リト要求 (BL16, BG3)
	リト要求 (BL16, BG3)
	リト要求 (BL16, BG2)
	リト要求 (BL16, BG2)
R-a	リト要求 (BL16, BG0)
R-b	リト要求 (BL32, BG1)

[図21]

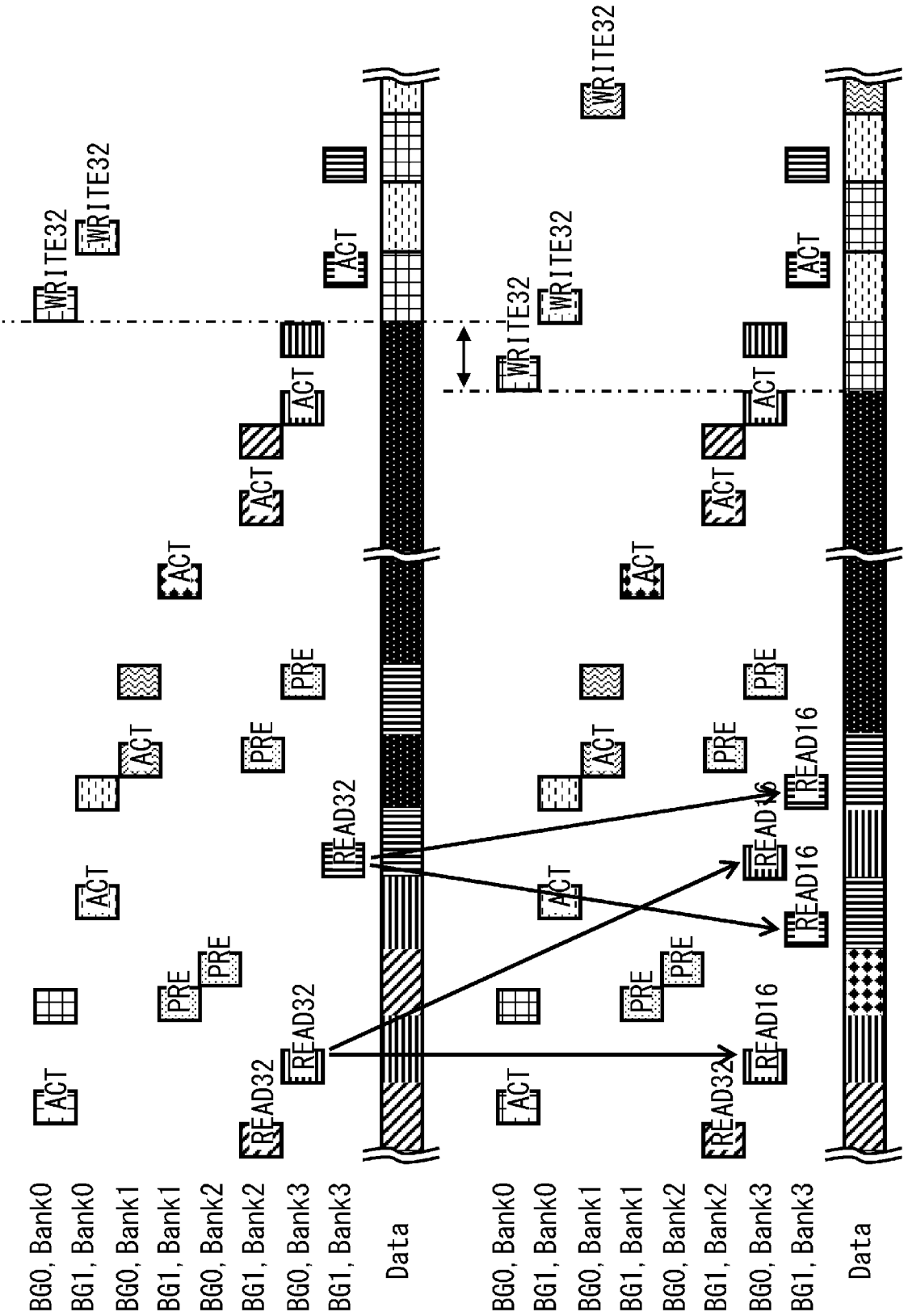


[図22]

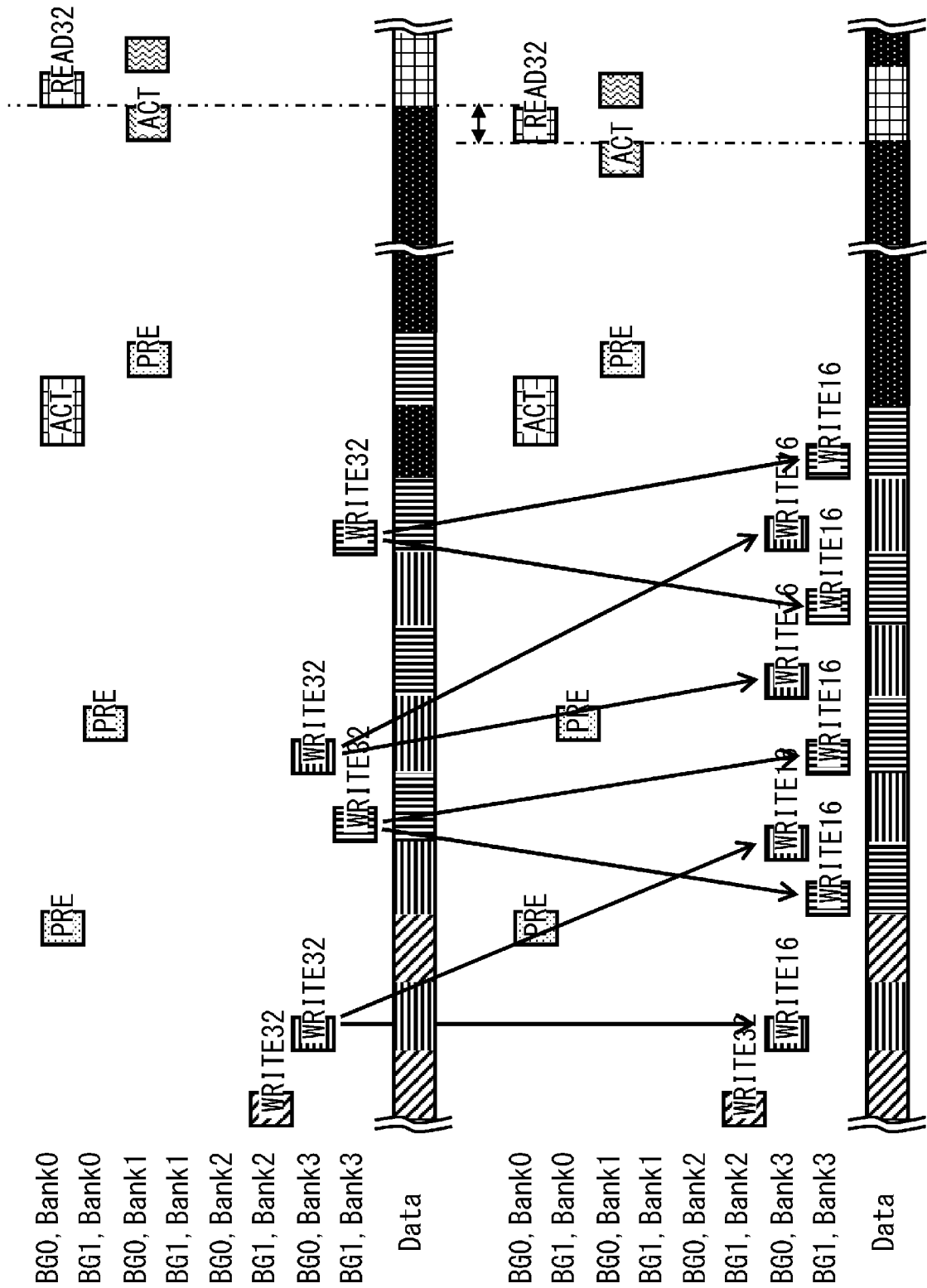
	ライトコメント°								(c)
	ライトコメント°								(c) (b)
(8)	リート° コメント° (BL16, BG3)								(c) (b) (a)
(7)	リート° コメント° (BL16, BG3)								(c) (a)
(6)	リート° コメント° (BL16, BG2)								(c) (b) (b) (a)
(5)	リート° コメント° (BL16, BG2)								(c) (b) (a)
(4)	リート° コメント° (BL16, BG3)								(c) (b) (a)
(3)	リート° コメント° (BL16, BG3)								(c) (a)
(2)	リート° コメント° (BL16, BG2)	(c)	(b)	(b)	(a)				
(1)	リート° コメント° (BL16, BG2)	(b)	(a)						
(0)	リート° コメント° (BL32, BG1)	(a)							

追い越しフラグ°	F	F	T	F	F	F	T	F	F
		↓	↓			↓	↓		
		T	F			T	F		
時刻	t1	t2	t3	t4	t5	t6	t7	t8	t9
	(A)	(B)	(C)	(D)	(E)	(F)	(G)	(H)	(I)

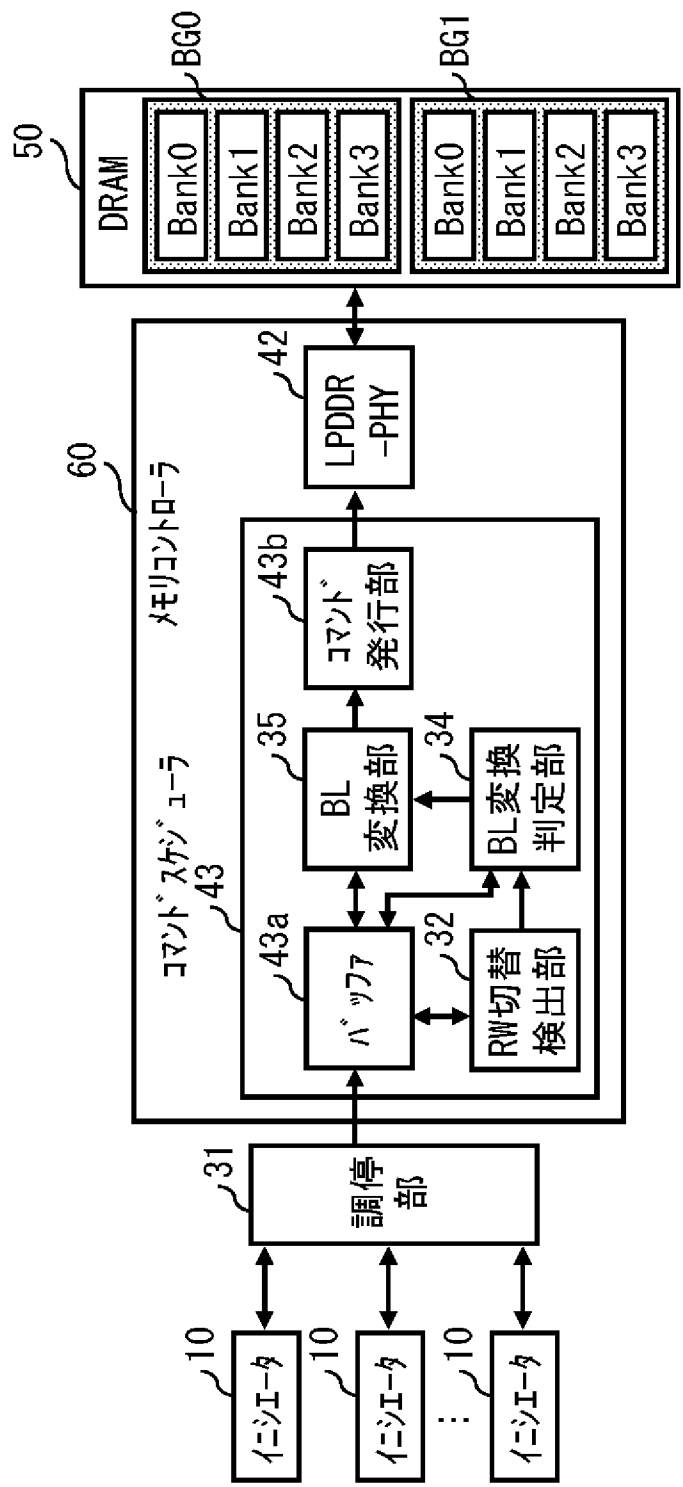
[図23]



[図24]



[図25]

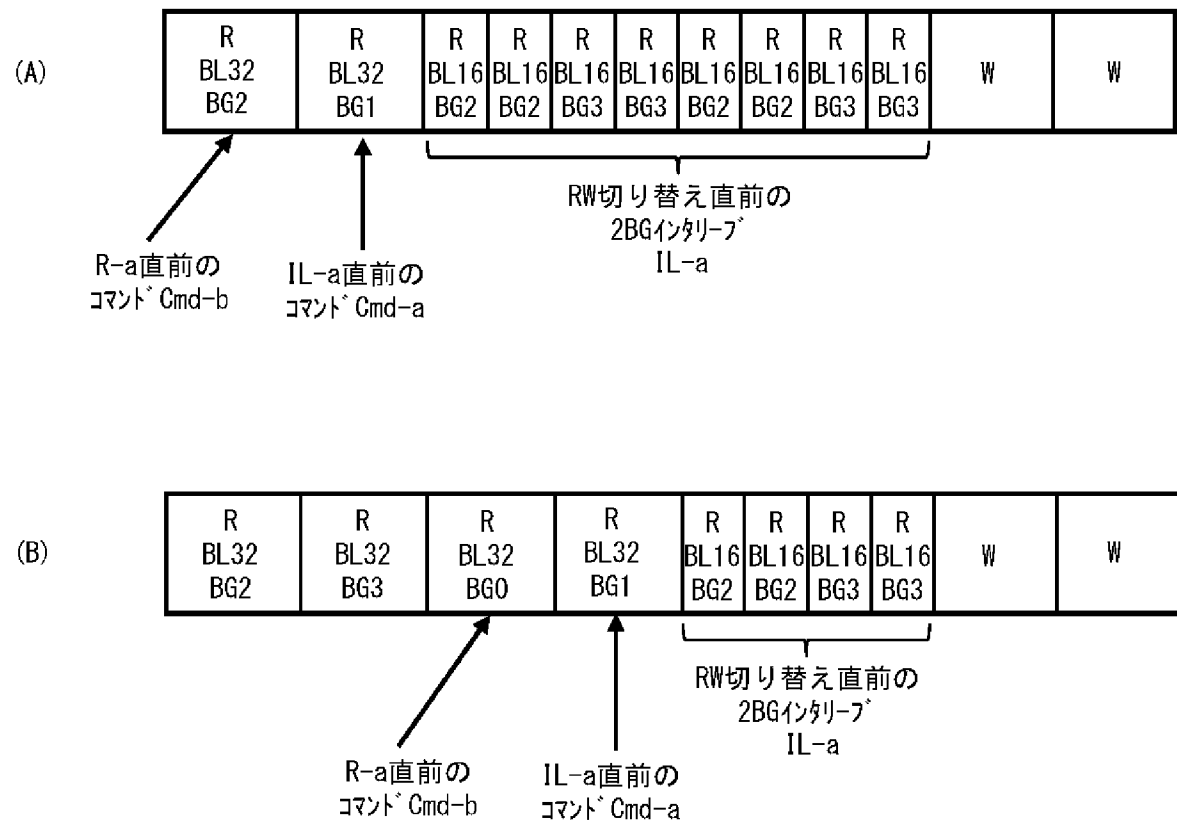


[図27]

BL16+BL16からBL32への変換条件		RW切り替え前の2BGインターフ IL-aのメモリアクセス要求数	
		BL16換算で偶数×2	BL16換算で奇数×2
RW切り替え前直の2BGインターフ IL-aの直前のコマンド Cmd-aの発行	コマンド Cmd-aがコマンド Cmd-cから2nCK後以外に発行される	BL16のまま変換なし	BL16の2つのメモリアクセス要求をBL32のメモリアクセス要求へ変換
	コマンド Cmd-aがコマンド Cmd-cから2nCK後に発行される	BL16の2つのメモリアクセス要求をBL32のメモリアクセス要求へ変換	BL16のまま変換なし

条件Aでの変換
条件Bでの変換

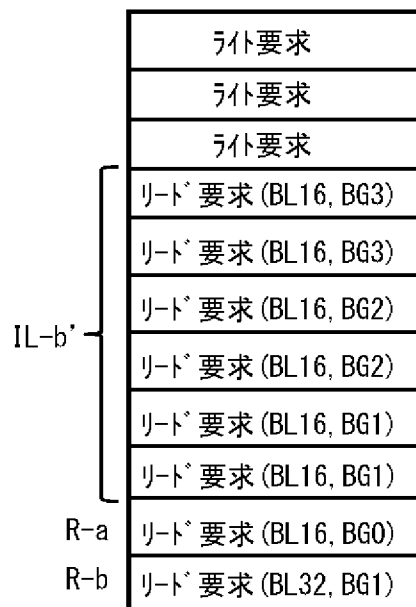
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/009080

A. CLASSIFICATION OF SUBJECT MATTER**G06F 12/02**(2006.01)i; **G06F 12/06**(2006.01)i

FI: G06F12/06 540E; G06F12/02 580J

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/02; G06F12/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/185879 A1 (SONY CORPORATION) 24 November 2016 (2016-11-24) paragraphs [0013]-[0024], [0052]-[0059], fig. 1, 13-16	1-5
A	US 2016/0378366 A1 (INTEL CORPORATION) 29 December 2016 (2016-12-29) paragraphs [0030]-[0039], [0059]-[0062], fig. 2, 6	1-5
A	JP 2020-187747 A (SAMSUNG ELECTRONICS CO LTD) 19 November 2020 (2020-11-19) entire text, all drawings	1-5
A	JP 2001-135079 A (RICOH CO LTD) 18 May 2001 (2001-05-18) entire text, all drawings	1-5

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

12 April 2023

Date of mailing of the international search report

25 April 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/009080

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2016/185879	A1	24 November 2016	US 2018/0357009 A1 paragraphs [0040]-[0051], [0030]-[0050], fig. 1, 13-16 JP 2016-218721 A	
US	2016/0378366	A1	29 December 2016	WO 2016/209556 A1 paragraphs [0030]-[0039], [0059]-[0062], fig. 2, 6 CN 107667403 A	
JP	2020-187747	A	19 November 2020	US 2020/0356488 A1 whole document US 2021/0141735 A1 CN 111916120 A KR 10-2020-0130113 A	
JP	2001-135079	A	18 May 2001	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 12/02(2006.01)i; G06F 12/06(2006.01)i FI: G06F12/06 540E; G06F12/02 580J										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） G06F12/02; G06F12/06										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	WO 2016/185879 A1 (ソニー株式会社) 24.11.2016 (2016 - 11 - 24) 段落[0013]-[0024], [0052]-[0059], 図1, 13-16	1-5								
A	US 2016/0378366 A1 (Intel Corporation) 29.12.2016 (2016 - 12 - 29) 段落[0030]-[0039], [0059]-[0062], 図2, 6	1-5								
A	JP 2020-187747 A (三星電子株式会社) 19.11.2020 (2020 - 11 - 19) 全文, 全図	1-5								
A	JP 2001-135079 A (株式会社リコー) 18.05.2001 (2001 - 05 - 18) 全文, 全図	1-5								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 12. 04. 2023	国際調査報告の発送日 25. 04. 2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 北村 学 5S 4535 電話番号 03-3581-1101 内線 3546									

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/009080

引用文献			公表日	パテントファミリー文献	公表日
WO	2016/185879	A1	24.11.2016	US 2018/0357009 A1 paragraphs [0040]-[0051], [0030]-[0050], figures 1, 13-16 JP 2016-218721 A	
US	2016/0378366	A1	29.12.2016	WO 2016/209556 A1 paragraphs [0030]-[0039], [0059]-[0062], figures 2, 6 CN 107667403 A	
JP	2020-187747	A	19.11.2020	US 2020/0356488 A1 whole document US 2021/0141735 A1 CN 111916120 A KR 10-2020-0130113 A	
JP	2001-135079	A	18.05.2001	(ファミリーなし)	