



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I588871 B

(45)公告日：中華民國 106 (2017) 年 06 月 21 日

(21)申請案號：102131163

(22)申請日：中華民國 102 (2013) 年 08 月 30 日

(51)Int. Cl. : H01L21/027 (2006.01)

H01L21/768 (2006.01)

(30)優先權：2012/09/05 南韓

10-2012-0098464

(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：韓奎熙 HAN, KYU-HEE (KR)；安 商燾 AHN, SANGHOON (US)

(74)代理人：詹銘文

(56)參考文獻：

US 2010/0270677A1

US 2012/0126302A1

審查人員：黃鼎富

申請專利範圍項數：45 項 圖式數：22 共 64 頁

(54)名稱

在導體圖案間之間隙中包含支撐圖案的半導體裝置及其製造方法

SEMICONDUCTOR DEVICES INCLUDING SUPPORTING PATTERNS IN GAP REGIONS
BETWEEN CONDUCTIVE PATTERNS AND METHODS OF FABRICATING THE SAME

(57)摘要

一種積體電路裝置包括位於基底表面上的分隔開的導體圖案以及位於基底表面上的支撐圖案。此支撐圖案位於相鄰的導體圖案之間且由個別間隙區域所分隔。相鄰的導體圖案從基底表面延伸遠離，超出導體圖案之間之支撐圖案的頂面。覆蓋層提供於導體圖案的個別表面上及支撐圖案的表面上。相關製造方法也將一併探討。

An integrated circuit device includes spaced apart conductive patterns on a substrate surface, and a supporting pattern on the substrate surface between adjacent ones of the conductive patterns and separated therefrom by respective gap regions. The adjacent ones of the conductive patterns extend away from the substrate surface beyond a surface of the supporting pattern therebetween. A capping layer is provided on respective surfaces of the conductive patterns and the surface of the supporting pattern. Related fabrication methods are also discussed.

指定代表圖：

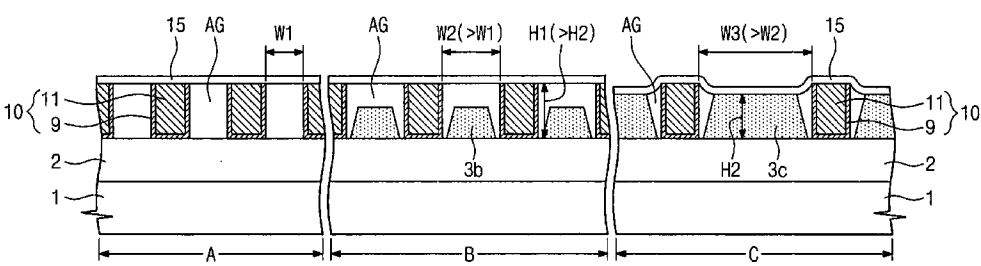


圖 1

符號簡單說明：

- 1 . . . 基底
- 2 . . . 第一絕緣層
- 3b . . . 剩餘圖案
- 3c . . . 支撐圖案
- 9 . . . 擴散阻障層
- 10 . . . 導體圖案
- 11 . . . 導體層
- 15 . . . 覆蓋層
- A . . . 第一區域
- AG . . . 空氣間隙區域
- B . . . 第二區域
- C . . . 第三區域
- H1、H2 . . . 高度
- W1、W2、W3 . . . 寬度

發明摘要

※ 申請案號: 102131163

※ 申請日: 102.8.30

※IPC 分類: H01L 21/027
H01L 21/768

【發明名稱】在導體圖案間之間隙中包含支撐圖案的半導體裝置及其製造方法

SEMICONDUCTOR DEVICES INCLUDING
SUPPORTING PATTERNS IN GAP REGIONS BETWEEN
CONDUCTIVE PATTERNS AND METHODS OF FABRICATING
THE SAME

【中文】

一種積體電路裝置包括位於基底表面上的分隔開的導體圖案以及位於基底表面上的支撐圖案。此支撐圖案位於相鄰的導體圖案之間且由個別間隙區域所分隔。相鄰的導體圖案從基底表面延伸遠離，超出導體圖案之間之支撐圖案的頂面。覆蓋層提供於導體圖案的個別表面上及支撐圖案的表面上。相關製造方法也將一併探討。

【英文】

An integrated circuit device includes spaced apart conductive patterns on a substrate surface, and a supporting pattern on the substrate surface between adjacent ones of the conductive patterns and separated therefrom by respective gap regions. The adjacent ones of the conductive patterns extend away from the substrate surface

beyond a surface of the supporting pattern therebetween. A capping layer is provided on respective surfaces of the conductive patterns and the surface of the supporting pattern. Related fabrication methods are also discussed.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

1：基底

2：第一絕緣層

3b：剩餘圖案

3c：支撐圖案

9：擴散阻障層

10：導體圖案

11：導體層

15：覆蓋層

A：第一區域

AG：空氣間隙區域

B：第二區域

C：第三區域

H1、H2：高度

W1、W2、W3：寬度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 在導體圖案間之間隙中包含支撐圖案的半導體裝置及其製造方法

SEMICONDUCTOR DEVICES INCLUDING
SUPPORTING PATTERNS IN GAP REGIONS BETWEEN
CONDUCTIVE PATTERNS AND METHODS OF FABRICATING
THE SAME

【相關申請案交叉參考】

【0001】 本美國非臨時專利申請案根據 35 U.S.C.§119 主張於 2012 年 9 月 5 號向韓國智慧財產局提出申請之第 10-2012-0098464 號的韓國專利申請案之優先權，其完整內容以全文引用的方式併入本文參考。

【技術領域】

【0002】 本發明概念之示範實施例是有關於一種半導體裝置及其製造方法。

【先前技術】

【0003】 半導體裝置需要具有更高的積集度、更高的密度、更低的電耗，以及/或更快的操作速度。具有高積集度電路的半導體裝置可包括多層內連線結構，此結構可由金屬材料形成(例如鋁)。鋁內連線的形成可包含在絕緣層上沉積鋁層並蝕刻以暴露出絕緣

層。

【0004】然而，當半導體裝置的設計規則(design rule)縮小時，銅（而不是鋁）可能會愈來愈常做為內連線材料使用。這可能是由於鋁有相對較高的電阻值。例如，當鋁內連線線寬縮小時，其電阻增加，因此鋁可能難以實現更高操作速度的半導體裝置。銅可提供成本和導電性的優勢，但在使用蝕刻技術來圖案化銅層時可能有難度。也可使用金屬鑲嵌方法來形成銅內連線。

【0005】此外，由於半導體裝置的積集密度增加的情況下，內連線之間的間距變窄，儘管使用銅內連線，仍可能會導致內連線之間的電性干擾及/或訊號傳輸速度延遲。

【發明內容】

【0006】本發明概念之示範實施例提供一種架構為具有增快訊號傳輸速度的半導體裝置。

【0007】本發明概念之其他示範實施例提供一種較不複雜的半導體裝置的製造方法。

【0008】根據本發明概念之示範實施例，半導體裝置可包括：具有第一區域及第二區域的基底、置於基底上的導體圖案、提供於導體圖案上以定義導體圖案之間的空氣間隙區域的覆蓋層、以及位於第二區域中的導體圖案之間並與覆蓋層圖案接觸的支撐圖案。支撐圖案的頂面可低於導體圖案的頂面。

【0009】在示範實施例中，在第一區域中的導體圖案的間隔(space)

可能會小於在第二區域中的導體圖案の間隔。

【0010】 在示範實施例中，支撐圖案具有傾斜的側面。

【0011】 在示範實施例中，支撐圖案和與其相鄰的導體圖案在導體圖案的下部之間的距離可小於支撐圖案和與其相鄰的導體圖案在導體圖案的上部之間的距離。

【0012】 在示範實施例中，在第二區域中，空氣間隙區域可提供於支撐圖案與導體圖案的側表面之間。

● 【0013】 在示範實施例中，上述裝置可更包括剩餘圖案，提供在第一區域中的導體圖案之間且與覆蓋層分隔開。

【0014】 在示範實施例中，剩餘圖案與支撐圖案可以相同材料形成。

【0015】 在示範實施例中，剩餘圖案具有的頂面低於支撐圖案的頂面。

● 【0016】 在示範實施例中，上述裝置可更包括置於導體圖案與覆蓋層之間的第一保護層，以及覆蓋導體圖案之側表面的第二保護層。

【0017】 在示範實施例中，第一保護層與第二保護層可以不同材料形成。

【0018】 在示範實施例中，第一保護層可包括鉭、鈦、鈷、錳、鈦、鎢、鎳、鋁、其氧化物、其氮化物、或其氮氧化物之至少一種，且第二保護層包括選自由氮化矽、碳氮化矽、以及氮化硼所組成之群組中之至少一種的材料。

【0019】 在示範實施例中，第二保護層可延伸至第一保護層的頂面與覆蓋層之間，且覆蓋導體圖案之間的基底。

【0020】 在示範實施例中，在第二區域中，第二保護層覆蓋支撐圖案的側表面且可插入於支撐圖案的頂面及覆蓋層之間。

【0021】 在示範實施例中，上述裝置可更包括在第一區域中，提供於導體圖案之間且與覆蓋層分隔開的剩餘圖案。第二保護層覆蓋剩餘圖案的側表面及頂面。

【0022】 在示範實施例中，覆蓋層可包括選自由二氧化矽(SiO_2)、氮化矽(SiN)、碳摻雜氫氧化矽(SiOCH)、碳氮化矽(SiCN)、以及氮氧化矽(SiON)所組成之群組中之至少一種的材料。

【0023】 在示範實施例中，覆蓋層的厚度約略為 0.1-5 奈米。

【0024】 在示範實施例中，支撐圖案可包括選自由二氧化矽(SiO_2)、氮化矽(SiN)、碳氮化矽(SiCN)、碳摻雜氫氧化矽(SiOCH)、以及多孔隙碳摻雜氫氧化矽(porous-SiOCH)所組成之群組中之至少一種的材料。

【0025】 在示範實施例中，在第二區域中，導體圖案和與其相鄰的支撐圖案可具有 100 奈米或 100 奈米以上的間隔。

【0026】 在示範實施例中，覆蓋層用來覆蓋導體圖案的上側壁的一部分。

【0027】 在示範實施例中，上述裝置可更包括覆蓋導體圖案之側壁的保護層。覆蓋層部分覆蓋保護層的上側壁。

【0028】 根據本發明概念之示範實施例，一種半導體裝置的製造

方法可包括：在基底上形成絕緣層，圖案化絕緣層以形成多數個凹陷區域，形成導體圖案以填入凹陷區域，對絕緣層進行電漿處理，移除至少一部分的絕緣層以暴露導體圖案的側壁，形成犧牲層以填入導體圖案之間の間隔，在導體圖案及犧牲層上形成覆蓋層，以及移除犧牲層以形成導體圖案之間的空氣間隙區域。

【0029】 在示範實施例中，移除至少一部分的絕緣層可更包括形成支撐圖案，且在移除犧牲層後，此支撐圖案可與覆蓋層相接觸。

● 【0030】 在示範實施例中，移除至少一部分的絕緣層可更包括形成與覆蓋層分隔開的剩餘圖案，且在移除犧牲層後，此剩餘圖案可與覆蓋層分隔開。

【0031】 在示範實施例中，凹陷區域可利用非等向性蝕刻製程來形成。

【0032】 在示範實施例中，絕緣層可由含碳材料形成，且可進行蝕刻製程及電漿處理以移除至少一部分之絕緣層的碳。

● 【0033】 在示範實施例中，對絕緣層進行電漿處理可包括在攝氏溫度為 200-400 度以及壓力為 3-8 托，以 300-800 瓦特的電漿源，供應 H_2 、 NH_3 、 N_2H_2 、 N_2O 、 O_2 、 CO_2 或是 CO 之至少一種氣體。

【0034】 在示範實施例中，犧牲層可由烴類層形成。

【0035】 在示範實施例中，覆蓋層可利用原子層沉積(ALD)、電漿輔助化學氣相沉積(PE-CVD)、常壓化學氣相沉積(AP-CVD)或是流動式化學氣相沉積(FCVD)之至少一種沉積方式形成。

【0036】 在示範實施例中，移除犧牲層可包括進行灰化製程以裂

解犧牲層為氣體，使其經由覆蓋層而脫氣。

【0037】 在示範實施例中，灰化製程可包括在攝氏溫度 20-400 度下供應 NH_3 、 H_2 、 N_2O 、 O_2 、 CO_2 或是 CO 之至少一種氣體。

【0038】 在示範實施例中，上述方法可更包括在移除至少一部分的絕緣層之前，形成第一保護層以覆蓋導體圖案的頂面。

【0039】 在示範實施例中，上述方法可更包括在移除至少一部分的絕緣層之後以及在形成犧牲層之前，形成第二保護層以覆蓋導體圖案。

【0040】 根據本發明概念之更多示範實施例，一種積體電路裝置包括：位於基底表面上的分隔開的導體圖案、以及位於基底表面上的支撐圖案，此支撐圖案位於相鄰的導體圖案之間且由個別間隙區域所分隔。相鄰的導體圖案從基底表面延伸遠離，超出導體圖案之間的支撐圖案的頂面。提供於導體圖案的個別表面上及支撐圖案的表面上的覆蓋層。

【0041】 在示範實施例中，個別間隙區域可由覆蓋層、導體圖案的個別側壁以及相鄰的支撐圖案的個別側壁所限制。

【0042】 在示範實施例中，覆蓋層可延伸至相鄰的導體圖案的個別側壁上，而支撐圖案的個別側壁則無覆蓋層。

【0043】 在示範實施例中，基底可包括第一區域及第二區域。支撐圖案可位於第二區域中的相鄰的導體圖案之間，而第一區域中的導體圖案之間則無所述支撐圖案。

【0044】 在示範實施例中，在第一區域中的覆蓋層的表面實質上

可為平面，而在第二區域中則為非平面。

【0045】 在示範實施例中，第二區域中的導體圖案之間間隔可大於第一區域中的導體圖案之間間隔。

【0046】 在示範實施例中，剩餘圖案可提供於第一區域中的相鄰的導體圖案之間的基底表面上。支撐圖案及剩餘圖案可包括相同材料，且此支撐圖案可從基底表面延伸遠離，超出剩餘圖案的頂面。

● 【0047】 在示範實施例中，個別間隙區域可以是第一間隙區域，且剩餘圖案可藉由第二間隙區域與第一區域中的覆蓋層以及相鄰的導體圖案分隔開。

【0048】 在示範實施例中，可提供一個或多個以上的保護層，提供於覆蓋層及導體圖案的個別表面之間，以及/或在覆蓋層及支撐圖案的表面之間。

● 【0049】 在示範實施例中，一個或多個以上的保護層可包括不同材料的第一層及第二層。導體圖案的個別側壁及支撐圖案可包括置於其上的第二層，而無第一層。

【0050】 在示範實施例中，支撐圖案可包括對烴類犧牲層有灰化選擇性的含碳層。個別間隙區域可包括在其中的至少一部分的烴類犧牲層。

【0051】 在示範實施例中，個別間隙區域可以是無阻礙空間，此無阻礙空間的介電常數小於支撐圖案及/或覆蓋層的介電常數。

【0052】 在示範實施例中，具有支撐圖案在其間的相鄰的導體圖

案可以約略為 100 奈米(nm)或 100 奈米以上的距離分隔。

【0053】 根據本發明的概念又一示範實施例中，一種積體電路裝置的製造方法包括：在基底表面上形成分隔開的導體圖案，以及在基底表面上形成個別支撐圖案，此個別支撐圖案位於相鄰的導體圖案之間，使得個別支撐圖案以個別間隙區域分隔相鄰的導體圖案。相鄰的導體圖案從基底表面延伸遠離，超出導體圖案之間的個別支撐圖案的表面。在導體圖案的個別表面上及支撐圖案的表面上形成覆蓋層。

【0054】 在示範實施例中，個別支撐圖案可藉由在相鄰的導體圖案之間的個別絕緣層上進行電漿處理製程來形成。電漿處理製程可移除個別絕緣層之周圍部分的碳。相鄰的導體圖案之間的個別絕緣層之周圍部分可被選擇性蝕刻以定義個別支撐圖案，且個別間隙區域將個別支撐圖案與相鄰的導體圖案分隔。

【0055】 在示範實施例中，當相鄰的導體圖案之間の間隔減少時，個別支撐圖案的尺寸可隨之縮小。

【0056】 在檢閱以下圖式和詳細說明之後，本領域的技術人員對於根據這些實施例的一些方法及/或裝置將更加清楚明瞭。除了上述實施例中的任何及所有組合之外，所有其他實施例亦意欲涵蓋在本說明內、本發明範疇內且為所附的申請專利範圍內所保護。

【圖式簡單說明】

【0057】 結合下列附圖和簡單說明後，將更清楚明瞭示範實施

例。其附圖說明本文所述之示範實施例，但並不侷限於此。

【0058】圖 1 是根據本發明概念之示範實施例之半導體裝置的剖面示意圖。

【0059】圖 2 到圖 10 是圖 1 所示之半導體裝置的製造流程的剖面示意圖。

【0060】圖 11 是根據本發明概念之其他示範實施例之半導體裝置的剖面示意圖。

● 【0061】圖 12 到圖 16 是圖 11 所示之半導體裝置的製造流程的剖面示意圖。

【0062】圖 17 是根據本發明概念之又一示範實施例之半導體裝置的剖面示意圖。

【0063】圖 18 到圖 19 是圖 17 所示之半導體裝置的製造流程的剖面示意圖。

● 【0064】圖 20 是根據本發明概念之再一示範實施例之半導體裝置的剖面示意圖。

【0065】圖 21A 到圖 21C 是根據本發明概念之示範實施例之製程製造之半導體裝置的局部影像。

【0066】圖 22 是包括根據本發明概念之示範實施例之半導體裝置的一種記憶體系統範例的示意方塊圖。

【0067】該注意的是，這些圖式是用來說明某些示範實施例的方法、結構及/或材料的一般特徵，並補充以下提供的書面說明。然而，這些圖式是不按比例且不能精確地反映任何所述實施例的精

確結構或性能特徵，而且不應該解讀為示範實施例所包含在內的特性或是數值範圍的定義或限制。例如相對厚度以及分子、層、區域以及/或結構組成的相對位置可能為了清楚起見而縮小或放大。在各圖式中使用相似或相同的參考號碼是為表示存在相似或相同的元件或特徵。

【實施方式】

【0068】參照本發明概念之示範實施例之附圖以更全面地闡述本發明。然而，本發明概念之示範實施例亦可以各種不同的形式體現，而不應視為僅限本文中所述之實施例；更確切地說，提供此實施例旨在使本揭示內容將透徹和完整，且將向熟習此項技術者完整傳達本發明之概念。圖式中的層與區域的厚度會為了清楚起見而放大。相同之參考號碼表示相同之元件，因此將省略其說明。

【0069】將瞭解當述及一元件是「連接」或「耦合」至另一元件時，此元件可直接連接或耦合至其它元件或可存在中介元件。相反地，當述及一元件「直接連接」或「直接耦合」至另一元件時，則不存在介入元件。其他用來闡述元件之間或層之間的關係的措詞應以一相同方式來加以解釋(例如「在...之間」與「直接在...之間」，「鄰近」與「直接鄰近」，「在...之上」與「直接在...之上」等等)。相同的號碼表示相同的元件。本文所使用措詞「及/或」包括相關所列項中一個或多個項之任一及全部組合。

【0070】 將瞭解儘管本文中使用的「第一」、「第二」等措詞可用來闡述各種元件、構件、區域、層以及/或部分，但此等元件、構件、區域、層以及/或部分不應受限於此等措詞。此等措詞僅用來使各元件、構件、區域、層以及/或部分相互區分。因此，可將以下討論的一第一元件、構件、區域、層以及/或部分稱作一第二元件、構件、區域、層以及/或部分，而不悖離本發明示範實施例之範疇。

● 【0071】 間隔相對措詞像是「在...之下」、「下方」、「較低」、「上方」、「上」等措詞，可用於本文為了便於描述圖中所示的一構件或特徵與另一構件或特徵的關係。將瞭解，除了圖中所示的方位外，間隔相對措詞意在包括裝置在使用或操作時的不同方位。例如，如果反轉圖中的裝置，則為了描述位於其他元件或特徵「下方」或「在...之下」的元件將位於上述其他元件或特徵的「上方」。因此，示範性措詞「下方」可包含上方和下方兩個方位。上述裝置可另外定位（旋轉 90 度或者在其它方位），並相應地解釋本文中所用的間隔相對敘述。

● 【0072】 本文中所使用之術語僅是出於闡述特定實施例之目的而並非意欲限定本發明示範實施例。本文中所使用之單數形式「一」、「一」(an)及「所述」(the)亦意欲包括複數形式，除非上下文中另外明確指明。應進一步瞭解，當本說明書中使用措詞「包括」(comprise)、「包括」(comprising)、「包括」(include)及/或「包括」(including)時，其是載明存在所述特徵、整數、步驟、操作、

元件及/或構件但並不排除存在或添加一個或多個其它特徵、整數、步驟、操作、元件、構件及/或其相關群組。

【0073】本文中參考剖面圖式來說明本發明概念之示範實施例，該等剖面圖式為理想化實施例(及中間結構)之示意性說明。因此，可預期繪圖的形狀變化為例如製造技術及/或容限的結果。於是，本發明概念之示範實施例不應被視為侷限於在此所繪示的區域的特定形狀，而應包括例如由製造所導致的形狀誤差。例如，繪示成長方形的植入區域(implanted region)在其邊緣通常將具有圓滑或彎曲特徵及/或植入濃度(implant concentration)的梯度(gradient)，而非從植入到非植入區域的二元變化。同樣地，植入所形成的埋入區域(buried region)可能導致埋入區域與藉以進行植入的表面之間的區域產生某些植入。因此，圖中所繪示的區域乃依其本質繪製，所以其形狀未必繪示裝置的區域的實際形狀並且不會限制本發明的範疇。

【0074】除非另有定義，否則在本發明概念之示範實施例中所使用的所有措詞(包括技術及科學措詞)都具有如任何熟習本發明所屬技術者通常所了解的意義。更須知措詞(例如通用字典所定義)的意義解釋應符合其依據相關技術及本說明書的意義，而不應以理想化或過於形式化的意義來解釋，除非在此特別定義。

【0075】圖 1 是根據本發明概念之示範實施例之半導體裝置的剖面示意圖。

【0076】參照圖 1，提供基底 1，基底 1 包括第一區域 A、第二區

域 B 以及第三區域 C。第一絕緣層 2 可位於基底 1 上。第一絕緣層 2 可以是層間絕緣層或蝕刻停止層。裝置隔離層與電晶體位於基底 1 上。內連線及/或接觸窗(contact)可位於第一絕緣層 2 中。多數個導體圖案 10 可位於第一絕緣層 2 上。每個導體圖案 10 可以是沿著預定方向的線形圖案、接觸窗形狀圖案，或同時為接觸窗形狀與線形圖案的結構。至少一種導體圖案 10 可與接觸窗插塞或內連線電性連接，上述導體圖案 10 可位於第一絕緣層 2 中。

● **【0077】** 導體圖案 10 可包括導體層 11 以及覆蓋導體層 11 的側表面和底表面的擴散阻障層 9。導體層 11 可以低電阻導體材料形成，如銅、鎢以及鋁。擴散阻障層 9 可選自由鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈳 (Ru)、鈷 (Co)、錳 (Mn)、氮化鎢 (WN)、鎳 (Ni) 以及鎳硼 (NiB) 所組成之群組中之至少一種材料所形成。空氣間隙區域 AG(在此也被稱為間隙區域或間隙)是空的或無阻礙空間(例如空隙或空腔)可提供於導體圖案 10 之間。

● 導體圖案 10 的頂面可連接覆蓋層 15。此覆蓋層 15 可由介電常數約莫 1.8-8 的介電層形成。舉例來說，覆蓋層 15 可選自由二氧化矽(SiO₂)、氮化矽(SiN)、碳摻雜氮化氧化矽(SiOCH)、碳氮化矽(SiCN)以及氮氧化矽(SiON)所組成之群組中之至少一種材料形成。在示範實施例中，覆蓋層 15 可選自由二氧化矽(SiO₂)、碳摻雜氮化氧化矽(SiOCH)、以及碳氮化矽(SiCN)所組成之群組中之至少一種材料形成。覆蓋層 15 的厚度可為 0.1 奈米-5 奈米。

【0078】 導體圖案 10 可配置成在第一區域 A 具有第一間隔 W1、

在第二區域 B 中具有第二間隔 W2(第二間隔 W2 可大於第一間隔 W1)以及在第三區域 C 中具有第三間隔 W3(第三間隔 W3 可大於第二間隔 W2)。在示範實施例中，第三間隔 W3 可大於或等於 100 奈米，第一間隔 W1 可小於或等於 50 奈米，而第二間隔 W2 則可在 50 奈米至 100 奈米的範圍內。

【0079】 支撐圖案 3c 可提供於第三區域 C 上的導體圖案 10 之間。支撐圖案 3c 可與覆蓋層 15 相接觸。導體圖案 10 的頂面高度 H1 可高於支撐圖案 3c 的頂面高度 H2。支撐圖案 3c 可具有傾斜側壁。支撐圖案 3c 的底角和與其相鄰的導體圖案 10 的距離可小於支撐圖案 3c 的頂角和與其相鄰的導體圖案 10 的距離。剩餘圖案 3b 可位於第二區域 B 中的導體圖案 10 之間。剩餘圖案 3b 的頂面高度可低於支撐圖案 3c 的頂面高度。剩餘圖案 3b 可與覆蓋層 15 分隔開。剩餘圖案 3b 或支撐圖案 3c 可皆不在第一區域 A 上的導體圖案 10 之間。支撐圖案 3c 與剩餘圖案 3b 可以由相同材料形成。支撐圖案 3c 與剩餘圖案 3b 可由介電常數約莫 1.8-8 的介電層所形成。例如，支撐圖案 3c 與剩餘圖案 3b 可為含碳絕緣材料。在示範實施例中，支撐圖案 3c 與剩餘圖案 3b 可選自由氮化矽(SiN)、碳氮化矽(SiCN)，碳摻雜氫氧化矽(SiOCH)以及多孔隙碳摻雜氫氧化矽(porous-SiOCH)所組成之群組中之至少一種材料所形成。在其他示範實施例中，支撐圖案 3c 與剩餘圖案 3b 可由二氧化矽(SiO₂)所形成。

【0080】 在本實施例中，半導體裝置可架構為包括空氣間隙區域

AG。空氣間隙區域 AG 位於導體圖案 10 之間且由導體圖案 10 與位於導體圖案 10 上的覆蓋層 15 所定義。空氣間隙區域 AG 的介電常數約莫 1，遠小於其他介電常數，因此，導體圖案 10 之間的電性干擾能最小化。這能夠提高訊號傳輸速度並降低功率消耗。此外，由於在導體圖案 10 之間的支撐圖案 3c 為相對寬的區域，能防止覆蓋層 15 掉落或下垂或其他方式倒塌。這可以改增進半導體裝置的可靠度。

● 【0081】 圖 2 到圖 10 是圖 1 所示之半導體裝置的製造流程的剖面示意圖。

【0082】 參照圖 2，於基底 1 上可形成第一絕緣層 2。此基底 1 包括第一區域 A、第二區域 B 以及第三區域 C。可在第一絕緣層 2 的下方、之中以及/或之上形成裝置隔離層、電晶體、接觸窗插塞、內連線、蝕刻停止層等。第一絕緣層 2 可由(例如)氧化矽層、氧化氮層或氮氧化矽層形成。可在第一絕緣層 2 上形成第二絕緣層 3。

● 【0083】 第二絕緣層 3 可由介電常數約莫 1.8-8 的介電層所形成。在示範實施例中，第二絕緣層 3 可為含碳介電材料所形成。例如，第二絕緣層 3 可選自由碳氮化矽(SiCN)、碳摻雜氫氧化矽(SiOCH)以及多孔隙碳摻雜氫氧化矽(porous-SiOCH)所組成之群組中之至少一種材料所形成。在其他示範實施例中，第二絕緣層 3 可由碳還原介電層，諸如二氧化矽(SiO₂)、氮化矽以及碳氮化矽所形成。第二絕緣層 3 可利用原子層沉積、化學氣相沉積、流動式化學氣相沉積、旋塗式介電層沉積以及擴散製程之至少一種沉積

方式形成。在本文中，第二絕緣層 3 是由多孔隙碳摻雜氫氧化矽層所形成，可對其進行熱固化(thermal curing)、紫外線固化(UV curing)以及電子束固化(e-Beam curing)之至少一種固化方式。

【0084】 在第二絕緣層 3 上可形成罩幕圖案 5。罩幕圖案 5 可形成為具有開口 7。此開口 7 是用來定義後續製程中的導體圖案 10。此罩幕圖案 5 可以是(例如)光阻圖案。在第一區域 A、第二區域 B 以及第三區域 C 中的罩幕圖案 5 可以使其具有寬度 W1、W2 以及 W3(參考圖 1 的說明，在導體圖案 10 之間分別具有間隙 W1、W2 以及 W3)的方式來形成。舉例來說，在第二區域 B 中的罩幕圖案 5 的寬度 W2 可大於在第一區域 A 中的罩幕圖案 5 的寬度 W1 且小於在第三區域 C 中的罩幕圖案 5 的寬度 W3。

【0085】 參照圖 3，可以罩幕圖案 5 做為蝕刻罩幕，非等向性蝕刻第二絕緣層 3，以形成具有平面形狀的第二絕緣層圖案 3a，此形狀是複製或以其他方式對應於開口 7。在非等向性蝕刻製程期間，在第二絕緣層圖案 3a 的側壁上可發生蝕刻損耗。舉例來說，第二絕緣層圖案 3a 的上部暴露於非等向性蝕刻製程中使用的蝕刻劑的時間大於第二絕緣層圖案 3a 的下部，因此，在第二絕緣層圖案 3a 中，上部蝕刻損耗部分 D1 可大於下部。在本文中，第二絕緣層圖案 3a 的碳可藉由非等向性蝕刻製程中使用的(例如)氟碳(C_xF_y -based)蝕刻氣體或電漿從蝕刻損耗部分 D1 中部分移除。在本文中第二絕緣層 3 是由碳摻雜氫氧化矽(SiOCH)或多孔隙碳摻雜氫氧化矽(porous-SiOCH)所形成，蝕刻損耗部分 D1 中的碳

C 可與蝕刻氣體中的氫或氧反應形成甲烷(CH_4)、一氧化碳(CO)或二氧化碳(CO_2)，且其可從第二絕緣層圖案 3a 脫氣。因此，蝕刻損耗部分 D1 可具有與氧化矽(Si_xO_y)相似的化學組成。這表示蝕刻損耗部分 D1 實質上可理解為第二絕緣層圖案 3a 中的碳減少部分。

【0086】 參照圖 4，可選擇性移除罩幕圖案 5 以暴露第二絕緣層圖案 3a 的頂面。如果罩幕圖案 5 是光阻圖案，則其可藉由灰化製程移除。接下來，可依序形成擴散阻障層 9 及導體層 11 以填入開口 7。擴散阻障層 9 可選自由鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈳 (Ru)、鈷 (Co)、錳 (Mn)、氮化鎢 (WN)、鎳 (Ni) 以及鎳硼 (NiB) 所組成之群組中之至少一種材料所形成。擴散阻障層 9 可以沉積製程形成。在導體層 11 形成之前，可形成種晶層。導體層 11 可以沉積製程或電鍍製程來形成。導體層 11 可包括金屬層(例如銅、鎢或鋁)。

【0087】 參照圖 5，可在導體層 11 及擴散阻障層 9 上進行平坦化蝕刻製程，以去除第二絕緣層圖案 3a 頂面上與開口 7 中局部的導體圖案 10 的導體層 11 及擴散阻障層 9。平坦化蝕刻製程可使用回蝕刻製程或化學機械研磨(CMP)製程進行，以使得第二絕緣層圖案 3a 的頂面暴露出來。

【0088】 參照圖 6，可對暴露的第二絕緣層 3a 頂面進行電漿處理製程 33。電漿處理製程可以一種可以選擇性移除第二絕緣層圖案 3a 的碳的方式進行。這可能導致蝕刻損耗部分 D1 的面積增加。在第一區域 A 中，因為導體圖案 10 配置為具有小間隔(space)，第

二絕緣層圖案 3a 可具有小體積。因此，非等向性蝕刻製程與電漿處理可移除於第一區域 A 上的第二絕緣層圖案 3a 的整個部分(例如整體)的碳。相反地，第三區域 C 中，因為導體圖案 10 配置為具有大間隔，則第二絕緣層圖案 3a 可具有大體積。移除於第三區域 C 中的第二絕緣層圖案 3a 的碳的效率可能是最低的。舉例來說，在電漿處理期間，可部分移除第三區域 C 中的第二絕緣層圖案 3a 的頂部的碳。在第二區域 B 中，因為導體圖案 10 配置為具有中等間隔，相較於其在第一區域 A 與第三區域 C 中，可以中等的效率來進行移除於第二絕緣層圖案 3a 的碳。舉例來說，在第二區域 B 中，可適度地移除第二絕緣層圖案 3a 的碳。同樣地，電漿處理製程可根據第二絕緣層圖案 3a 的體積控制碳移除速率的方式來進行。在示範實施例中，電漿處理製程可在攝氏溫度為 200-400 度以及壓力為 3-8 托，以 300-800 瓦特的電漿源，供應 H_2 、 NH_3 、 N_2H_2 、 N_2O 、 O_2 、 CO_2 或是 CO 之至少一種氣體。

【0089】參照圖 7，可移除至少一部分的第二絕緣層圖案 3a。舉例來說，可選擇性蝕刻部分 D1，其中的碳可藉由等向性蝕刻及電漿處理製程而消耗。此製程可藉由使用氟化氫溶液的濕式蝕刻製程或利用氟碳氣體(C_xF_y -based gas)的乾式蝕刻製程來進行。因為碳減少部分 D1 具有與氧化矽(Si_xO_y)相似的化學組成，其可藉由氟化氫溶液或氟碳氣體輕易移除。相反地，碳剩餘部分則不可藉由氟化氫溶液或氟碳氣體移除，並且可在製程後留下來。因此，可在第三區域 C 中形成支撐圖案 3c，而在第二區域 B 中形成剩餘圖

案 3b，剩餘圖案 3b 的尺寸小於支撐圖案 3c 的尺寸。在第一區域 A 中，第二絕緣層圖案 3a 可完全移除，以暴露出第一絕緣層 2 的頂面。

【0090】 參照圖 8，可在整個基底 1 上形成犧牲層 13。犧牲層 13 可由烴類(C_xH_y)所形成。犧牲層 13 可利用旋塗式介電層(SOD)或電漿輔助化學氣相沉積形成。犧牲層 13 可形成為填入導體圖案 11 之間的時間隔且覆蓋導體圖案 11 的頂面。

● 【0091】 參照圖 9，可對犧牲層 13 進行平坦化蝕刻製程，以移除犧牲層 13，並暴露出導體圖案 11 的頂面。平坦化蝕刻製程可使用回蝕刻製程或化學機械研磨製程進行。

● 【0092】 參照圖 10，可在整個基底 1 上形成覆蓋層 15。覆蓋層 15 可利用原子層沉積(ALD)製程，或者是利用電漿輔助化學氣相沉積(PE-CVD)、常壓化學氣相沉積(AP-CVD)或流動式化學氣相沉積(FCVD)來形成。覆蓋層 15 可由介電常數約莫 1.8-8 的介電材料形成。舉例來說，覆蓋層 15 可選自由二氧化矽(SiO_2)、氮化矽(SiN)、碳摻雜氫氧化矽($SiOCH$)、碳氮化矽($SiCN$)以及氮氧化矽($SiON$)所組成之群組中之至少一種材料所形成。在示範實施例中，此覆蓋層 15 可選自由二氧化矽(SiO_2)、碳摻雜氫氧化矽($SiOCH$)以及碳氮化矽($SiCN$)所組成之群組中之至少一種材料所形成。此覆蓋層 15 的厚度可為 0.1 奈米-5 奈米。覆蓋層 15 可形成為覆蓋導體圖案 10 與犧牲層 13 的頂面。

【0093】 回頭參考圖 1，可選擇性移除在覆蓋層 15 下方的犧牲層

13。舉例來說，可進行灰化製程以移除犧牲層 13。灰化製程可於攝氏溫度 20-400 度下藉由能夠產生氫自由基或氧自由基的供應氣體(例如， NH_3 、 H_2 、 N_2O 、 O_2 、 CO_2 或 CO 之至少一種氣體)來進行。灰化製程中所產生的氫自由基或氧自由基可通過覆蓋層 15 且與形成的犧牲層 13 的烴類反應形成(諸如 CH_4 、 CO_2 或 CO)氣體，其能經由覆蓋層 15 脫氣。脫氣的結果是可移除犧牲層 13 以形成空氣間隙區域 AG。因此，支撐圖案可以含碳的或對於含烴類的犧牲層具有灰化選擇性的其他層來形成。在示範實施例中，在犧牲層 13 移除後，覆蓋層 15 的一部分可能下垂至導體圖案 10 之間。舉例來說，在第三區域 C 中的導體圖案 10 之間具有最大間隔，覆蓋層 15 可能垂下，但支撐圖案 3c 的存在可防止其過度下垂。相反地，由於在第一區域 A 與第二區域 B 中導體圖案 10 之間相對狹小的間隔，覆蓋層 15 很少下垂。因此，即使在第三區域 C 中，可防止導體圖案 10 因為覆蓋層 15 過度下垂而掉落。

【0094】 在導體圖案 10 與其鄰近結構形成後，可更進一步在覆蓋層 15 上形成內連線。在此，為了使內連線與導體圖案 10 之間的電性連接，可部分移除覆蓋層 15。如果在第三區域 C 中沒有支撐圖案，覆蓋層 15 可能過度下垂，這可能導致難以在覆蓋層 15 上精準形成蝕刻罩幕圖案。然而，根據本發明概念的上述實施例，可藉由支撐圖案 3c 的存在來減少或避免此難題。

【0095】 圖 11 是根據本發明概念之其他示範實施例之半導體裝置的剖面示意圖。

【0096】參照圖 11，在本實施例中的半導體裝置可包括：提供於導體圖案 10 頂面上的第一保護層 23 以及提供於導體圖案 10 側表面上的第二保護層 25。第一保護層 23 及第二保護層 25 彼此可由不同材料形成。舉例來說，第一保護層 23 可選自由鈦、鈦、鈷、錳、鈦、鎢、鎳、鋁、其氧化物、其氮化物、或其氮氧化物之至少一種所形成。第二保護層 25 可由介電常數約莫 1.8-8 的介電材料所形成。舉例來說，第二保護層 25 可選自由氮化矽(SiN)、碳氮化矽(SiCN)以及氮化硼(BN)所組成之群組中之至少一種材料所形成。第二保護層 25 可於第一保護層 23 與覆蓋層 15 之間延伸。在第一區域 A 中，第二保護層 25 可延伸以覆蓋導體圖案 10 之間的第一絕緣層 2。在第二區域 B 中，第二保護層 25 可延伸以覆蓋剩餘圖案 3b 的側表面及頂面。在剩餘圖案 3b 上的第二保護層 25 的一部分可與覆蓋層 15 垂直分隔開來。在第三區域 C 中，第二保護層 25 可延伸以覆蓋支撐圖案 3c 的側表面且插入於支撐圖案 3c 與覆蓋層 15 之間。除此差別，在本實施例中的半導體裝置可架構為與參照圖 1 說明的上述實施例在實質上具有相同特徵。

【0097】圖 12 到圖 16 是圖 11 所示之半導體裝置的製造流程的剖面示意圖。

【0098】參照圖 12，如參照圖 6 之說明，在對第二絕緣層圖案 3a 進行電漿處理 33 後，可在導體圖案 10 的頂面上形成第一保護層 23。形成第一保護層 23 可以在移除至少一部分的第二絕緣層圖案 3a 之前進行。第一保護層 23 可由鈦、鈦、鈷、錳、鈦、鎢、鎳、

鋁、其氧化物、其氮化物、或其氮氧化物之至少一種所形成。第一保護層 23 可藉由沉積製程及蝕刻製程形成。或者是當第一保護層 23 只以金屬層來形成時，其可藉由電鍍製程來形成。

【0099】 參照圖 13，可從被第一保護層 23 覆蓋的所得結構移除至少一部分的第二絕緣層圖案 3a。此製程可藉由使用氟化氫溶液的濕式蝕刻製程或利用氟碳氣體(C_xF_x -based gas)的乾式蝕刻製程來進行。因為碳減少部分 D1 具有與氧化矽(Si_xO_y)相似的化學組成，其可藉由氟化氫溶液或氟碳氣體輕易移除。相反地，碳剩餘部分則不可藉由氟化氫溶液或氟碳氣體移除，並且可在製程後留下來。因此，可在第三區域 C 中形成支撐圖案 3c，而在第二區域 B 中形成剩餘圖案 3b，剩餘圖案 3b 的尺寸小於上述支撐圖案 3c 的尺寸。在第一區域 A 中，第二絕緣層圖案 3a 可被完全移除，以暴露出第一絕緣層 2 的頂面。在此，第一保護層 23 可在蝕刻過程中保護導體圖案 10 的頂面，防止蝕刻耗損。導體圖案 10 的側壁可藉由其上的擴散阻障層 9 保護。

【0100】 參照圖 14，在基底 1 上可共形地形成第二保護層 25。第二保護層 25 可由介電常數約莫 1.8-8 的介電材料所形成。例舉例來說，第二保護層 25 可選自由氮化矽(SiN)、碳氮化矽(SiCN)以及氮化硼(BN)所組成之群組中之至少一種材料所形成。第二保護層 25 可利用原子層沉積、電漿輔助化學氣相沉積、常壓化學氣相沉積以及流動式化學氣相沉積之一種製程形成。在示範實施例中，第二保護層 25 可形成為完全覆蓋導體圖案 10 所暴露出的表面，

因此，有可能減少或避免在導體圖案 10 中以及/或在擴散阻障層 9 與導體層 11 之間形成裂縫空隙(slit void)。

【0101】 參照圖 15，在基底 1 上可形成犧牲層 13。犧牲層 13 可由烴類(C_xH_y)所形成。在示範實施例中，犧牲層 13 可利用旋塗式介電層(SOD)或電漿輔助化學氣相沉積形成。犧牲層 13 可形成為填入導體圖案 10 之間的間隔且覆蓋導體圖案 10 的頂面。可對犧牲層 13 進行平坦化蝕刻製程，以暴露第二保護層 25 的頂面。

● 【0102】 參照圖 16，在基底 1 上可形成覆蓋層 15。覆蓋層 15 可利用原子層沉積製程，或者是利用電漿輔助化學氣相沉積、常壓化學氣相沉積或流動式化學氣相沉積形成。覆蓋層 15 可由介電常數約莫 1.8-8 的介電材料所形成。舉例來說，此覆蓋層 15 可選自由二氧化矽(SiO_2)、氮化矽(SiN)、碳摻雜氫氧化矽($SiOCH$)、碳氮化矽($SiCN$)以及氮氧化矽($SiON$)所組成之群組中之至少一種材料所形成。在示範實施例中，覆蓋層 15 可選自由二氧化矽(SiO_2)、● 碳摻雜氫氧化矽($SiOCH$)以及碳氮化矽($SiCN$)所組成之群組中之至少一種材料所形成。覆蓋層 15 的厚度可為 0.1 奈米-5 奈米。覆蓋層 15 可形成為覆蓋第二保護層 25 與犧牲層 13 的頂面。

【0103】 回頭參照圖 11，可選擇性移除在覆蓋層 15 下方的犧牲層 13。舉例來說，可進行灰化製程以移除犧牲層 13。灰化製程可於攝氏溫度 20-400 度下通過能夠產生氫自由基或氧自由基的供應氣體(諸如 NH_3 、 H_2 、 N_2O 、 O_2 、 CO_2 或 CO 之至少一種氣體)來進行。因此，犧牲層 13 可被移除以形成空氣間隙區域 AG。在示範實施

例中，在犧牲層 13 移除後，覆蓋層 15 的一部分可能下垂至導體圖案 10 之間。舉例來說，在第三區域 C 中的導體圖案 10 之間の間隔或空隙是最寬的，覆蓋層 15 可能下垂且與支撐圖案 3c 上的第二保護層 25 接觸。

【0104】圖 17 是根據本發明概念之又一示範實施例之半導體裝置的剖面示意圖。

【0105】參照圖 17，在根據本實施例的半導體裝置中，覆蓋層 15 可形成為不僅覆蓋第二保護層 25 的頂面，也覆蓋第二保護層 25 的一部分的側表面。除此差別，在本實施例中的半導體裝置可架構為與參照圖 11 說明的上述實施例在實質上具有相同特徵。

【0106】圖 18 到圖 19 是圖 17 所示之半導體裝置的製造流程的剖面示意圖。

【0107】參照圖 18，對犧牲層 13 進行平坦化蝕刻製程(例如，圖 15)，可使用回蝕刻製程來進行。如果回蝕刻製程是以一種過蝕刻的方式來進行，則犧牲層 13 可具有頂面低於第二保護層 25 的凹陷。舉例來說，第二保護層 25 的側壁可藉由回蝕刻製程而部分暴露。

【0108】參照圖 19，在基底 1 上可形成覆蓋層 15，以覆蓋第二保護層 25 所暴露的側壁。接著，可藉由灰化製程去除犧牲層 13，藉以形成圖 17 的結構。

【0109】圖 20 是根據本發明概念之再一示範實施例之半導體裝置的剖面示意圖。

【0110】 參照圖 20，與圖 1 結構相似，根據本實施例的半導體裝置中並無第一保護層 23 與第二保護層 25。然而，可形成覆蓋層 15 以部分覆蓋導體圖案 10 的上側壁。除此差別，在本實施例中的半導體裝置可架構為與參照圖 1 說明的上述實施例中在實質上具有相同特徵。

【0111】 圖 20 之半導體裝置的形成可包括進行回蝕刻製程，以得到圖 8 與圖 9 的所得的結構。回蝕刻製程可以一種過蝕刻的方式進行，以暴露導體圖案 10 的上側壁。接著，在基底 1 上可形成覆蓋層 15，且可藉由灰化製程移除犧牲層 13，藉以由形成圖 20 的結構。

【0112】 目前為止已說明半導體裝置的導體圖案與其鄰近結構。在某些實施例中，在第一區域 A 中的結構可用來實現於記憶體晶片中的記憶胞陣列區域的位元線，諸如反及閘快閃記憶體(NAND FLASH)裝置或相變隨機存取記憶體(phase-change random access memory)裝置。在第三區域 C 中的結構可用來實現記憶體晶片的周邊電路或邏輯晶片的內連線結構。在第二區域 B 中的結構可用來實現記憶體或邏輯晶片的內連線結構。

【0113】 圖 21A 到圖 21C 是根據本發明概念之示範實施例所示之製程製造的半導體裝置的影像。

【0114】 圖 21A 是從樣本得到的穿透式電子顯微鏡(TEM)影像，此樣本是使用根據本發明概念之示範實施例的製程所製備。詳細地說，如參照圖 2 的說明，在此樣本中，第二絕緣層 3 是由碳摻

雜氮化氧化矽(SiOCH)所形成的，接著，如參照圖 3 的說明，圖案化以形成開口 7。如參照圖 4 與圖 5 的說明，導體圖案 10 包括形成由銅所構成的導體層 11 以填入開口 7。在此，導體圖案 10 形成為其彼此間具有約莫 40 奈米的間隔。如圖 6 所示，使用氮氣電漿來處理第二絕緣層圖案 3a。如圖 12 所示，由銅氮化矽(CuSiN)所形成的第一保護層 23 覆蓋導體圖案 11 的頂面，接著，如圖 14 所示，由碳氮化矽(SiCN)所形成的第二保護層 25 覆蓋導體圖案 11 的側壁。如圖 15 所示，利用旋塗式介電層(SOD)製程將烴類(C_xH_y)層所形成的犧牲層 13 填入導體圖案 11 之間的間隔。如圖 16 所示，利用原子層沉積製程形成由氧化矽所形成的約 4 奈米的覆蓋層 15。接著，如參照圖 11 的說明，進行使用氧氣的灰化製程，以去除犧牲層 13。圖 21A 是所得之結構的穿透式電子顯微鏡影像。如圖 21A 所示，導體圖案之間形成完整限定邊界(well-defined)的空氣間隙。同樣地，在空氣間隙區域上形成的覆蓋層具有完整限定邊界的底表面。這是因為覆蓋層是由原子層沉積製程所形成的氧化矽層，且在移除犧牲層後足夠堅固以維持其形狀。

【0115】 圖 21B 與圖 21C 是從樣本得到的虛擬掃描電子顯微鏡(VSEM)影像，樣本是根據本發明概念之其他示範實施例所使用的製程製備。在圖 21B 的樣本中，導體圖案形成為在彼此之間具有約莫 60 奈米的間隔，且在圖 21C 的樣本中，導體圖案形成為在彼此之間具有約莫 200 奈米的間隔。圖 21B 與圖 21C 是參照圖 21A 的說明以相同製程及相同材料所製備，除了過蝕刻犧牲層 13 的上

部以暴露第二保護層 25 的上側壁之外，如參照圖 18 的說明。如圖 21B 所示，在導體圖案之間形成剩餘圖案與空氣間隙，且如圖 21C 所示，在導體圖案之間形成支撐圖案與空氣間隙。剩餘圖案以及支撐圖案，與圖 21A 的第二絕緣層 3 相似，皆由多孔隙碳摻雜氫化氧化矽所形成。

【0116】 同樣地，當導體圖案之間の間隔減少，導體圖案之間的空氣間隙與間隔的體積比則增加。因為空氣間隙區域具有低介電常數(約莫 1)，位在導體圖案之間的空氣間隙區域可能減少或抑制導體圖案之間的電容性耦合，因此，有可能會減少或抑制訊號傳輸速度下降。此外，由於在導體圖案之間の間隔相對較大的區域中的支撐圖案，有可能減少或防止覆蓋層的過度下垂。

【0117】 圖 22 是一種包括根據本發明概念之示範實施例的半導體裝置的記憶體系統範例的示意方塊圖。

【0118】 參照圖 22，記憶體系統 1100 可應用在個人數位助理(PDA)、攜帶型電腦、網路平板電腦 (web tablet)、無線電話、行動電話、數位音訊播放器、記憶卡以及/或能夠在無線通訊環境下發送以及/或接收資料的其他裝置。

【0119】 記憶體系統 1100 包括控制器 1110、輸入輸出裝置 1120(像是鍵板(keypad)及顯示裝置)、記憶體 1130，介面 1140 以及匯流排 1150。記憶體 1130 與介面 1140 藉由匯流排 1150 彼此通訊。

【0120】 控制器 1110 包括至少一微處理器、至少一數位訊號處理器、至少一微控制器以及/或其他類似微處理器、數位訊號處理器

以及微控制器的處理器裝置。記憶體 1130 可用來儲存由控制器 1110 執行的指令。輸入輸出裝置 1120 可接收來自系統 1110 外部資料或訊號或是發送資料或訊號到系統 1110 外部。例如，輸入輸出裝置 1120 可包括鍵盤、鍵板以及/或顯示器。

【0121】 記憶體 1130 包括根據本發明概念之示範實施例的至少一非揮發性記憶體裝置。此記憶體 1130 可更包括不同種類的記憶體、能夠隨機存取的揮發性記憶體裝置以及/或各種其他類型的記憶體。

【0122】 介面 1140 傳送資料至通訊網路以及/或從通訊網路接收資料。

【0123】 根據本發明概念之示範實施例，在半導體裝置中，在導體圖案之間可形成導體圖案與其上方的覆蓋層以定義空氣間隙區域。由於空氣間隙區域的低介電常數，有可能會減少或抑制導體圖案間的電性干擾。這能夠提高訊號傳輸速度以及/或降低功率消耗。

【0124】 進一步地說，在間隔較寬的導體圖案之間配置的支撐圖案，能減少或防止其上的覆蓋層過度下垂或倒塌。因此，有可能減少或防止導體圖案的掉落以及/或後續製程中由於覆蓋層過度下垂所發生的技術問題。換句話說，支撐圖案具有足夠尺寸以支撐上方的覆蓋層，其可形成在基底的各個區域上，其中支撐圖案的尺寸可取決於各個區域中導體圖案之間的間隔。因此支撐圖案能改進半導體裝置的可靠度。

【0125】 在半導體裝置中，保護層可提供來覆蓋導體圖案的頂面及側表面，因此可以增進半導體裝置的可靠度。

【0126】 根據示範性實施例的製造方法，空氣間隙區域可形成為具有可控制尺寸及/或位置。

【0127】 此外，根據本文所述一些製造方法，支撐圖案可自動形成在間隔較寬的導體圖案之間。這表示形成支撐圖案不需要額外的微影製程以及/或不需改變預定使用的光罩設計。換句話說，能簡單化製造流程。

【0128】 儘管已詳細展示且說明本發明概念之其他示範實施例，但熟習此項技術者應瞭解，在不脫離後附之申請專利範圍的精神和範圍的情況下，可於其中進行形式或細節上的更動。

【符號說明】

【0129】

- 1：基底
- 2：第一絕緣層
- 3：第二絕緣層
- 3a：第二絕緣層圖案
- 3b：剩餘圖案
- 3c：支撐圖案
- 5：罩幕圖案
- 9：擴散阻障層
- 10：導體圖案

11：導體層
 13：犧牲層
 33：電漿處理製程
 15：覆蓋層
 23：第一保護層
 25：第二保護層
 1100：記憶體系統
 1110：控制器
 1120：輸入輸出裝置
 1130：記憶體
 1140：介面
 1150：匯流排
 A：第一區域
 AG：空氣間隙區域
 B：第二區域
 C：第三區域
 D1：蝕刻損耗部分
 H1、H2：高度
 W1、W2、W3：寬度

申請專利範圍

1. 一種積體電路裝置，包括：

分隔開的導體圖案，位於基底表面上，所述基底包括第一區域及第二區域；

剩餘圖案，位於所述第一區域中的相鄰的所述導體圖案之間的所述基底表面上；

支撐圖案，位於所述基底表面上，其中所述支撐圖案位於所述第二區域中的相鄰的所述導體圖案之間且由個別間隙區域所分隔，其中所述第二區域中的所述相鄰的所述導體圖案從所述基底表面延伸遠離，超出所述第二區域中的所述導體圖案之間之所述支撐圖案的頂面；以及

覆蓋層，位於所述第二區域中的所述導體圖案的個別表面上及所述支撐圖案的所述頂面上，位於所述第二區域中的所述導體圖案的個別表面上及所述支撐圖案的所述頂面上的所述覆蓋層的表面為非平面，

其中所述支撐圖案從所述基底表面延伸遠離，超出所述剩餘圖案的頂面。

2. 如申請專利範圍第 1 項所述的積體電路裝置，其中所述個別間隙區域由所述覆蓋層、所述導體圖案的個別側壁、以及所述相鄰的所述支撐圖案的個別側壁所限制。

3. 如申請專利範圍第 2 項所述的積體電路裝置，其中所述覆蓋層延伸至所述相鄰的所述導體圖案的所述個別側壁上，且其中所述支撐圖案的所述個別側壁無所述覆蓋層。

4. 如申請專利範圍第 1 項所述的積體電路裝置，其中所述第

一區域中的所述導體圖案之間無所述支撐圖案。

5. 如申請專利範圍第 4 項所述的積體電路裝置，其中所述第一區域中的所述覆蓋層的表面實質上為平面。

6. 如申請專利範圍第 5 項所述的積體電路裝置，其中所述第二區域中的所述導體圖案之間間隔大於所述第一區域中的所述導體圖案之間間隔。

7. 如申請專利範圍第 6 項所述的積體電路裝置，其中所述支撐圖案及所述剩餘圖案包括相同材料。

8. 如申請專利範圍第 1 項所述的積體電路裝置，其中所述個別間隙區域包括第一間隙區域，其中第二間隙區域將所述剩餘圖案、所述覆蓋層以及所述第一區域中的所述相鄰的導體圖案分隔開。

9. 如申請專利範圍第 2 項所述的積體電路裝置，更包括：
一個或多個以上的保護層，位於所述覆蓋層及所述導體圖案的所述個別表面之間以及/或所述覆蓋層及所述支撐圖案的所述頂面之間。

10. 如申請專利範圍第 9 項所述的積體電路裝置，其中所述一個或多個以上的保護層包括不同材料的第一及第二保護層，其中所述導體圖案的所述個別側壁及所述支撐圖案由所述第二保護層所覆蓋，而未被所述第一保護層所覆蓋。

11. 如申請專利範圍第 1 項所述的積體電路裝置，其中該所述支撐圖案包括含碳層。

12. 如申請專利範圍第 1 項所述的積體電路裝置，其中所述個別間隙區域包括無阻礙空間，其中所述無阻礙空間的介電常數

小於所述支撐圖案及/或所述覆蓋層的介電常數。

13. 如申請專利範圍第 1 項所述的積體電路裝置，其中所述相鄰的所述導體圖案的分隔距離為 100 奈米(nm)或 100 奈米以上。

14. 一種半導體裝置，包括：

基底，具有第一區域及第二區域；

導體圖案，位於所述基底上，其中所述導體圖案在所述第一區域中被第一間隔分開，所述導體圖案在所述第二區域中被大於所述第一間隔的第二間隔分開；

剩餘圖案，位於所述第一區域中的所述導體圖案之間；

支撐圖案，位於所述第二區域中的所述導體圖案之間且與所述第二區域中的所述導體圖案的側壁分離；以及

覆蓋層，位於所述導體圖案以及所述支撐圖案上，其在所述第一區域中的所述導體圖案之間定義出第一空氣間隙區域，且在所述第二區域中的所述支撐圖案以及相鄰所述支撐圖案的所述導體圖案之間定義出第二空氣間隙區域，

其中所述支撐圖案具有的頂面低於所述導體圖案的頂面，所述剩餘圖案的頂面與所述覆蓋層之間隔有所述第一空氣間隙區域，且所述剩餘圖案的所述頂面低於所述支撐圖案的所述頂面。

15. 如申請專利範圍第 14 項所述的半導體裝置，其中所述支撐圖案具有傾斜的側表面。

16. 如申請專利範圍第 15 項所述的半導體裝置，其中所述支撐圖案和與其相鄰的所述導體圖案在所述支撐圖案的下部之間的距離小於所述支撐圖案和與其相鄰的所述導體圖案在所述支撐圖案的上部之間的距離。

17. 如申請專利範圍第 14 項所述的半導體裝置，其中在所述第二區域中，所述第二空氣間隙區域提供於所述支撐圖案與所述導體圖案的側表面之間。

18. 如申請專利範圍第 14 項所述的半導體裝置，其中所述剩餘圖案與所述支撐圖案以相同材料形成。

19. 如申請專利範圍第 14 項所述的半導體裝置，更包括：
第一保護層，置於所述導體圖案與所述覆蓋層之間；以及
第二保護層，覆蓋所述導體圖案的側表面。

20. 如申請專利範圍第 19 項所述的半導體裝置，其中所述第一保護層與所述第二保護層以不同材料形成。

21. 如申請專利範圍第 20 項所述的半導體裝置，其中所述第一保護層包括鈮、鈮、鈮、鈮、鈮、鈮、鈮、鈮、其氧化物、其氮化物、或其氮氧化物之至少一種，且所述第二保護層包括選自由氮化矽(SiN)、碳氮化矽(SiCN)以及氮化硼(BN)所組成之群組中之至少一種的材料。

22. 如申請專利範圍第 19 項所述的半導體裝置，其中所述第二保護層延伸至所述第一保護層的頂面與所述覆蓋層之間，且覆蓋所述導體圖案之間的所述基板。

23. 如申請專利範圍第 19 項所述的半導體裝置，其中在所述第二區域中，所述第二保護層覆蓋所述支撐圖案的側表面且插入於所述支撐圖案的所述頂面及所述覆蓋層之間。

24. 如申請專利範圍第 19 項所述的半導體裝置，其中所述第二保護層覆蓋所述剩餘圖案的側表面及所述頂面。

25. 如申請專利範圍第 14 項所述的半導體裝置，其中所述覆

蓋層包括選自由二氧化矽(SiO_2)、氮化矽(SiN)、碳摻雜氮化氧化矽(SiOCH)、碳氮化矽(SiCN)、以及氮氧化矽(SiON)所組成之群組中之至少一種的材料。

26. 如申請專利範圍第 14 項所述的半導體裝置，其中所述覆蓋層的厚度為 0.1-5 奈米。

27. 如申請專利範圍第 14 項所述的半導體裝置，其中所述支撐圖案包括選自由二氧化矽(SiO_2)、氮化矽(SiN)、碳氮化矽(SiCN)、碳摻雜氮化氧化矽(SiOCH)、以及多孔隙碳摻雜氮化氧化矽(porous- SiOCH)所組成之群組中之至少一種的材料。

28. 如申請專利範圍第 14 項所述的半導體裝置，其中在所述第二區域中，與所述支撐圖案相鄰的所述導體圖案之間間隔為 100 奈米或 100 奈米以上。

29. 如申請專利範圍第 14 項所述的半導體裝置，其中所述覆蓋層覆蓋在所述第二區域中之所述導體圖案的上側壁的一部分。

30. 如申請專利範圍第 29 項所述的半導體裝置，更包括保護層，覆蓋所述導體圖案的側壁，其中所述覆蓋層部分覆蓋在所述第二區域中之所述保護層的上側壁。

31. 一種積體電路裝置的製造方法，所述方法包括：

在基底表面上形成分隔開的導體圖案；

在所述基底表面上形成個別支撐圖案，其中藉由在相鄰的所述導體圖案之間的個別絕緣層上進行電漿處理製程而使所述個別支撐圖案位於相鄰的所述導體圖案之間且由個別間隙區域所分隔，其中所述相鄰的所述導體圖案從所述基底表面延伸遠離，超出所述個別支撐圖案之間的面；以及

在所述導體圖案的個別表面上及所述個別支撐圖案的所述表面上形成覆蓋層。

32. 如申請專利範圍第 31 項所述的積體電路裝置的製造方法，其中所述電漿處理製程移除所述個別絕緣層之周圍部分的碳，其中形成所述支撐圖案包括：

對所述相鄰的所述導體圖案之間的所述個別絕緣層之所述周圍部分進行選擇性蝕刻，以定義所述個別支撐圖案，且所述個別間隙區域分隔所述個別支撐圖案與所述相鄰的所述導體圖案。

33. 如申請專利範圍第 32 項所述的積體電路裝置的製造方法，其中對應選擇性蝕刻，當所述相鄰的所述導體圖案之間的間隔減少時，所述個別支撐圖案的尺寸隨之縮小。

34. 一種半導體裝置的製造方法，包括：

在基底上形成絕緣層；

圖案化所述絕緣層以形成多數個凹陷區域；

形成導體圖案以填入所述凹陷區域；

對所述絕緣層進行電漿處理；

移除至少一部分的所述絕緣層以暴露所述導體圖案的側壁；

形成犧牲層以填入所述導體圖案之間的間隔；

在所述導體圖案及所述犧牲層上形成覆蓋層；以及

移除所述犧牲層以形成所述導體圖案之間的空氣間隙區域。

35. 如申請專利範圍第 34 項所述的半導體裝置的製造方法，其中移除至少一部分的所述絕緣層包括形成支撐圖案，其中在移除所述犧牲層之後，所述支撐圖案與所述覆蓋層相接觸。

36. 如申請專利範圍第 34 項所述的半導體裝置的製造方法，

其中移除至少一部分的所述絕緣層包括形成與所述覆蓋層分隔開的剩餘圖案，其中在移除所述犧牲層之後，所述剩餘圖案與所述覆蓋層分隔開。

37. 如申請專利範圍第 34 項所述的半導體裝置的製造方法，其中所述凹陷區域是利用非等向性蝕刻製程形成。

38. 如申請專利範圍第 34 項所述的半導體裝置的製造方法，其中所述絕緣層是由含碳材料形成，且其中進行蝕刻製程與所述電漿處理以移除至少一部分之所述絕緣層的碳。

39. 如申請專利範圍第 34 項所述的半導體裝置的製造方法，其中對所述絕緣層進行電漿處理包括在攝氏溫度為 200-400 度以及壓力為 3-8 托，以 300-800 瓦特的電漿源，供應 H_2 、 NH_3 、 N_2H_2 、 N_2O 、 O_2 、 CO_2 或是 CO 之至少一種氣體。

40. 如申請專利範圍第 34 項所述的半導體裝置的製造方法，其中所述犧牲層是由烴層形成。

41. 如申請專利範圍第 34 項所述的半導體裝置的製造方法，其中所述覆蓋層利用原子層沉積(ALD)、電漿輔助化學氣相沉積(PE-CVD)、常壓化學氣相沉積(AP-CVD)或是流動式化學氣相沉積(FCVD)之至少一種沉積方式形成。

42. 如申請專利範圍第 34 項所述的半導體裝置的製造方法，其中移除所述犧牲層包括進行灰化製程以裂解所述犧牲層為氣體，使其經由所述覆蓋層脫氣。

43. 如申請專利範圍第 42 項所述的半導體裝置的製造方法，其中所述灰化製程包括在攝氏溫度 20-400 度下供應 NH_3 、 H_2 、 N_2O 、 O_2 、 CO_2 或是 CO 之至少一種氣體。

106-03-20

44. 如申請專利範圍第 34 項所述的半導體裝置的製造方法，更包括在移除至少一部分的所述絕緣層之前，形成第一保護層以覆蓋所述導體圖案的頂面。

45. 如申請專利範圍第 44 項所述的半導體裝置的製造方法，更包括在移除至少一部分的所述絕緣層之後以及在形成所述犧牲層之前，形成第二保護層以覆蓋所述導體圖案。

圖式

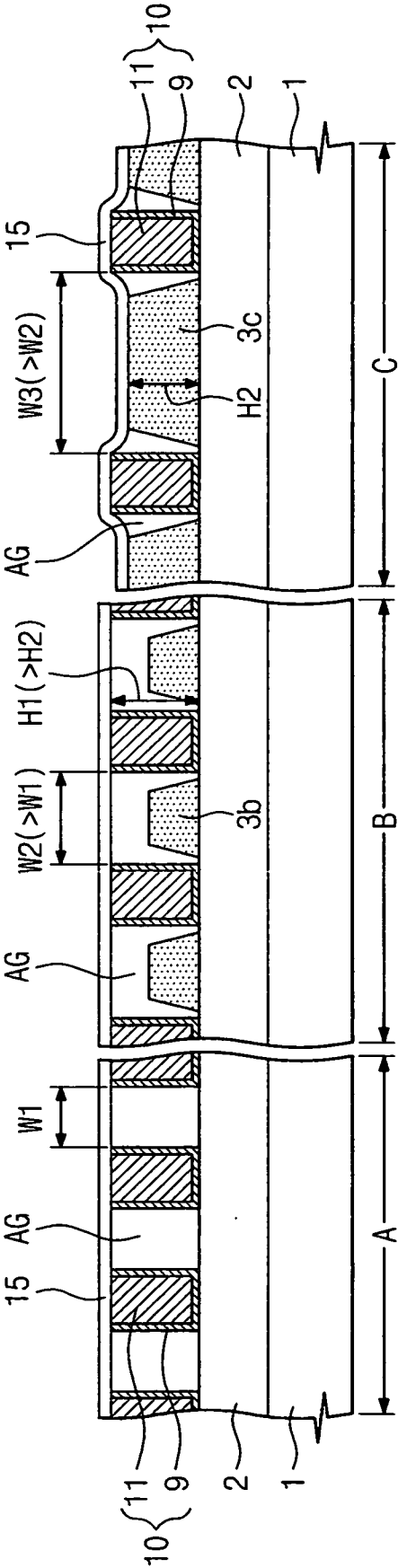


圖 1

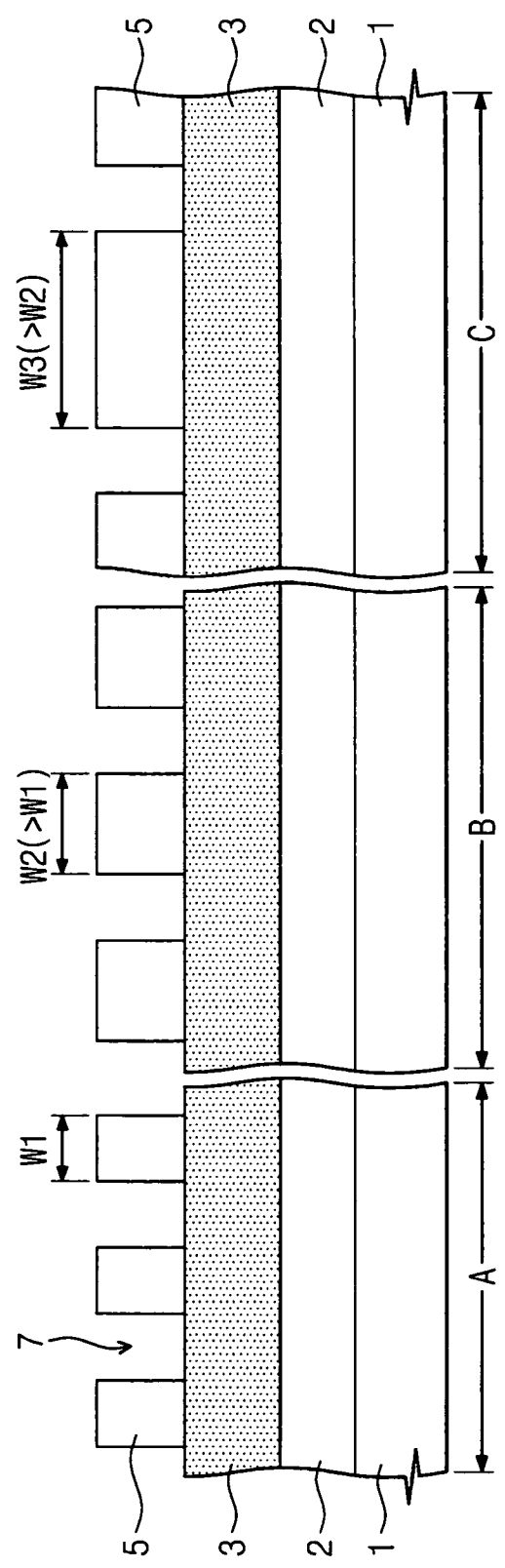


圖 2

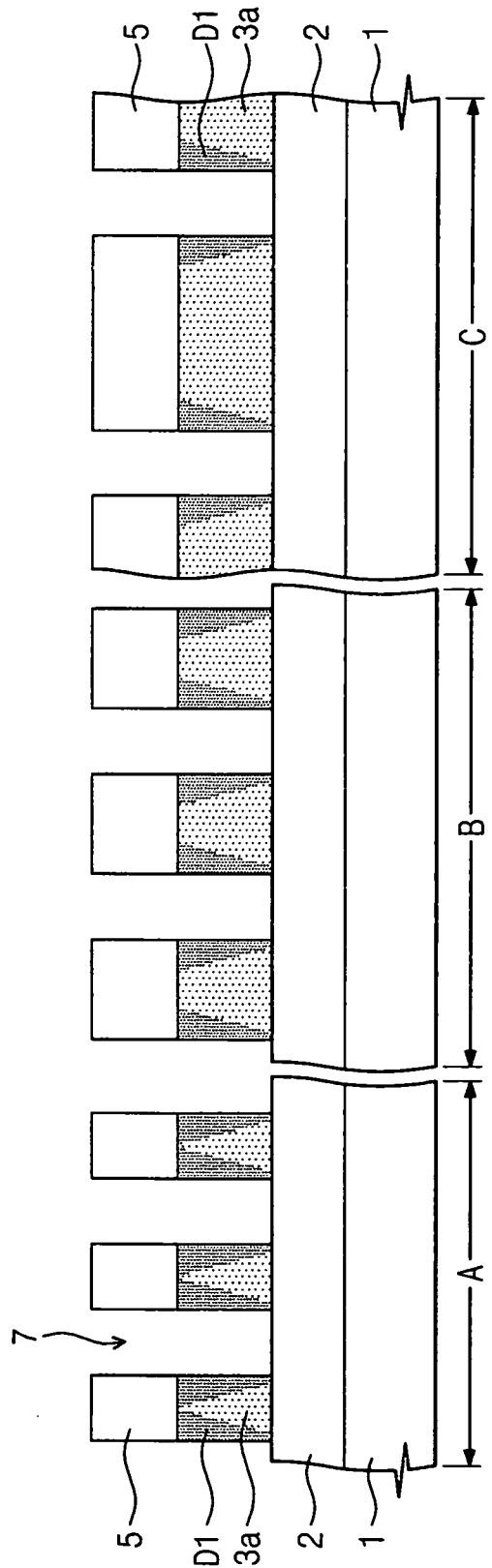


圖 3

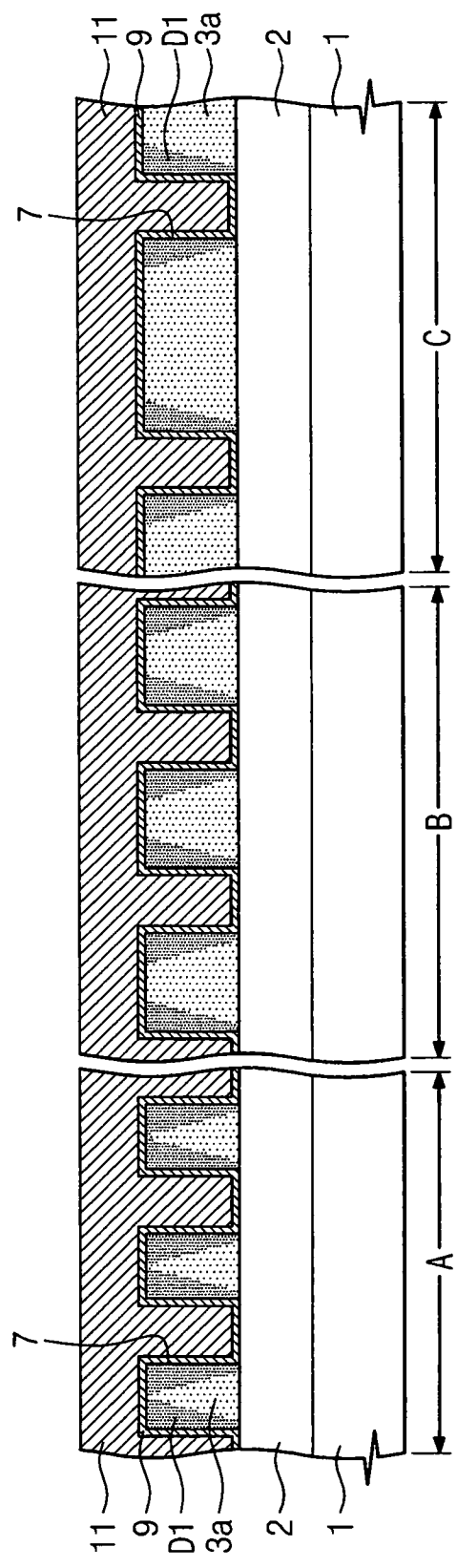


圖 4

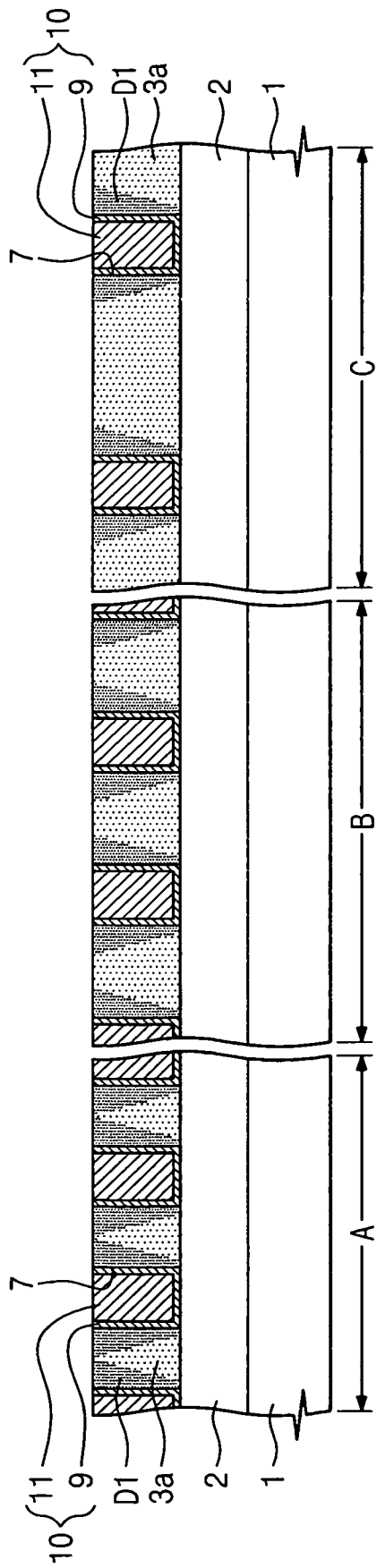


圖 5

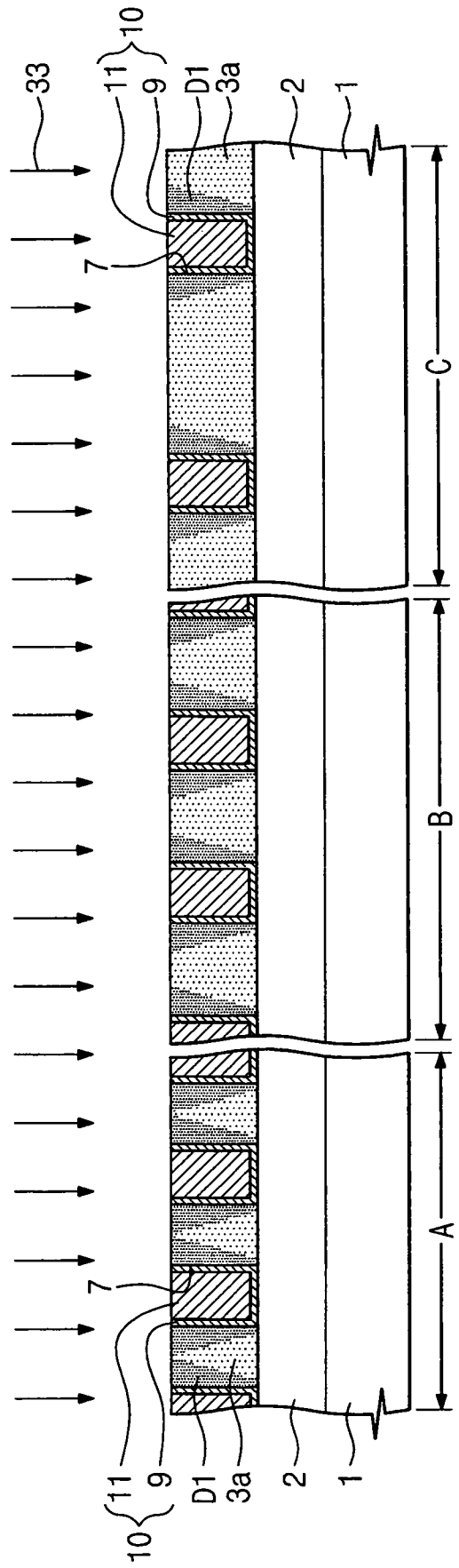


圖 6

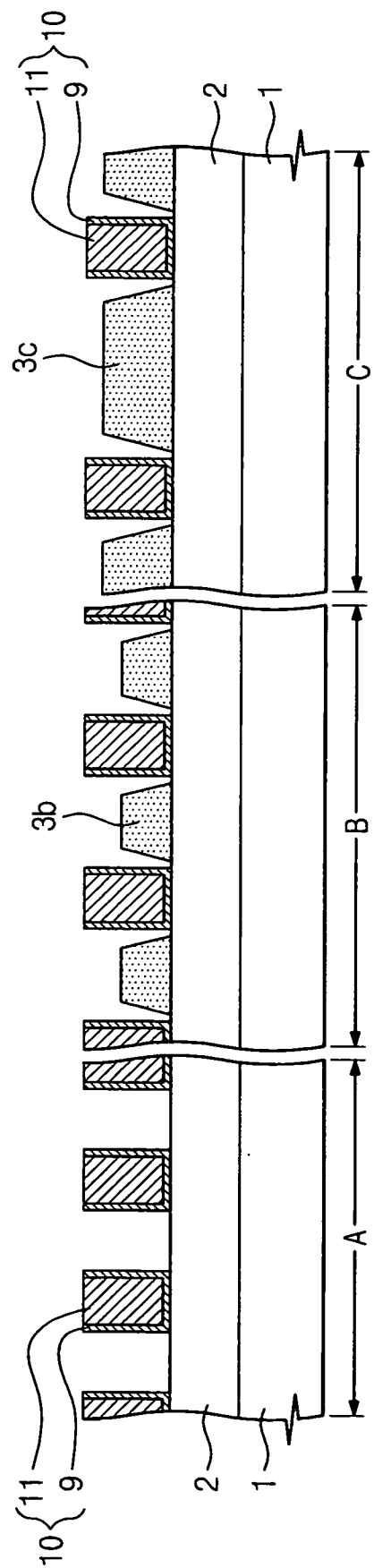


圖 7

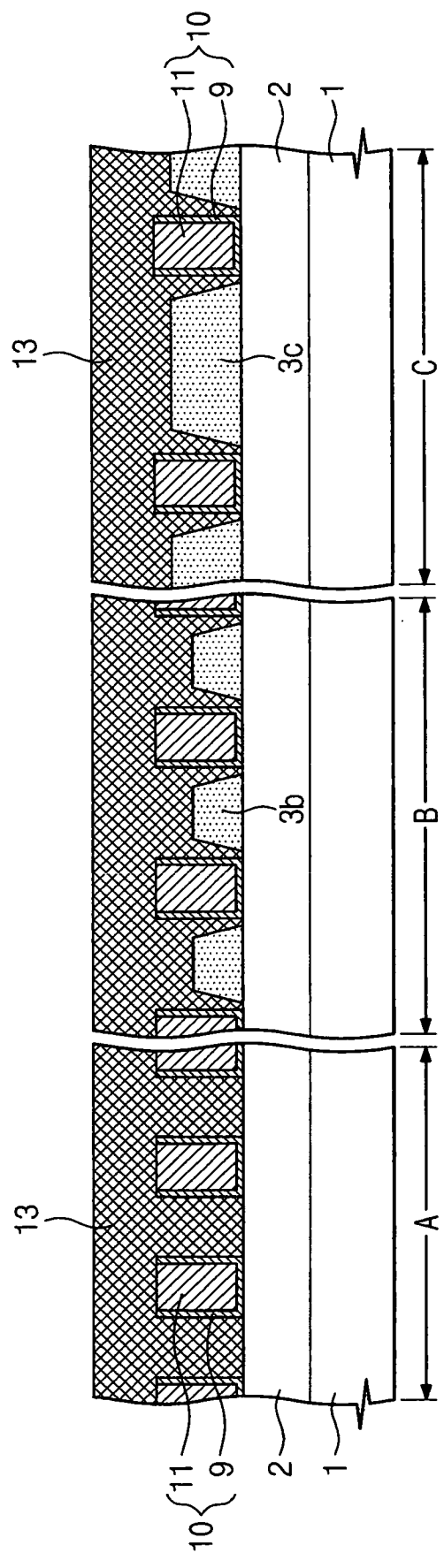
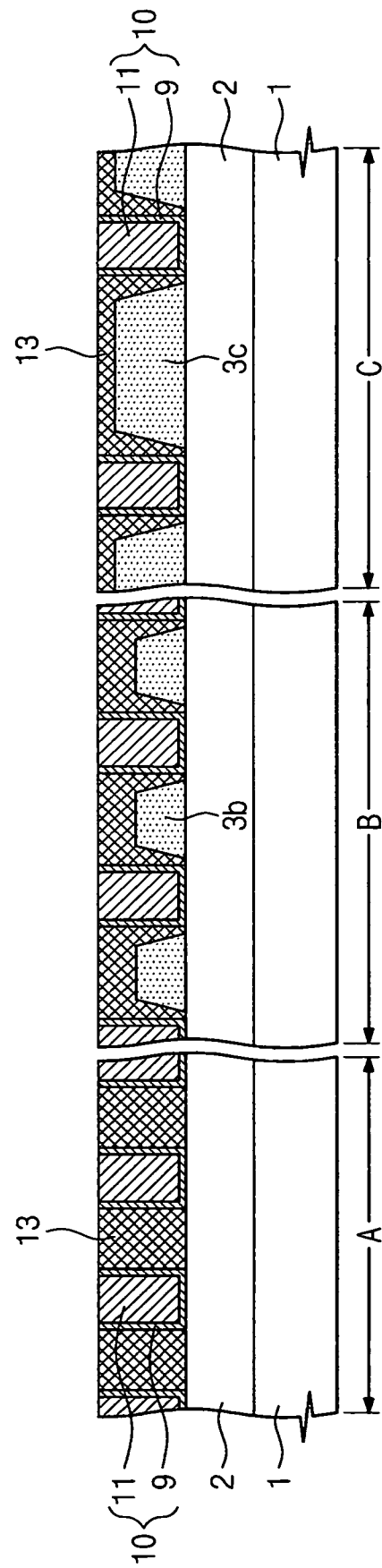


圖 8



9
[田]

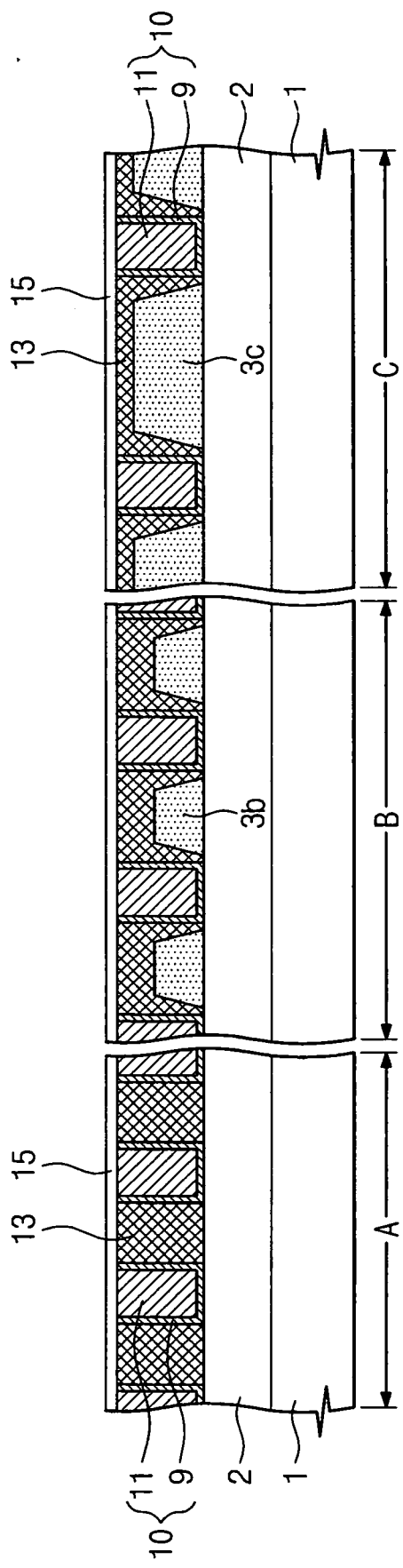


圖 10

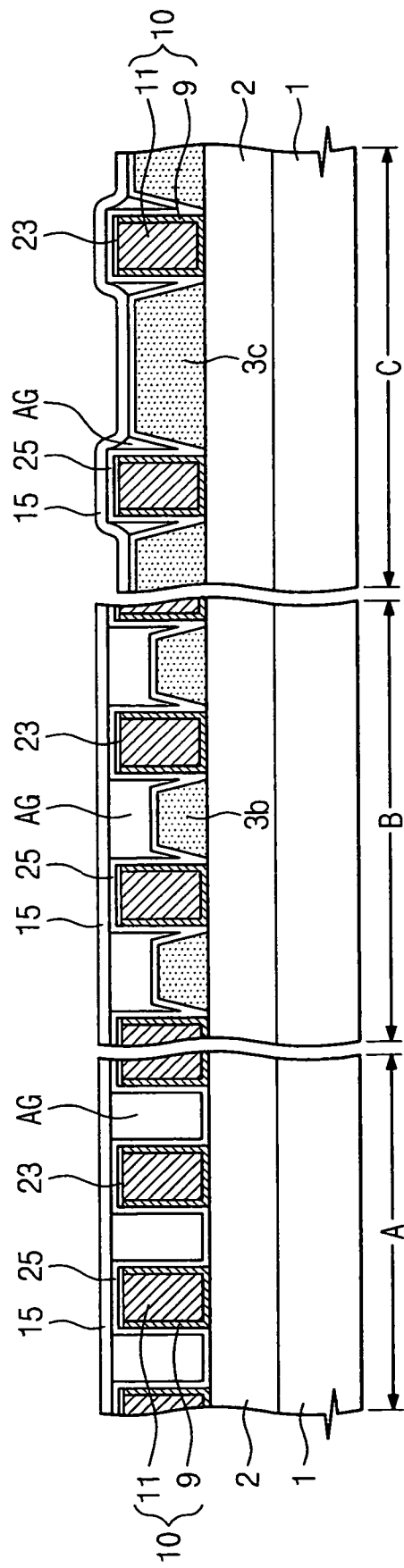


圖 11

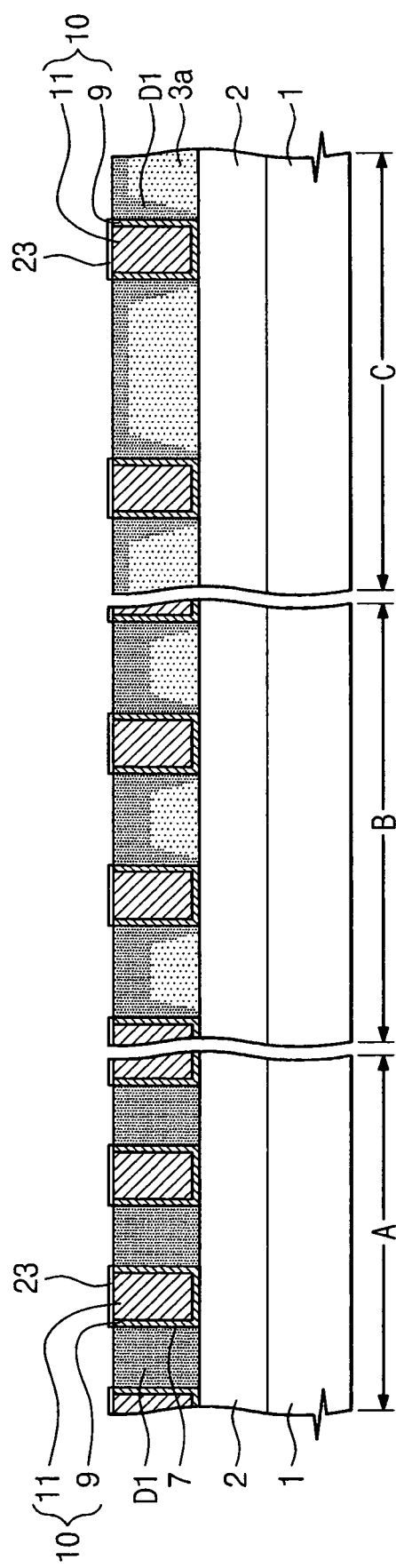


圖 12

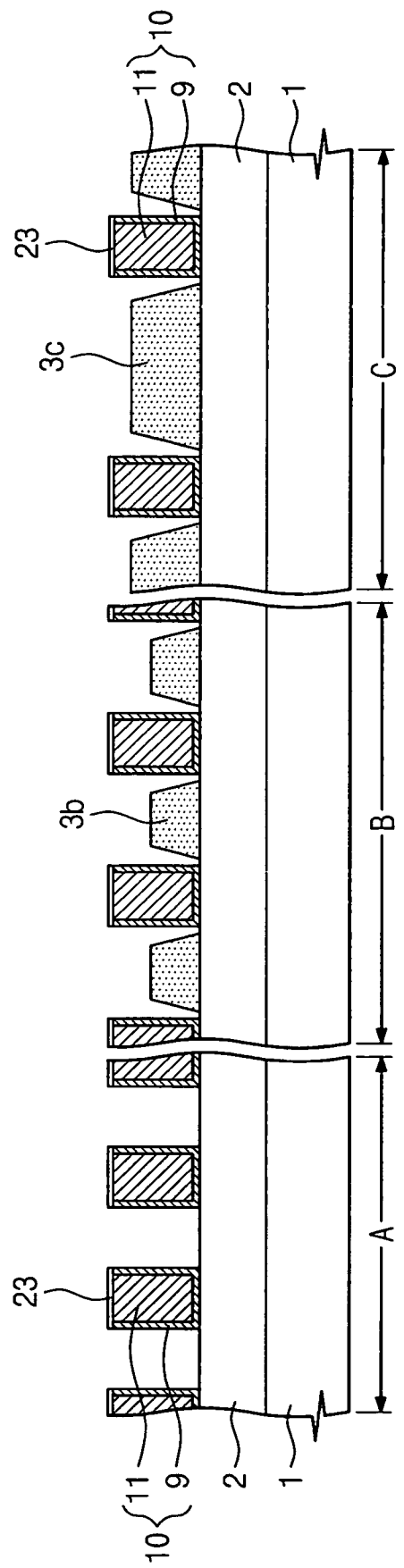


圖 13

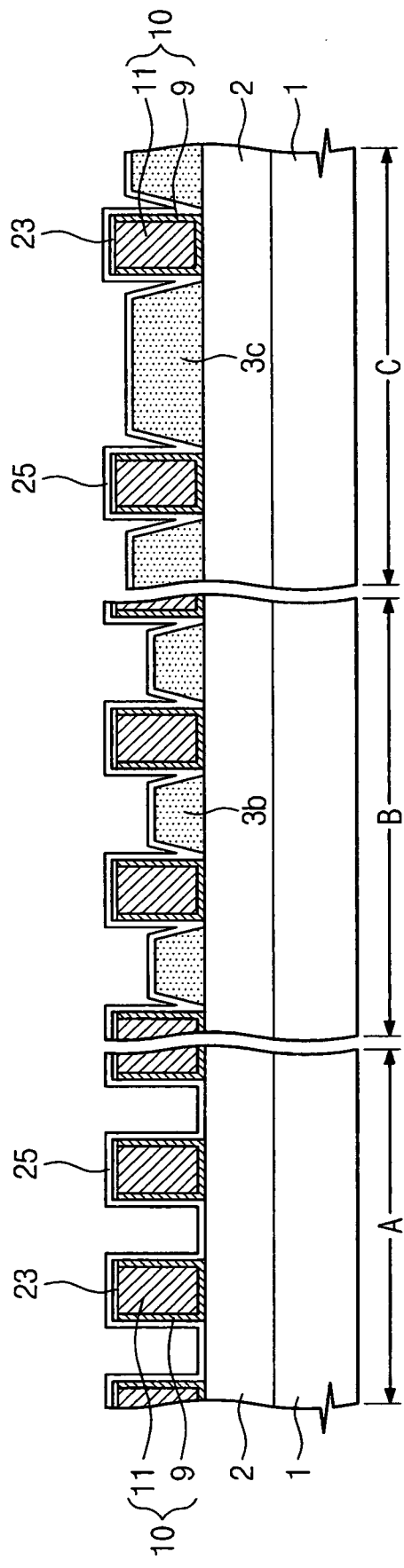


圖 14

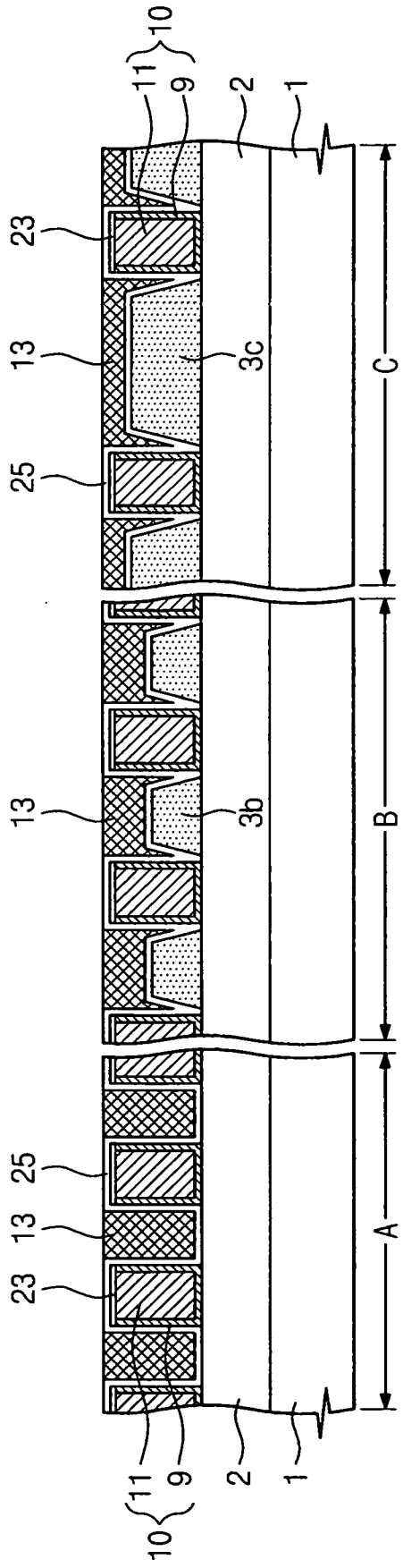


圖 15

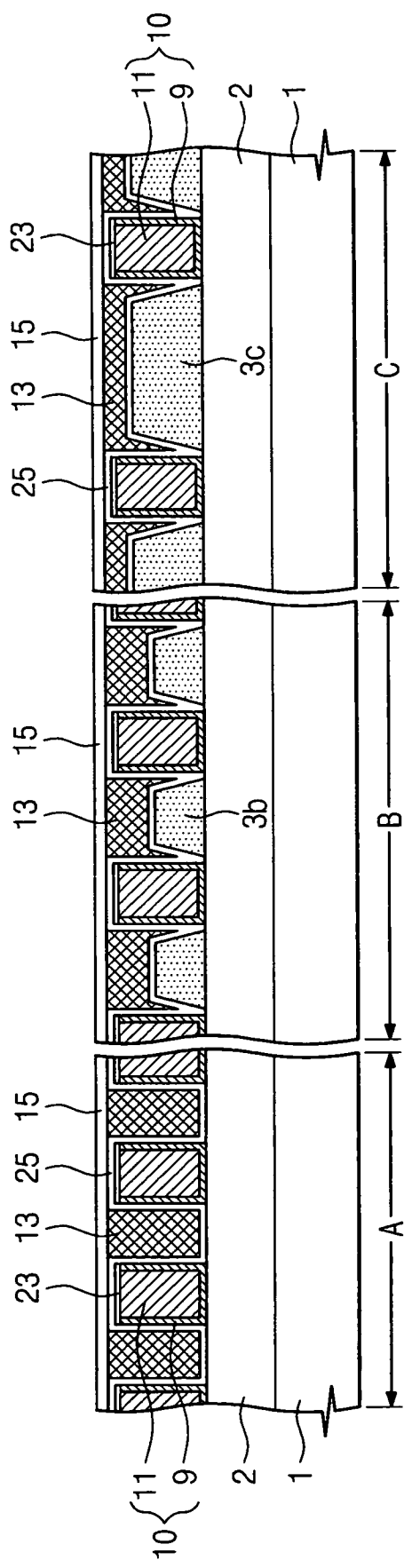


圖 16

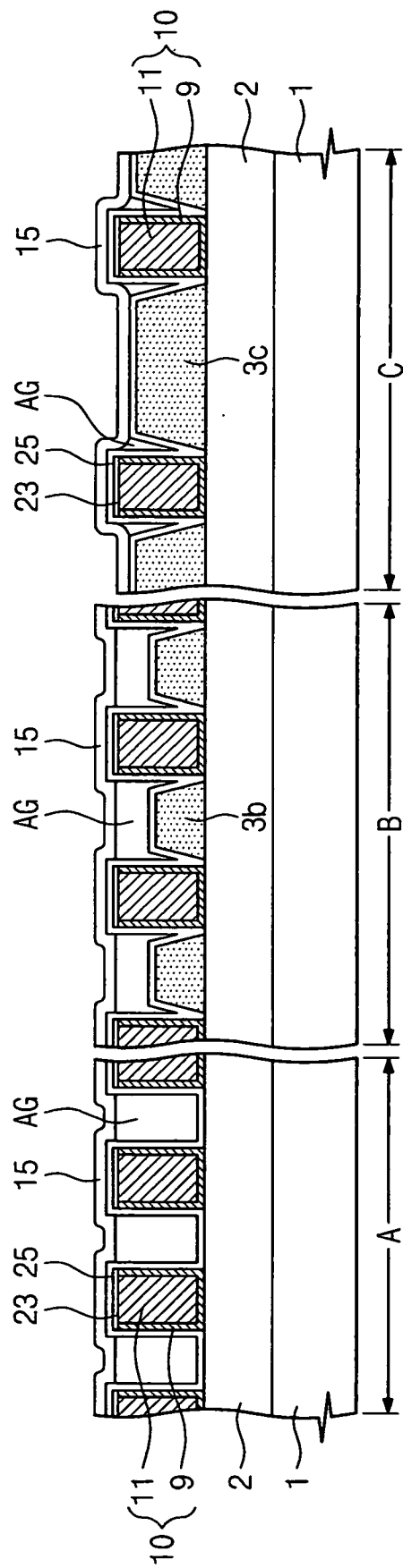


圖 17

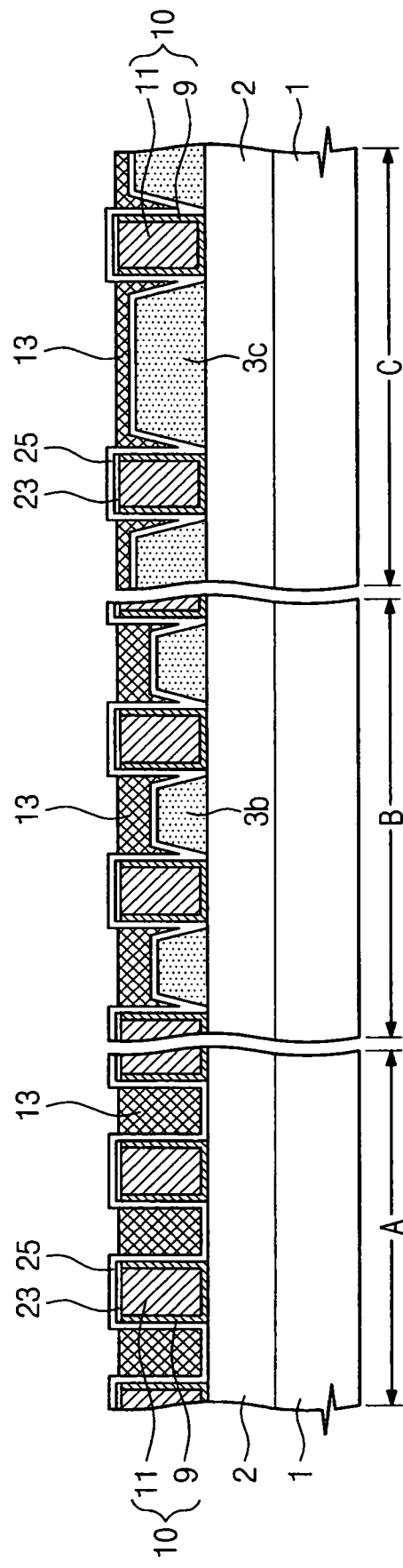


圖 18

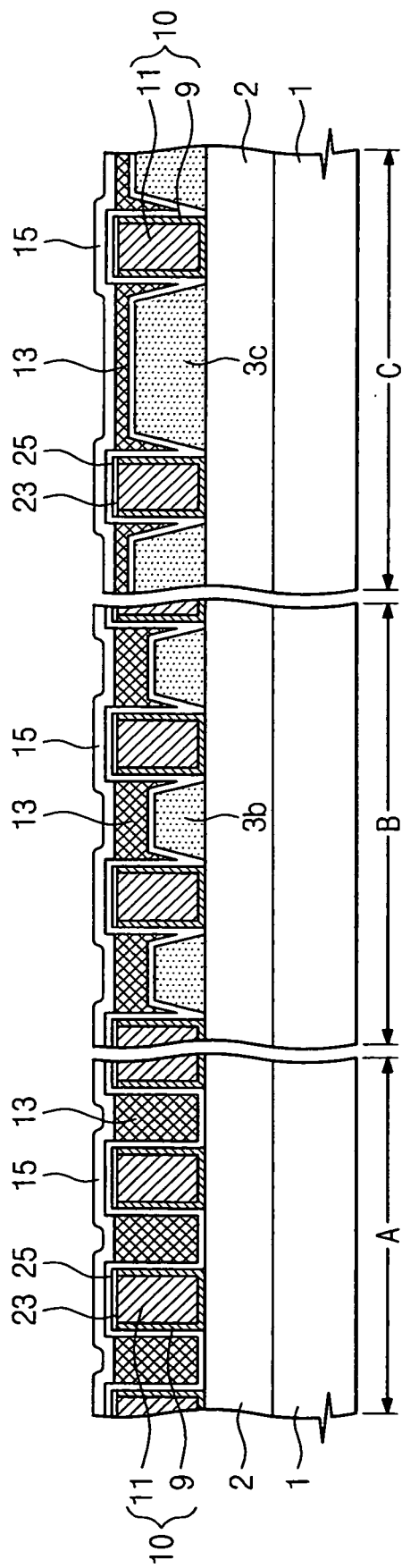


圖 19

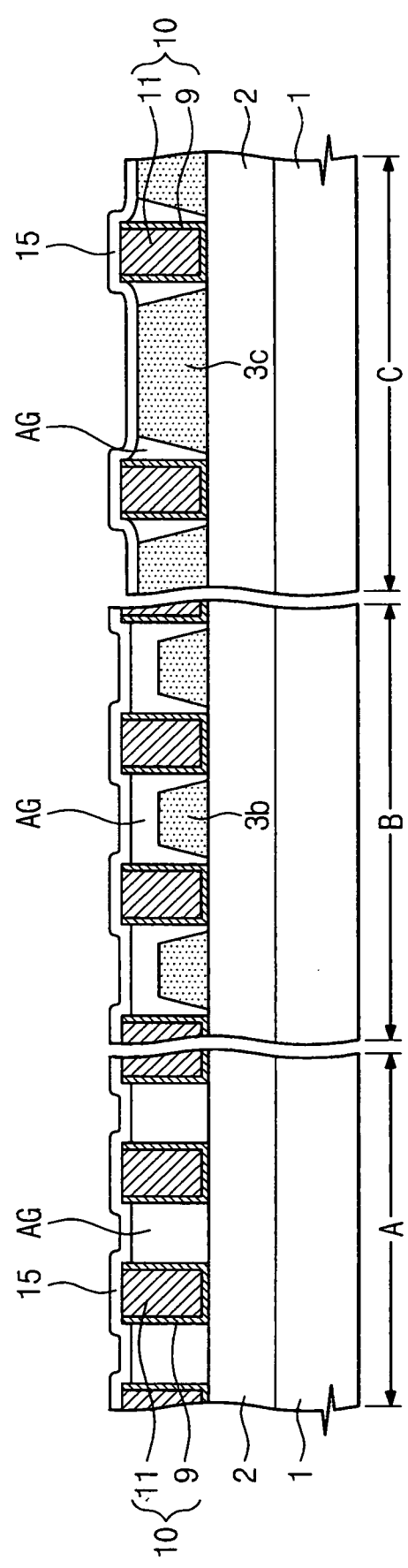


圖 20

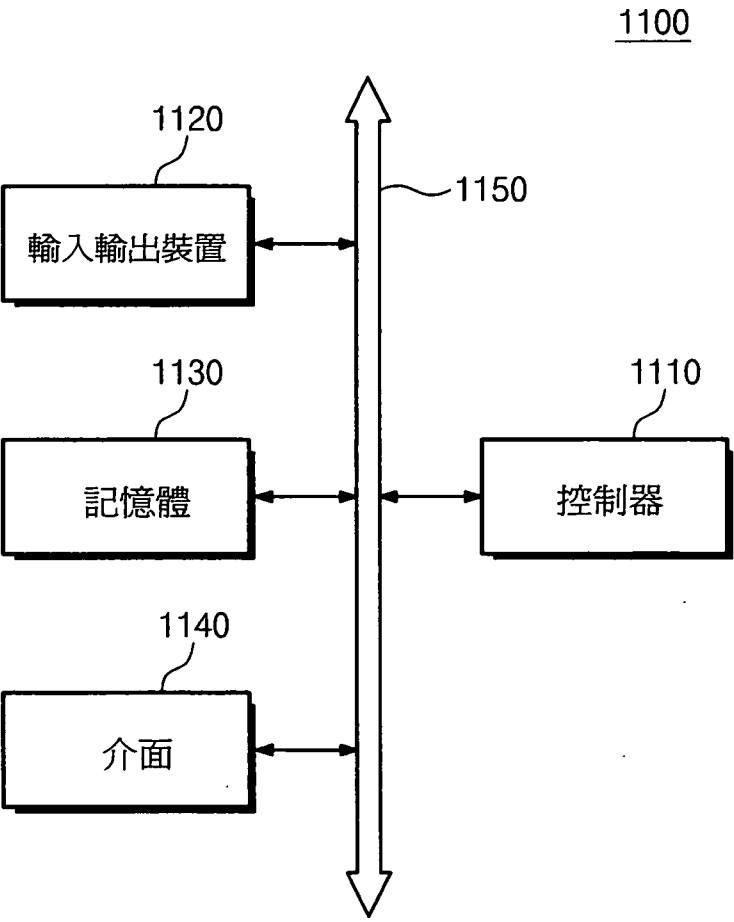


圖 22