



등록특허 10-2318462



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년10월28일  
(11) 등록번호 10-2318462  
(24) 등록일자 2021년10월22일

- (51) 국제특허분류(Int. Cl.)  
*H01L 27/146* (2006.01)
- (52) CPC특허분류  
*H01L 27/14614* (2013.01)  
*H01L 27/1464* (2013.01)
- (21) 출원번호 10-2016-7009789
- (22) 출원일자(국제) 2014년10월14일  
심사청구일자 2019년08월22일
- (85) 번역문제출일자 2016년04월14일
- (65) 공개번호 10-2016-0077055
- (43) 공개일자 2016년07월01일
- (86) 국제출원번호 PCT/JP2014/005203
- (87) 국제공개번호 WO 2015/059898  
국제공개일자 2015년04월30일
- (30) 우선권주장  
JP-P-2013-220141 2013년10월23일 일본(JP)

- (56) 선행기술조사문헌

JP2010016114 A\*

(뒷면에 계속)

전체 청구항 수 : 총 16 항

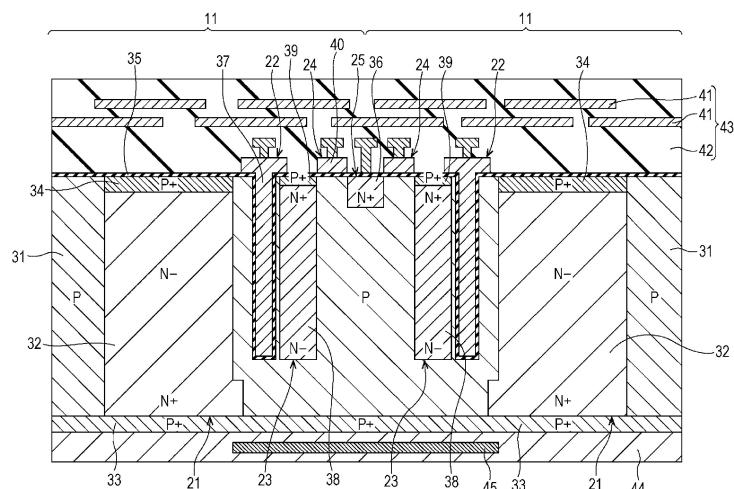
심사관 : 심병로

- (54) 발명의 명칭 고체 콜상 소자 및 그 제조 방법, 및 전자 기기

**(57) 요약**

수광량에 응한 전하를 생성하고, 축적하는 광전 변환부와, 상기 광전 변환부에 의해 생성된 전하를 축적하는 전하 축적부와, 상기 광전 변환부의 전하를 상기 전하 축적부에 전송하는 제1 전송 트랜지스터와, 상기 전하를 신호로서 판독하기 위해 유지하는 전하 유지부와, 상기 전하 축적부의 전하를 상기 전하 유지부에 전송하는 제2 전송 트랜지스터를 갖는 화소를 구비하고, 상기 제1 전송 트랜지스터의 게이트 전극은, 반도체 기판 계면부터 소정의 깊이까지 매입되어 형성되어 있고, 상기 전하 축적부는, 상기 반도체 기판 내에 매입되어 있는 상기 제1 전송 트랜지스터의 게이트 전극의 측벽에 따라 깊이 방향으로 늘어난 세로로 기다란 형상으로 형성되어 있는 고체 콜상 소자를 제공한다.

**대 표 도**



(52) CPC특허분류

*H01L 27/14641* (2013.01)

*H01L 27/14687* (2013.01)

*H01L 27/14689* (2013.01)

(56) 선행기술조사문헌

JP2011082330 A\*

KR1020110011542 A\*

KR1020120036263 A\*

WO2013088983 A1\*

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

수광량에 응한 전하를 생성하고, 축적하는 광전 변환부와,  
 상기 광전 변환부에 의해 생성된 전하를 축적하는 전하 축적부와,  
 상기 광전 변환부의 전하를 상기 전하 축적부에 전송하는 제1 전송 트랜지스터와,  
 상기 전하 축적부와 평면 방향으로 떨어진 위치에 형성되고, 상기 전하를 신호로서 판독하기 위해 유지하는 전  
 하 유지부와,  
 상기 전하 축적부의 전하를 상기 전하 유지부에 전송하는 제2 전송 트랜지스터를 갖는 화소를 구비하고,  
 상기 제1 전송 트랜지스터의 게이트 전극은, 반도체 기판 계면부터 소정의 깊이까지 매입되어 형성되어 있고,  
 상기 전하 축적부는, 상기 반도체 기판 내에 매입되어 있는 상기 제1 전송 트랜지스터의 전극의 측벽에 따라 깊  
 이 방향으로 늘어난 세로로 기다란 형상이며, 상기 제1 전송 트랜지스터의 상기 광전 변환부측과는 반대의 상기  
 전하 유지부측에 형성되어 있는 것을 특징으로 하는 고체 활상 소자.

#### 청구항 2

제1항에 있어서,

상기 전하 축적부는, 상기 제1 전송 트랜지스터가 온 된 때, 상기 세로로 기다란 형상의 광 입사측의 포텐셜이  
 낮아지도록 조정되어 있는 것을 특징으로 하는 고체 활상 소자.

#### 청구항 3

제1항에 있어서,

상기 광전 변환부는, 광 입사측의 포텐셜이 높아지도록 조정되어 있는 것을 특징으로 하는 고체 활상 소자.

#### 청구항 4

제1항에 있어서,

상기 전하 축적부와 상기 전하 유지부의 광 입사측에는, 차광막이 형성되어 있는 것을 특징으로 하는 고체  
 활상 소자.

#### 청구항 5

제1항에 있어서,

상기 제1 전송 트랜지스터의 전송 채널은, 상기 게이트 전극의 측벽 근방에 형성되는 것을 특징으로 하는 고체  
 활상 소자.

#### 청구항 6

제1항에 있어서,

상기 제1 전송 트랜지스터의 전송 채널은, 상기 게이트 전극의 저부 근방에 형성되는 것을 특징으로 하는 고체  
 활상 소자.

#### 청구항 7

제1항에 있어서,

상기 제1 전송 트랜지스터의 게이트 전극은, 차광 능력을 갖는 재료로 형성되어 있는 것을 특징으로 하는 고체

촬상 소자.

### 청구항 8

제1항에 있어서,

상기 제2 전송 트랜지스터의 게이트 전극은, 상기 반도체 기판의 깊이 방향으로 매입되어 형성되어 있는 것을 특징으로 하는 고체 촬상 소자.

### 청구항 9

제8항에 있어서,

상기 제2 전송 트랜지스터의 게이트 전극의 깊이는, 상기 제1 전송 트랜지스터의 게이트 전극의 깊이와 같은 것을 특징으로 하는 고체 촬상 소자.

### 청구항 10

제8항에 있어서,

상기 제2 전송 트랜지스터의 게이트 전극의 깊이는, 상기 제1 전송 트랜지스터의 게이트 전극의 깊이보다 얕은 것을 특징으로 하는 고체 촬상 소자.

### 청구항 11

제1항에 있어서,

상기 제1 전송 트랜지스터의 게이트 전극은, 상기 반도체 기판을 관통하고 있는 것을 특징으로 하는 고체 촬상 소자.

### 청구항 12

제1항에 있어서,

상기 전하 축적부의 평면 방향의 영역은, 상기 광전 변환부의 평면 방향의 영역보다 작은 것을 특징으로 하는 고체 촬상 소자.

### 청구항 13

제1항에 있어서,

상기 전하 유지부는, 인접하는 다른 상기 화소와 공유되도록 구성되어 있는 것을 특징으로 하는 고체 촬상 소자.

### 청구항 14

제1항에 있어서,

이면 조사형인 것을 특징으로 하는 고체 촬상 소자.

### 청구항 15

수광량에 응한 전하를 생성하고, 축적하는 광전 변환부와, 상기 광전 변환부에 의해 생성된 전하를 축적하는 전하 축적부와, 상기 광전 변환부의 전하를 상기 전하 축적부에 전송하는 제1 전송 트랜지스터와, 상기 전하 축적부와 평면 방향으로 떨어진 위치에 형성되고, 상기 전하를 신호로서 판독하기 위해 유지하는 전하 유지부와, 상기 전하 축적부의 전하를 상기 전하 유지부에 전송하는 제2 전송 트랜지스터를 갖는 화소를 형성하는 때에,

상기 제1 전송 트랜지스터의 게이트 전극을, 반도체 기판 계면부터 소정의 깊이까지 매입하여 형성함과 함께, 상기 전하 축적부를, 상기 반도체 기판 내에 매입되어 있는 상기 제1 전송 트랜지스터의 게이트 전극의 측벽에 따라 깊이 방향으로 늘어난 세로로 기다란 형상으로서, 상기 제1 전송 트랜지스터의 상기 광전 변환부측과는 반대의 상기 전하 유지부측에 형성하는 것을 특징으로 하는 고체 촬상 소자의 제조 방법.

**청구항 16**

수광량에 응한 전하를 생성하고, 축적하는 광전 변환부와,  
 상기 광전 변환부에 의해 생성된 전하를 축적하는 전하 축적부와,  
 상기 광전 변환부의 전하를 상기 전하 축적부에 전송하는 제1 전송 트랜지스터와,  
 상기 전하 축적부와 평면 방향으로 떨어진 위치에 형성되고, 상기 전하를 신호로서 판독하기 위해 유지하는 전하 유지부와,  
 상기 전하 축적부의 전하를 상기 전하 유지부에 전송하는 제2 전송 트랜지스터를 갖는 화소를 구비하고,  
 상기 제1 전송 트랜지스터의 게이트 전극은, 반도체 기판 계면부터 소정의 깊이까지 매입되어 형성되어 있고,  
 상기 전하 축적부는, 상기 반도체 기판 내에 매입되어 있는 상기 제1 전송 트랜지스터의 전극의 측벽에 따라 깊이 방향으로 늘어난 세로로 기다란 형상이며, 상기 제1 전송 트랜지스터의 상기 광전 변환부측과는 반대의 상기 전하 유지부측에 형성되어 있는 것을 고체 콜상 소자를 구비한 것을 특징으로 하는 전자 기기.

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**발명의 설명****기술 분야**

[0001]

본 기술은, 고체 콜상 소자 및 그 제조 방법, 및 전자 기기에 관한 것으로, 특히, 화소의 미세화를 가능하게 하고, 이면 조사형에도 적용 가능한 고체 콜상 소자 및 그 제조 방법, 및 전자 기기에 관한 것이다.

[0002]

<관련 출원의 상호 참조>

[0003]

본 출원은 2013년 10월 23일에 출원된 일본 우선권 특허출원 JP2013-220141의 이익을 주장하고, 그 전체 내용은 본원에 참고로서 인용된다.

**배경 기술**

[0004]

종래, CMOS(Complementary Metal Oxide Semiconductor) 고체 콜상 소자에서는, 롤링 셔터 방식이 채용되고 있다. 롤링 셔터 방식에서는, 포토 다이오드(PD)에 축적된 전하를 행마다 판독하기 위해, 광 전하를 축적하는 시

간에 어긋남이 생겨서, 피사체가 움직이고 있을 때 등은 촬영한 피사체에 왜곡이 생긴다. 이 피사체의 왜곡을 방지하기 위해서는, 모든 화소에서 동시에 노광을 행하는 글로벌 셔터 기능이 필요해진다.

[0005] 그래서, 글로벌 셔터 기능을 실현하는 CMOS 고체 활상 소자가 제안되어 있다(예를 들면, 특히 문헌 1, 2 참조). 글로벌 셔터 방식에서는, 포토 다이오드에 축적된 전하가 전 화소 동시에 전하 축적부(메모리)에 일단 전송되고, 전하 축적부로부터 FD(플로팅 디퓨전)에, 전하가, 행마다 순차적으로 판독된다. 여기서, FD에 전하를 순차적으로 판독하고 있는 한창중에, 외부로부터의 광이 전하 축적부에 들어간 경우에는 위신호(偽信號)로 되기 때문에 문제가 된다. 그 때문에, 특히 문헌 1, 2에 개시된 기술에서는, 전하 축적부와 차광막의 거리가 가까운 표면 조사형이 채용되고, 전하 축적부가 충분히 차광된 구성이 채용되어 있다.

[0006] 단, 특히 문헌 1, 2에 개시된 방법에서는, 포토 다이오드와 메모리가 동일 평면에 형성되기 때문에, 포토 다이오드의 면적을 크게 하거나, 화소를 미세화하기가 어렵다.

[0007] 그래서, 전하 축적부와 FD를 깊이 방향으로 적층함에 의해, 포토 다이오드 면적의 확대, 또는, 화소의 미세화를 실현하고자 하는 구조가 제안되어 있다(예를 들면, 특히 문헌 3 참조).

## 선행기술문헌

### 특허문헌

[0008] (특허문헌 0001) 일본 특개2009-268083호 공보

(특허문헌 0002) 국제 공개 제2008/069141호

(특허문헌 0003) 일본 특개2011-82330호 공보

## 발명의 내용

### 해결하려는 과제

[0009] 그러나, 특히 문헌 1 내지 3에 개시된 구조는 표면 조사형의 화소 구조이고, 이면 조사형에의 적용이 어렵다.

[0010] 본 기술은, 이와 같은 상황을 감안하여 이루어진 것으로, 화소의 미세화를 가능하게 하고, 이면 조사형에도 적용 가능한 구조를 실현할 수 있도록 하는 것이다.

### 과제의 해결 수단

[0011] 본 기술의 제1의 측면의 고체 활상 소자는, 수광량에 응한 전하를 생성하고, 축적하는 광전 변환부와, 상기 광전 변환부에 의해 생성된 전하를 축적하는 전하 축적부와, 상기 광전 변환부의 전하를 상기 전하 축적부에 전송하는 제1 전송 트랜지스터와, 상기 전하를 신호로서 판독하기 위해 유지하는 전하 유지부와, 상기 전하 축적부의 전하를 상기 전하 유지부에 전송하는 제2 전송 트랜지스터를 갖는 화소를 구비하고, 상기 제1 전송 트랜지스터의 게이트 전극은, 반도체 기판 계면부터 소정의 깊이까지 매입되어 형성되어 있고, 상기 전하 축적부는, 상기 반도체 기판 내에 매입되어 있는 상기 제1 전송 트랜지스터의 게이트 전극의 측벽에 따라 깊이 방향으로 늘어난 세로로 기다란 형상으로 형성되어 있다.

[0012] 본 기술의 제2의 측면의 고체 활상 소자의 제조 방법은, 수광량에 응한 전하를 생성하고, 축적하는 광전 변환부와, 상기 광전 변환부에 의해 생성된 전하를 축적하는 전하 축적부와, 상기 광전 변환부의 전하를 상기 전하 축적부에 전송하는 제1 전송 트랜지스터와, 상기 전하를 신호로서 판독하기 위해 유지하는 전하 유지부와, 상기 전하 축적부의 전하를 상기 전하 유지부에 전송하는 제2 전송 트랜지스터를 갖는 화소를 형성하는 경우, 상기 제1 전송 트랜지스터의 게이트 전극을, 반도체 기판 계면부터 소정의 깊이까지 매입하여 형성함과 함께, 상기 전하 축적부를, 상기 반도체 기판 내에 매입되어 있는 상기 제1 전송 트랜지스터의 게이트 전극의 측벽에 따라 깊이 방향으로 늘어난 세로로 기다란 형상으로서 형성한다.

[0013] 본 기술의 제3의 측면의 전자 기기는, 수광량에 응한 전하를 생성하고, 축적하는 광전 변환부와, 상기 광전 변환부에 의해 생성된 전하를 축적하는 전하 축적부와, 상기 광전 변환부의 전하를 상기 전하 축적부에 전송하는 제1 전송 트랜지스터와, 상기 전하를 신호로서 판독하기 위해 유지하는 전하 유지부와, 상기 전하 축적부의 전하를 상기 전하 유지부에 전송하는 제2 전송 트랜지스터를 갖는 화소를 구비하고, 상기 제1 전송 트랜지스터의

게이트 전극은, 반도체 기판 계면부터 소정의 깊이까지 매입되어 형성되어 있고, 상기 전하 축적부는, 상기 반도체 기판 내에 매입되어 있는 상기 제1 전송 트랜지스터의 게이트 전극의 측벽에 따라 깊이 방향으로 늘어난 세로로 기다란 형상으로 형성되어 있는 고체 활상 소자를 구비한다.

[0014] 본 기술의 제1 내지 제3의 측면에서는, 광전 변환부에 의해 생성된 전하를 전하 축적부에 전송하는 제1 전송 트랜지스터의 게이트 전극이, 반도체 기판 계면부터 소정의 깊이까지 매입되어 형성되고, 상기 전하 축적부는, 상기 반도체 기판 내에 매입되어 있는 상기 제1 전송 트랜지스터의 게이트 전극의 측벽에 따라 깊이 방향으로 늘어난 세로로 기다란 형상으로 형성되어 있다.

[0015] 고체 활상 소자 및 전자 기기는, 독립한 장치라도 좋고, 다른 장치에 조립된 모듈이라도 좋다.

### **발명의 효과**

[0016] 본 기술의 제1 내지 제3의 측면에 의하면, 화소의 미세화를 가능하게 하고, 이면 조사형에도 적용 가능한 구조를 실현할 수 있다.

[0017] 또한, 여기에 기재된 효과는 반드시 한정되는 것이 아니고, 본 개시 중에 기재된 어느 하나의 효과라도 좋다.

### **도면의 간단한 설명**

[0018] 도 1은 본 기술을 적용한 고체 활상 소자의 개략 구성례를 도시하는 블록도.

도 2는 도 1의 화소의 등가 회로를 도시하는 도면.

도 3은 화소의 제1의 실시의 형태의 화소 구조를 도시하는 단면도.

도 4a는 인접하는 4개의 화소의 평면도.

도 4b는 인접하는 4개의 화소의 평면도.

도 5a는 제1 전송 트랜지스터의 전송 채널을 설명하는 도면.

도 5b는 제1 전송 트랜지스터의 전송 채널을 설명하는 도면.

도 6a는 포토 다이오드와 메모리부의 기판 깊이 방향의 포텐셜을 도시하는 도면.

도 6b는 포토 다이오드와 메모리부의 기판 깊이 방향의 포텐셜을 도시하는 도면.

도 7은 화소의 제조 방법에 관해 설명하는 도면.

도 8은 화소의 제조 방법에 관해 설명하는 도면.

도 9는 화소의 제조 방법에 관해 설명하는 도면.

도 10은 화소의 제조 방법에 관해 설명하는 도면.

도 11은 화소의 제조 방법에 관해 설명하는 도면.

도 12는 화소의 제조 방법에 관해 설명하는 도면.

도 13은 화소의 제조 방법에 관해 설명하는 도면.

도 14는 화소의 제2의 실시의 형태의 화소 구조를 도시하는 단면도.

도 15는 화소의 제3의 실시의 형태의 화소 구조를 도시하는 단면도.

도 16은 화소의 제4의 실시의 형태의 화소 구조를 도시하는 단면도.

도 17은 본 기술을 적용한 전자 기기로서의 활상 장치의 구성례를 도시하는 블록도.

### **발명을 실시하기 위한 구체적인 내용**

[0019] 이하, 본 기술을 실시하기 위한 형태(이하, 실시의 형태라고 한다)에 관해 설명한다. 또한, 설명은 이하의 순서로 행한다.

[0020] 1. 고체 활상 소자의 전체 구성례

- [0021] 2. 화소의 회로 구성례
- [0022] 3. 화소 구조의 제1의 실시의 형태(제1 전송 트랜지스터와 메모리부가 종형이고, 제2 전송 트랜지스터가 평면형인 구성례)
- [0023] 4. 화소의 평면도
- [0024] 5. 화소의 특징
- [0025] 6. 화소의 제조 방법
- [0026] 7. 화소 구조의 제2의 실시의 형태(제2 전송 트랜지스터도 종형인 구성례)
- [0027] 8. 화소 구조의 제3의 실시의 형태(제1 전송 트랜지스터가 관통하고 있는 구성례)
- [0028] 9. 화소 구조의 제4의 실시의 형태(제1 전송 트랜지스터의 깊이가 제2 전송 트랜지스터의 깊이보다도 깊은 구성례)
- [0029] 10. 본 기술을 적용한 전자 기기의 구성례
- [0030] <1. 고체 캠상 소자의 전체 구성례>
- [0031] 도 1은, 본 기술을 적용한 고체 캠상 소자의 전체 구성례를 도시하는 블록도이다.
- [0032] 도 1의 고체 캠상 소자(1)는, 타이밍 제어부(2), 수직 주사 회로(3), 화소 어레이부(4), 정전류원 회로부(5), 참조 신호 생성부(6), 칼럼 AD 변환부(7), 수평 주사 회로(8), 수평 출력선(9), 및 출력 회로(10)로 구성된다.
- [0033] 타이밍 제어부(2)는, 소정의 주파수의 마스터 클록에 의거하여, 소정의 동작에 필요한 클록 신호나 타이밍 신호를 수직 주사 회로(3) 및 수평 주사 회로(8)에 공급한다. 예를 들면, 타이밍 제어부(2)는, 화소(11)의 셔터 동작이나 판독 동작의 타이밍 신호를 수직 주사 회로(3) 및 수평 주사 회로(8)에 공급한다. 또한, 도시는 생략되어 있지만, 타이밍 제어부(2)는, 소정의 동작에 필요한 클록 신호나 타이밍 신호를, 참조 신호 생성부(6), 칼럼 AD 변환부(7) 등에도 공급한다.
- [0034] 수직 주사 회로(3)는, 화소 어레이부(4)의 수직 방향으로 나열하는 각 화소(11)에, 순차적으로, 소정의 타이밍에서, 화소 신호의 출력을 제어하는 신호를 공급한다.
- [0035] 화소 어레이부(4)에는, 복수의 화소(11)가 2차원 어레이형상(행렬형상)로 배치되어 있다.
- [0036] 2차원 어레이형상으로 배치되어 있는 복수의 화소(11)는, 수평 신호선(12)에 의해, 행 단위로 수직 주사 회로(3)와 접속되어 있다. 환연하면, 화소 어레이부(4) 내의 동일행에 배치되어 있는 복수의 화소(11)는, 동일한 1개의 수평 신호선(12)으로, 수직 주사 회로(3)와 접속되어 있다. 또한, 도 1에서는, 수평 신호선(12)에 관해 1개의 배선으로서 나타내고 있지만, 1개로 한정되는 것이 아니다.
- [0037] 또한, 2차원 어레이형상으로 배치되어 있는 복수의 화소(11)는, 수직 신호선(13)에 의해, 열 단위로 수평 주사 회로(8)와 접속되어 있다. 환연하면, 화소 어레이부(4) 내의 동일열에 배치되어 있는 복수의 화소(11)는, 동일한 1개의 수직 신호선(13)으로, 수평 주사 회로(8)와 접속되어 있다.
- [0038] 화소 어레이부(4) 내의 각 화소(11)는, 수평 신호선(12)를 통하여 수직 주사 회로(3)로부터 공급되는 신호에 따라, 내부에 축적된 전하에 응한 화소 신호를, 수직 신호선(13)에 출력한다. 화소(11)의 상세한 회로 구성에 관해서는, 도 2를 참조하여 후술한다.
- [0039] 정전류원 회로부(5)는 복수의 부하 MOS(14)를 가지며, 1개의 수직 신호선(13)에 하나의 부하 MOS(14)가 접속되어 있다. 부하 MOS(14)의 게이트에는 바이어스 전압이 인가되고, 소스는 접지되어 있고, 부하 MOS(14)는, 수직 신호선(13)를 통하여 접속되는 화소(11) 내의 트랜지스터와 소스 팔로워 회로를 구성한다.
- [0040] 참조 신호 생성부(6)는, DAC(Digital to Analog Converter)(6a)를 갖고서 구성되어 있고, 타이밍 제어부(2)로부터의 클록 신호에 응하여, 램프(RAMP) 파형의 기준 신호를 생성하여, 칼럼 AD 변환부(7)에 공급한다.
- [0041] 칼럼 AD 변환부(7)에는, 화소 어레이부(4)의 열마다 하나가 되는 복수의 ADC(Analog-Digital Converter)(15)를 갖고 있다. 따라서 1개의 수직 신호선(13)에는, 복수의 화소(11)와, 1개의 부하 MOS(14) 및 ADC(15)가 접속되어 있다.
- [0042] ADC(15)는, 동렬의 화소(11)로부터 수직 신호선(13)을 통하여 공급되는 화소 신호를, CDS(Correlated Double

Sampling ;상관 2중 샘플링) 처리하고, 또한 AD 변환 처리한다.

[0043] ADC(15) 각각은, AD 변환 후의 화소 데이터를 일시적으로 기억하고, 수평 주사 회로(8)의 제어에 따라, 수평 출력선(9)에 출력한다.

[0044] 수평 주사 회로(8)는, 복수의 ADC(15)에 기억되어 있는 화소 데이터를, 순차적으로, 소정의 타이밍에서 수평 출력선(9)에 출력시킨다.

[0045] 수평 출력선(9)은 출력 회로(앰프 회로)(10)와 접속되어 있고, 각 ADC(15)로부터 출력된 AD 변환 후의 화소 데이터는, 수평 출력선(9)을 통하여 출력 회로(10)로부터, 고체 활상 소자(1)의 외부에 출력된다. 출력 회로(10)는, 예를 들면, 베퍼링만 하는 경우도 있고, 흑레벨 조정, 열(列) 편차 보정 등의 각종의 디지털 신호 처리가 행하여지는 경우도 있다.

[0046] 이상과 같이 구성된 고체 활상 소자(1)는, CDS 처리와 AD 변환 처리를 행하는 ADC(15)가 수직열마다 배치된 칼럼 AD 방식이라고 불리는 CMOS 이미지 센서이다.

[0047] <2. 화소의 회로 구성례>

[0048] 도 2는, 화소(11)의 등가 회로를 도시하고 있다.

[0049] 화소(11)는, 광전 변환 소자로서의 포토 다이오드(21), 제1 전송 트랜지스터(22), 메모리부(MEM)(23), 제2 전송 트랜지스터(24), FD(플로팅 디퓨전)(25), 리셋 트랜지스터(26), 증폭 트랜지스터(27), 선택 트랜지스터(28), 및 배출 트랜지스터(29)를 갖는다.

[0050] 포토 다이오드(21)는, 수광량에 응한 전하(신호 전하)를 생성하고, 축적하는 광전 변환부이다. 포토 다이오드(21)의 애노드 단자가 접지되어 있음과 함께, 캐소드 단자가 제1 전송 트랜지스터(22)를 통하여 메모리부(23)에 접속되어 있다. 또한, 포토 다이오드(21)의 캐소드 단자는, 배출 트랜지스터(29)와도 접속되어 있다.

[0051] 제1 전송 트랜지스터(22)는, 전송 신호(TRX)에 의해 온 된 때, 포토 다이오드(21)에서 생성된 전하를 판독하고, 메모리부(23)에 전송한다. 메모리부(23)는, FD(25)에 전하를 전송할 때까지의 사이, 일시적으로 전하를 축적하는 전하 축적부이다. 제2 전송 트랜지스터(24)는, 전송 신호(TRG)에 의해 온 된 때, 메모리부(23)에 유지되어 있는 전하를 FD(25)에 전송한다.

[0052] FD(25)는, 메모리부(23)로부터 판독된 전하를 신호로서 판독하기 위해 유지하는 전하 유지부이다. 리셋 트랜지스터(26)는, 리셋 신호(RST)에 의해 온 된 때, FD(25)에 유지되어 있는 전하가 정전압원(VDD)에 배출됨으로써, FD(25)의 전위를 리셋한다.

[0053] 증폭 트랜지스터(27)는, FD(25)의 전위에 응한 화소 신호를 출력한다. 즉, 증폭 트랜지스터(27)는 정전류원으로서의 부하 MOS(14)와 소스 팔로워 회로를 구성하고, FD(25)로 유지되어 있는 전하에 응한 레벨을 나타내는 화소 신호가, 증폭 트랜지스터(27)로부터 선택 트랜지스터(28)를 통하여 ADC(15)에 출력된다.

[0054] 선택 트랜지스터(28)는, 선택 신호(SEL)에 의해 화소(11)가 선택된 때 온 되고, 화소(11)의 화소 신호를, 수직 신호선(13)을 통하여 ADC(15)에 출력한다. 배출 트랜지스터(29)는, 배출 신호(OFG)에 의해 온 된 때, 포토 다이오드(21)에 축적되어 있는 불필요 전하를 정전압원(VDD)에 배출한다. 전송 신호(TRX 및 TRG), 리셋 신호(RST), 선택 신호(SEL), 및 배출 신호(OFG)는, 수직 주사 회로(3)에 의해 제어되고, 수평 신호선(12)(도 1)를 통하여 공급된다.

[0055] 화소(11)의 동작에 관해 간단히 설명한다.

[0056] 우선, 노광 시작 전에, High 레벨의 배출 신호(OFG)가 배출 트랜지스터(29)에 공급됨에 의해 배출 트랜지스터(29)가 온 되고, 포토 다이오드(21)에 축적되어 있는 전하가 정전압원(VDD)에 배출되고, 포토 다이오드(21)가 리셋된다.

[0057] 포토 다이오드(21)의 리셋 후, 배출 트랜지스터(29)가, Low 레벨의 배출 신호(OFG)에 의해 오프 되면, 전 화소로 노광이 시작된다.

[0058] 미리 정하여진 소정의 노광 시간이 경과하면, 화소 어레이부(4)의 전 화소에서, 제1의 전송 신호(TRX)에 의해 제1 전송 트랜지스터(22)가 온 되고, 포토 다이오드(21)에 축적되어 있던 전하가, 메모리부(23)에 전송된다.

[0059] 제1 전송 트랜지스터(22)가 오프 된 후, 각 화소(11)의 메모리부(23)에 유지되어 있는 전하가, 행 단위로, 순차적으로, ADC(15)에 판독된다. 판독 동작은, 판독행의 화소(11)의 제2 전송 트랜지스터(24)가 제2의 전송 신호

(TRG)에 의해 온 되고, 메모리부(23)에 유지되어 있는 전하가, FD(25)에 전송된다. 그리고, 선택 트랜지스터(28)가 선택 신호(SEL)에 의해 온 됨으로써, FD(25)로 유지되어 있는 전하에 응한 레벨을 나타내는 신호가, 증폭 트랜지스터(27)로부터 선택 트랜지스터(28)를 통하여 ADC(15)에 출력된다.

[0060] <3. 화소 구조의 제1의 실시의 형태>

[0061] 화소(11)는, 이하에서 제1 내지 제4의 실시의 형태로서 나타나는 어느 하나의 화소 구조를 채용할 수 있다. 처음에, 화소(11)의 제1의 실시의 형태에 관해 설명한다.

[0062] 도 3은, 화소(11)의 제1의 실시의 형태의 화소 구조를 도시하는 단면도이다.

[0063] 도 3에 도시되어는 화소(11)의 단면 구조도는, FD(25)가 복수의 화소(11)에서 공유되는 경우의 단면 구조도이고, FD(25)를 공유하는 인접의 2화소분의 단면도를 도시하고 있다.

[0064] 도 3에서는, 도면 하측이, 광의 입사측인 반도체 기판의 이면측이고, 도면 상측이, 배선층이 형성되는 반도체 기판의 표면측에 상당한다. 따라서 도 3에 도시된 화소(11)는, 이면 조사형의 화소 구조이다.

[0065] 각 화소(11)에서는, 예를 들면, P형(제1 도전형)의 반도체 영역(반도체 기판(31)) 내에, N형(제2 도전형)의 반도체 영역(32)이 형성됨에 의해, 포토 다이오드(21)가 형성되어 있다.

[0066] 포토 다이오드(21)의 전하 축적 영역이 되는 N형의 반도체 영역(32) 내에서는, 기판 이면측(도면 중 하측)의 영역이 고농도의 N형(N+)의 반도체 영역으로 조정되고, 기판 표면측(도면 중 상측)의 영역이 저농도의 N형(N-)의 반도체 영역으로 조정되어 있다.

[0067] 또한, P형의 반도체 영역(31) 중에서도, 반도체 기판의 이면 표면 부근에는, 내측의 영역보다도 고농도의 P형(P+)의 반도체 영역(33)이 형성되어 있다. 또한, N형의 반도체 영역(32)의 기판 표면측에도, 고농도의 P형(P+)의 반도체 영역(34)이 형성되어 있다.

[0068] 반도체 기판의 표면측 계면에는, 산화실리콘(SiO<sub>2</sub>) 등에 의한 게이트 절연막(35)이 형성되어 있다.

[0069] 인접하는 화소(11)끼리의 경계인 도면 중앙부의 기판 표면측 계면에는, FD(25)가 되는 고농도의 N형(N+)의 반도체 영역(36)이 형성되어 있다.

[0070] 그리고, 포토 다이오드(21)의 전하 축적 영역인 N형의 반도체 영역(32)과, FD(25)가 되는 고농도의 N형(N+)의 반도체 영역(36)의 사이에, 제1 전송 트랜지스터(22)의 게이트 전극(37)이, 기판 표면측 계면부터 소정의 깊이 까지 매입되어 형성되어 있다. 이와 같은 게이트 전극이 기판 표면측 계면부터 소정의 깊이까지 매입되어 형성되어 있는 트랜지스터를, 종형의 트랜지스터라고 말한다.

[0071] 제1 전송 트랜지스터(22)의 게이트 전극(37)의 포토 다이오드(21)측과는 반대의 FD(25)측에는, 메모리부(23)가 되는 N형의 반도체 영역(38)이 형성되어 있다. 따라서 메모리부(23)는, FD(25)와 평면 방향으로 떨어진 위치에 형성되어 있다. 또한, 메모리부(23)가 되는 N형의 반도체 영역(38) 내에서는, 기판 이면측의 영역이 저농도의 N형(N-)의 반도체 영역으로 조정되고, 기판 표면측의 영역이 고농도의 N형(N+)의 반도체 영역으로 조정되어 있다.

[0072] 메모리부(23)인 N형의 반도체 영역(38)과 게이트 절연막(35)과의 사이는, 고농도의 P형(P+)의 반도체 영역(39)이 형성되어 있다.

[0073] 또한, 메모리부(23)인 N형의 반도체 영역(38)과, FD(25)인 고농도의 N형(N+)의 반도체 영역(36)과의 사이의 게이트 절연막(35)상에는, 제2 전송 트랜지스터(24)의 게이트 전극(40)이 형성되어 있다.

[0074] 제1 전송 트랜지스터(22)의 게이트 전극(37) 및 제2 전송 트랜지스터(24)의 게이트 전극(40)에는, 예를 들면, 텅스텐(W), 구리(Cu) 등의 차광 능력을 갖는 금속재료가 사용된다. 또한, 게이트 전극(37) 및 게이트 전극(40)에는, 폴리실리콘(Poly-Si)를 사용하여도 좋다.

[0075] 그리고, 제1 전송 트랜지스터(22)의 게이트 전극(37) 및 제2 전송 트랜지스터(24)의 게이트 전극(40)을 포함하는 게이트 절연막(35)의 상방에는, 복수의 배선층(41)과 층간 절연막(42)으로 이루어지는 다층 배선층(43)이 형성되어 있다.

[0076] 한편, 반도체 기판(반도체 영역(31))의 광 입사측인 이면측에는, 평탄화막(44)이 형성되어 있고, 평탄화막(44) 내의 일부의 영역에는 차광막(45)이 형성되어 있다. 차광막(45)은, 메모리부(23)인 N형의 반도체 영역(38)과,

FD(25)인 고농도의 N형(N+)의 반도체 영역(36)에 대해, 광의 입사를 막는 위치에 형성되어 있다.

[0077] 도시는 생략되어 있지만, 평탄화막(44)의 더욱 하측(광 입사측)에는, 컬러 필터나 온 칩 렌즈가 형성되어 있다.

#### <4. 화소의 평면도>

[0079] 도 4a는, 인접하는 4개의 화소(11)를 다층 배선층(43)측에서 본 평면도이다.

[0080] 도 4a에 도시되는 바와 같이, 4개의 화소(11)의 중앙부에, FD(25)로서의 고농도의 N형(N+)의 반도체 영역(36)이 배치되어 있고, 고체 활상 소자(1)는, 인접하는 4개의 화소(11)에서 1개의 FD(25)를 공유하는 배치 구성이 채용되고 있다.

[0081] 그리고, 하나의 FD(25)를 공유하는 4개의 화소(11) 각각의 제2 전송 트랜지스터(24)의 게이트 전극(40)과 제1 전송 트랜지스터(22)의 게이트 전극(37)이, 그 순번으로, FD(25)에 근접하여 배치되어 있다. 또한, 도 4a에서, 제1 전송 트랜지스터(22)의 게이트 전극(37) 내의 1점 쇄선은, 게이트 전극(37)이 P형의 반도체 영역(31)에 매입되어 있는 영역을 나타내고 있다.

[0082] 또한, 사각형의 영역인 화소(11)의 FD(25)가 배치되어 있는 모서리(角)와 대각 방향의 모서리에는, 전하 배출용의 배출 트랜지스터(29)의 게이트 전극(51)과, 정전압원(VDD)에 접속되어 있는 N형(N+)의 반도체 영역(52)이 형성되어 있다.

[0083] 도 4b는, 인접하는 4개의 화소(11)의 차광막(45)이 형성되어 있는 평면을, 광 입사측에서 본 평면도를 도시하고 있다.

[0084] 도 4b에 도시되는 바와 같이, 차광막(45)이, 깊이 방향으로 과들어간 제1 전송 트랜지스터(22)의 게이트 전극(37)의 외측까지 평면으로 형성됨으로써, 메모리부(23)인 N형의 반도체 영역(38)과, FD(25)인 고농도의 N형(N+)의 반도체 영역(36)에, 광의 입사를 방지할 수 있다. 각 화소(11)의 경계상에는, 인접하는 화소(11)로부터의 광의 입사를 방지하기 위한 화소 사이 차광막(61)이, 차광막(45)과 동일한 재료로 형성되어 있다.

[0085] 이상과 같이, 고체 활상 소자(1)의 화소(11)에서는, 메모리부(23)로서의 N형의 반도체 영역(38)이, 종형의 제1 전송 트랜지스터(22)의 게이트 전극(37)의 측벽에 따라 세로로 기다란 형상으로 형성되어 있다. 이에 의해, 포토 다이오드(21)의 평면 영역을, 메모리부(23)의 평면 영역보다도 크게 확보하면서, 화소(11)의 미세화가 가능해진다. 또한, 제1 전송 트랜지스터(22)의 게이트 전극(37)이 차광 능력을 갖는 재료로 형성되어 있기 때문에, 포토 다이오드(21)측부터의 입사광을 차광할 수 있다.

[0086] 따라서 본 기술에 의하면, 화소(11)의 미세화를 가능하게 하고, 이면 조사형에도 적용 가능한 구조를 실현할 수 있다.

#### <5. 화소의 특징>

[0088] 도 5a 및 도 5b은, 제1 전송 트랜지스터(22)의 전송 채널을 설명하는 도면이다.

[0089] 제1 전송 트랜지스터(22)가 전송 신호(TRX)에 의해 온 된 경우, 포토 다이오드(21)로서의 N형의 반도체 영역(32)에 축적되어 있는 전하는, 도 5a에서 태선의 화살표로 도시되는 바와 같이, 제1 전송 트랜지스터(22)의 게이트 전극(37)의 저부를 통과하여, 메모리부(23)의 N형의 반도체 영역(38)에 전송된다. 또한, 일부의 전하는, 도 5b에 도시되는 바와 같이, 게이트 전극(37)의 측면으로부터도 N형의 반도체 영역(38)에 전송된다. 단, 주가 되는 전하의 전송 경로는, 게이트 전극(37)의 저부이다.

[0090] 도 6a는, 포토 다이오드(21)의 전하 축적 영역인 N형의 반도체 영역(32)의 기판 깊이 방향의 포텐셜을 도시하는 도면이다.

[0091] 포토 다이오드(21)의 전하 축적 영역인 N형의 반도체 영역(32) 내에서는, 상술한 바와 같이, 기판 이면측의 영역이 고농도의 N형(N+)의 반도체 영역으로 조정되고, 기판 표면측의 영역이 저농도의 N형(N-)의 반도체 영역으로 조정되어 있다.

[0092] 따라서 포토 다이오드(21)에서는, 도 6a에 도시하는 바와 같이, 제1 전송 트랜지스터(22)의 게이트 전극(37)의 저부에 가까운 기판 이면측일수록, 포텐셜이 높아지고 있다. 이에 의해, N형의 반도체 영역(32) 내에서는, 전하는 주로 기판 이면측에 축적된다.

[0093] 이와 같이 포토 다이오드(21)의 전하 축적 영역을 형성하는 N형의 반도체 영역(32)의 불순물 농도를 조정함으로

써, 화소(11)에서는, 포토 다이오드(21)로부터 메모리부(23)에 전하의 전송이 용이하게 되어 있다.

[0094] 도 6b는, 제1 전송 트랜지스터(22)가 온일 때의 메모리부(23)인 N형의 반도체 영역(38)의 기판 깊이 방향의 포텐셜을 도시하는 도면이다.

[0095] 메모리부(23)의 N형의 반도체 영역(38) 내에서는, 상술한 바와 같이, 기판 이면측의 영역이 저농도의 N형(N-)의 반도체 영역으로 조정되고, 기판 표면측의 영역이 고농도의 N형(N+)의 반도체 영역으로 조정되어 있다.

[0096] 따라서 메모리부(23)에서는, 도 6b에 도시하는 바와 같이, FD(25)로서의 고농도의 N형(N+)의 반도체 영역(36)에 가까운 기판 표면측일수록, 포텐셜이 높아지고 있다. 이에 의해, N형의 반도체 영역(38) 내에서는, 전하는 주로 기판 표면측에 축적된다.

[0097] 이와 같이 메모리부(23)의 전하 축적 영역을 형성하는 N형의 반도체 영역(38)의 불순물 농도를 조정함으로써, 화소(11)에서는, 메모리부(23)로부터 FD(25)에 전하의 전송이 용이하게 되어 있다.

[0098] 이상과 같이, 화소(11)에서는, 미세화를 가능하게 함과 함께, 전하 축적 영역의 불순물 농도를 조정함으로써, 전하의 전송을 용이하게 하는 구성이 채용되어 있다.

#### <6. 화소의 제조 방법>

[0100] 다음에, 도 7 내지 도 13을 참조하여, 고체 층상 소자(1)의 화소(11)의 제조 방법에 관해 설명한다.

[0101] 처음에, 도 7에 도시되는 바와 같이, 박막의 SOI(Silicon On Insulator) 기판(71)의 저농도의 N형(N-)의 실리콘층(71A)의 소정의 깊이의 영역에, 예를 들면, 봉소(B) 등의 P형의 이온이 주입됨에 의해, 고농도의 P형(P+)의 반도체 영역(33)이 형성된다.

[0102] 또한, 도 7에 도시되는 바와 같이, N-형의 실리콘층(71A)의 소정의 영역에, 예를 들면, 인(P)이나 비소(As) 등의 N형의 이온이 주입됨에 의해, 포토 다이오드(21)의 전하 축적 영역이 되는 N형의 반도체 영역(32) 중의, 고농도의 N형(N+)의 반도체 영역(32A)이 형성된다.

[0103] 그 후, 도 8에 도시되는 바와 같이, SOI 기판(71)의 위에, N-형의 실리콘층(72)이 에피택셜 성장에 의해 형성된다. 또한, 도 7 및 도 8을 참조하여 설명한 공정에 대신하여, 후막의 실리콘 기판에, 고속 에너지로 이온 주입함으로써, 도 8과 같은 구조를 형성하는 것도 가능하다.

[0104] 다음에, 도 9에 도시되는 바와 같이, 에피택셜 성장에 의해 형성된 N-형의 실리콘층(72)의 고농도의 N형(N+)의 반도체 영역(32A)의 상부에, N형의 이온이 주입됨에 의해, 포토 다이오드(21)의 기판 표면측의 저농도의 N형(N-)의 반도체 영역(32B)이 형성된다. 이에 의해, 고농도의 N형(N+)의 반도체 영역(32A)과 저농도의 N형(N-)의 반도체 영역(32B)으로 이루어지는 포토 다이오드(21)의 반도체 영역(32)이 완성된다. 또한, 반도체 영역(32B)은, N-형의 실리콘층(72)에 대해 또한 N형의 이온이 주입되기 때문에, N-형의 실리콘층(72)보다도 N형의 불순물 농도는 진하게 되어 있다.

[0105] 또한, N-형의 반도체 영역(32B)의 형성과 함께, N-형의 실리콘층(72)의 소정의 영역에, N형의 이온이 주입됨에 의해, 메모리부(23)가 되는 N형의 반도체 영역(38)도 형성된다.

[0106] 또한, N-형의 실리콘층(72)의 포토 다이오드(21)의 N형의 반도체 영역(32)과 메모리부(23)의 N형의 반도체 영역(38)과의 사이, 및, 인접하는 N형의 반도체 영역(38)끼리의 사이의 영역에, P형의 이온이 주입됨에 의해, P형의 반도체 영역(31)이 형성된다. 그 결과, 포토 다이오드(21)의 N-형의 반도체 영역(32B)의 상부와, 메모리부(23)의 N형의 반도체 영역(38)의 상부만이, 에피택셜 성장에 의해 형성된 N-형의 반도체 영역(73)이 된다.

[0107] 다음에, 도 10에 도시되는 바와 같이, 포토 다이오드(21)의 반도체 영역(32)과, 메모리부(23)의 반도체 영역(38)의 사이의 P형의 반도체 영역(31)의 소정의 영역이, 기판 표면측부터, 메모리부(23)의 반도체 영역(38)과 거의 같은 깊이까지 파들어가진다. 그리고, 기판 표면측의 전면에 게이트 절연막(35)이 성막된 후, 제1 전송 트랜지스터(22)의 게이트 전극(37)과, 제2 전송 트랜지스터(24)의 게이트 전극(40)이 형성된다.

[0108] 다음에, 도 11에 도시되는 바와 같이, 포토 다이오드(21)의 반도체 영역(32)과 메모리부(23)의 반도체 영역(38)의 상부의 N-형의 반도체 영역(73)에 대해 P형의 이온이 주입됨에 의해, 고농도의 P형(P+)의 반도체 영역(34 및 39)이 형성된다.

[0109] 또한, 인접한 2화소의 2개의 제2 전송 트랜지스터(24)의 게이트 전극(40)의 사이의 P형의 반도체 영역(31)에 대해 N형의 이온이 주입됨에 의해, FD(25)로서의 고농도의 N형(N+)의 반도체 영역(36)이 형성된다. 또한, 이 공정

에서는, 도 4의 전하 배출용의 N+형의 반도체 영역(52)도 동시에 형성된다.

[0110] 또한, FD(25)로서의 고농도의 N형(N+)의 반도체 영역(36)을 형성하는 N형의 이온 주입과 함께, 메모리부(23)의 반도체 영역(38)의 상부에도 N형의 이온 주입이 행하여지고, 반도체 영역(38)에 대해, 깊이 방향으로 다른 농도 차가 형성된다.

[0111] 또한, 도 11을 참조하여 설명한 N형의 이온 주입과 P형의 이온 주입의 공정은, 도 10을 참조하여 설명한, 게이트 절연막(35), 및, 제1 전송 트랜지스터(22)의 게이트 전극(37) 및 제2 전송 트랜지스터(24)의 게이트 전극(40)을 형성하기 전에 행하여도 좋다.

[0112] 다음에, 도 12에 도시되는 바와 같이, 복수의 배선층(41)과 층간 절연막(42)으로 이루어지는 다층 배선층(43)이 형성된다. 그리고, 도 13에 도시되는 바와 같이, 기판 이면측에 평탄화막(44)과 차광막(45)이 형성된 후, 평탄화막(44)의 더욱 하측(광 입사측)에, 부도시의 컬러 필터와 온 칩 렌즈가 형성된다.

[0113] 이상과 같이 하여, 고체 활상 소자(1)의 화소(11)를 제조할 수 있다.

[0114] <7. 화소 구조의 제2의 실시의 형태>

[0115] 다음에, 화소(11)의 제2의 실시의 형태에 관해 설명한다.

[0116] 도 14는, 화소(11)의 제2의 실시의 형태의 화소 구조를 도시하는 단면도이다.

[0117] 또한, 도 14에서, 도 3에 도시한 제1의 실시의 형태와 대응하는 부분에 관해서는 동일한 부호를 붙이고 있고, 그 설명은 적절히 생략한다.

[0118] 도 14의 제2의 실시의 형태에서는, 제2 전송 트랜지스터(24)가, 평면형이 아니라, 제1 전송 트랜지스터(22)와 마찬가지로 종형으로 형성되어 있는 점이, 제1의 실시의 형태와 다르다. 즉, 도 14에서는, 제2 전송 트랜지스터(24)의 게이트 전극(81)이, 기판 표면측 계면부터, 메모리부(23)의 N형의 반도체 영역(38)과 거의 같은 깊이까지 형성되어 있다.

[0119] 이와 같이, 제1 전송 트랜지스터(22)와 제2 전송 트랜지스터(24)의 양쪽을, 게이트 전극을 세로로 기다란 형상의 메모리부(23)와 거의 같은 깊이까지 파들어간 종형 트랜지스터로 형성할 수 있다.

[0120] <8. 화소 구조의 제3의 실시의 형태>

[0121] 다음에, 화소(11)의 제3의 실시의 형태에 관해 설명한다.

[0122] 도 15는, 화소(11)의 제3의 실시의 형태의 화소 구조를 도시하는 단면도이다.

[0123] 또한, 도 15에서도, 도 3에 도시한 제1의 실시의 형태와 대응하는 부분에 관해서는 동일한 부호를 붙이고 있고, 그 설명은 적절히 생략한다.

[0124] 도 15의 제3의 실시의 형태에서는, 제1 전송 트랜지스터(22)의 게이트 전극 91이, 메모리부(23)의 N형의 반도체 영역(38)과 거의 동일한 깊이가 아니라, P형의 반도체 영역(31)을 관통하고 있는 점이, 제1의 실시의 형태와 다르다. 이 경우, 포토 다이오드(21)로부터 메모리부(23)에 의 전하의 전송 채널은, 도 5b에 도시한 제1 전송 트랜지스터(22)의 측벽만으로 된다.

[0125] <9. 화소 구조의 제4의 실시의 형태>

[0126] 다음에, 화소(11)의 제4의 실시의 형태에 관해 설명한다.

[0127] 도 16은, 화소(11)의 제4의 실시의 형태의 화소 구조를 도시하는 단면도이다.

[0128] 또한, 도 16에서도, 도 3에 도시한 제1의 실시의 형태와 대응하는 부분에 관해서는 동일한 부호를 붙이고 있고, 그 설명은 적절히 생략한다.

[0129] 도 16의 제4의 실시의 형태에서는, 제2 전송 트랜지스터(24)가, 평면형이 아니라, 종형으로 형성되어 있는 점이 제1의 실시의 형태와 다르다. 또한, 제2 전송 트랜지스터(24)의 게이트 전극(101)이, 메모리부(23)의 N형의 반도체 영역(38)과 거의 동일한 깊이가 아니라, N형의 반도체 영역(38)의 도중의 깊이까지 형성되어 있는 점이, 도 14의 제2의 실시의 형태와 다르다.

[0130] 환언하면, 제4의 실시의 형태에서는, 종형 트랜지스터인 제1 전송 트랜지스터(22)의 게이트 전극(37)의 깊이와 제2 전송 트랜지스터(24)의 게이트 전극(101)의 깊이가 다르다. 제2 전송 트랜지스터(24)의 게이트 전극(101)의

깊이는, 메모리부(23)의 N형의 반도체 영역(38)의 깊이보다도 깊지 않으면 좋다.

[0131] 상술한 제2 내지 제4의 실시의 형태의 어느 것에서도, 제1 전송 트랜지스터(22)가 종형으로 형성되어 있기 때문에, 화소의 미세화를 가능하게 하고, 이면 조사형에도 적용 가능한 구조로 되어 있다.

[0132] <10. 본 기술을 적용한 전자 기기의 구성례>

[0133] 본 기술은, 고체 활상 소자에의 적용으로 한정되는 것이 아니다. 즉, 본 기술은, 디지털 카메라나 비디오 카메라 등의 활상 장치나, 활상 기능을 갖는 휴대 단말 장치나, 화상 판독부에 고체 활상 소자를 이용하는 복사기 등, 화상 취입부(광전 변환부)에 고체 활상 소자를 이용하는 전자 기기 전반에 대해 적용 가능하다. 고체 활상 소자는, 원칩으로서 형성된 형태라도 좋고, 활상부와 신호 처리부 또는 광학계가 통합하여 팩키징된 활상 기능을 갖는 모듈형상의 형태라도 좋다.

[0134] 도 17은, 본 기술을 적용한 전자 기기로서의 활상 장치의 구성례를 도시하는 블록도이다.

[0135] 도 17의 활상 장치(200)는, 렌즈군 등으로 이루어지는 광학부(201), 상술한 화소(11)의 각 구성이 채용되는 고체 활상 소자(활상 디바이스)(202), 및 카메라 신호 처리 회로인 DSP(Digital Signal Processor) 회로(203)를 구비한다. 또한, 활상 장치(200)는, 프레임 메모리(204), 표시부(205), 기록부(206), 조작부(207), 및 전원부(208)도 구비한다. DSP 회로(203), 프레임 메모리(204), 표시부(205), 기록부(206), 조작부(207) 및 전원부(208)는, 버스 라인(209)을 통하여 상호 접속되어 있다.

[0136] 광학부(201)는, 피사체로부터의 입사광(상광)를 취입하고, 고체 활상 소자(202)의 활상면상에 결상한다. 고체 활상 소자(202)는, 광학부(201)에 의해 활상면상에 결상된 입사광의 광량을 화소 단위로 전기 신호로 변환하여 화소 신호로서 출력한다. 이 고체 활상 소자(202)로서, 도 1의 고체 활상 소자(1)를 이용할 수 있다.

[0137] 표시부(205)는, 예를 들면, 액정 패널이나 유기 EL(Electro Luminescence) 패널 등의 패널형 표시 장치로 이루어지고, 고체 활상 소자(202)에서 활상된 동화 또는 정지화를 표시한다. 기록부(206)는, 고체 활상 소자(202)로 활상된 동화 또는 정지화를, 하드 디스크나 반도체 메모리 등의 기록 매체에 기록한다.

[0138] 조작부(207)는, 유저에 의한 조작하에, 활상 장치(200)가 갖는 다양한 기능에 관해 조작 지령을 발한다. 전원부(208)는, DSP 회로(203), 프레임 메모리(204), 표시부(205), 기록부(206) 및 조작부(207)의 동작 전원이 되는 각종의 전원을, 이를 공급 대상에 대해 적절히 공급한다.

[0139] 또한, 본 기술은, 가시광의 입사광량의 분포를 검지하고, 화상으로서 활상한 고체 활상 소자에의 적용으로 한하지 않고, 적외선이나 X선, 또는 입자 등의 입사량의 분포를 화상으로서 활상하는 고체 활상 소자나, 광의 의미로서, 압력이나 정전용량 등, 다른 물리량의 분포를 검지하여 화상으로서 활상하는 지문 검출 센서 등의 고체 활상 소자(물리량 분포 검지 장치) 전반에 대해 적용 가능하다.

[0140] 본 기술의 실시의 형태는, 상술한 실시의 형태로 한정되는 것이 아니고, 상술한 화소의 각 구성의 일부분을 필요에 응하여 적절히 조합시키는 등, 본 기술의 요지를 일탈하지 않는 범위에서 여러가지의 변경이 가능하다.

[0141] 또한, 상술한 예에서는, 이면 조사형의 화소 구조에 관해 설명하였지만, 본 기술은, 표면 조사형의 화소 구조에도 적용할 수 있다.

[0142] 상술한 예에서는, 제1 도전형을 P형, 제2 도전형을 N형으로 하여, 전자를 신호 전하로 한 고체 활상 장치에 관해 설명하였지만, 본 기술은 정공을 신호 전하로 한 고체 활상 장치에도 적용할 수 있다. 즉, 제1 도전형을 N형으로 하고, 제2 도전형을 P형으로 하여, 전술의 각 반도체 영역을 반대의 도전형의 반도체 영역으로 구성할 수 있다.

[0143] 또한, 본 기술은 이하와 같은 구성도 취할 수 있다.

[0144] (1) 광전 변환부와,

[0145] 상기 광전 변환부에 의해 생성된 전하를 축적하는 전하 축적부와,

[0146] 상기 광전 변환부의 전하를 상기 전하 축적부에 전송하는 제1 전송 트랜지스터를 포함하는 화소를 구비하고,

[0147] 상기 제1 전송 트랜지스터의 게이트 전극은, 반도체 기판 내에서 소정의 제1 깊이로 상기 반도체 기판의 수광면과 반대인 상기 반도체 기판의 제1 면으로부터 연장되고,

[0148] 상기 전하 축적부는, 상기 반도체 기판 내에 매입된 상기 제1 전송 트랜지스터의 게이트 전극의 측벽에 인접하

는 제2 깊이로 연장되어 있는 고체 콜상 소자.

[0149] (2) 전하 유지부를 더 구비하고, 상기 전하 유지부는, 상기 반도체 기판의 상기 수광면에 평행한 방향으로 상기 전하 축적부로부터 분리되어 있는 상기 (1)에 기재된 고체 콜상 소자.

[0150] (3) 상기 전하 축적부는, 상기 제1 전송 트랜지스터의 전하 유지부측 상에 형성되어 있고, 상기 광전 변환부는, 상기 제1 전송 트랜지스터의 반대측 상에 형성되어 있는 상기 (1)에 기재된 고체 콜상 소자.

[0151] (4) 상기 전하 축적부는, 상기 제1 전송 트랜지스터가 온 된 때, 상기 전하 축적부의 광 입사측의 포텐셜이 낮아지도록 조정되어 있는 상기 (1)에 기재된 고체 콜상 소자.

[0152] (5) 상기 광전 변환부는, 광 입사측의 포텐셜이 높아지도록 조정되어 있는 상기 (1)에 기재된 고체 콜상 소자.

[0153] (6) 전하 유지부와,

[0154] 상기 전하 축적부 및 상기 전하 유지부의 광 입사측 상의 차광막을 더 구비하는 상기 (1)에 기재된 고체 콜상 소자.

[0155] (7) 상기 제1 전송 트랜지스터의 전송 채널은, 상기 게이트 전극의 측벽의 근방에 형성되어 있는 상기 (1)에 기재된 고체 콜상 소자.

[0156] (8) 상기 제1 전송 트랜지스터의 전송 채널은, 상기 게이트 전극의 저부 근방에 형성되어 있는 상기 (1)에 기재된 고체 콜상 소자.

[0157] (9) 상기 제1 전송 트랜지스터의 게이트 전극은, 차광 능력을 갖는 재료로 형성되어 있는 상기 (1)에 기재된 고체 콜상 소자.

[0158] (10) 상기 전하를 신호로서 판독하기 위해 상기 전하를 유지하는 전하 유지부와,

[0159] 상기 전하 축적부의 상기 전하를 상기 전하 유지부에 전송하는 제2 전송 트랜지스터를 더 구비하는 상기 (1)에 기재된 고체 콜상 소자.

[0160] (11) 상기 제2 전송 트랜지스터의 게이트 전극은, 상기 반도체 기판의 깊이 방향으로 매입되어 형성되어 있는 상기 (10)에 기재된 고체 콜상 소자.

[0161] (12) 상기 제2 전송 트랜지스터의 게이트 전극의 깊이는, 상기 제1 전송 트랜지스터의 게이트 전극의 깊이와 같은 상기 (11)에 기재된 고체 콜상 소자.

[0162] (13) 상기 제2 전송 트랜지스터의 게이트 전극의 깊이는, 상기 제1 전송 트랜지스터의 게이트 전극의 깊이보다 얇은 상기 (11)에 기재된 고체 콜상 소자.

[0163] (14) 상기 제1 전송 트랜지스터의 게이트 전극은, 상기 반도체 기판을 관통하고 있는 상기 (10)에 기재된 고체 콜상 소자.

[0164] (15) 상기 제2 전송 트랜지스터의 게이트 전극은, 상기 반도체 기판의 깊이 방향으로 매입되어 형성되어 있고, 상기 제2 전송 트랜지스터의 게이트 전극의 깊이는, 상기 제1 전송 트랜지스터의 게이트 전극의 깊이보다 얕은 상기 (14)에 기재된 고체 콜상 소자.

[0165] (16) 상기 전하 축적부는, 상기 반도체 기판의 광 입사측에 평행한 평면에서 상기 광전 변환부보다 작은 상기 (1)에 기재된 고체 콜상 소자.

[0166] (17) 상기 전하 유지부는, 상기 화소에 인접하는 다른 화소와 공유되도록 구성되어 있는 상기 (1)에 기재된 고체 콜상 소자.

[0167] (18) 상기 제1 전송 트랜지스터의 게이트 전극의 상기 제1 깊이는, 상기 전하 축적부의 상기 제2 깊이와 같은 상기 (1)에 기재된 고체 콜상 소자.

[0168] (19) 수광량에 응한 전하를 생성하는 광전 변환부를 포함하는 화소를 형성하고,

[0169] 상기 광전 변환부에 의해 생성된 상기 전하를 축적하는 전하 축적부를 형성하고,

[0170] 상기 광전 변환부의 상기 전하를 상기 전하 축적부에 전송하는 제1 전송 트랜지스터를 형성하고,

[0171] 반도체 기판 내에서 소정의 제1 깊이로 상기 반도체 기판의 수광면과 반대인 상기 반도체 기판의 제1 면으로부

터 연장되는 상기 제1 전송 트랜지스터의 게이트 전극을 형성하고,

[0172] 상기 전하 축적부는, 상기 반도체 기판 내에 매입된 상기 제1 전송 트랜지스터의 게이트 전극의 측벽에 인접하는 제2 깊이로 연장되어 있는 고체 활상 소자의 제조 방법.

[0173] (20) 상기 전하를 신호로서 관독하기 위해 상기 전하를 유지하는 전하 유지부와, 상기 전하 축적부의 상기 전하를 상기 전하 유지부에 전송하는 제2 전송 트랜지스터를 형성하는 상기 (19)에 기재된 고체 활상 소자의 제조 방법.

[0174] (21) 고체 활상 소자를 구비하고,

[0175] 상기 고체 활상 소자는,

[0176] 광전 변환부와,

[0177] 상기 광전 변환부에 의해 생성된 전하를 축적하는 전하 축적부와,

[0178] 상기 광전 변환부의 전하를 상기 전하 축적부에 전송하는 제1 전송 트랜지스터를 포함하는 화소를 포함하고,

[0179] 상기 제1 전송 트랜지스터의 게이트 전극은, 반도체 기판 내에서 소정의 제1 깊이로 상기 반도체 기판의 수광면과 반대인 상기 반도체 기판의 제1 면으로부터 연장되고,

[0180] 상기 전하 축적부는, 상기 반도체 기판 내에 매입된 상기 제1 전송 트랜지스터의 게이트 전극의 측벽에 인접하는 제2 깊이로 연장되어 있는 전자 기기.

[0181] (22) 상기 전하를 신호로서 관독하기 위해 상기 전하를 유지하는 전하 유지부와,

[0182] 상기 전하 축적부의 상기 전하를 상기 전하 유지부에 전송하는 제2 전송 트랜지스터를 더 구비하는 상기 (21)에 기재된 전자 기기.

[0183] (23) 상기 제1 전송 트랜지스터의 게이트 전극의 상기 제1 깊이는, 상기 전하 축적부의 상기 제2 깊이와 같은 상기 (21)에 기재된 전자 기기.

[0184] 당업자에 의하여 첨부된 청구항 및 균등물의 범위 안에서 다양한 수정, 조합, 하위 조합 및 변경이 설계 요구 및 다른 요인에 따라 발생할 수 있음을 이해하여야 한다.

### **부호의 설명**

[0185] 1 : 고체 활상 소자

4 : 화소 어레이부

21 : 포토 다이오드

22 : 제1 전송 트랜지스터

23 : 메모리부(MEM)

24 : 제2 전송 트랜지스터

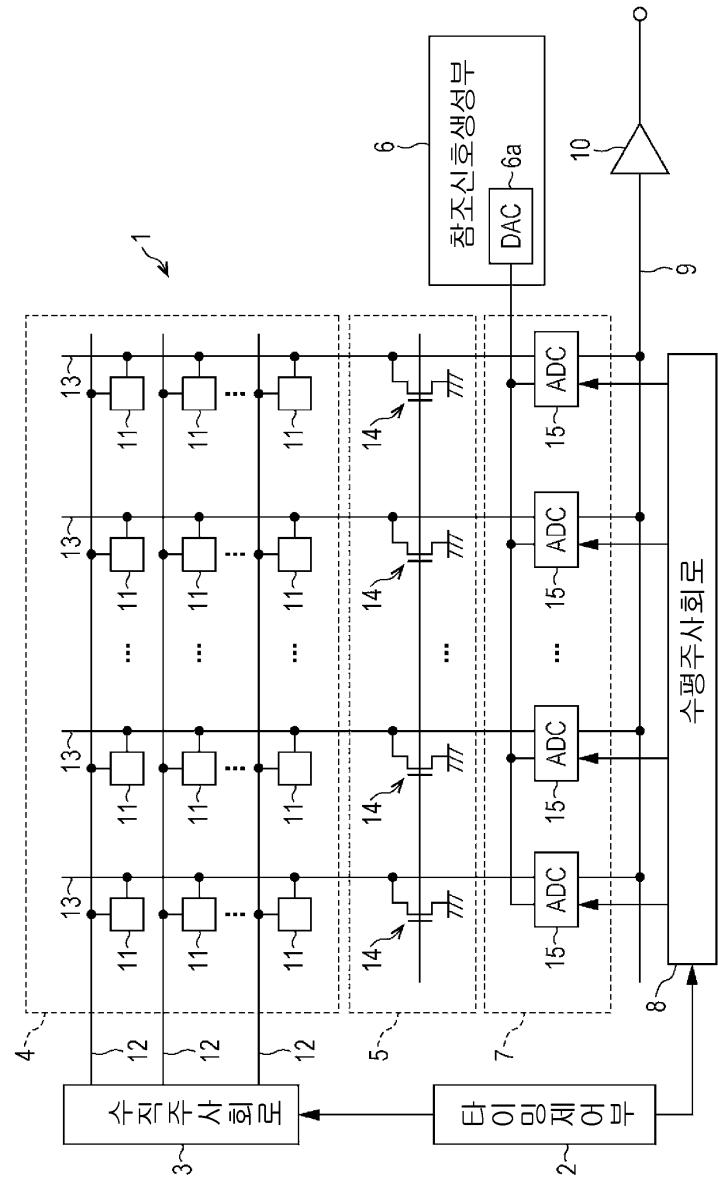
25 : FD(플로팅 디퓨전)

200 : 활상 장치

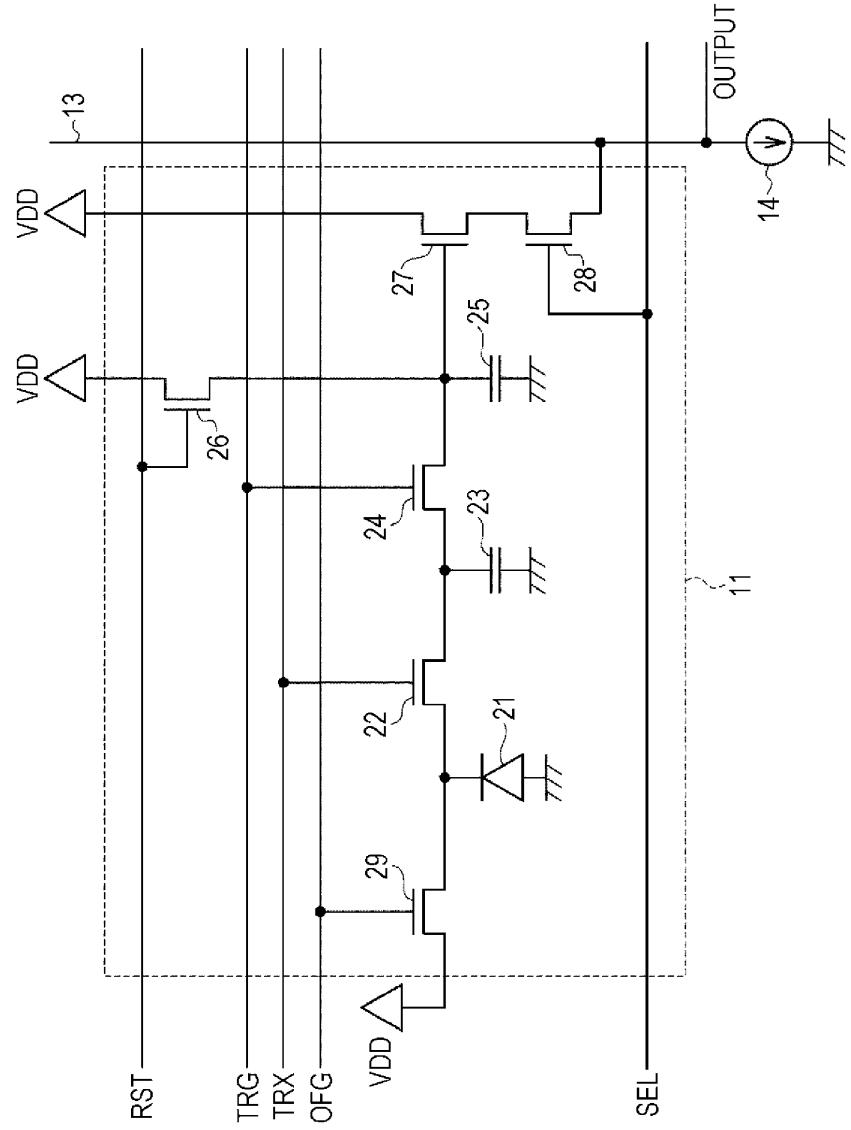
202 : 고체 활상 소자

## 도면

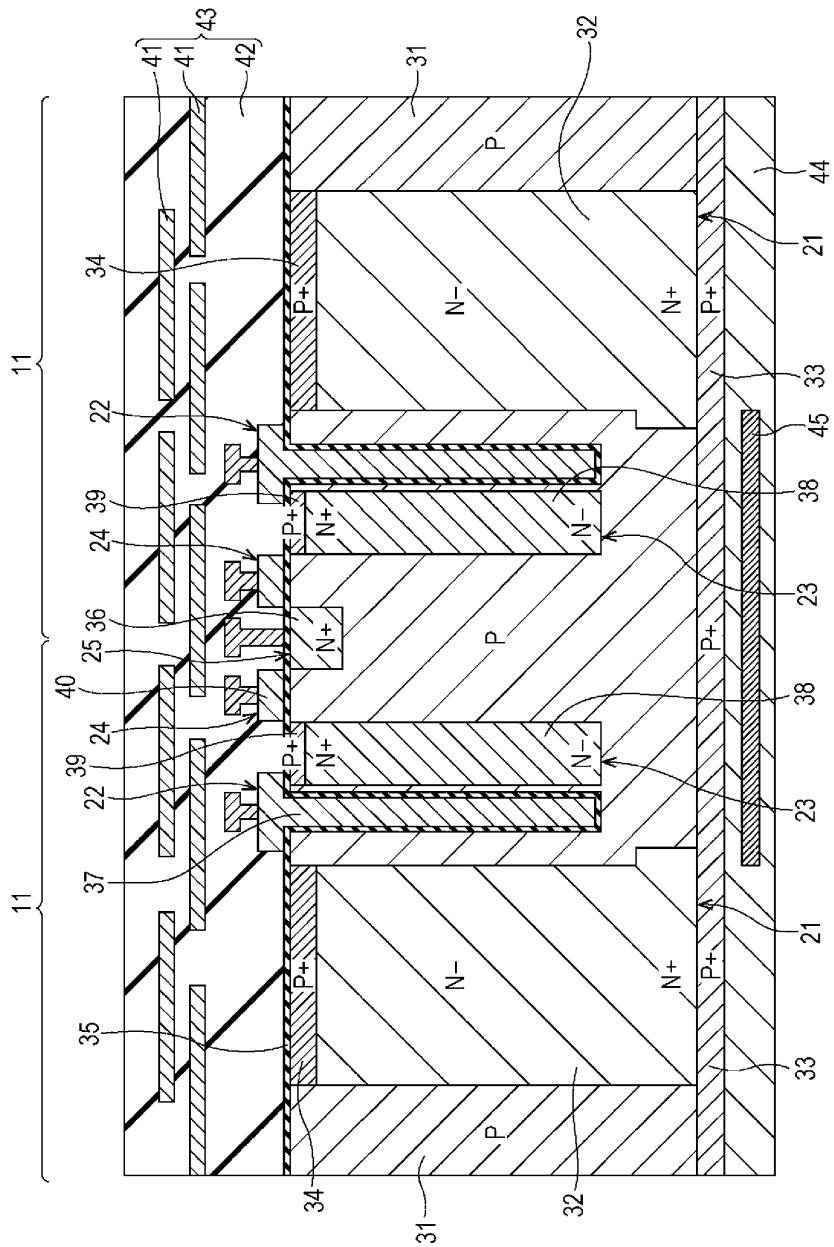
## 도면1



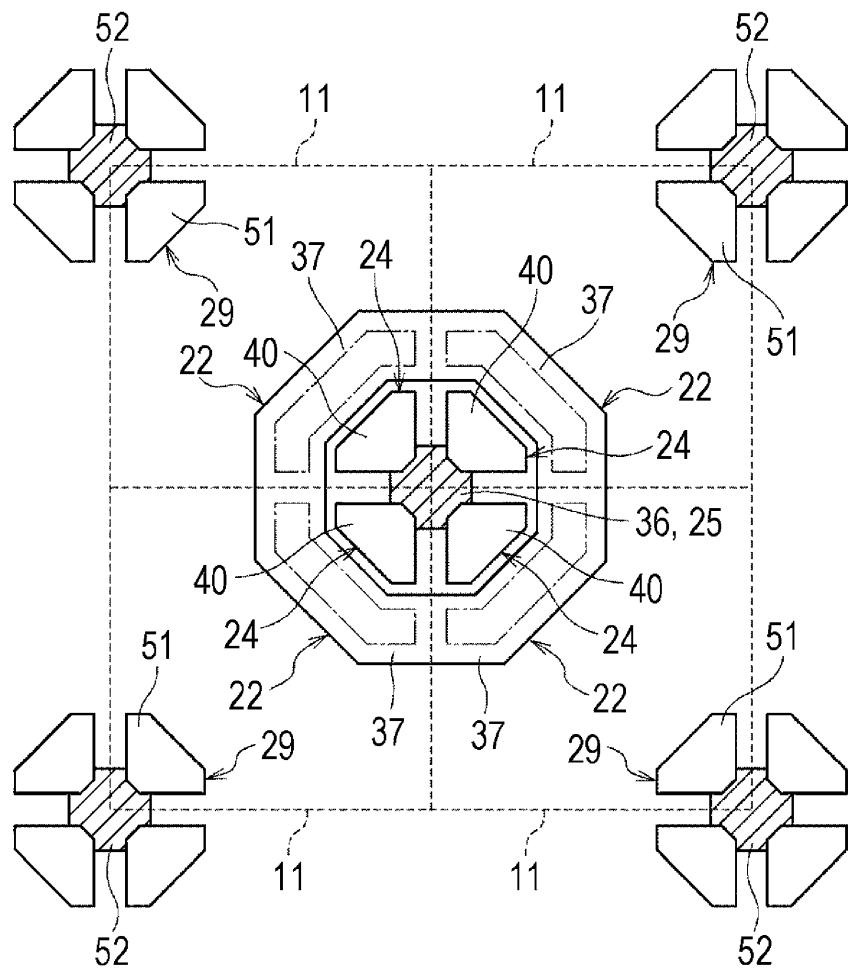
## 도면2



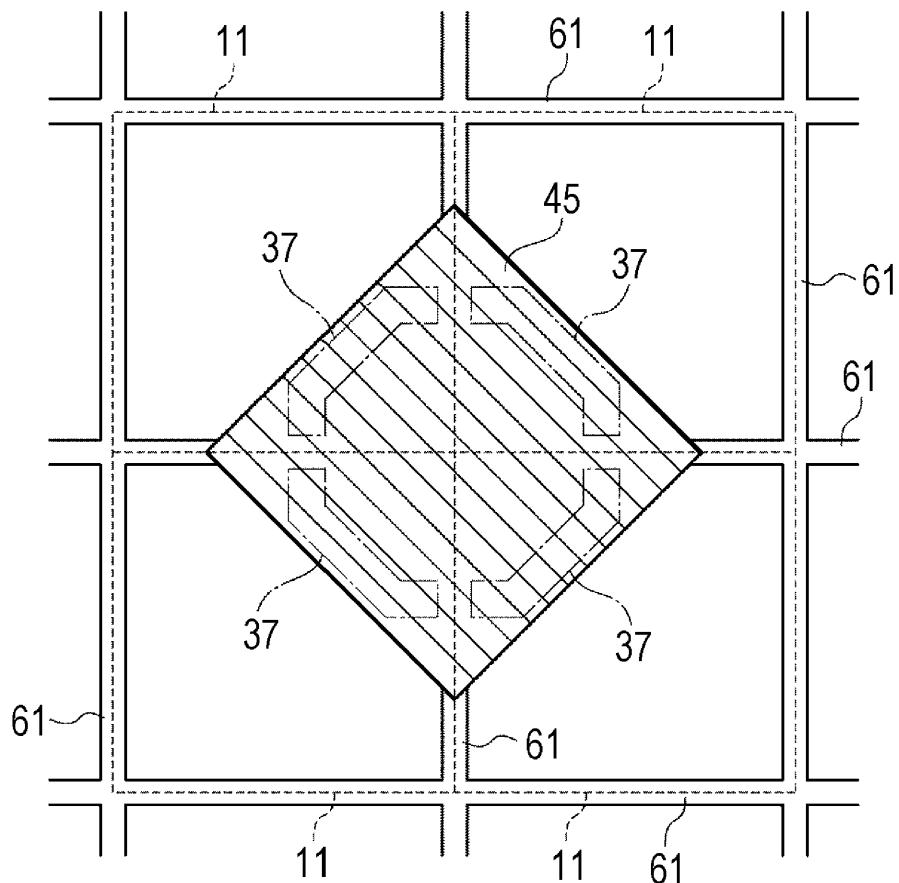
도면3



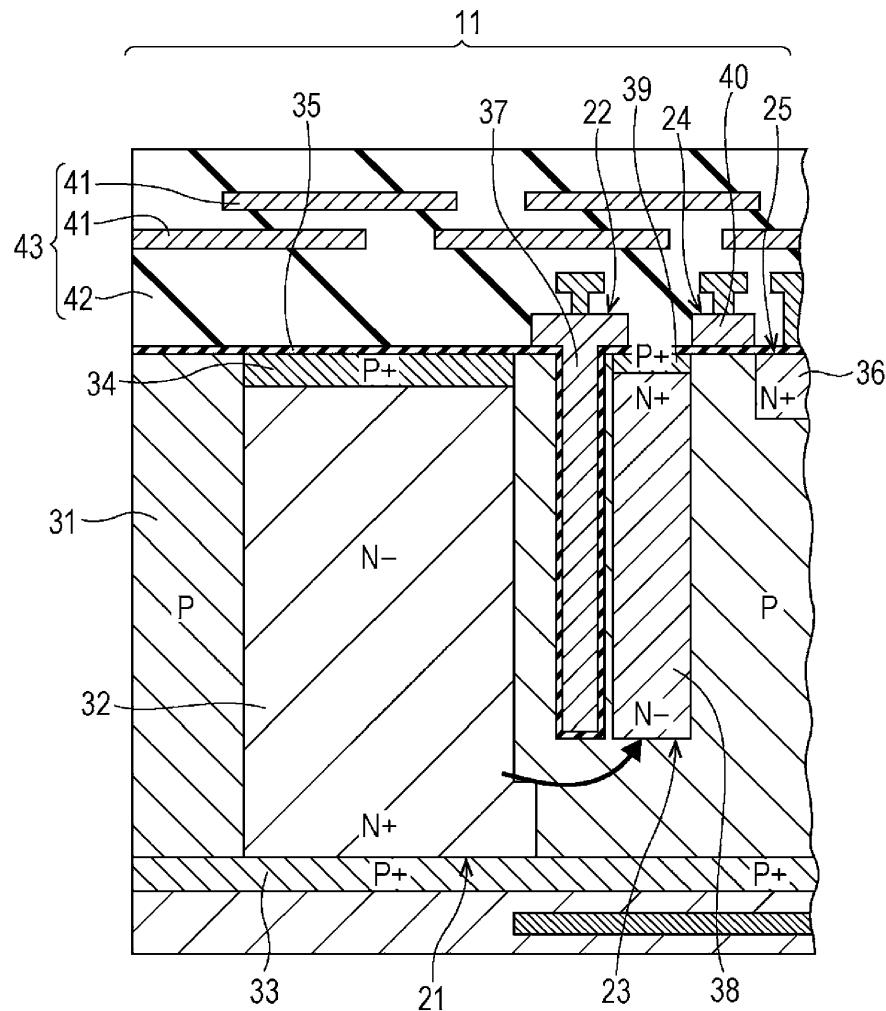
도면4a



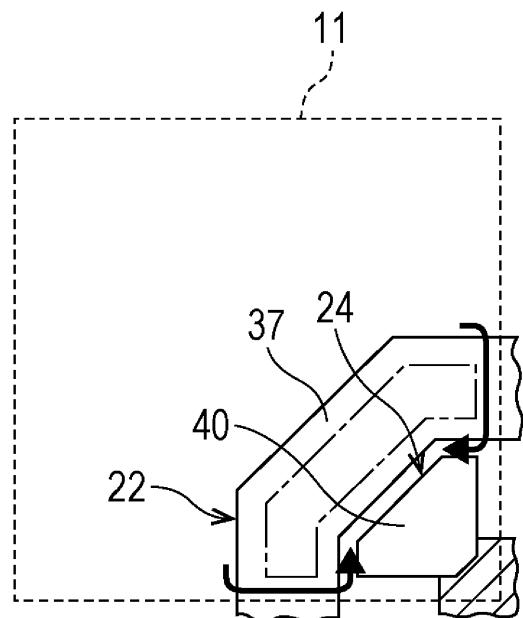
도면4b



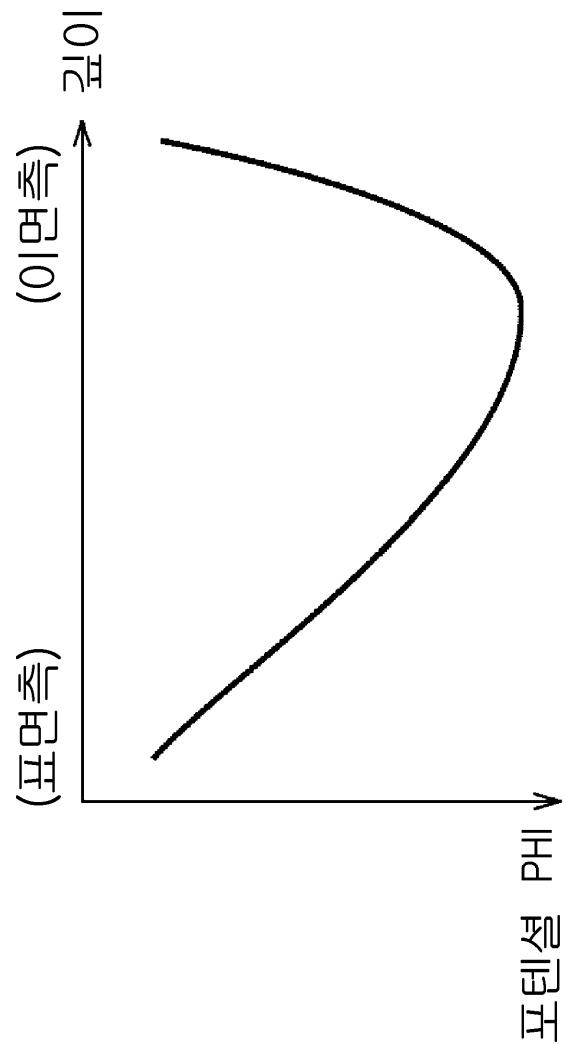
## 도면5a



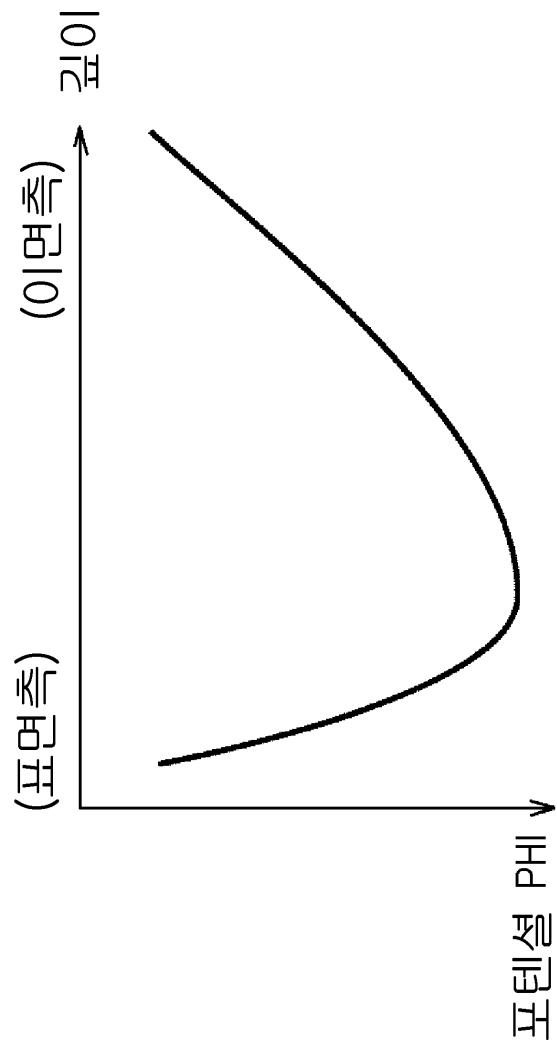
## 도면5b



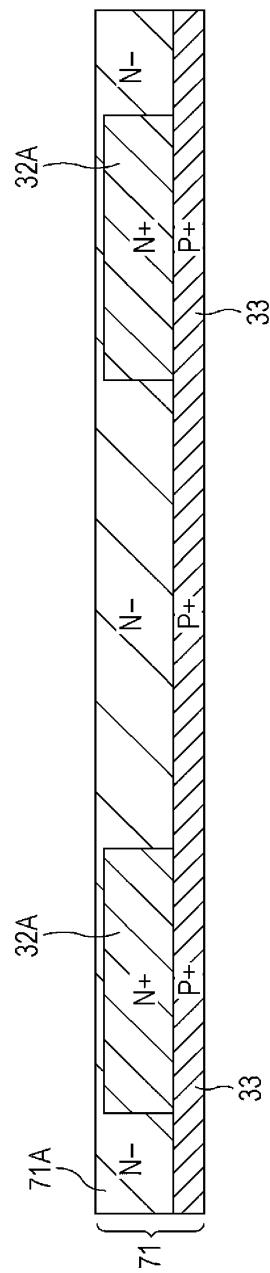
도면6a



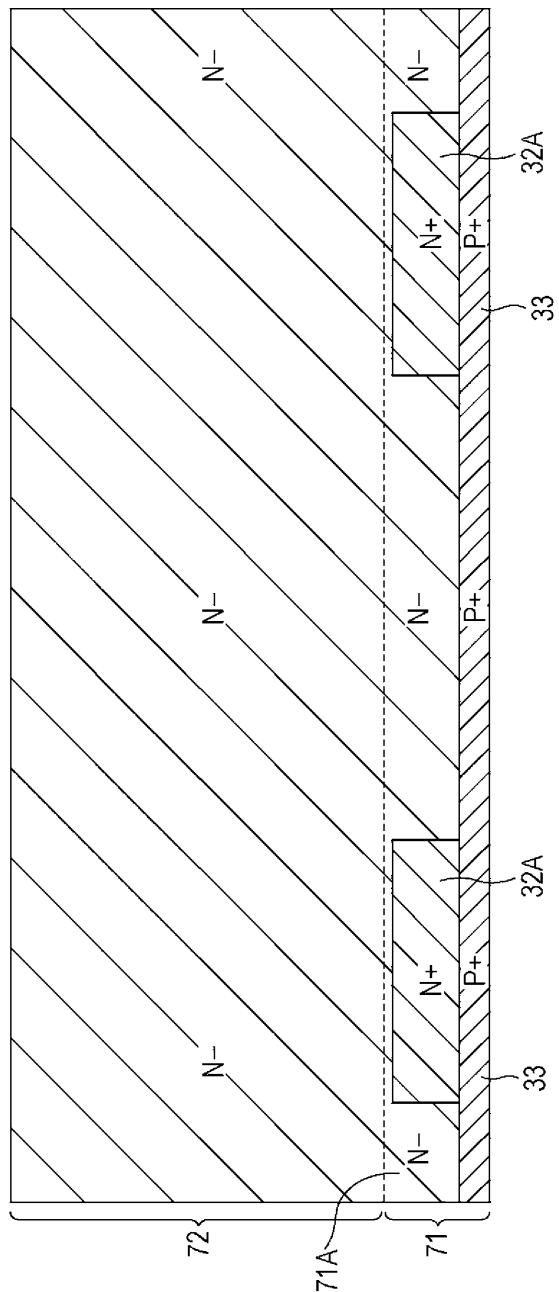
도면 6b



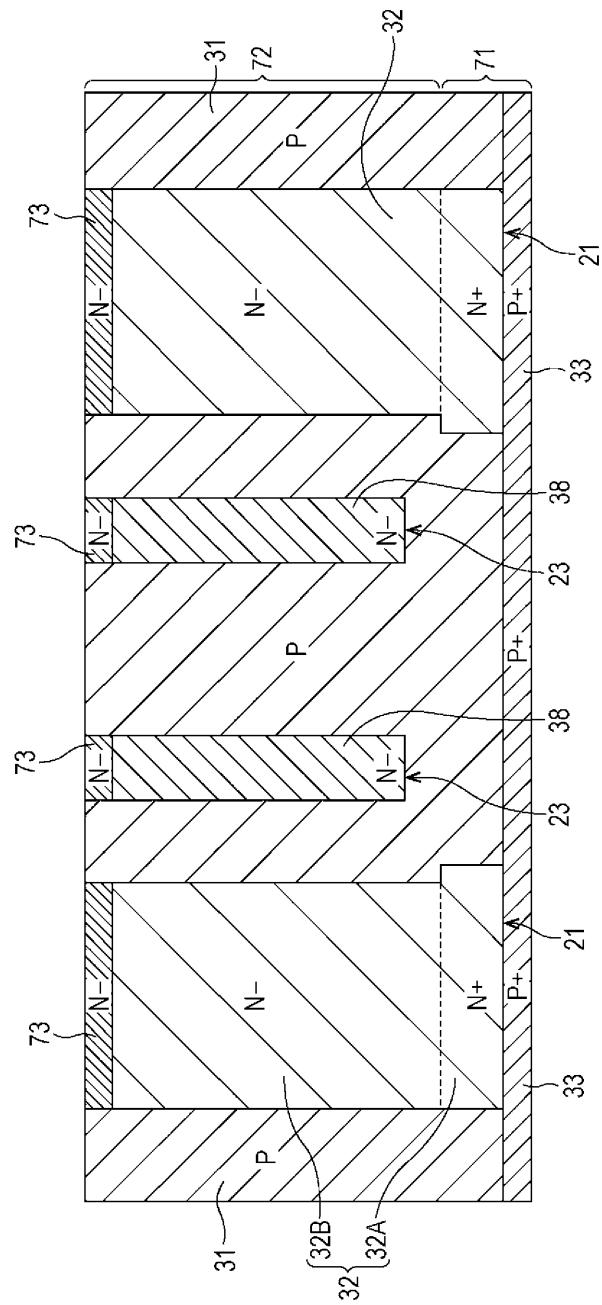
도면7



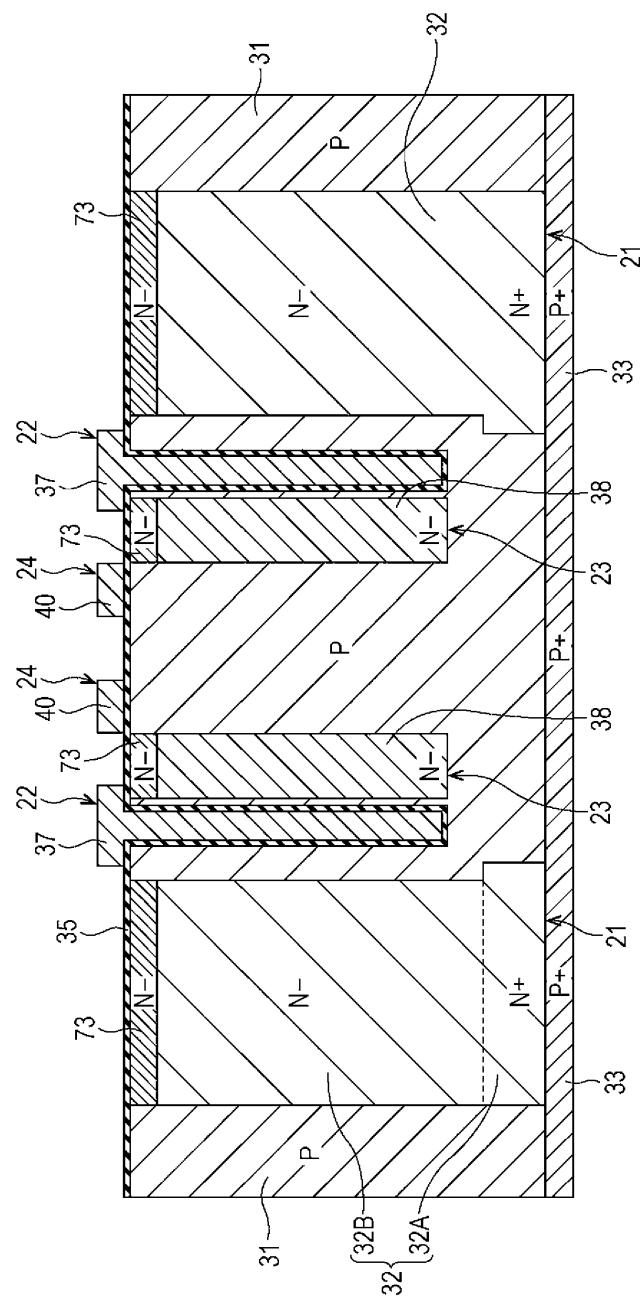
도면 8



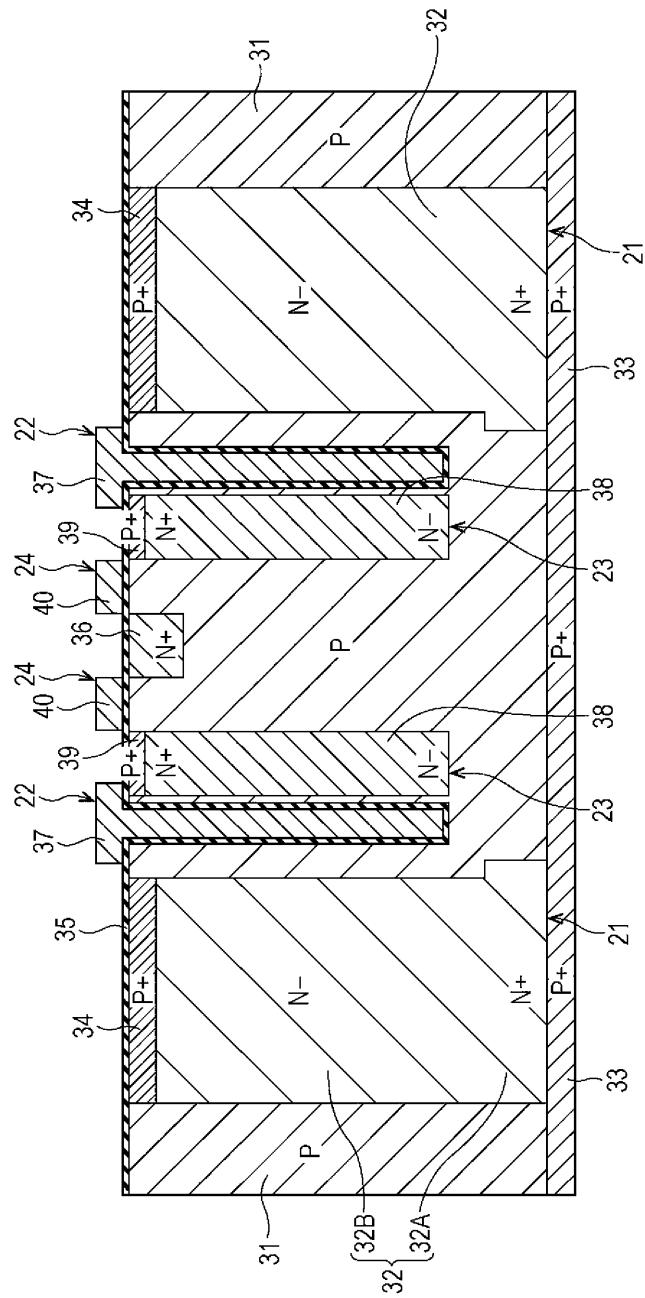
도면9



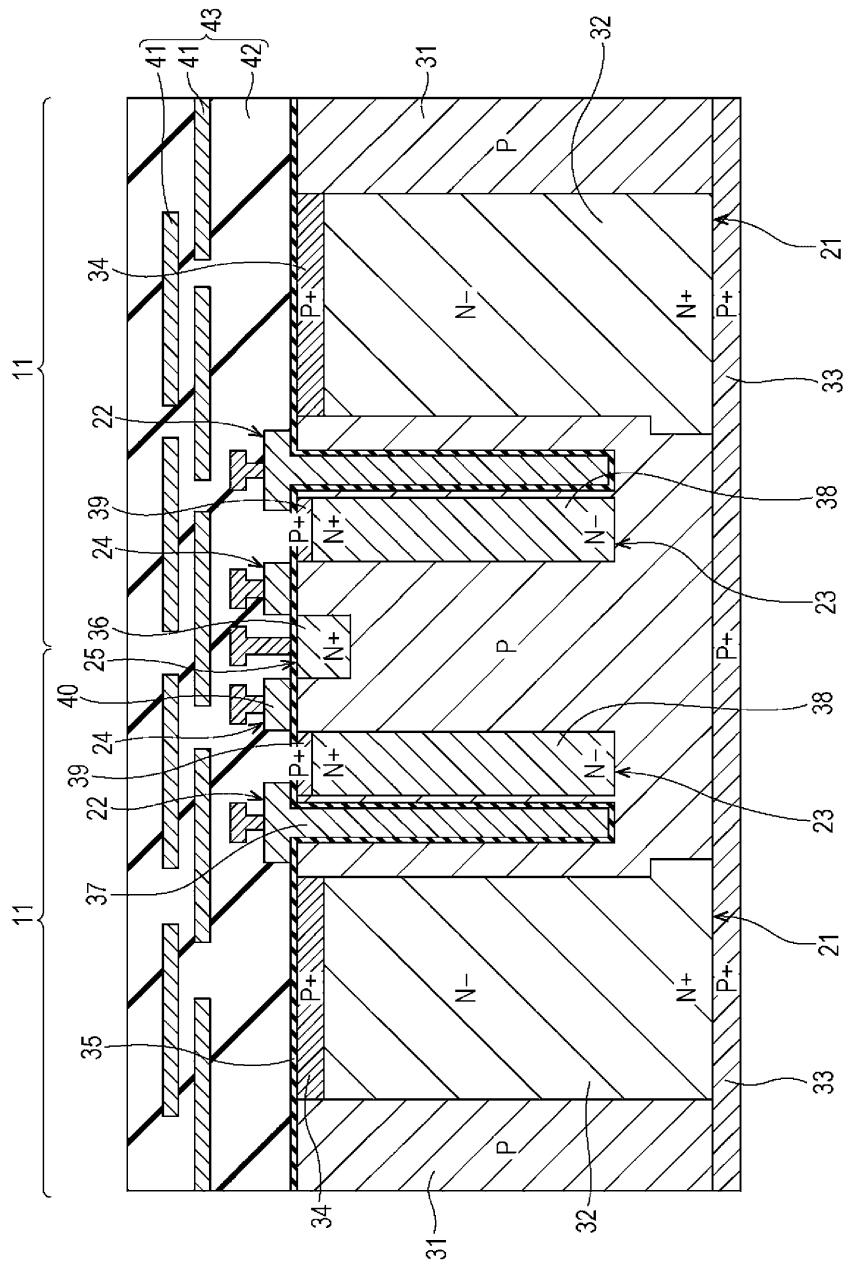
도면 10



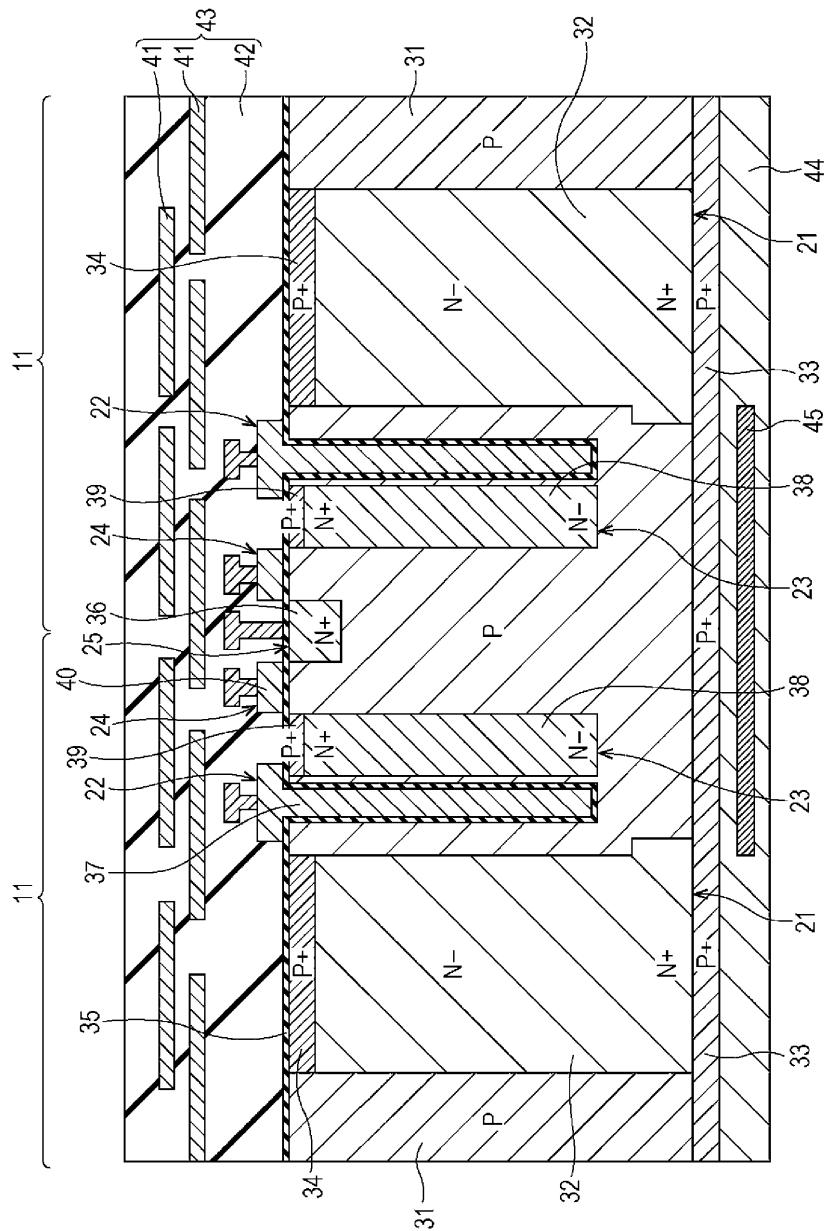
## 도면11



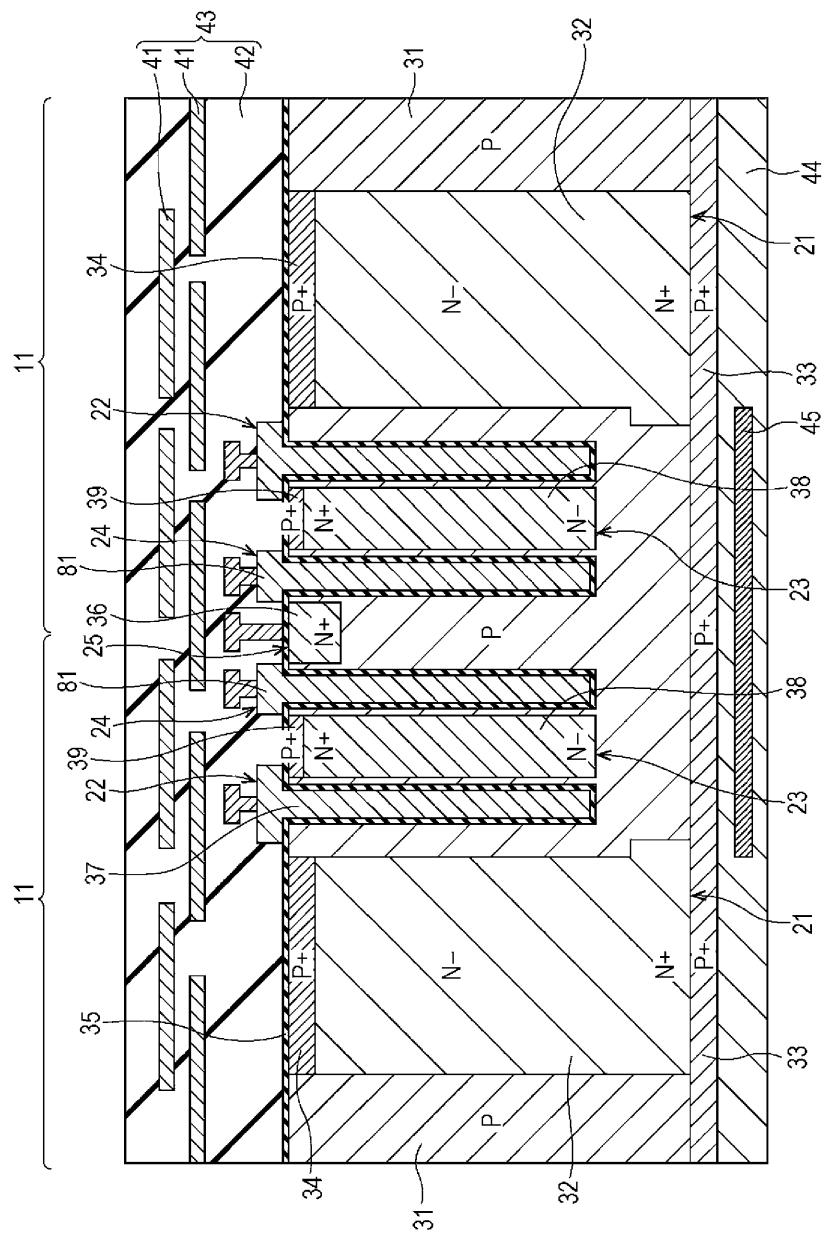
도면12



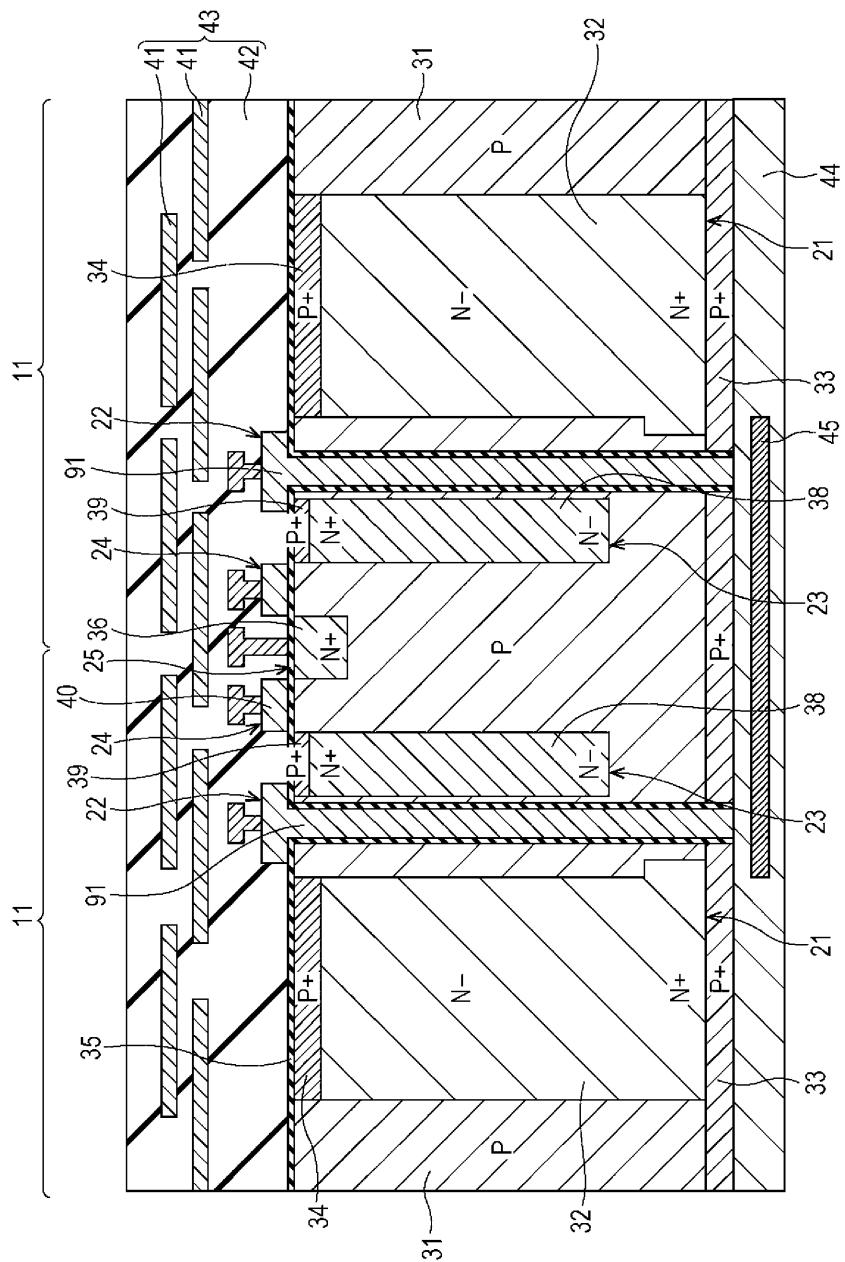
도면13



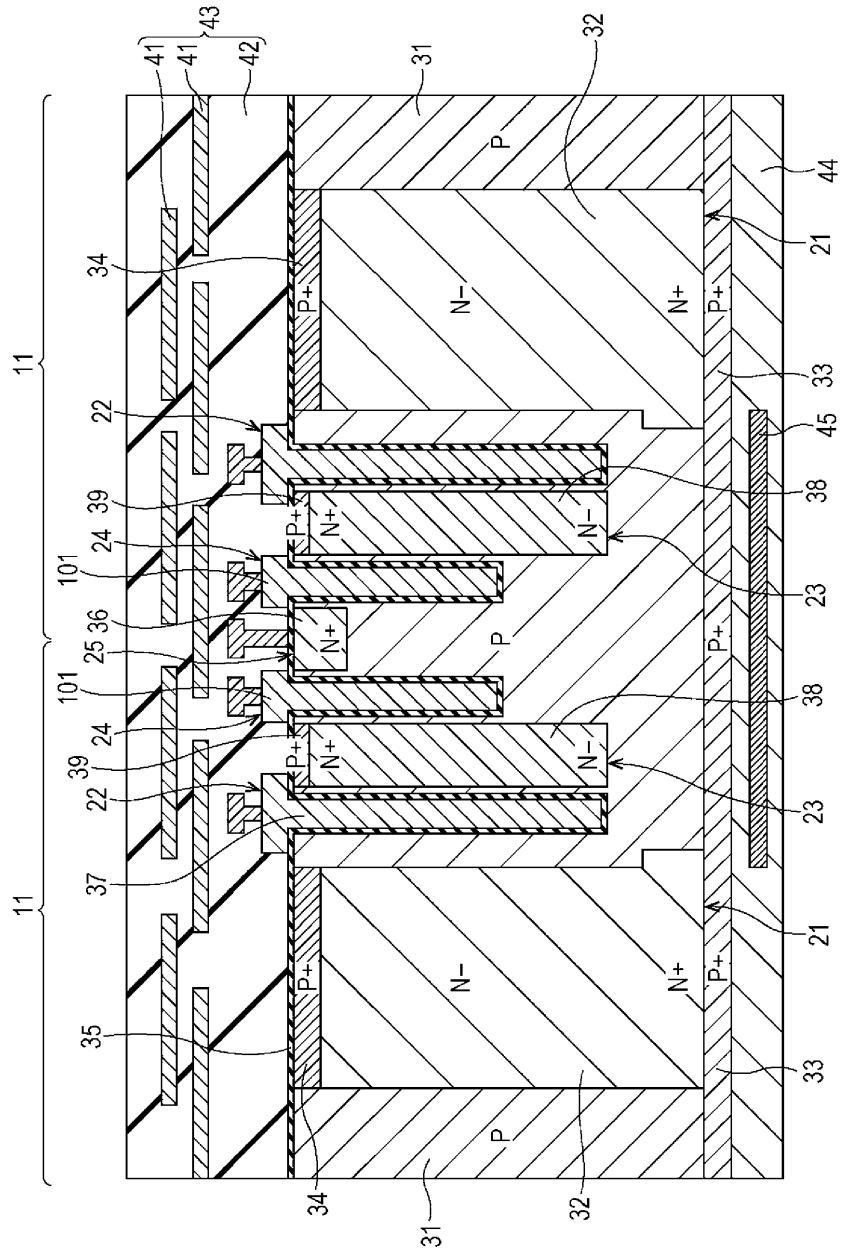
도면14



도면15



### 도면16



도면17

