

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96115106

※申請日期：96年04月27日

※IPC分類：H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

一、發明名稱：

(中) 半導體裝置和其製造方法

(英) Semiconductor device and manufacturing method thereof

二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 7 人)

1. 姓 名：(中) 山崎舜平

(英) YAMAZAKI, SHUNPEI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 鈴木幸惠

(英) SUZUKI, YUKIE

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 荒井康行

(英) ARAI, YASUYUKI

國 籍：(中) 日本

(英) JAPAN

4. 姓 名：(中) 守屋芳隆

(英) MORIYA, YOSHITAKA

國 籍：(中) 日本

(英) JAPAN

5.姓 名：(中) 池田佳壽子
(英) IKEDA, KAZUKO
國 籍：(中) 日本
(英) JAPAN

6.姓 名：(中) 棚田好文
(英) TANADA, YOSHIFUMI
國 籍：(中) 日本
(英) JAPAN

7.姓 名：(中) 高橋修平
(英) TAKAHASHI, SYUHEI
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2006/04/28 ; 2006-126670 ☒ 有主張優先權
2. 日本 ; 2006/09/20 ; 2006-254205 ☒ 有主張優先權

(英) JAPAN

5.姓 名：(中) 池田佳壽子
(英) IKEDA, KAZUKO
國 籍：(中) 日本
(英) JAPAN

6.姓 名：(中) 棚田好文
(英) TANADA, YOSHIFUMI
國 籍：(中) 日本
(英) JAPAN

7.姓 名：(中) 高橋修平
(英) TAKAHASHI, SYUHEI
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2006/04/28 ; 2006-126670 ☒ 有主張優先權
2. 日本 ; 2006/09/20 ; 2006-254205 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造方法。更具體地說，本發明係關於一種半導體裝置及其製造方法，在該半導體裝置中，針對不同的半導體元件分隔半導體層。

【先前技術】

作為分隔半導體層的半導體元件的典型實例，圖 24A 到 24D 顯示公共薄膜電晶體的頂視圖和截面圖。圖 24A 顯示該薄膜電晶體的頂視圖，圖 24B 是沿圖 24A 的 A1-B1 線得到的截面圖，圖 24C 是沿圖 24A 的 A2-B2 線得到的截面圖，圖 24D 是圖 24C 中的半導體層 32 的端部 25 的放大圖。如圖 24B 到 24D 所示，在薄膜電晶體中，在基板 30 上形成當成底膜的絕緣層 31；在絕緣層 31 上形成半導體層 32，其包括通道形成區 32a 以及每個當成源極區或汲極區的雜質區 32b 和 32c；在半導體層 32 和絕緣層 31 上形成當成閘極絕緣膜的絕緣層 33；以及在絕緣層 33 上形成當成閘極電極的導電層 34。

在圖 24A 到 24D 所示的薄膜電晶體的製造過程中，在受到有選擇的蝕刻的半導體層 32 上形成當成閘極絕緣膜的絕緣層 33，在這種情況下，絕緣層 33 的覆蓋度在半導體層 32 的端部 25 處降低。在絕緣層 33 的膜厚度薄的部分閘極電壓的電場強度增大，由閘極電壓導致的應力增大，其將對薄膜電晶體的耐壓和可靠性造成不利影響。

(2)

此外，基板和每一薄膜的應力集中在半導體層 32 的端部 25，其導致了元件特性發生波動的問題。

作為一種改善由半導體層 32 的端部的不平坦造成的閘極絕緣膜的覆蓋度降低的問題的方法，可以使主動層的端部成錐形（專利文獻 1：已公開日本專利申請案第 No. 2005-167207 號）。

另一方面，在構成必須以高速運行的電路的薄膜電晶體中，較佳的採用短通道長度和薄閘極絕緣膜厚度。因此，閘極絕緣膜的膜厚度只有幾十奈米那麼薄。

【發明內容】

但是，即使使半導體層的端部成錐形，電場和應力的集中仍然是一個問題。當閘極絕緣膜的膜厚度薄到幾十奈米時，這一問題尤為顯著。

本發明就是一項解決這一問題的技術，本發明的目的在於，藉由減小閘極絕緣膜的膜厚度薄的部分，即不平坦的部分對半導體元件特性的影響，由此提高半導體元件的可靠性。此外，本發明的另一目的在於提供一種製造方法，藉由該方法能夠得到具有這樣的半導體元件的半導體裝置。

本發明的一個特徵是一種半導體裝置，其包括：半導體層；覆蓋該半導體層的端部的閘極電極；以及用於使該半導體層和該閘極電極絕緣的絕緣層，其中，使該半導體層與該閘極電極相互重疊的區域絕緣的絕緣層的膜厚度大

(3)

於覆蓋該半導體層的中央部分絕緣層的膜厚度。

本發明的另一個特徵是一種半導體裝置，其包括：形成於基板上當成底膜的絕緣層，形成於該絕緣層上的半導體層；以及覆蓋當成底膜的絕緣層和該半導體層的當成閘極絕緣膜的絕緣層，其中，該半導體層的端部的側表面相對於該基板的表面以第一角度傾斜，該當成底膜的絕緣層相對於該基板的表面以第二角度傾斜，並且該第二角度小於該第一角度。換言之，該半導體層的側表面的傾角和該當成底膜的絕緣層的傾角是變小的，使得斜坡逐漸降低。

該第一角度較佳的大於或等於 10 度且小於或等於 40 度，該第二角度較佳的大於或等於 5 度且小於或等於 15 度。

本發明的又一個特徵是一種半導體裝置，其包括：半導體層；覆蓋該半導體層的端部的閘極電極；以及用於使該半導體層和該閘極電極絕緣的絕緣層，其中，將位於該半導體層的端部的使該半導體層與該閘極電極絕緣的絕緣層形成為比在該半導體層的中央部分厚。

在本發明的半導體裝置中，形成多個半導體層，並使該多個半導體層相互分開。

在包括半導體層、覆蓋該半導體層的端部的閘極電極和用於使該半導體層和該閘極電極絕緣的絕緣層半導體裝置中，使該半導體層與該閘極電極相互重疊的區域絕緣的絕緣層的膜厚度大於覆蓋該半導體層的中央部分絕緣層的膜厚度，由此能夠防止該半導體層的端部與該閘極電極

(4)

之間短路。當當成閘極絕緣膜的絕緣膜的膜厚度為幾奈米到幾十奈米，並且比半導體層的膜厚度薄時，這種結構尤為有效。

此外，在藉由蝕刻去除形成於半導體層上的絕緣層時，有時會在該絕緣層中半導體層的端部的側表面與當成底膜的絕緣層相互接觸的部分內形成凹陷。但是，藉由在覆蓋該半導體層的端部的區域內形成具有大厚度的絕緣層，能夠填充該凹陷。採用這種方式，在形成當成閘極絕緣膜的絕緣層的情況下，能夠減少覆蓋度缺陷等。作為這些因素的結果，能夠提高將在以後形成的半導體元件的可靠性。

【實施方式】

在下文中將參考附圖說明本發明的實施例模式和實施例。但是，本發明不限於下述說明，本領域技術人員容易理解，在不背離本發明的範圍和精神的情況下可以對其模式和細節做出各種改變。因此，不應將本發明解釋為僅限於下述對實施例模式和實施例的說明。應當注意，在下文所述的本發明的結構中，表示相同部分的附圖標記可以為不同的附圖所共用。

[實施例模式 1]

在本實施例模式中，提供了一種半導體元件的結構及其製造方法，在該半導體元件結構中，能夠抑制由半導體

(5)

層的端部中的閘極絕緣膜的覆蓋度的降低而導致的閘極電壓的洩漏電流。在本文的說明中，將薄膜電晶體當成該半導體元件。

圖 1A 到圖 1C 是用於說明本發明的半導體裝置的主結構的頂視圖和截面圖。具體而言，圖 1A 是顯示薄膜電晶體的基本部分的頂視圖，圖 1B 是沿圖 1A 中的 A1-B1 線得到的截面圖，圖 1C 是沿圖 1A 中的 A2-B2 線得到的截面圖。在具有絕緣表面的基板 30 上形成這一薄膜電晶體。作為具有絕緣表面的基板 30，可以採用玻璃基板、石英基板、藍寶石基板、陶瓷基板、具有形成於其表面的絕緣層的金屬基板等。

在這一具有絕緣表面的基板 30 上形成半導體層 32。可以在基板 30 和半導體層 32 之間設置當成底膜的絕緣層 31。可以根據情況將這一絕緣層 31 提供作為阻擋層，從而防止鹼金屬等雜質從基板 30 擴散到半導體層 32 內，對其造成污染。

作為絕緣層 31，可以採用諸如氧化矽、氮化矽或含有氧和氮的矽（氮氧化矽）的絕緣材料。例如，在將絕緣層 31 形成為兩層結構的情況下，可以將所含有的氮多於氧的氮氧化矽層形成為第一絕緣層，將所含有的氧多於氮的氮氧化矽形成為第二絕緣層。或者，可以將氮化矽層形成為第一絕緣層，將氧化矽層形成為第二絕緣層。

半導體層 32 較佳的由單晶半導體或多晶半導體形成。較佳的以矽作為該半導體材料。此外，還可以採用矽-

(6)

鍺半導體。此外，出於元件隔離目的，較佳的在絕緣表面上形成島狀半導體層，以及在該半導體層上形成一個或多個非揮發性記憶元件或薄膜電晶體。

採用這種方式，藉由將形成於該絕緣表面上的半導體層形成爲彼此隔離的島狀，能夠有效地執行元件隔離，即使在同一基板上形成多個薄膜電晶體和週邊電路亦如此。也就是說，即使當在同一基板上形成必須在大約 10V 到 20V 的電壓下執行寫入和抹除的記憶元件陣列以及在大約 3V 到 7V 的電壓下工作、主要執行資料的輸入和輸出以及指令控制的週邊電路時，也能夠避免由於施加至每一元件的電壓的差異而導致的互相干擾。

將 p 型雜質注入到半導體層 32 內。例如，採用硼作爲 p 型雜質，並且可以將其以大約 $5 \times 10^{15} \text{ atoms/cm}^3$ 到 $1 \times 10^{16} \text{ atoms/cm}^3$ 的濃度添加到半導體層 32 中。其目的在於控制電晶體的臨界值電壓，向通道形成區內添加雜質能夠有效的作用。在基本對應於當成閘極電極的導電層 34（在下文中將對其予以說明）的區域內形成通道形成區，並且其位於半導體層 32 的一對雜質區 32b 和 32c 之間。

該對雜質區 32b 和 32c 是當成非揮發性記憶元件中的源極區或汲極區的區域。該對雜質區 32b 和 32c 是藉由向半導體層 32 內添加作爲 n 型雜質的磷或砷形成的，其中，該雜質的峰值濃度爲 $10^{21} \text{ atoms/cm}^3$ 左右。

此外，可以在半導體層 32 內提供低濃度雜質區 32d 和 32e。藉由提供低濃度雜質區 32d 和 32e，能夠降低汲

(7)

極邊緣處的電場，從而抑制因重複寫入和抹除導致的劣化。

在半導體層 32 上，形成覆蓋該半導體層的端部的絕緣層 36、當成閘極絕緣膜的絕緣層 33 和當成閘極電極的導電層 34。

設置覆蓋該半導體層的端部的絕緣層 36 的作用在於防止半導體層 32 的端部與當成閘極電極的導電層 34 之間發生短路。因此，較佳的在半導體層 32 的端部與當成閘極電極作用的導電層 34 相互重疊的區域內，在半導體層 32 上形成絕緣層 36。

在圖 1A 中，虛線表示絕緣層 36 的末端，因此在虛線內部未形成絕緣層 36。在虛線之外形成絕緣層 36，使之覆蓋半導體層 32 的端部。換言之，絕緣層 36 具有位於半導體層 32 上的開口。

由於提供覆蓋半導體層的端部的絕緣層 36 的目的在於防止半導體層 32 的端部與當成閘極電極的導電層 34 之間發生短路，因此可以在半導體層 32 的端部與當成閘極電極的導電層 34 相互重疊的區域內形成絕緣層 36。

典型地，如圖 2A 到 2C 所示，可以在半導體層 32 的端部與當成閘極電極的導電層 34 相互重疊的區域內形成絕緣層 39a 和 39b 中的每個。也就是說，絕緣層 39a 和 39b 是以不連續的方式形成於基板上的。因此，如圖 2B 所示，在沿圖 2A 的 A1-B1 線得到的截面內未形成絕緣層 39a 和 39b；如沿 A2-B2 線得到的圖 2C 的橫截面圖所示，

(8)

絕緣層 39a 和 39b 中的每個僅形成於這樣的區域內，即在半導體層 32 的端部之上形成了當成閘極電極的導電層 34 的區域內。

絕緣層 39a 和 39b 每個沿通道長度方向的長度大於或等於 $3\mu\text{m}$ ，小於或等於 $10\mu\text{m}$ ，較佳的大於或等於 $3\mu\text{m}$ ，小於或等於 $5\mu\text{m}$ 。

採用這種方式，藉由形成覆蓋半導體層的端部的絕緣層 36 或絕緣層 39a 和 39b，能夠防止半導體層 32 的端部與當成閘極電極的導電層 34 之間發生短路。當當成閘極絕緣膜的絕緣膜的膜厚度為幾奈米到幾十奈米，並且比半導體層的膜厚度薄時，這種結構尤為有效。此外，在藉由蝕刻整個去除形成於半導體層 32 之上的絕緣層時，有時會在絕緣層 31 的與半導體層 32 的端部相互接觸的部分內形成凹陷。但是，藉由形成絕緣層 36 或絕緣層 39a 和 39b，能夠以絕緣層填充該凹陷。採用這種方式，在形成當成閘極絕緣層的絕緣層等的情況下，能夠減少覆蓋度缺陷等。作為這些因素的結果，能夠提高將在以後形成的半導體元件的可靠性。

絕緣層 36、39a 和 39b 中每個由氧化矽、氮化鋁、氮化矽、氧化矽和氮化矽的疊置結構、氧化矽和氮化鋁的疊置結構等形成。

接下來，將參考圖 1A 到圖 1C 以及圖 3A 到圖 3C 說明絕緣層 36、39a 和 39b 的端部的介面形狀。這裏，儘管採用絕緣層 36 作為本說明的典型實例，但是也可以將該

(9)

結構適當地應用於絕緣層 39a 和 39b。

如圖 1B 所示，絕緣層 36 的端部的側表面可以垂直於或大致垂直於半導體層 32 的表面，較佳的具有大於或等於 85° 小於或等於 95° 的角度。當絕緣層 36 的端部的側表面垂直於半導體層 32 的表面時，能夠減小用於覆蓋半導體層 32 的端部的掩模對準裕量，還能夠減小半導體層的面積。也就是說，可能實現高度整合。

或者如圖 3A 所示，絕緣層 36 的端部 36a 的側表面可以為錐形或發生傾斜，較佳的相對於半導體層 32 的表面具有大於或等於 30° 小於 85° 的角度，更佳的具有大於或等於 45° 且小於或等於 60° 的角度。在絕緣層 36 的端部 36a 的側表面成錐形時，能夠改善覆蓋絕緣層 36 的當成閘極絕緣膜的絕緣層（在下文中將對其予以說明）的覆蓋度，其中，絕緣層 36 覆蓋著半導體層的端部。換言之，有可能抑制半導體層與閘極電極之間的洩漏電流。

或者如圖 3B 所示，半導體層 32 的側表面 32f 為錐形或發生傾斜，其較佳的具有大於或等於 30° 小於 85° 的角度，更佳的具有大於或等於 45° 小於或等於 60° 的角度，這時，絕緣層 36 的側表面 36b 可以位於半導體層 32 的側表面 32f 上。當絕緣層 36 的側表面 36b 位於半導體層 32 的側表面 32f 上時，將能夠降低閘極絕緣膜（將在下文中對其予以說明）的不均勻性，並且能夠改善覆蓋度。換言之，能夠抑制半導體層和閘極電極之間的洩漏電流。

此外，絕緣層 36 的端部的側表面可以形成於由半導

體層 32 的頂表面和側表面形成的邊緣上。在這種情況下，可以降低由絕緣層 36 覆蓋的半導體層的面積，並且能夠在不形成寄生薄膜電晶體的情況下抑制半導體層和閘極電極之間的漏電流。

此外，半導體層 32 的表面和絕緣層 36 的表面可以是平的。在這種情況下，能夠改善當成閘極絕緣膜的絕緣層對半導體層 32 的覆蓋度。此外，還能夠在不形成寄生薄膜電晶體的情況下抑制半導體層與閘極電極之間的漏電流。

當成閘極絕緣膜的絕緣層 33 由氧化矽或氧化矽與氮化矽的疊置結構等形成。可以藉由採用電漿 CVD 法或低壓 CVD 法沉積絕緣層形成絕緣層 33。或者，較佳的藉由利用電漿處理的固相氧化或固相氮化形成絕緣層 33。這是因為，藉由利用電漿處理對半導體層（通常為矽層）進行氧化或氮化形成的絕緣層具有高耐壓，並且緻密、可靠性高。

在利用電漿處理的固相氧化處理或固相氮化處理中，較佳的採用藉由微波（通常為 2.45GHz）激發的電漿，其電子密度大於或等於 $1 \times 10^{11} \text{cm}^{-3}$ 且小於或等於 $1 \times 10^{13} \text{cm}^{-3}$ ，其電子溫度大於或等於 0.5eV 且小於或等於 1.5eV。這是因為，在處於 500℃ 或更低的溫度下的固相氧化處理或固相氮化處理中，能夠獲得實用的回應速率，並且能夠形成緻密的絕緣層。

可以在氧氣氣氛中（例如，在含有氧氣（ O_2 ）或一氧

(11)

化二氮（ N_2O ）以及稀有氣體（包括 He、Ne、Ar、Kr 和 Xe 中的至少一種）的氣氛中，或者在含有氧氣或一氧化二氮、氫氣（ H_2 ）和稀有氣體的氣氛中）利用這種電漿處理執行對半導體層 32 的表面的氧化。可以在氮氣氣氛中（例如，在含有氮氣（ N_2 ）和稀有氣體（包括 He、Ne、Ar、Kr 和 Xe 中的至少一種）的氣氛中，在含有氮氣、氫氣和稀有氣體的氣氛中，或者在含有 NH_3 和稀有氣體的氣氛中）利用這種電漿處理執行對半導體層 32 的表面的氮化。例如，可以採用 Ar 作為稀有氣體，此外，也可以採用混合了 Ar 和 Kr 的氣體。

圖 23 顯示用於執行電漿處理的設備的結構實例。這一電漿處理設備包括用於佈置基板 210 的支撐底座 280、用於引入氣體的氣體供應部分 276、連接至用於清除氣體的真空泵的排氣口 278、天線 272、電介質板 274 和提供用於生成電漿的微波的微波供應部分 284。此外，藉由為支撐底座 280 提供溫度控制部分 282，能夠控制基板 210 的溫度。

在下文中將對電漿處理予以說明。應當注意，電漿處理包括對半導體基板、絕緣層和導電層的氧化處理、氮化處理、氮氧化處理、氫化處理和表面重整處理。在每種處理中，可以根據其目的選擇由氣體供應部分 276 提供的氣體。

可以按照下述說明執行氧化處理和氮化處理。首先，排空處理室，並從氣體供應部分 276 引入含有氧氣或氮氣

的電漿處理氣體。藉由溫度控制部分 282 將半導體基板 210 加熱至室溫或 100℃ 到 550℃ 的溫度。應當注意，基板 210 與電介質板 274 之間的距離大約為 20mm 到 80mm（較佳的為 20mm 到 60mm）。接下來，從微波供應部分 284 向天線 272 提供微波。之後，藉由電介質板 274 將微波從天線 272 引入到處理室內，由此生成電漿 286。藉由引入微波激發電漿，能夠生成具有低電子溫度（小於或等於 3eV，較佳的小於或等於 1.5eV）和高電子密度（大於或等於 $1 \times 10^{11} \text{cm}^{-3}$ ）的電漿。利用由這一高密度電漿生成的氧根（可以包括 OH 根）或氮根（可以包括 NH 根），或者同時利用該氧根或氮根，能夠使半導體基板的表面氧化或氮化。藉由向電漿處理氣體內混合諸如氬氣的稀有氣體，能夠利用受到激發的稀有氣體種類有效地生成氧根或氮根。採用這種方法可以藉由有效地利用由電漿激發的活性根在 500℃ 或更低的溫度下執行由固相反應實現的氧化和氮化。

按照下述說明形成絕緣層 33 的較佳的實例，該絕緣層 33 的較佳的實例時採用圖 23 所示的設備藉由高密度電漿處理形成的。藉由氧氣氛下的電漿處理在半導體層 32 上形成具有 3nm 到 6nm 的厚度的氧化矽層，之後，在氮氣氛下藉由氮化電漿對該氧化矽層的表面進行處理，以形成氮電漿處理層。具體而言，首先藉由氧氣氛下的電漿處理在半導體層 32 上形成具有 3nm 到 6nm 的厚度的氧化矽膜。之後，接著在氮氣氛下執行電漿處理，由此在氧化矽

層的表面上或接近表面的位置處形成含有高濃度的氮的氮電漿處理層。應當注意，“接近表面”是指自氧化矽層的表面起大約 0.5nm 到 1.5nm 的深度處。例如，藉由在氮氣氛下執行電漿處理，獲得了這樣的結構，其中，在自氧化矽層的表面起大約 1nm 的深度處含有 20 到 50atomic%的氮。

藉由採用電漿處理使矽層（半導體層 32 的典型例子）表面氧化，能夠形成不帶有任何介面形變的緻密氧化物層。此外，利用電漿處理使該氧化物層氮化，從而利用氮替代頂層部分內的氧，以形成氮化物層，這樣能夠進一步提高密度。因而，能夠形成耐壓高的絕緣層。

在任何情況下，藉由如上所述的利用電漿處理實施的固相氧化處理或固相氮化處理，都能夠獲得能夠與在 950℃ 到 1050℃ 下形成的熱氧化膜相比擬的絕緣層，即使在採用耐熱溫度為 700℃ 或更低的玻璃基板時亦如此。也就是說，能夠形成高度可靠的絕緣層作為當成半導體元件的閘極絕緣層的絕緣層，具體而言，該半導體元件為薄膜電晶體或非揮發性記憶元件。

當成閘極電極的導電層 34 較佳的由從鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鉻（Cr）、鈮（Nb）等中選出的金屬，或者以上述元素作為其主要成分的合金材料或化合物材料形成。或者，可以採用添加了諸如磷的雜質元素的多晶矽。或者，導電層 34 可以由疊層結構形成，該疊層結構包括一個或多個金屬氮化物層和上述金屬層。

(14)

作為金屬氮化物，可以採用氮化鎢、氮化鉬或氮化鈦。藉由提供金屬氮化物層，能夠提高金屬層的粘附性，防止層剝落。

此外，如圖 3C 所示，可以在半導體層 32 上形成當成閘極絕緣膜的絕緣層 33，並且可以在其中閘極絕緣膜的絕緣層 33 上提供覆蓋半導體層 32 的端部的絕緣層 38。

與圖 1A 到圖 1C 所示的絕緣層 36 類似，可以提供絕緣層 38，使之完全覆蓋半導體層 32 的端部。或者，與圖 2A 到圖 2C 所示的絕緣層 39a 和 39b 類似，可以在半導體層 32 的端部與當成閘極電極的導電層 34 相互重疊的區域內形成絕緣層 38。此外，可以如圖 1B 所示，使絕緣層 38 的端部的形狀和構造垂直於半導體層的表面，或者如圖 3A 所示，使之成錐形。或者，如圖 3B 所示，可以使絕緣層 38 的端部位於半導體層 32 的側表面上。

此外，作為覆蓋半導體層的端部的絕緣層，可以採用 SOI（絕緣體上矽）基板。作為 SOI 基板，可以採用所謂的 SIMOX（由注入氧實現分隔）基板，其製造方式為，向鏡面拋光晶片內注入氧離子，之後執行高溫退火，從而在距頂表面某一深度的位置形成氧化物層，並破壞產生於頂表面層內的缺陷。

在該半導體基板為 n 型的情況下，形成向其內注入 p 型雜質的 p 阱。例如，作為 p 型雜質，可以採用並以大約 $5 \times 10^{15} \text{ atoms/cm}^{-3}$ 到 $1 \times 10^{16} \text{ atoms/cm}^{-3}$ 的濃度添加硼。藉由形成 p 阱，能夠在這一區域內形成 n 通道電晶體。此外

(15)

，被添加至該 p 阱的 p 型雜質還具有控制電晶體的臨界值電壓的作用。在基本對應於將在下文中予以說明的閘極的區域內形成位於該半導體基板內的通道形成區，該通道形成區位於形成於該半導體基板內的一對雜質區之間。

接下來，將在下文中說明圖 1A 到圖 1C、圖 2A 到圖 2C 以及圖 3A 到圖 3C 所示的薄膜電晶體的製造過程。

如圖 4A 所示，在基板 30 上形成絕緣層 31，在絕緣層 31 上形成半導體層 32，在半導體層 32 上形成絕緣層 40，在絕緣層 40 上形成掩模 41。

藉由 CVD 法、濺射法、塗覆法等，採用諸如氧化矽、氮化矽或含有氧和氮的矽（氮氧化矽）的絕緣材料形成絕緣層 31。

藉由下述方式形成由單晶半導體或多晶半導體構成的半導體層 32：使藉由濺射法、電漿 CVD 法或低壓 CVD 法在基板 30 的整個表面上形成的半導體層結晶，之後執行選擇蝕刻。作為一種用於使半導體膜結晶的方法，可以採用鐳射結晶法、利用快速熱退火（RTA）或退火爐的熱結晶法、利用促進結晶的金屬元素的結晶法或將一種或多種前述方法結合起來的方法。以大於或等於 10nm 小於或等於 150nm，較佳的大於或等於 30nm 小於或等於 100nm，更佳的大於或等於 50nm 小於或等於 80nm 的厚度形成半導體層 32。

藉由 CVD 法、濺射法、塗覆法等，採用諸如氧化矽、氮化矽或含有氧和氮的矽（氮氧化矽）的絕緣材料形成

絕緣層 40。

在至少覆蓋半導體層 32 的端部的區域內形成掩模 41，半導體層 32 將被以後閘極電極覆蓋。或者，在覆蓋半導體層 32 的端部的區域內形成掩模 41。採用光微影處理，藉由曝光和顯影形成掩模 41。或者，可以藉由微滴釋放法有選擇地釋放化學成分，由此形成掩模 41。

接下來，如圖 4B 所示，採用掩模 41 對絕緣層 40 蝕刻，以形成絕緣層 36。這時，暴露半導體層 32 的部分。接下來，在絕緣層 36 和半導體層 32 的暴露部分上形成當成閘極絕緣膜的絕緣層 33。

當成閘極絕緣膜的絕緣層 33 由氧化矽或氧化矽與氮化矽的疊置結構等形成。可以藉由採用電漿 CVD 法或低壓 CVD 法疊置絕緣層形成絕緣層 33。或者，可以採用上文所述的圖 23 所示的設備，利用電漿處理下的固相氧化或固相氮化形成絕緣層 33。這是因為，藉由利用電漿處理對半導體層（通常為矽層）進行氧化或氮化形成的絕緣層具有高耐壓，並且緻密、可靠性高。

接下來，如圖 4C 所示，在當成閘極絕緣膜的絕緣層 33 上形成當成閘極電極的導電層 34。此外，在半導體層 32 內形成與閘極電極重疊的通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

較佳的藉由濺射法、蒸發法、噴墨法、CVD 法等，採用從鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鉻（Cr）、鈮（Nb）等中選出的金屬，或者以上述元素作為其主

(17)

要成分的合金材料或複合材料形成導電層 34。導電層 34 的厚度大於或等於 100nm 小於或等於 1000nm，較佳的大於或等於 200nm 小於或等於 800nm，更佳的大於或等於 300nm 小於或等於 500nm。

利用閘極電極或掩模向半導體層 32 有選擇地添加雜質，以形成與閘極電極重疊的通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

接下來，將參考圖 4D 到圖 4F 說明一種模式，其中採用的過程與圖 4A 到圖 4C 所示的過程不同。

如圖 4D 所示，在基板 30 上形成絕緣層 31，在絕緣層 31 上形成半導體層 32。接下來，在半導體層 32 上形成當成閘極絕緣膜作用的絕緣層 33，之後形成絕緣層 40，進而在絕緣層 40 上形成掩模 41。

接下來，如圖 4E 所示，採用掩模 41 蝕刻絕緣層 40，由此形成絕緣層 36。這裏，應當適當選擇絕緣層 33 和 40，從而實現只是有選擇地蝕刻絕緣層 40 而不蝕刻絕緣層 33 的目的。換言之，形成絕緣層 40 的膜比絕緣層 33 具有更高的密度和蝕刻速度。可以藉由改變源氣體的流速和電壓值形成這樣的膜。或者，在採用不同的材料形成絕緣層 33 和絕緣層 40 之後，可以採用僅對絕緣層 40 進行有選擇地蝕刻的蝕刻劑蝕刻絕緣層 40，以形成絕緣層 36。

之後，採用與圖 3C 類似的方式，形成當成閘極電極的導電層 34，並在半導體層 32 內形成與閘極電極重疊的

(18)

通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

採用上述方式，能夠製造出一種抑制了半導體層與閘極電極之間的漏電流的薄膜電晶體。

儘管絕緣層 40 是藉由圖 4A 所示的薄膜形成法形成的，但是可以在藉由圖 5A 所示的塗覆法形成絕緣層 46 之後，藉由與圖 4B 和圖 4C 所示的類似的過程形成絕緣層 48。

絕緣層 46 可以具有單層結構或疊層結構，該結構由諸如環氧樹脂、聚醯亞胺、聚醯胺、聚乙烯酚、苯並環丁烯或丙烯酸樹脂的有機材料或諸如矽醚樹脂的矽氧烷材料等形成。應當注意，矽氧烷材料對應於含有 Si-O-Si 鍵的材料。矽氧烷具有含有矽 (Si) 和氧 (O) 的鍵的框架結構。作為取代基，可以採用至少含有氫的有機基（例如，烷基或芳香烴基）。作為取代基，還可以採用氟代基。或者，可以採用至少含有氫的有機基和氟代基作為取代基。

藉由這樣的過程形成的絕緣層在整個基板上具有很小的不均勻性，並且降低了該不均勻性對絕緣層 33 的影響。因此，即使當絕緣層 33 的膜厚度小時，也能夠保持其覆蓋度。

或者，如圖 5D 所示，在半導體層 32 形成當成閘極絕緣膜的絕緣層 33，之後可以形成絕緣層 46，進而可以在絕緣層 46 上形成掩模 47。此後，如圖 5E 所示，採用掩模 47 對絕緣層 46 蝕刻，以形成覆蓋半導體層 32 的端部

的絕緣層 48，絕緣層 33 插置於二者之間。

將參考圖 6A 到 6F 和圖 7A 到 7I 說明一種半導體裝置製造方法，其採用的過程與上文所述過程不同。

如圖 6A 所示，在基板 30 上形成絕緣層 31，在絕緣層 31 上形成半導體層 32。之後，在半導體層 32 上形成掩模 44，在掩模 44、半導體層 32 和絕緣層 31 上形成絕緣層。這裏，將掩模 44 形成爲具有梯形截面，該梯形的頂邊長於底邊（在下文中，將這一形狀稱爲倒梯形）。藉由這樣做，當在其上形成絕緣層時，能夠在掩模上形成絕緣層 45，並圍繞掩模形成絕緣層 36，即在半導體層 32 和絕緣層 31 的暴露部分上形成絕緣層 36。

接下來，如圖 6B 所示，去除掩模 44，同時去除形成於在掩模 44 上的絕緣層 45。結果，只保留了覆蓋半導體層 32 的端部的絕緣層 36。

此後，在半導體層 32 和絕緣層 36 上形成當成閘極絕緣膜作用的絕緣層 33，在當成閘極絕緣膜作用的絕緣層 33 上形成當成閘極電極的導電層 34。此外，在半導體層 32 內形成與閘極電極重疊的通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

接下來，將參考圖 6A 到圖 6F 說明一種模式，其中採用的過程與圖 6A 到圖 6C 所示的過程不同。

如圖 6D 所示，在基板 30 上形成絕緣層 31，在絕緣層 31 上形成半導體層 32。之後，在半導體層 32 上形成當成閘極絕緣膜的絕緣層 33，在絕緣層 33 上形成具有倒梯

形形狀的掩模 44，之後，在具有倒梯形形狀的掩模 44、半導體層 32 和絕緣層 33 上形成絕緣層 36。

接下來，如圖 6E 所示，去除掩模 44，從而將形成於掩模 44 上的絕緣層 45 也去除。結果，只保留了覆蓋半導體層 32 的端部的絕緣層 36。

之後，採用與圖 6C 類似的方式，形成當成閘極電極的導電層 34，並在半導體層 32 內形成與閘極電極重疊的通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

採用上述方式，能夠製造出一種抑制了半導體層與閘極電極之間的漏電流的薄膜電晶體。

儘管絕緣層 36 和 45 是藉由圖 6A 到 6F 所示的薄膜形成法形成的，但是在如圖 7A 所示，在半導體層 32 上形成掩模 50，藉由塗覆法在掩模 50 和半導體層 32 上形成絕緣層 51 的情況下，如圖 7B 所示，對絕緣層 51 和掩模 50 進行各向異性蝕刻，以形成經蝕刻的絕緣層 53 和經蝕刻的掩模 52。在圖 7B 中，虛線 50a 表示蝕刻前的掩模 50，虛線 51a 表示蝕刻前的絕緣層 51。

接下來，去除經蝕刻的掩模 52，由此能夠形成覆蓋半導體層 32 的端部的絕緣層 53，如圖 7C 所示。藉由這樣的方法形成的絕緣層 53 在整個基板上具有很小的不均勻性，並且降低了該不均勻性對絕緣層 33 的影響。因此，即使當絕緣層 33 的膜厚度小時，也能夠保持其覆蓋度。

或者，如圖 7F 所示，在半導體層 32 上形成當成閘極

(21)

絕緣膜的絕緣層 33，之後在絕緣層 33 上形成掩模 50，進而藉由塗覆法在掩模 50 和絕緣層 33 上形成絕緣層 51。

接下來，如圖 7G 所示，對絕緣層 51 和掩模 50 進行各向異性蝕刻，以形成經蝕刻的絕緣層 53 和經蝕刻的掩模 52。

接下來，如圖 7H 所示，去除經蝕刻的掩模 52，由此能夠形成覆蓋半導體層 32 的端部的絕緣層 53，絕緣層 33 插置於二者之間。藉由這樣的過程形成的絕緣層 53 在整個基板上具有很小的不均勻性，並且降低了該不均勻性對以後形成的當成閘極電極作用的導電層 34 的影響。因此，即使當絕緣層 33 的膜厚度小時，也能夠保持其覆蓋度。

將參考圖 8A 到圖 8I 以及圖 9A 到圖 9I 說明一種半導體裝置的製造方法，其採用的過程與上文所述的過程不同。在圖 8A 到圖 8I 以及圖 9A 到圖 9I 中顯示採用半導體層作為掩模形成覆蓋半導體層的端部的絕緣層的過程。下文說明的製造過程能夠提高產量，因為與圖 4A 到圖 4F、圖 5A 到圖 5F、圖 6A 到圖 6F 以及圖 7A 到圖 7I 相比，能夠減少一個用於形成掩模的光掩模。此外，還降低了採用光掩模的掩模對準步驟的數量，因此能夠抑制由對準偏差導致的成品率的降低。

將參考圖 8A 到圖 8I 說明採用背面曝光並採用半導體層作為掩模形成覆蓋該半導體層的端部的絕緣層的過程。

如圖 8A 所示，在基板 30 上形成絕緣層 31，在絕緣

(22)

層 31 上形成半導體層 32。之後，在半導體層 32 上形成絕緣層 40，此後形成抗蝕劑 58。

這裏，採用透光材料形成基板 30、絕緣層 31 和絕緣層 40，從而對抗蝕劑 58 曝光。換言之，可以採用具有透光特性的基板。

接下來，採用來自基板 30 一側的光 54 照射抗蝕劑 58，由此使抗蝕劑 58 的部分曝光。作為光 54，採用能夠被半導體層 32 吸收，同時能夠穿過基板 30、絕緣層 31 和絕緣層 40，並使抗蝕劑 58 曝光的光。這裏，採用半導體層作為掩模對抗蝕劑 58 曝光；因此，可以採用能夠被半導體層吸收的波長大於或等於 350nm 的光，通常為 i 線（365nm）、g 線（436nm）或 h 線（405nm）。此外，在提高光量時，光在半導體層 32 的背面行進，因而也能使半導體層 32 上的抗蝕劑曝光。

如圖 8B 所示，對曝光的抗蝕劑顯影，以形成掩模 60。之後，如圖 8C 所示，採用掩模 60 對絕緣層 40 蝕刻，從而能夠形成覆蓋半導體層 32 的端部的絕緣層 36。

此後，如圖 8D 所示，在半導體層 32 和絕緣層 36 上形成當成閘極絕緣膜的絕緣層 33。此外，在半導體層 32 內形成與閘極電極重疊的通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

接下來，將參考圖 8F 到圖 8I 說明一種模式，其採用的過程不同於圖 8A 到圖 8E 所示的過程。

如圖 8F 所示，在基板 30 上形成絕緣層 31，在絕緣

層 31 上形成半導體層 32。之後，在半導體層 32 上形成當成閘極絕緣膜的絕緣層 33，在絕緣層 33 上形成絕緣層 40。之後，形成抗蝕劑 58。接下來，採用來自基板 30 一側的光 54 照射抗蝕劑 58，由此使抗蝕劑 58 的部分曝光。

如圖 8G 所示，對經曝光的抗蝕劑顯影，以形成掩模 60。之後，如圖 8H 所示，採用掩模 60 只對絕緣層 40 進行蝕刻，由此能夠形成覆蓋半導體層 32 的端部的絕緣層 36，絕緣層 33 插置於二者之間。

之後，如圖 8I 所示，採用與圖 8E 類似的方式，形成當成閘極電極的導電層 34，並在半導體層 32 內形成與閘極電極重疊的通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

採用上述方式，能夠製造出一種抑制了半導體層與閘極電極之間的漏電流的薄膜電晶體。

接下來，將參考圖 9A 到圖 9I 說明採用用於形成半導體層的掩模形成覆蓋半導體層的端部的絕緣層的過程。

如圖 9A 所示，在基板 30 上形成絕緣層 31，在絕緣層 31 上形成半導體層 59。之後，在半導體層 59 上形成掩模 60。

接下來，如圖 9B 所示，採用掩模 60 對半導體層 59 進行蝕刻，以形成半導體層 32。

接下來，如圖 9C 所示，藉由灰化蝕刻並去除掩模 60，從而將掩模 60 形成為尺寸與其相比較小的掩模 61，之後在掩模 61 的表面上執行防液體處理。這裏，作為防液

(24)

體處理，採用氟電漿處理掩模 61 的表面。儘管這裏是在形成了掩模 61 之後，在掩模 61 的表面上執行防液體處理，但是也可以採用噴墨法藉由釋放防液體成分在半導體層 32 上形成防液體成分。虛線 60a 表示執行灰化之前的掩模 60。

作為防液體成分的例子，可以採用包括碳氟化合物鏈的有機樹脂（基於氟的樹脂）。該基於氟的樹脂可以是聚四氟乙烯（PTFE；4-氟化乙烯樹脂）、全氟代烷氧基鏈烷（PFA；4-氟代乙烯全氟代烷基乙烯撐共聚物樹脂）、全氟代乙烯丙烯共聚物（PFEP；4-氟代乙烯 6-氟代甲基乙烯共聚物樹脂）、乙烯-四氟乙烯共聚物（ETFE；4-氟代乙烯-乙烯共聚物樹脂）、聚偏二氟乙烯（PVDF；氟代亞乙烯樹脂）、聚氯三氟乙烯（PCTFE；3-氟代氯化乙烯樹脂）、乙烯-三氟氯乙烯共聚物（ECTFE；3-氟代氯化乙烯-乙烯共聚物樹脂）、聚四氟乙烯-全氟代間二氧雜環戊烯共聚物（TFE-PDD）、聚氟乙烯（PVF；氟代乙烯基樹脂）等。

作為防液體成分的例子，可以採用由化學式 $R_n-Si-X_{(4-n)}$ 表示的有機矽烷。在這一化學式中，R 表示相對不活躍的基，例如氟代烷基和烷基；X 表示諸如鹵素、甲氧基、乙氧基或乙酸基的水解基，其能夠藉由縮合反應與基板表面上的羥基或所吸收的水化學結合。

作為有機矽烷的例子，可以採用以氟烷基作為 R 的氟烷基矽烷（在下文中也稱為 FAS）。FAS 的氟烷基 R 具有

(25)

$(\text{CF}_3)(\text{CF}_2)_x(\text{FH}_2)_y$ 的結構，其中 x 是 0 到 10 的整數， y 是 0 到 4 的整數。在多個 R 或 X 與 Si 化學結合時，所有的 R 或 X 可以是相同的，也可以是不同的。作為 FAS 的典型例子，有諸如十七氟四氫化癸基三乙氧基矽烷、十七氟四氫化癸基三氯代矽烷、十三氟代四氫化辛基三氯代矽烷和三氟丙基三甲氧基矽烷的氟烷基矽烷（FAS）。

作為有機矽烷的另一個例子，可以採用乙烷基作為 R 的烷氧基矽烷。作為烷氧基矽烷，較佳的採用碳數為 2 到 30 的烷氧基矽烷。典型地，可以給出乙基三乙氧基矽烷、丙基三乙氧基矽烷、辛基三乙氧基矽烷、癸基三乙氧基矽烷、十八烷基三乙氧基矽烷（ODS）、廿烷基三乙氧基矽烷和三十烷基三乙氧基矽烷。具體而言，較佳的採用具有長鏈烷基的矽烷化合物，因為能夠降低浸潤性。

接下來，藉由塗敷法或印刷法形成絕緣層 62。這裏，塗覆或印刷含有絕緣材料的成分，之後使其乾燥並對其烘焙，由此形成絕緣層 62。可以適當採用與圖 5A 和 5D 所示的絕緣層 46 的材料相類似的材料作為絕緣層 62 的材料。

接下來，去除掩模 61，從而能夠形成覆蓋半導體層 32 的端部的絕緣層 62。

此後，如圖 9D 所示，在半導體層 32 上形成當成閘極絕緣膜作用的絕緣層 33，在當成閘極絕緣膜作用的絕緣層 33 上形成當成閘極電極作用的導電層 34。此外，在半導體層 32 內形成與閘極電極重疊的通道形成區 32a、高濃度

(26)

雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

儘管絕緣層 62 相對於基板表面向上凸起，但是也可以如圖 9E 所示形成相對於基板表面向下凹入的絕緣層 63。可以根據形成絕緣層 62 和 63 的成分的濃度、粘滯度等適當選擇絕緣層 62 和 63 的形狀。

接下來，將參考圖 9F 到圖 9I 說明一種模式，其採用的過程不同於圖 9A 到圖 9E 所示的過程。

如圖 9F 所示，在基板 30 上形成絕緣層 31，在絕緣層 31 上形成半導體層 59。之後，在半導體層 59 上形成當成閘極絕緣膜的絕緣層 33，之後在絕緣層 33 上形成掩模 60。

接下來，如圖 9G 所示，採用掩模 60 對半導體層 59 和絕緣層 33 蝕刻，從而形成半導體層 32 和絕緣層 33c。

接下來，如圖 9H 所示，藉由灰化蝕刻並去除掩模 60，從而將掩模 60 形成為尺寸與其相比較小的掩模 61，之後在掩模 61 的表面上執行防液體處理，以形成防液體層 61a。接下來，藉由塗覆法或印刷法形成覆蓋半導體層 32 的絕緣層 62，絕緣層 33c 插置於二者之間。之後，去除掩模 61。

之後，採用與圖 9E 類似的方式，形成當成閘極電極的導電層 34，之後在半導體層 32 內形成與閘極電極重疊的通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

採用上述方式，能夠製造出一種抑制了半導體層與閘

(27)

極電極之間的漏電流的薄膜電晶體。

接下來，將參考圖 10A 到 10G 以及圖 11A 到 11C 說明不採用掩模形成覆蓋半導體層的端部的絕緣層的過程。

如圖 10A 所示，在基板 30 上形成絕緣層 31，在絕緣層 31 上形成半導體層 32。接下來，在位於基板 30 之上的半導體層 32 的每一側上形成絕緣層 55。這裏，藉由噴墨法或印刷法有選擇地形成含有用於形成絕緣層的材料成分，由此能夠形成覆蓋半導體層 32 的端部的絕緣層 55。

接下來，如圖 10B 所示，在半導體層 32 和絕緣層 55 上形成當成閘極絕緣膜作用的絕緣層 33。

接下來，如圖 10C 所示，在當成閘極絕緣膜的絕緣層 33 上形成當成閘極電極的導電層 34。此外，在半導體層 32 內形成與閘極電極重疊的通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

儘管絕緣層 55 相對於基板表面向上凸起，但是也可以如圖 10D 所示形成相對於基板 30 的表面向下凹入的絕緣層 56。可以根據形成絕緣層 55 和 56 的成分的濃度、粘滯度等適當選擇絕緣層 55 和 56 的形狀。

接下來，將參考圖 10E 到 10G 說明一種模式，其採用的過程與圖 10A 到 10D 所示的過程不同。

如圖 10E 所示，在基板 30 上形成絕緣層 31，在絕緣層 31 上形成半導體層 32。之後，在半導體層 32 上形成當成閘極絕緣膜作用的絕緣層 33，此後在位於半導體層 32 的每側之上的絕緣層 33 上形成絕緣層 55。

之後，採用與圖 10D 類似的方式，形成當成閘極電極的導電層 34，之後在半導體層 32 內形成與閘極電極重疊的通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

儘管絕緣層 55 相對於基板表面向上凸起，但是也可以如圖 10G 所示形成相對於基板 30 的表面向下凹入的絕緣層 56。

採用上述方式，能夠製造出一種抑制了半導體層與閘極電極之間的漏電流的薄膜電晶體。

將參考圖 11A 到 11C 說明在不採用掩模的情況下形成覆蓋半導體層的端部的絕緣層的過程，其與上述過程不同。

如圖 11A 所示，在基板 30 上形成絕緣層 31，在絕緣層 31 上形成半導體層 32。這裏，半導體層 32 的端部的側表面較佳的垂直於基板 30 的表面或與之成大於或等於 85° 小於或等於 95° 的角。藉由這種方式，能夠以提高的成品率形成將在以後形成的絕緣層 69。之後，在半導體層 32 上形成絕緣層 40。這裏，絕緣層 40 的膜厚度較佳的是半導體層 32 的膜厚度的 1.5 到 3 倍。藉由電漿 CVD 法，採用氧化矽或氮氧化矽形成絕緣層 40。

接下來，主要沿垂直於基板的方向藉由各向異性刻蝕有選擇地蝕刻絕緣層 40，從而能夠形成如圖 11B 所示的與半導體層 32 的側表面接觸的絕緣層 69。藉由這種方法，所形成的絕緣層 69 能夠覆蓋由半導體層 32 的側表面與

(29)

絕緣層 31 形成的邊緣，但不覆蓋由半導體層 32 的側表面和頂表面形成的邊緣。

接下來，如圖 11B 所示，在半導體層 32 和絕緣層 69 上形成當成閘極絕緣膜作用的絕緣層 33。

接下來，如圖 11C 所示，在當成閘極絕緣膜的絕緣層 33 上形成當成閘極電極的導電層 34。此外，在半導體層 32 內形成與閘極電極重疊的通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

應當注意，低濃度雜質區 32d 和 32e 是根據需要形成的。

採用上述方式，能夠製造出一種抑制了半導體層與閘極電極之間的漏電流的薄膜電晶體。

[實施例模式 2]

在本實施例模式中，提供了一種半導體元件的結構及其製造方法，在該半導體元件結構中，能夠抑制由半導體層的端部中的閘極絕緣膜的覆蓋度的降低而導致的閘極電壓的洩漏電流。在本文的說明中，將薄膜電晶體用作該半導體元件。

圖 12A 是用於說明本發明的半導體裝置的主結構的截面圖。具體而言，圖 12A 顯示薄膜電晶體的橫斷面，圖 12B 和 12C 每個顯示圖 12A 所示的製造過程中半導體層的端部 67 的放大圖。

在具有絕緣表面的基板 30 上形成這一薄膜電晶體。

此外，在基板 30 和薄膜電晶體之間形成絕緣層 31。該薄膜電晶體包括半導體層 66、當成閘極絕緣膜作用的絕緣層 33 和當成閘極電極作用的導電層 34。此外，半導體層 66 包括通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

在本實施例模式中說明的半導體層 66 的特徵是半導體層 66 在除了側表面以外的區域內包括具有第一膜厚度的區域 66a 和具有第二膜厚度的區域 66b，其中，第二膜厚度大於第一膜厚度。此外，當成閘極絕緣膜作用的絕緣層 33 的特徵在於，絕緣層包括具有第三膜厚度的區域 33a 和具有第四膜厚度的區域 33b，第四膜厚度大於第三膜厚度。應當注意，半導體層 66 的具有第一膜厚度的區域 66a 與絕緣層 33 的具有第三膜厚度的區域 33a 與半導體層 66 的側表面接觸。以這種方法，能夠在半導體層 66 的側表面的周圍確保絕緣層的足夠大的厚度；因此，能夠抑制半導體層 66 與當成閘極電極作用的導電層 34 之間的漏電流的產生。

接下來，將參考圖 12B 和 12C 說明在本實施例模式中說明的半導體層和絕緣層的形成方法。

如圖 12B 所示，在基板 30 上形成絕緣層 31，在絕緣層 31 上形成半導體層 66。這裏，半導體層 66 的側表面較佳的以大於或等於 30° 小於 80° 的角度，更佳的以大於或等於 45° 小於或等於 60° 的角度傾斜。在藉由這種方式構形時，在後面能夠採用電漿有效地照射半導體層 66 的側

(31)

表面，並且能夠使半導體層 66 的側表面周圍的絕緣層的膜厚度大。接下來，在半導體層 32 上形成絕緣層 33。

接下來，在絕緣層 33 上形成掩模 68。較佳的將掩模 68 形成為覆蓋將成為半導體層的通道形成區的部分。接下來，利用圖 23 所示的在實施例模式 1 中說明的設備，藉由採用高密度電漿處理的固相氧化使半導體層 66 的一部分氧化，或藉由採用高密度電漿處理的固相氮化使其氮化。藉由採用這樣的電漿處理的氧化或氮化形成的絕緣層具有高耐壓，並且其緻密、穩定性高。

結果，如圖 12C 所示，半導體層的一部分，尤其是位於與半導體層的側表面接觸的區域 66a 中的半導體層部分的膜厚度變薄，因而覆蓋該部分的絕緣層的膜厚度變厚。應當注意，虛線 66c 表示在執行高密度電漿處理之前的半導體層。

此外，在利用掩模 68 對半導體層 66 添加磷或硼之後，如圖 12B 所示執行電漿處理，由此加速半導體層 66 的氧化速度。因此，在與半導體層 66 的側表面接觸的區域內，半導體層 66 的膜厚度變薄，覆蓋該區域的絕緣層 33 的膜厚度變厚。

藉由上述方式，能夠在半導體層 66 的側表面的周圍確保絕緣層的足夠大的厚度；因此，能夠抑制半導體層 66 與當成閘極電極作用的導電層 34 之間的漏電流的產生。

[實施例模式 3]

在本實施例模式中，提供了一種半導體元件的結構及其製造方法，在該半導體元件結構中，能夠抑制由半導體層的端部中的閘極絕緣膜的覆蓋度的降低而導致的閘極電壓的洩漏電流。在本文的說明中，將薄膜電晶體用作該半導體元件。

圖 13A 是用於說明本發明的半導體裝置的主結構的截面圖。具體而言，圖 13A 顯示薄膜電晶體的橫截面；圖 13B 和 13C 每個顯示圖 13A 中的半導體層的端部 64 的放大圖。在具有絕緣表面的基板 30 上製造這一薄膜電晶體。此外，在基板 30 和薄膜電晶體之間形成絕緣層 33。該薄膜電晶體包括半導體層 32、當成閘極絕緣膜作用的絕緣層 33 和當成閘極電極作用的導電層 34。此外，半導體層 32 包括通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。

如圖 13B 所示，半導體層 32 的側表面相對於與基板平行的平面以角度 $\theta 1$ 傾斜，當成底膜的絕緣層 31 的表面相對於與基板平行的平面以角度 $\theta 2$ 傾斜。 $\theta 1$ 大於或等於 10° 小於或等於 40° ， $\theta 2$ 大於或等於 5° 小於或等於 15° 。藉由這種方式，當當成底膜的絕緣層 31 的表面的傾角小於半導體層 32 的端部的側表面的傾角時，半導體層 32 與絕緣層 31 的介面變得平滑，能夠提高形成於半導體層 32 和絕緣層 31 之上的當成閘極絕緣膜作用的絕緣層 33 的覆蓋度。因此，能夠防止半導體層 32 與閘極電極之間產生漏電流。

此外，如圖 13C 所示，當成底膜的絕緣層 31 的表面可以相對於基板表面凸起。即使具有這樣的形狀，半導體層 32 與絕緣層 31 之間的介面也會變得平滑，並且能夠提高形成於半導體層 32 和絕緣層 31 之上的當成閘極絕緣膜作用的絕緣層 33 的覆蓋度。因此，能夠防止半導體層 32 與閘極電極之間產生漏電流。

[實施例模式 4]

在本實施例模式中，將說明一種半導體元件的例子，其具有如上該的能夠降低閘極電極與半導體層之間的漏電流的結構。儘管在本實施例模式中將說明應用了實施例模式 1 中該的結構的例子，但是也可以適當應用實施例模式 2 和 3。

在圖 14A 到 14C 中，顯示一種薄膜電晶體的結構，其應用了能夠抑制閘極電極與半導體層之間的漏電流的結構。

如圖 14A 所示，可以在當成閘極電極作用的導電層 34 的側表面上形成間隔體 35。此外，憑藉間隔體 35 的採用，能夠在當成閘極電極作用的導電層 34 的每一側沿通道長度方向形成低濃度雜質區 32d 或 32e。低濃度雜質區 32d 和 32e 當成輕度摻雜汲極（LDD）的作用。藉由提供低濃度雜質區 32d 和 32e，能夠降低汲極邊緣處的電場，從而能夠抑制因重複寫入和抹除導致的劣化。

可以藉由下述方式在導電層 34 的側表面上有選擇地

形成間隔體 35：藉由 CVD 法、濺射法等，在絕緣層 33 和導電層 34 上形成厚度為導電層 34 的 1.5 到 3 倍的絕緣層，之後藉由各向異性刻蝕蝕刻該絕緣層。

或者，可以採用如圖 14B 所示的結構，其中，當成閘極電極作用的導電層由疊置導電層形成，其中的一個導電層大於另一個導電層。換言之，可以使疊置導電層中的一個向外擴展。這裏，顯示這樣一個例子，其中，處於與當成閘極絕緣膜作用的絕緣層 33 接觸的一側上的導電層 80 的面積大於形成於其上的導電層 81 的面積。應當注意，導電層 81 可以大於導電層 80，但不限於此。形成於導電層 81 之外的導電層 80 的區域與低濃度雜質區 32d 和 32e 重疊，絕緣層 33 插置於它們之間。在藉由這種方式形成當成閘極電極作用的導電層 80 和 81 時，能夠藉由形成於導電層 81 之外的導電層 80 的區域向半導體層添加雜質。換言之，藉由添加雜質的步驟，能夠在半導體層 32 內同時形成通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。因此，能夠提高產量。

或者，可以採用如圖 14C 所示的結構，其中，當成閘極電極作用的導電層覆蓋低濃度雜質區 32d 和 32e。就採用這種結構的薄膜電晶體而言，在形成當成閘極電極作用的導電層 82 之前向半導體層 32 添加低濃度雜質，在形成低濃度雜質區 32d 和 32e 之後，形成當成閘極電極作用的導電層 82。接下來，採用導電層 82 作為掩模向半導體層 32 內添加高濃度雜質。藉由這種方式能夠形成薄膜電晶體

。

或者，儘管未示出，但是可以形成具有單一汲極結構的薄膜電晶體，其中，半導體層 32 包括通道形成區 32a 以及高濃度雜質區 32b 和 32c，但不包括低濃度雜質區。就這樣的薄膜電晶體而言，不需要形成低濃度雜質區的步驟；因此，能夠提高產量。

接下來，將參考圖 15A 到圖 15D 說明一種非揮發性記憶元件的結構，該非揮發性記憶元件採用了能夠減少閘極電極和半導體層之間的漏電流的結構。

圖 15A 所示的非揮發性記憶元件包括：形成於半導體層 32 上的當成隧道氧化物膜作用的絕緣層 83；以及形成於絕緣層 83 上的電荷累積層 84、當成控制絕緣膜的絕緣層 85 和當成閘極電極的導電層 86。此外，對準電荷累積層 84 的末端和當成閘極電極作用的導電層 86 的末端。此外，這一非揮發性記憶元件具有單一汲極結構，其中，半導體層 32 包括通道形成區 32a 以及高濃度雜質區 32b 和 32c，但不包括低濃度雜質區。就這樣的非揮發性記憶元件而言，不需要形成低濃度雜質區的步驟；因此，能夠提高產量。

採用當成隧道氧化物膜作用的絕緣層 83 作為向電荷累積層 84 內注入電荷的隧道絕緣層。可以採用與實施例模式 1 中說明的當成閘極絕緣膜作用的絕緣層 33 的材料和形成方法類似的材料和形成方法形成絕緣層 83。典型地，可以由氧化矽、氧化矽和氮化矽的疊置結構等形成絕緣

層 83。或者，可以採用圖 23 所示的設備在半導體層 32 的表面上執行高密度電漿處理，從而使半導體層 32 的表面氧化，由此形成該絕緣層。或者，可以藉由下述方式形成該絕緣層：藉由電漿 CVD 法採用氧化矽形成絕緣層，之後，採用圖 23 所示的設備執行電漿處理，從而使該表面氧化或氮化。在這種情況下，在使氧化矽的表面氮化時，在該氧化矽層的表面上或表面附近提供具有高氮濃度的氮電漿處理層。應當注意，“接近表面”是指自氧化矽層的表面起大約 0.5nm 到 1.5nm 的深度處。例如，藉由在氮氣氮下執行電漿處理，獲得了這樣的結構，其中，在自氧化矽層的表面起大約 1nm 的深度處含有 20 到 50atomic% 的氮。

在後面說明的電荷累積層是由導電層或半導體層形成的浮置閘極的情況下，較佳的將絕緣層 83 形成爲具有 3nm 到 6nm 的厚度。例如，在閘極長度爲 600nm 的情況下，可以將絕緣層 83 形成爲具有 3nm 到 6nm 的厚度。或者，在後面說明的電荷累積層由絕緣層形成的情況下，較佳的將該絕緣層 83 形成爲具有 1nm 到 10nm 的厚度，更佳的爲 1nm 到 5nm。例如，在閘極長度爲 600nm 的情況下，可以將絕緣層 83 形成爲具有 1nm 到 3nm 的厚度。

電荷累積層 84 可以是由半導體材料或導電材料的層或顆粒形成的浮置閘極。作爲半導體材料，可以採用矽、矽-鍺等。在採用矽時，可以採用非晶矽或多晶矽。此外，也可以採用摻有磷的多晶矽。作爲導電材料，可以採用

從鉬（Ta）、鈦（Ti）、鉬（Mo）和鎢（W）中選出的元素；以上述元素作為其主要成分的合金；結合了上述元素的合金膜（典型地為 Mo-W 合金膜或 Mo-Ta 合金膜）；或者具有導電性的矽膜。在由這樣的材料形成的導電層之下，可以形成諸如氮化鉬（TaN）、氮化鎢（WN）、氮化鈦（TiN）或氮化鉬（MoN）的氮化物；或者諸如矽化鎢、矽化鈦或矽化鉬的矽化物。此外，可以採用由上述半導體材料、導電材料或半導體材料和導電材料構成的疊置結構。例如，可以採用矽層和鍺層的疊置結構。

或者，可以將電荷累積層 84 形成為具有能夠保持電荷的陷阱的絕緣層。作為此類材料的典型例子，可以採用矽化合物或鍺化合物。作為矽化合物，可以採用氮化矽、氮氧化矽、添加了氫的氮氧化矽等。作為鍺化合物，可以採用氮化鍺、添加了氧的氮化鍺、添加了氫的氧化鍺、添加了氧和氫的氮化鍺、添加了氮和氫的氧化鍺等。

作為當成控制絕緣膜作用的絕緣層 85，可以藉由低壓 CVD 法、電漿 CVD 法等形式由氧化矽、氮化矽、氮氧化矽或氧化鋁等構成的一個或多個層。以 1nm 到 20nm 的厚度，較佳的以 5nm 到 10nm 的厚度形成絕緣層 85。例如，可以採用藉由沉積厚度為 3nm 的氮化矽層和厚度為 5nm 的氧化矽層形成的疊層。

對於當成閘極電極作用的導電層 86 而言，可以適當採用實施例模式 1 中說明的當成閘極電極作用的導電層 34 的材料和形成方法。

(38)

此外，如圖 15B 所示，可以在電荷累積層 84、當成控制絕緣膜作用的絕緣層 85 和當成閘極電極作用的導電層 86 的側表面上形成掩模 87。應當注意，可以在當成隧道氧化物膜作用的絕緣層 83、電荷累積層 84、當成控制絕緣膜作用的絕緣層 85 和當成閘極電極作用的導電層 86 的側表面上形成掩模 87。此外，掩模 87 與低濃度雜質區 32d 和 32e 重疊，絕緣層 83 插置於它們之間。

或者，可以採用如圖 15C 所示的結構，其中，電荷累積層 89 大於當成閘極電極作用的導電層 86。換言之，電荷累積層 89 可以向外擴展。形成於導電層 86 之外的電荷累積層 89 的區域與低濃度雜質區 32d 和 32e 重疊，絕緣層 33 插置於它們之間。在藉由這種方式形成電荷累積層 89 和當成閘極電極作用的導電層 86 時，能夠藉由形成於導電層 86 之外的電荷累積層 89 的區域向半導體層添加雜質。換言之，藉由添加雜質的步驟，能夠在半導體層 32 內同時形成通道形成區 32a、高濃度雜質區 32b 和 32c 以及低濃度雜質區 32d 和 32e。因此，能夠提高產量。

或者，如圖 15D 所示，電荷累積層 91 可以小於當成閘極電極作用的導電層 93。就採用這種結構的薄膜電晶體而言，在形成當成閘極電極作用的導電層 93 之前向半導體層 32 添加低濃度雜質，在形成低濃度雜質區 32d 和 32e 之後，形成當成閘極電極作用的導電層 93。接下來，採用導電層 93 作為掩模向半導體層 32 內添加高濃度雜質。藉由這種方式形成了薄膜電晶體。

可以採用這樣的非揮發性記憶元件獲得具有各種模式的非揮發性半導體儲存裝置。圖 16 顯示非揮發性記憶單元陣列的等效電路的例子。儲存 1 位元資料的記憶單元 MS01 包括選擇電晶體 S01 和非揮發性記憶元件 M01。將選擇電晶體 S01 串聯於位元線 BL0 與非揮發性記憶元件 M01 之間，將其閘極連接至字線 WL1。將非揮發性記憶元件 M01 的閘極連接至字線 WL11。在向非揮發性記憶元件 M01 內寫入資料時，將字線 WL1 和位元線 BL0 的電位設為 H 位準，將位元線 BL1 的電位設為 L 位準，向字線 WL11 施加高壓，從而在上述電荷累積層內累積電荷。在抹除資料時，將字線 WL1 和位元線 BL0 的電位設為 H 位準，同時可以向字線 WL11 施加負極性高壓。

在這一記憶單元 MS01 內，在絕緣表面上將選擇電晶體 S01 和非揮發性記憶元件 M01 每個均形成為彼此隔開的島狀半導體層；因此，即使不設置元件隔離區也能夠防止與其他選擇電晶體或非揮發性記憶元件之間發生干擾。此外，記憶單元 MS01 中的選擇電晶體 S01 和非揮發性記憶元件 M01 均為 n 通道型；因此，在二者均由彼此分隔的島狀半導體層形成時，能夠省略這兩個元件之間的線路。

圖 17 顯示將非揮發性記憶元件直接連接至位元線的 NOR 型等效電路。在這一記憶單元陣列中，將字線 WL 和位元線 BL 設置為彼此相交，並將該非揮發性記憶元件設置在每一交叉點。就 NOR 型而言，將非揮發性記憶元件的汲極連接至位元線 BL。將非揮發性記憶元件的源極共

同連接至該源極線 SL。

同樣，就這一情況而言，在記憶單元 MS01 內，在絕緣表面上將非揮發性記憶元件 M01 均形成為彼此隔開的島狀半導體層；因此，即使不設置元件隔離區也能夠防止與其他非揮發性記憶元件之間發生干擾。此外，將多個非揮發性記憶元件（例如，圖 17 所示的 M01 到 M23）作為一個塊處理，並將這些非揮發性記憶元件形成為相互隔開的島狀半導體層；因此，能夠同時執行對一個塊的抹除操作。

例如，NOR 型的操作如下。在寫入資料時，將源極線 SL 設為 0V，向所選的用於資料寫入的字線 WL 施加高壓，並將對應於資料“0”和資料“1”的各電位提供給位元線 BL。例如，將分別對應於資料“0”和資料“1”的 H 位準電位和 L 位準電位提供給位元線 BL。在向其提供了用於寫入資料“0”的 H 位準電位的每一非揮發性記憶元件中，在汲極附近產生電子，並將其注入到浮置閘極內。在資料“1”的情況下不會發生這樣的電子注入。

在向其提供資料“0”的記憶單元內，藉由源極和汲極之間的強橫向電場在汲極附近產生熱電子，並將該熱電子注入到電荷累積層內。藉由向電荷累積層內注入電子而提高了臨界值電壓的狀態為“0”。就資料“1”而言，不產生熱電子，並且不向電荷累積層內注入電子，由此保持低臨界值電壓的狀態，即抹除狀態。

在想要抹除資料時，向源極線 SL 施加大約 10V 的正

電壓，並將位元線 BL 設置為浮置狀態。之後，向字線 WL 施加負極性高壓（向每一控制閘極施加負極性高壓），由此從電荷累積層提取電子。藉由這種方式能夠獲得資料“1”的抹除狀態。

在想要讀取資料時，藉由將源極線 SL 設為 0V，將位元線 BL 設為大約 0.8V，並向所選的字線 WL 提供被設為資料“0”和資料“1”的臨界值之間的中間值的讀取電壓，由此採用連接至位元線 BL 的讀出放大器判斷是否引出了非揮發性記憶元件的電流。

圖 18 顯示 NAND 型記憶單元陣列的等效電路。其內串聯了多個非揮發性記憶元件的 NAND 單元 NS1 連接至每一位元線 BL。塊 BLK1 包括多個 NAND 單元。圖 18 所示的塊 BLK1 中的字線的數量為 32（字線 WL0 到 WL31）。將設置於塊 BLK1 內的同一列上的非揮發性記憶元件共同連接至對應於這一系列的字線上。

在這種情況下，由於非揮發性記憶元件 M0 到 M31 是串聯的，因而可以將它們作為一個組由半導體層形成。藉由這樣做，能夠省略連接非揮發性記憶元件的線路，從而實現整合。此外，能夠容易地執行相鄰 NAND 單元之間的分離。此外，可以單獨形成用於選擇電晶體 S1 和 S2 的半導體層以及用於 NAND 單元 NS1 的半導體層。在執行從非揮發性記憶元件 M0 到 M31 的電荷累積層提取電荷的抹除操作時，能夠同時執行對一個 NAND 單元的抹除操作。此外，可以由一個半導體層形成共同連接至一條字線的非

揮發性記憶元件（例如 M30 的列）。

在將 NAND 單元 NS1 變成處於抹除狀態後，即將 NAND 單元 NS1 中的每一非揮發性記憶元件的臨界值變成處於負電壓狀態之後，執行寫入操作。從處於源極線 SL 一側的記憶元件 M0 開始依次執行寫入。在下文中將以向記憶元件 M0 中寫入資料為例對寫入操作進行粗略說明。

在寫入資料“0”的情況下，如圖 19A 所示，向選擇閘極線 SG2 提供（例如） V_{cc} （電源電壓），以導通選擇電晶體 S2，並向位元線 BL0 施加 0V 電壓（地電位）。向選擇閘極線 SG1 施加 0V 電壓，從而使選擇電晶體 S1 截止。接下來，向記憶單元 M0 的字線 WL0 施加高壓 V_{pgm} （大約 20V），並向另一字線施加中間電壓 V_{pass} （大約為 10V）。由於位元線 BL 的電壓為 0V，因此所選的記憶單元 M0 的通道形成區的電位為 0V。由於字線 WL0 與該通道形成區之間的電位差大，因此藉由上述 FN 隧道電流向記憶單元 M0 的電荷累積層注入電子。藉由這種方式，獲得了記憶單元 M0 的臨界值電壓為正的狀態（寫入“0”的狀態）。

在寫入“1”的情況下，如圖 19B 所示，向位元線 BL 施加（例如） V_{cc} （電源電壓）。由於選擇閘極線 SG2 的電壓為 V_{cc} ，因此在 $V_{cc}-V_{th}$ （ V_{th} 是選擇電晶體 S2 的臨界值電壓）的情況下選擇電晶體 S2 截止。因此，使記憶單元 M0 的通道形成區進入浮置狀態。接下來，向字線 WL0 施加高壓 V_{pgm} （20V），同時向另一字線施加中間

(43)

電壓 V_{pass} (10V)，從而藉由每一字線與每一通道形成區之間的電容耦合使該通道形成區的電壓從 ($V_{cc}-V_{th}$) 增大到 (例如) 大約 8V。由於使通道形成區的電壓提高到了這樣的高壓，因此與寫入“0”的情況不同，字線 WL0 與通道形成區之間的電位差小。因此，不會由 FN 隧道電流導致向記憶單元 M0 的浮置閘極內注入電子。藉由這種方式，保持記憶單元 M0 的臨界值電壓為負的狀態 (寫入了“1”的狀態)。

在執行抹除操作的情況下，如圖 20A 所示，向包括在所選塊內的所有字線施加負極性高壓 (V_{ers})。將位元線 BL 和源極線 SL 設為浮置狀態。作為其結果，在該塊的所有記憶單元內，浮置閘極中的電子被藉由隧道電流發射到半導體層內。因此，該記憶單元的每一臨界值電壓均沿負方向漂移。

在圖 20B 所示的讀取操作中，將選擇讀取的記憶單元 M0 的字線 WL0 設為電壓 V_r (例如 0V)，並向未選的記憶單元的字線 WL1 到 WL31 以及選擇閘極線 SG1 和 SG2 施加讀取中間電壓 V_{read} ，其中， V_{read} 比施加到字線 WL1 到 WL31 上的電源電壓稍高一些。也就是說，如圖 21 所示，除了所選的記憶元件之外的記憶元件當成傳輸電晶體的作用。藉由這種方式，探測電流是否流過了選擇讀取的記憶單元 M0。也就是說，在記憶單元 M0 中儲存的資料為“0”的情況下，由於記憶單元 M0 截止，因而位元線 BL 不放電；而在記憶單元 M30 中儲存的資料為“1”的情

況下，由於記憶單元 M0 導通，因而位元線 BL 放電。

圖 22 是具有上述記憶元件的非揮發性半導體記憶體裝置的電路方塊圖的例子。在非揮發性半導體記憶體裝置中，在同一基板上形成記憶單元陣列 252 和週邊電路 254。記憶單元陣列 252 具有圖 16、17 或 18 所示的結構。週邊電路 254 的結構如下。

在記憶單元陣列 252 周圍提供用於選擇字線的列解碼器 262 和用於選擇位元線的行解碼器 264。藉由位址緩衝器 256 向控制電路 258 發送位址，並分別將內部列位址信號和內部行位址信號轉移到列解碼器 262 和行解碼器 264。

在寫入或抹除資料時，採用藉由升高電源電位得到的電位。出於這一目的，提供由控制電路 258 根據操作模式控制的升壓電路 260。將升壓電路 260 的輸出藉由列解碼器 262 和行解碼器 264 提供給字線 WL 和位元線 BL。將行解碼器 264 輸出的資料輸入至感應放大器 266。將從感應放大器 266 讀出的資料儲存在資料緩衝器 268 內，在控制電路 258 的控制下以隨機的方式對其存取，以及藉由資料輸入/輸出緩衝器 270 將其輸出。藉由資料輸入/輸出緩衝器 270 將寫入資料一次性儲存在資料緩衝器 268 內，並在控制電路 258 的控制下將其轉移到行解碼器 264。

藉由這種方式，在該非揮發性半導體記憶體裝置的記憶單元陣列 252 內，必須採用與電源電位不同的電位。因此，較佳的至少將記憶單元陣列 252 與週邊電路 254 相互

電隔離。在這種情況下，如下文中的實施例所示，當非揮發性記憶元件和週邊電路的電晶體每個均由形成於絕緣表面上的半導體層形成時，能夠容易地實現隔離。藉由這種方式，防止了故障，並且能夠獲得具有低能耗的非揮發性半導體記憶體裝置。

在下文中，將藉由實施例詳細說明本發明的非揮發性半導體記憶體裝置。在下文說明的本發明的每一結構當中，所有的附圖均採用相同的附圖標記表示相同的元件，因而將省略對其的重復說明。

[實施例 1]

在這一實施例中，將參考附圖說明作為半導體裝置的具有非揮發性記憶元件的非揮發性半導體記憶體裝置的一個例子。這裏，在該非揮發性半導體記憶體裝置中，同時形成構成儲存部分的非揮發性記憶元件和諸如電晶體的構成邏輯部分的元件，邏輯部分與儲存部分設置於同一基板上，並執行對儲存部分等的控制。

首先，在圖 16 中顯示本實施例中說明的非揮發性半導體記憶體裝置中的儲存部分的示意圖。

在這一實施例說明的儲存部分中，提供多個記憶單元，每一記憶單元包括控制電晶體 S 和非揮發性記憶元件 M。在圖 16 中，一個記憶單元包括控制電晶體 S01 和非揮發性記憶元件 M01。類似地，每一記憶單元包括控制電晶體 S02 和非揮發性記憶元件 M02、控制電晶體 S03 和非揮

發性記憶元件 M03、控制電晶體 S11 和非揮發性記憶元件 M11、控制電晶體 S12 和非揮發性記憶元件 M12 或者控制電晶體 S13 和非揮發性記憶元件 M13。

將控制電晶體 S01 的閘極電極連接至字線 WL1，將其源極或汲極之一連接至位元線 BL0，將其源極或汲極中的另一個連接至非揮發性記憶元件 M01 的源極或汲極。將非揮發性記憶元件 M01 的閘極電極連接至字線 WL11，將其源極或汲極之一連接至控制電晶體 S01 的源極或汲極，將其源極或汲極中的另一個連接至源極線 SL。

應當注意，由於設置於儲存部分內的控制電晶體的驅動電壓高於設置於邏輯部分內的電晶體的驅動電壓，因此較佳的將設置於儲存部分內的電晶體和設置於邏輯部分內的電晶體的閘極絕緣膜形成為具有不同的厚度。例如，在驅動電壓低並希望臨界值電壓變化小時，較佳的提供包括薄閘極絕緣膜的薄膜電晶體；而當驅動電壓高並要求閘極絕緣膜具有高耐受能力時，較佳的提供包括厚閘極絕緣膜的薄膜電晶體。

因此，在這一實施例中，將參考附圖說明這樣一種情況，其中，為邏輯部分內的電晶體形成薄絕緣層，在該邏輯部分內驅動電壓低，並希望臨界值電壓變化小，同時為儲存部分內的電晶體形成厚絕緣層，在儲存部分內驅動電壓高並且要求閘極絕緣膜具有高耐受能力。應當注意，圖 28A 到圖 28D 是頂視圖，圖 25A 到 25C、圖 26A 到 26C 以及圖 27A 到 27C 是圖 28A 到 28D 中的 A 和 B 之間、C

和 D 之間、E 和 F 之間以及 G 和 H 之間的部分的橫截面圖。此外，A 和 B 之間以及 C 和 D 之間的部分顯示設置於邏輯部分內的薄膜電晶體，E 和 F 之間的部分顯示提供在儲存部分內的非揮發性記憶元件，G 和 H 之間的部分顯示設置於儲存部分內的薄膜電晶體。此外，儘管在本實施例中所說明的情況為，設置於 A 和 B 之間的部分內的薄膜電晶體為 p 通道型，設置於 C 和 D 之間以及 G 和 H 之間的部分內的薄膜電晶體為 n 通道型，設置於 E 和 F 之間的部分內的非揮發性記憶元件為 MONOS 型，並且藉由電子執行非揮發性記憶元件的電荷累積，但是本發明的非揮發性半導體裝置不限於此。

首先，在基板 100 上形成島狀半導體層 104、106 和 108，第一絕緣層 102 插置於其間，此後形成覆蓋該島狀半導體層 104、106 和 108 的第二絕緣層 111。接下來，在第二絕緣層 111 之上形成掩模 114（參考圖 25A 和 28A）。

這裏，採用玻璃基板作為基板 100。作為第一絕緣層 102，藉由 CVD 法形成厚度為 50nm 的、所含有的氮超過氧的氮氧化矽層，之後形成厚度為 100nm 的、所含有的氧超過氮的氮氧化矽層。

接下來，藉由電漿 CVD 法在第一絕緣層 102 上形成厚度大於或等於 10nm 小於或等於 150nm，較佳的大於或等於 30nm 小於或等於 100nm，更佳的大於或等於 50nm 小於或等於 80nm 的半導體層。這裏，形成厚度為 66nm

的非晶矽層，並在 500℃ 的溫度下對其加熱一小時，之後在 550℃ 的溫度下對其加熱四個小時，以去除非晶矽層內含有的氫。之後，採用鐳射以 35cm/sec 的掃描速度照射該非晶矽，使之結晶，由此形成多晶矽層。這裏，採用具有 LD 激發的連續波（CW）雷射器（YVO4 的二次諧波（波長為 532nm））作為鐳射光源。接下來，在去除了藉由鐳射照射形成於多晶矽層表面上的氧化物膜之後，採用過氧化氫溶液重新在多晶矽層上形成氧化物膜，並在其上塗覆抗蝕劑。之後，藉由光微影處理對該抗蝕劑曝光和顯影，以形成掩模。此後，向該多晶矽層內摻雜 1×10^{17} 到 $3 \times 10^{17} \text{cm}^{-3}$ 的硼（B），以控制將在後面形成的薄膜電晶體的臨界值電壓。接下來，採用掩模對該多晶矽層蝕刻，以形成由多晶矽形成的半導體層 104、106 和 108。這時，採用流量比為 4:15 的 SF₆ 和氧氣作為蝕刻氣體。

接下來，在去除了掩模之後，採用流量比為 1:800 的矽烷和一氧化二氮（N₂O）作為材料，藉由 CVD 法形成厚度為 40nm 的、所含有的氧超過氮的氮氧化矽層作為第二絕緣層 111。之後，在第二絕緣層 111 上塗覆抗蝕劑，並藉由光微影處理對該抗蝕劑曝光和顯影，以形成掩模 114。

接下來，採用掩模 114，藉由採用蝕刻劑的濕法蝕刻蝕刻該第二絕緣層 111，以形成第三絕緣層 112，該蝕刻劑是氫氟酸、氟化銨和表面活性劑的混合體。

應當注意，形成於半導體層 108 之上的第三絕緣層

112 當成將在後面形成的薄膜電晶體中的閘極絕緣膜的作用。此外，在閘極絕緣膜的膜厚度薄的薄膜電晶體內，覆蓋半導體層 104、106 和 108 的端部的第三絕緣層 112 能夠降低在半導體層和閘極電極內產生的漏電流。

接下來，分別在半導體層 104、106 和 108 上形成厚度為 1 到 10nm，較佳的為 1 到 5nm 的第四絕緣層 116、118 和 120。

這裏，採用氫氣、氧氣和氮氣在 110Pa 的壓強下，以 400℃ 的基板溫度在半導體層 104、106 和 108 上執行高密度電漿處理，以使半導體層 104、106 和 108 氧化，由此分別在半導體層 104、106 和 108 上形成作為第四絕緣層 116、118 和 120 的氧化物層。應當注意，這時的氣流比例為氫氣:氧氣:氮氣=180:1:1。或者，可以藉由 CVD 法或濺射法形成作為第四絕緣層 116、118 和 120 的氧化矽層或氮化矽層；或者還可以採用高密度電漿處理在藉由 CVD 法或濺射法形成的上述層上執行氧化處理或氮化處理。或者，在採用高密度電漿處理在半導體層 104、106 和 108 上執行氧化處理之後，藉由再次執行高密度電漿處理執行氮化處理。在這種情況下，形成與半導體層 104、106 和 108 接觸的氧化矽層，並在氧化矽層的表面上或表面附近形成氮電漿處理層。在該氮電漿處理層的結構中，在從氧化矽層的表面起大約 1nm 的深度處含有比率為 20 到 50atomic% 的氮。在氮電漿處理層中，形成含有氧和氮的矽（氮氧化矽）。

在本實施例中，形成於設置在儲存部分內的半導體層 108 上的第四絕緣層 120 當成將在後面形成的非揮發性記憶元件中的隧道氧化物膜的作用。因此，第四絕緣層 120 的厚度越薄，隧道電流的流動越容易，所能獲得的記憶體的操作速度越高。此外，隨著第四絕緣層 120 的厚度變薄，能夠以更低的電壓在以後形成的電荷累積層內累積電荷，因而能夠降低非揮發性半導體記憶體裝置的功耗。因此，較佳的形成薄的第四絕緣層 116、118 和 120（例如，小於或等於 10nm）。

通常，熱氧化法使一種已知的用來在半導體層上形成薄絕緣層的方法。但是，在採用熔點不夠高的基板，例如，玻璃基板作為基板 100 的情況下，藉由熱氧化法形成第四絕緣層 116、118 和 120 是非常困難的。此外，藉由 CVD 法或濺射法形成的絕緣層的問題在於，由於在層內包含缺陷，以及在形成厚度薄的層時產生了諸如針洞的缺陷，因而膜品質不夠高。因此，藉由採用本實施例中說明的高密度電漿處理形成第四絕緣層 116、118 和 120，能夠形成比藉由 CVD 法和濺射法形成的絕緣層更為緻密的絕緣層。此外，在藉由 CVD 法或濺射法形成絕緣層的情況下，有時未能充分覆蓋半導體層的端部，從而在半導體層和將要在後面形成於第四絕緣層 120 上的導電層之間產生洩漏。但是，這裏，半導體層的端部被第三絕緣層 112 覆蓋，並且能夠藉由進一步執行高密度電漿處理而形成緻密的第四絕緣層；因此，半導體層 104、106 和 108 的端部能

夠被第三絕緣層 112 和第四絕緣層 116、118 和 120 充分覆蓋。結果，能夠實現高速操作，並且能夠提高記憶體電荷保持特性。

接下來，形成覆蓋第一絕緣層 112 以及第四絕緣層 116、118 和 120 的電荷累積層 122（參考圖 25C）。電荷累積層 122 可以由具有能夠俘獲膜內的電荷的缺陷的絕緣層或者含有導電顆粒或諸如矽的半導體顆粒的絕緣層形成。這裏，藉由採用矽烷、氨氣、一氧化二氮和氫氣的電漿 CVD 法形成所含有的氮超過氧的氮氧化矽層。這時的流量比為矽烷:氨氣:一氧化二氮:氫氣=1:10:2:40。該電荷累積層可以由諸如氮化鎢的鎢化合物、添加了氧的氮化鎢、添加了氮的氧化鎢、添加了氧和氫的氮化鎢或添加了氮和氫的氧化鎢形成，以替代氮氧化矽層。在將諸如氮化鎢的鎢化合物、添加了氧的氮化鎢、添加了氮的氧化鎢、添加了氧和氫的氮化鎢或添加了氮和氫的氧化鎢用於電荷累積層時，藉由在含有鎢元素的氣氛（例如，含有 GeH_4 和 N_2 、 GeH_4 和 NH_3 或 GeH_4 和 N_2O 等的氣氛）內執行電漿 CVD 法形成該電荷累積層。或者，蒸發藉由在氨氣氣氛內加熱氧化鎢而獲得的燒結體，由此形成採用氮化鎢的電荷累積層。此外，藉由在含有 GeH_4 和 H_2 的氣氛中，在含有 GeH_4 、 SiH_4 和 H_2 的氣氛當中，或在類似氣氛中執行電漿 CVD 法形成鎢顆粒或矽-鎢顆粒。

這裏，形成氮氧化矽層作為電荷累積層 122，以形成 MONOS（金屬-氧化物-氮化物-氧化物半導體）非揮發性

記憶元件。但是，可以按照下述說明形成電荷累積層 122：藉由電漿 CVD 法形成厚度為 50nm 的非晶矽層，之後採用鐳射照射非晶矽層，以形成多晶矽層。或者，可以藉由濺射法形成厚度為 30nm 的鎢層作為電荷累積層 122。或者，可以藉由電漿 CVD 法形成鍺層或矽鍺層作為電荷累積層 122。

接下來，有選擇地去除形成於半導體層 104 和 106 上的第二絕緣層 116、118 和電荷累積層 122，以及形成於半導體層 108 上的電荷累積層 122，以保留形成於半導體層 108 上的第二絕緣層 120 和電荷累積層 122。這裏，藉由抗蝕劑 124 有選擇地覆蓋形成於儲存部分內的半導體層 108，並藉由蝕刻有選擇地去除未被抗蝕劑 124 覆蓋的第二絕緣層 116 和 118 以及電荷積聚 122（參考圖 26A）。應當注意，在圖 26A 示出的例子中，藉由蝕刻有選擇地去除電荷累積層 122，從而保留電荷累積層 122 的部分，以形成電荷累積層 126。

接下來，形成第五絕緣層 128，以覆蓋半導體層 104 和 106、形成於半導體層 108 上的電荷累積層 126 和半導體層 108（圖 26B 所示）。

藉由 CVD 法或濺射法等，採用諸如氧化矽、氮化矽或氮氧化矽的絕緣材料形成作為單個層或疊層的第五絕緣層 128。這裏，採用流速為 1:800 的矽烷和一氧化二氮（ N_2O ）作為材料，藉由電漿 CVD 法形成厚度為 1 到 20nm 的、所含有的氧超過氮的氮氧化矽層，從而將其作為第五

絕緣層 128。

形成於半導體層 108 上的第五絕緣層 128 當成將在後面形成的非揮發性記憶元件中的控制絕緣層的作用，而形成於半導體層 104 和 106 上的第五絕緣層 128 則當成將在以後完成的電晶體內的閘極絕緣膜的作用。

接下來，形成厚度大於或等於 100nm 小於或等於 1000nm，較佳的大於或等於 200nm 小於或等於 800nm，更佳的大於或等於 300nm 小於或等於 500nm 的導電層 134、136、138 和 140，以覆蓋形成於半導體層 104、106 和 108 上的第五絕緣層 128（參見圖 26C 和 28B）。這裏，疊置厚度為 30nm 的氮化鉭層和厚度為 270nm 的鎢層作為該導電層，之後，利用掩模有選擇地蝕刻該疊置的導電層，由此形成每個由 30nm 厚的氮化鉭層和 270nm 厚的鎢層構成的導電層 134、136、138 和 140。形成於設置在儲存部分內的半導體層 108 上的導電層 138 當成將在以後完成的非揮發性記憶元件的控制閘極的作用，導電層 134、136 和 140 當成將在以後完成的電晶體中的閘極電極的作用。

接下來，藉由光微影處理有選擇地形成覆蓋半導體層 104 的掩模 142，並採用掩模 142 以及導電層 136、138 和 140 作為掩模向半導體層 106 內引入雜質元素，由此形成雜質區（參考圖 27A）。這裏，採用磷（P）作為雜質元素。這裏，以 $10^{21} \text{ atoms/cm}^3$ 的峰值濃度向半導體層內添加磷（P）。

圖 29A 和 29B 顯示非揮發性記憶元件的放大圖。圖

29A 是儲存部分內的非揮發性記憶元件的頂視圖，圖 29B 是沿圖 29A 內的 A-B 線獲得的截面圖。如圖 29B 所示，較佳的不向被絕緣層 112 覆蓋的半導體層區域添加雜質。在區域 126a 中，絕緣層 120 是形成於電荷累積層 126 與半導體層之間、當成隧道氧化物膜作用的絕緣層。另一方面，在區域 126b 中，絕緣層 112 是形成於電荷累積層 126 與半導體層之間、當成隧道氧化物膜作用的絕緣層。因此，當當成隧道氧化物膜作用的絕緣層的膜厚度在區域 126b 記憶體在不同時，向電荷累積層內的電子注入和發射將發生變化，非揮發性記憶元件的特性將發生劣化。因此，較佳的不向處於儲存部分內的、被覆蓋半導體層的端部的絕緣層所覆蓋的半導體層區域中摻雜雜質。

在圖 27A 中，藉由引入雜質元素在半導體層 106 內形成每個形成了源極區或汲極區的雜質區 146 以及通道形成區 144。此外，在半導體層 108 中形成每個形成了源極區或汲極區的雜質區 150 以及通道形成區 148。此外，在半導體層 108 中形成每個形成了源極區或汲極區的雜質區 154 以及通道形成區 152。

接下來，有選擇地形成覆蓋半導體層 106 和 108 的抗蝕劑 156，並採用抗蝕劑 156 和導電層 134 作為掩模向半導體層 104 內引入雜質元素，由此形成雜質區（參考圖 27B 和 27C）。作為雜質元素，採用賦予 n 型導電性的雜質元素或賦予 p 型導電性的雜質元素。這裏引入的雜質元素（例如硼（B））的導電類型不同於向圖 27A 所示的半

導體層 106 和 108 內引入的雜質元素的導電類型。這裏，以 $10^{21} \text{ atoms/cm}^3$ 的峰值濃度向半導體層內添加硼（B）。結果形成了每個形成源極區或汲極區的雜質區 160 以及通道形成區 158。

接下來，形成覆蓋第三絕緣層 128 以及導電層 134、136、138 和 140 的絕緣層 162，並藉由加熱啟動半導體層內的雜質。之後，在絕緣層 162 上形成每個電連接到形成於半導體層 104、106 或 108 內的雜質區 146、150、154 或 160 的導電層 164（參考圖 27C 和 28D）。

可以採用下述結構提供絕緣層 162：諸如氧化矽、氮化矽或氮氧化矽的包括氧或氮的絕緣層；諸如 DLC（金鋼石狀碳）的含有碳的層；或由諸如環氧樹脂、聚醯亞胺、聚醯胺、聚乙烯苯酚、苯並環丁烯或丙烯酸有機材料或諸如矽醚樹脂的矽氧烷材料形成的單層或疊層結構。應當注意，矽氧烷材料對應於包括 Si-O-Si 鍵的材料。矽氧烷具有含有矽（Si）和氧（O）的鍵的框架結構。作為取代基，可以採用至少含有氫的有機基（例如，烷基或芳香烴基）。作為取代基，還可以採用氟代基。或者，可以採用至少含有氫的有機基和氟代基作為取代基。

這裏，作為絕緣層 162，採用矽烷和一氧化二氮，藉由電漿 CVD 法形成厚度為 50nm 的、所含有的氧超過氮的氮氧化矽層；採用矽烷、氮氣、氫氣和一氧化二氮，藉由電漿 CVD 法形成厚度為 100nm 的、所含有的氮超過氧的氮氧化矽層；以及採用矽烷和一氧化二氮，藉由電漿 CVD

法形成厚度為 600nm 的、所含有的氧超過氮的氮氧化矽層。

這裏，對於半導體層內雜質的活化而言，在 550℃ 的溫度下，在氮氣氛中執行加熱。

採用從鋁 (Al)、鎢 (W)、鈦 (Ti)、鉭 (Ta)、鉬 (Mo)、鎳 (Ni)、鉑 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、錳 (Mn)、釹 (Nd)、碳 (C) 和矽 (Si) 中選出的元素或者以上述元素作為其主要成分的合金材料或化合物材料，藉由 CVD 法或濺射法等形成作為單層或疊層的導電層 164。以鋁作為其主要成分的合金材料對應於，例如，含有作為主要成分的鋁和鎳的材料；或者含有作為主要成分的鋁、鎳以及碳和矽中的一者或兩者的合金材料。導電層 164 可以採用，例如，由阻擋層、鋁矽合金 (Al-Si) 層和阻擋層構成的疊層結構；或者由阻擋層、鋁矽合金 (Al-Si) 層、氮化鈦 (TiN) 層和阻擋層構成的疊層結構。應當注意，阻擋層對應於由鈦、鈦的氮化物、鉬或鉬的氮化物形成的薄膜。鋁和鋁矽合金由於電阻值低，並且價格低廉，因而是形成導電層 164 的較佳的材料。此外，在提供上層和下層阻擋層時，能夠防止在鋁和鋁矽合金中產生小丘。此外，在由作為高度可還原元素的鈦形成阻擋層的情況下，即使在結晶半導體層上形成了薄自然氧化物膜，也能夠減少該自然氧化物膜，並實現與結晶半導體層的有利接觸。

這裏，藉由採用 CHF_3 和 He 的乾蝕刻有選擇地蝕刻該

絕緣層，以形成開口，從而暴露半導體層中的雜質區 146、150、154 和 160 的部分。接下來，藉由濺射法疊置具有 60nm 的厚度的鈦層、具有 40nm 的厚度的氮化鈦層、具有 300nm 的厚度的鋁層和具有 100nm 的厚度的層。之後，採用掩模藉由光微影處理執行蝕刻，由此形成導電層 164。

儘管在本實施例說明的例子中同時形成了當形成於儲存部分內的非揮發性記憶元件的控制絕緣膜和形成於邏輯部分內的薄膜電晶體的閘極絕緣膜的絕緣層（如圖 26B 所示），但是本發明不限於此。例如，可以按照圖 30A 到 30C 所示形成絕緣層。對其具體的說明如下。

首先，在與上文類似形成了圖 25C 所示的狀態之後，在電荷累積層 122 上形成第三絕緣層 128（參考圖 30A）。接下來，有選擇地形成覆蓋半導體層 108 的抗蝕劑 124，之後有選擇地去除形成於半導體層 104、106 和 108 上的電荷累積層 122 和第三絕緣層 128，由此形成電荷累積層 126 和絕緣層 127（圖 30B）。之後，分別在半導體層 104 和 106 的暴露表面上形成每個當成閘極絕緣膜的絕緣層 168 和 170（參考圖 30C）。可以採用所說明的在形成第二絕緣層 116、118 和 120 的過程中採用的高密度電漿處理提供絕緣層 168 和 170，或者可以藉由 CVD 法或濺射法形成絕緣層 168 和 170。

如圖 30A 到 30C 所示，可以採用不同的厚度和材料形成形成於邏輯部分內的薄膜電晶體的閘極絕緣膜和形成於儲存部分內的非揮發性記憶元件的控制絕緣膜。

此外，在本實施例說明的過程中，可以將絕緣層 172（也稱為側壁）提供為與每個當成閘極電極作用的導電層 134、136、138 和 140 的側表面接觸（參考圖 31A 和 31B）。藉由採用絕緣層 172 向半導體層 104、106 和 108 內引入雜質元素，能夠在半導體層 104、106 和 108 內形成每個當成 LDD 區的低濃度雜質區 180、174、176 和 178。

應當注意，可以形成與半導體層 104 直接接觸的絕緣層 172（參考圖 31A），或者可以採用在絕緣層 172 下面形成了其他絕緣層或電荷累積層的結構（參考圖 31B）。

此外，儘管在本實施例說明的結構中，在設置於儲存部分內的半導體層 108 與導電層 138 相互交叉的部分內形成了電荷累積層 126，但是本發明不限於此。例如，可以採用這樣的結構，其中，在半導體層 108 的整個表面上提供電荷累積層 126。在將非揮發性記憶元件的通道長度和通道寬度分別設為 L 和 W 時，可以將電荷累積層 126 設置為既大於通道長度 L 又大於通道寬度 W ，或者可以將其設置為大於通道長度 L 或通道寬度 W 之一，或者可以將其設置為既小於通道長度 L 又小於通道寬度 W （始終將電荷累積層 126 設置於半導體層 108 上的狀態）。

可以將本實施例與在本說明書中說明的實施例模式或其他實施例結合實現。

[實施例 2]

在這一實施例中，將參考附圖說明這樣一種情況，其

中，在上述實施例說明的結構中的一個島狀半導體層上提供多個非揮發性記憶元件。應當注意，採用相同的附圖標記表示與上述實施例中相同的元件，並將省略對其的說明。圖 32 為頂視圖，圖 33A 和 33B 分別顯示沿圖 32 的 E-F 線和 G-H 線得到的截面圖。

在這一實施例說明的非揮發性半導體記憶體裝置中，提供分別電連接到位元線 BL0 和 BL1 的島狀半導體層 200a 和 200b，並在每一島狀半導體層 200a 和 200b 中提供多個非揮發性記憶元件（參考圖 32、33A 和 33B）。具體而言，在半導體層 200a 中，在選擇電晶體 S01 和 S02 之間提供包括多個非揮發性記憶元件 M0、M30 和 M31 的 NAND 單元 202a。此外，在半導體層 200b 的選擇電晶體之間提供包括多個非揮發性記憶元件的 NAND 單元 202b。此外，提供相互隔開的半導體層 200a 和半導體層 200b，從而使彼此相鄰的 NAND 單元 202a 和 NAND 單元 202b 彼此絕緣。

此外，當在一個島狀半導體層內提供多個非揮發性記憶元件時，更高的非揮發性記憶元件整合度將成為可能，並且能夠形成高容量非揮發性半導體記憶體裝置。

可以將本實施例與在本說明書中說明的實施例模式或其他實施例結合實現。

[實施例 3]

在這一實施例中，將在下文中參考附圖說明能夠實現

非接觸資料輸入和資料輸出的半導體裝置的應用實例。將能夠實現非接觸資料輸入和資料輸出的半導體裝置稱為RFID標籤、ID標籤、IC標籤、IC晶片、RF標籤、無線標籤、電子標籤或無線晶片。

如圖 34 所示，半導體裝置 800 具有在不發生接觸的條件下交換資料的功能，起包括高頻電路 810、電源電路 820、重置電路 830、時鐘產生電路 840、資料解調電路 850、資料調制電路 860、用於控制其他電路的控制電路 870、記憶電路 880 和天線 890。高頻電路 810 是從天線 890 接收信號的電路。高頻電路 810 將接收自資料調制電路 860 的信號輸出至天線 890。電源電路 820 是由所接收的信號生成電源電位的電路。重置電路 830 是生成重置信號的電路。時鐘產生電路 840 是基於從天線 890 輸入的接收信號生成各種時鐘信號的電路。資料解調電路 850 是對接受信號解調並將其輸出至控制電路 870 的電路。資料調制電路 860 是調制接收自控制電路 870 的信號的電路。例如，作為控制電路 870，可以提供代碼提取電路 910、代碼判決電路 920、CRC 判決電路 930 和輸出單元電路 940。應當注意，代碼提取電路 910 是單獨提取包含在傳輸至控制電路 870 的指令中的多個代碼的電路，代碼判決電路 920 是將所提取的代碼與對應於基準的代碼相比較以確定指令內容的電路，CRC 判決電路 930 是基於所確定的代碼檢測是否存在傳輸誤差的電路。

接下來，將說明上述半導體裝置的操作實例。首先，

藉由天線 890 接收無線電信號。藉由高頻電路 810 向電源電路 820 傳輸無線電信號，並生成高電源電位（以下稱為 VDD）。將 VDD 提供給包含在半導體裝置 800 中的每一電路。此外，對藉由高頻電路 810 傳輸至資料解調電路 850 的信號解調（以下稱為解調信號）。此外，將經由高頻電路 810 藉由重置電路 830 傳輸的信號和藉由時鐘產生電路 840 傳輸的調制信號傳輸至控制電路 870。藉由代碼提取電路 910、代碼判決電路 920、CRC 判決電路 930 等分析傳輸至控制電路 870 的信號。之後，根據經分析的信號，輸出儲存在記憶電路 880 內的半導體裝置的資訊。藉由輸出單元電路 940 對半導體裝置的輸出資訊編碼。此外，使經過編碼的半導體裝置 800 的資訊藉由資料調制電路 860 經由天線 890 作為無線電信號發射。應當注意，低電源電位（下文中稱為 VSS）在包含於半導體裝置 800 內的多個電路中是共用的，並且可以將 VSS 設為 GND。此外，可以採用上述半導體元件，典型地採用薄膜電晶體形成高頻電路 810、電源電路 820、重置電路 830、時鐘發生電路 840、資料解調電路 850、資料調制電路 860、用於控制其他電路的控制電路 870、記憶電路 880 等。此外，可以將上述非揮發性半導體記憶體裝置應用於記憶電路 880。由於在本發明的半導體裝置中能夠降低驅動電壓，因而能夠在更長的距離內實現非接觸資料通信。

因此，可以藉由從讀取器/寫入器向半導體裝置 800 發送信號以及採用讀取器/寫入器接收由半導體裝置 800

發射的信號而讀取半導體裝置的資料。

此外，半導體裝置 800 可以在不安裝電源（電池）的情況下藉由電磁波向每一電路提供電源電壓，或者半導體裝置 800 可以安裝電源（電池），從而藉由電磁波或電源（電池）向每一電路提供電源電壓。

接下來，將參考附圖說明上述半導體裝置的結構的例子。圖 35A 顯示本實施例的半導體裝置的頂視圖，圖 35B 顯示沿圖 35A 的 X-Y 線得到的截面圖。

如圖 35A 所示，該半導體裝置在基板 400 上設有記憶電路 404、積體電路部分 421 和天線 431。應當注意，圖 35A 和 35B 所示的記憶電路 404 對應於圖 34 所示的記憶電路 880；積體電路部分 421 對應於圖 34 所示的高頻電路 810、電源電路 820、重置電路 830、時鐘產生電路 840、資料解調電路 850、資料調制電路 860 和控制電路 870；天線 431 對應於圖 34 所示的天線 890。此外，可以採用在上述實施例中說明的薄膜電晶體形成記憶電路 404 和積體電路部分 421 的部分。此外，可以採用上述非揮發性記憶體裝置形成記憶電路 404 的部分。

如圖 35B 所示，在半導體裝置中，在基板 400 和基板 401 之間插置元件形成層 403。採用黏劑 402 和 405 使元件形成層 403 分別附著於基板 400 和 401。此外，在元件形成層 403 內形成絕緣層 453、非揮發性記憶元件 440 以及電晶體 441 和 442。在非揮發性記憶元件 440 以及電晶體 441 和 442 之上形成絕緣層 454，在絕緣層 454 內形成

線路。在絕緣層 454 和線路上形成天線 431，在天線 431 和絕緣層 455 上形成絕緣層 432。將天線 431 連接至線路 456，線路 456 在形成於絕緣層 455 中的開口內形成於絕緣層 454 上。將線路 456 連接至作為積體電路的部分的高頻電路。儘管這裏說明了記憶電路 404 包括非揮發性記憶元件 440 和電晶體 441，積體電路部分 421 包括電晶體 442 的情況，但是還包括電阻元件、電容器、整流器等。

在這一實施例中，採用聚醯亞胺層形成絕緣層 455；將鈦膜、鋁膜和鈦膜的疊層用於該導電層；並且將藉由印刷法形成的銀合金層用於天線 431。形成降低天線 431 的不平坦性的絕緣層 432，較佳的藉由塗覆法塗覆成相應分並使其乾燥，之後對其焙燒來形成絕緣層 432。這裏，採用環氧樹脂層形成絕緣層 432。將 PEN 膜用於基板 400 和 401，並將熱塑膠樹脂用於黏劑 402 和 405。

應當注意，可以將天線設置為與記憶電路重疊，或者可以將其設置在儲存電路的週邊，不與儲存電路重疊。在天線與儲存電路重疊的情況下，它們可以完全或部分相互重疊。在天線部分和儲存電路相互重疊的時，能夠減少天線傳輸資料時由信號雜訊等導致的半導體裝置的故障或由電磁感應產生的電動勢的波動等；由此提高了可靠性。此外，能夠降低半導體裝置的尺寸。

此外，作為上文所述的能夠實現非接觸資料輸入和資料輸出的半導體裝置中的信號傳輸方法，可以採用電磁耦合型、電磁感應型或微波型。可以由研製人根據具體應用

適當選擇傳輸方法，並根據傳輸方法提供最佳的天線。

例如，在採用電磁耦合型或電磁感應型（例如，13.56MHz）作為半導體裝置中的信號傳輸方法的情況下，由於利用了隨著磁場密度的變化而產生的電磁感應，因而將當成天線作用的導電層形成為環形（例如，環形天線）或螺旋形（例如，螺旋天線）。

在採用微波型（例如，UHF 波段（860 到 960MHz）或 2.45GHz 等）作為半導體裝置中的信號傳輸方法的情況下，可以根據用來傳輸信號的電磁波的波長適當確定當成天線作用的導電層的形狀，例如長度。例如，可以將當成天線作用的導電層形成為線形（例如，偶極子天線）、平面形（例如，接線天線）或帶形等。此外，當成天線作用的導電層的形狀不限於線形；可以根據電磁波的波長將其提供為波浪形、蛇形或將它們結合起來的形狀。

藉由 CVD 法、濺射法、諸如絲網印刷法或照相凹版印刷法的印刷法、微滴釋放法、噴灑法或電鍍法等，採用導電材料形成當成天線作用的導電層。採用從鋁（Al）、鈦（Ti）、銀（Ag）、銅（Cu）、金（Au）、鉑（Pt）、鎳（Ni）、鈀（Pd）、鉭（Ta）和鉬（Mo）中選出的元素或者以上述元素作為其主要成分的合金材料或化合物材料形成具有單層結構或疊層結構的導電材料。

例如，在採用絲網印刷法形成當成天線作用的導電層的情況下，可以藉由有選擇地印刷導電膏，之後使該導電膏乾燥，並對其烘焙來提供該導電層，在該導電膏中，溶

解或散佈著顆粒尺寸為幾 nm 到幾十 μm 的導電顆粒。作為導電顆粒，可以採用銀（Ag）、金（Au）、銅（Cu）、鎳（Ni）、鉑（Pt）、鈀（Pd）、鉭（Ta）、鉬（Mo）和鈦（Ti）等當中的一種或多種的金屬顆粒、鹵化銀的細小顆粒或者散佈的奈米顆粒。此外，作為包含在導電膏中的有機樹脂，可以採用從當成金屬顆粒的黏合劑、溶劑、分散劑和塗覆成分的有機樹脂中選出的一種或多種有機樹脂。典型地，可以提供諸如環氧樹脂或矽樹脂的有機樹脂。除了上述材料之外，還可以將陶瓷或鐵氧體等應用於天線。

此外，在應用電磁耦合型或電磁感應型，並將具有天線的半導體裝置設置為與金屬接觸時，較佳的在半導體裝置和金屬之間設置具有導磁性的磁性材料。在將具有天線的半導體裝置設置為與金屬接觸時，隨著磁場的變化，在金屬中存在渦流，由於由渦流產生的去磁磁場減弱了該磁場，因而將縮短通信距離。因此，藉由在半導體裝置與金屬之間提供具有導磁性的材料，能夠抑制金屬的渦流，並且能夠抑制通信距離的縮短。應當注意，可以採用具有高磁導率和低高頻損耗的鐵氧體或金屬薄膜作為該磁性材料。

儘管在本實施例說明的半導體裝置中，在元件形成層內直接形成了諸如電晶體的半導體元件和當成天線作用的導電層，但是本發明不限於此。例如，可以在不同的基板上提供半導體元件和當成天線作用的導電層，之後時該基

板相互附著，從而使該半導體元件與該導電層相互電連接。

採用本發明，能夠製作出抑制了半導體層與閘極電極之間的漏電流的高度可靠的半導體裝置。

接下來，將說明能夠實現非接觸資料輸入和資料輸出的半導體裝置的使用實例。包括顯示部分 3210 的攜帶型終端的側表面設有通信器（例如讀取器/寫入器）3200，物品 3220 的側表面設有半導體裝置 3230（參考圖 36A）。當通信器（例如讀取器/寫入器）3200 置於包括在物品 3220 內的半導體裝置 3230 之上時，將在顯示部分 3210 上顯示物品的相關資訊，例如，原料、原產地、每一生產過程的檢查結果、分銷歷史或物品說明等。此外，在藉由傳送帶傳輸產品 3260 時，採用通信器（例如讀取器/寫入器）3240 和設置在產品 3260 上的半導體裝置 3250 能夠對產品 3260 進行檢查（參考圖 36B）。因此，在將該半導體裝置用於系統時，能夠容易地獲得資訊，並且能夠實現系統的功能性和附加值的提高。

此外，可以將本發明的非揮發性半導體記憶體元件應用於各個領域中帶有記憶體的電子裝置內。例如，作為應用了本發明的非揮發性半導體記憶體元件的電子裝置的例子，給出了視頻相機、數位相機、護目鏡型顯示器（頭戴顯示器）、導航系統、環音裝置（例如汽車音頻或音頻部件）、電腦、遊戲機、移動資訊終端（例如移動電腦、行動電話、移動遊戲機或電子書）、設有記錄媒體的影像重

(67)

現裝置（具體而言是指複現諸如 DVD（數位通用盤）的記錄媒體的裝置，其設有用於顯示再現影像的顯示器）。圖 37A 到 37E 顯示該電子裝置的具體例子。

圖 37A 和 37B 每個顯示數位相機。圖 37B 顯示圖 37A 所示的數位相機的背面。這一數位相機包括機殼 2111、顯示部分 2112、透鏡 2113、操作鍵 2114、快門 2115 等。此外，該數位照相機包括可拆卸的非揮發性記憶體 2116，記憶體 2116 儲存由數位照相機獲取的資料。可以將藉由採用本發明形成的非揮發性半導體記憶體元件應用於記憶體 2116。

圖 37C 顯示行動電話，其是攜帶型終端的代表實例。這一行動電話包括機殼 2121、顯示部分 2122、操作鍵 2123 等。此外，該行動電話還包括可拆卸非揮發性記憶體 2125，可以在記憶體 2125 內儲存行動電話電話號碼、影像、音樂資料等，並對其複現。可以將藉由採用本發明形成的非揮發性半導體記憶體元件應用於記憶體 2125。

圖 37D 顯示數位播放器，其是音頻設備的代表實例。圖 37D 所示的數位播放器包括主體 2130、顯示部分 2131、記憶部分 2132、操作部分 2133、耳機 2134 等。可以採用頭戴耳機或無線耳機替代耳機 2134。對於記憶部分 2132 而言，可以採用利用本發明形成的非揮發性半導體記憶體裝置。例如，藉由採用儲存容量為 20 到 200 千百萬位元組（GB）的 NAND 非揮發性記憶體，並對操作部分 2133 進行操作，能夠記錄和複現影像和聲音（音樂）。應

當注意，能夠藉由在顯示部分 2131 上的黑色背景上顯示白色字元而減少功耗。這對移動音頻設備尤為有效。設置於儲存部分 2132 內的非揮發性半導體記憶體裝置可以是可拆卸的。

圖 37E 顯示電子書（也稱為電子紙張）。這一電子書包括主體 2141、顯示部分 2142、操作鍵 2143 和記憶部分 2144。可以在主體 2141 內包含調制解調器，或者可以採用無線發送和接收資訊的結構。對於記憶部分 2144 而言，可以採用利用本發明形成的非揮發性半導體記憶體裝置。例如，藉由採用儲存容量為 20 到 200 千百萬位元組（GB）的 NAND 非揮發性記憶體，並對操作鍵 2143 進行操作，能夠記錄並複現影像和聲音（音樂）。設置於記憶部分 2144 內的非揮發性半導體記憶體裝置可以是可拆卸的。

如上所述，本發明的非揮發性半導體記憶體裝置的應用範圍是非常寬的，可以將其應用於各個領域的電子裝置內，只要該電子裝置包括記憶體即可。

[實施例 4]

在這一實施例中，將說明藉由計算得到的實施例模式 1 中所述的能夠抑制漏電流的半導體元件中的第二絕緣層 36 的最佳厚度的類比結果。在這一實施例中，採用薄膜電晶體作為半導體元件。

首先，將提供薄膜電晶體中第二絕緣層 36 的最佳厚

度的類比結果。就計算而言，在離散化網目（mesh）上（由 Mesh 形成的“Devise-3D”），採用疊代法解裝置方程（（1）載流子連續方程，（2）泊松方程）。就計算而言，採用 NihonSynopsys Co. Ltd 出品的“Dessis-3D”。

圖 38A 到 38C 顯示計算採用的 p 通道薄膜電晶體的結構。圖 38A 是該薄膜電晶體的頂視圖。該薄膜電晶體的通道寬度和通道長度分別是 $3.5\ \mu\text{m}$ 和 $1.5\ \mu\text{m}$ 。半導體層、當成閘極絕緣膜作用的絕緣層 33（下文稱為第一絕緣層 33）和覆蓋半導體層的端部的絕緣層 36（下文稱為第二絕緣層 36）相互重疊的區域的寬度（下文稱為 FOx 區域 37）為 $1\ \mu\text{m}$ ；當成閘極電極作用的導電層 34 與開口之間的距離為 $1\ \mu\text{m}$ ；該開口與 FOx 區域 37 之間的距離為 $1\ \mu\text{m}$ 。此外，在該開口中，即每個當成源極區或汲極區的雜質區 32b 和 32c 摻有硼。硼的致動率為 10%，薄層電阻為 $500\ \Omega$ ，硼的濃度為 $4.87 \times 10^{19}/\text{cm}^3$ 。

圖 38B 是沿圖 38A 的 A1-B1 線的得到的截面圖，圖 38C 是沿圖 38A 的 A2-B2 線得到的截面圖。該半導體層的厚度為 66nm，該第一絕緣層 33 的厚度為 20nm，該當成閘極電極作用的導電層 34 的厚度為 400nm。在這一條件下，藉由計算類比了在將第二絕緣層 36 的厚度設為 0nm、20nm、40nm、60nm、70nm、80nm 和 100nm 時薄膜電晶體的電流-電壓特性。圖 39 顯示其結果。在圖 39 中，x 記號表示第二絕緣層 36 的膜厚度為 0nm 時的電流-電壓特性，黑色三角形記號表示第二絕緣層 36 的膜厚度為 20nm

時的電流-電壓特性，黑色菱形記號表示第二絕緣層 36 的膜厚度為 40nm 時的電流-電壓特性，黑色圓形記號表示第二絕緣層 36 的膜厚度為 60nm 時的電流-電壓特性，黑色方塊記號表示第二絕緣層 36 的膜厚度為 70nm 時的電流-電壓特性，白色圓形記號表示第二絕緣層 36 的膜厚度為 80nm 時的電流-電壓特性，白色方塊記號表示第二絕緣層 36 的膜厚度為 100nm 時的電流-電壓特性。

根據圖 39，我們發現，當第二絕緣層 36 的膜厚度增大時產生了扭結。

這裏，將在下文中解釋電流-電壓特性中產生扭結的原因。半導體層、第一絕緣層 33 和第二絕緣層 36 相互重疊的區域（FOX 區域 37）變成了由半導體層 32、第一絕緣層 33、第二絕緣層 36 和當成閘極電極作用的導電層 34 構成的寄生 MOS 電晶體。在該寄生 MOS 電晶體中，當成閘極絕緣膜作用的第一絕緣層的膜厚度（這裏是第一絕緣層 33 和第二絕緣層 36 的厚度之和）變厚。此外，寄生 MOS 電晶體的通道長度短。因此，在短通道效應的作用下，在具有低臨界值（ V_{th} ）的寄生 MOS 電晶體內產生了電流。在將該電流-電壓特性與習知薄膜電晶體（當成閘極絕緣膜作用的絕緣層僅為第一絕緣層 33 的薄膜電晶體）的電流-電壓特性結合時，形成了扭結。

接下來，藉由計算類比開始在薄膜電晶體的電流-電壓特性中產生扭結的第二絕緣層 36 的膜厚度。這裏，在圖 40 中顯示表現範圍 49 內的電流-電壓特性的曲線的傾

角 ($\Delta \log(I_d)/\Delta \log V_g$)，在範圍 49 中，電壓從 -1.6 到 -0.8 V。可以說，圖 39 所示的曲線具有扭結，在該曲線中，改變了藉由對該傾角的一階微分獲得的值（即，藉由對顯示電流 - 電壓特性的曲線的二階微分獲得的值）的符號（這裏，將正值變成了負值）。

這裏，如圖 40 所示，當第二絕緣層 36 的厚度為 80 nm 時，以及當第二絕緣層 36 的厚度為 100 nm 時，將藉由對顯示電流 - 電壓特性的曲線的二階微分獲得的值從正值改成了負值。因而，我們發現，當第二絕緣層 36 的厚度小於或等於 70 nm 時，在電流 - 電壓特性內沒有產生扭結。

此外，當在半導體層 32 上形成第一絕緣層 33 之前，存在去除形成於半導體層 32 的表面上的氧化物層的步驟。形成於半導體層 32 的表面上的氧化物層是半導體層 32 與空氣中的氧氣接觸並受到氧化而形成的自然氧化膜。在去除了該氧化物層之後，如圖 41A 所示，還要去除作為半導體層 32 的底膜形成的絕緣層 31 的部分，以形成凹陷 37。之後，在形成第一絕緣層 33 時，未充分覆蓋半導體層 32 的不平坦和凹陷 37，並且部分截斷了第一絕緣層 33，這是一個問題。在藉由這樣的方式在第一絕緣層 33 上形成了閘極電極之後，將在半導體層 32 和閘極電極層之間產生漏電流。

鑒於此，第二絕緣層 36 的厚度必須足夠厚，以覆蓋絕緣層 31 的凹陷。由於該凹陷大約為 5 nm 深，因而第二

絕緣層 36 的厚度較佳的大於或等於 5nm。

出於上述原因，第二絕緣層 36 的膜厚度大於或等於 5nm 小於或等於 70nm，能夠藉此抑制薄膜電晶體的漏電流，並保持該電流-電壓特性。應當注意，此時的第一絕緣層 33 的膜厚度為 20nm。

此外，在半導體層 32 上形成具有不同厚度的絕緣層；將具有薄的膜厚度的區域（即形成第一絕緣層 33 的區域）的厚度設為 t_1 ，將具有厚的膜厚度的區域（即形成了第一絕緣層 33 和第二絕緣層 36 的區域）的厚度設為 t_2 。這是，根據在電流-電壓特性中不產生扭結的第一絕緣層 33 和第二絕緣層 36 的厚度的計算結果，具有厚膜厚度的區域的厚度 t_2 較佳的大於或等於 t_1 的 1.2 倍小於或等於 t_1 的 4.5 倍。

此外，根據上述計算的結果，半導體層 32 上具有薄的膜厚度的絕緣層（即第一絕緣層 33）的厚度較佳的大於或等於 3nm 小於或等於 30nm，半導體層 32 上具有厚膜厚度的絕緣層（即第一絕緣層 33 和第二絕緣層 36 的疊層）的厚度較佳的大於或等於 3.6nm 小於或等於 135nm，更佳的大於或等於 5nm 小於或等於 135nm。當第一絕緣層 33 的厚度小於 3nm 時，產生厚度變化，並且在半導體層 32 和閘極電極之間產生漏電流。另一方面，當第一絕緣層 33 的厚度大於 30nm 時，難以製造能夠高速工作的薄膜電晶體。這時的薄膜電晶體的通道長度為 0.1 到 3 μm ，較佳的為 0.1 到 1.5 μm 。此外，薄膜電晶體的 S 值為 50 到

120mV/dec，較佳的為 60 到 100mV/dec。憑藉這樣的結構，能夠製造抑制了漏電流並且能夠實現高速操作的薄膜電晶體。

[實施例 5]

接下來，將在下文中說明每個具有厚度為 50nm 或 150nm 的第二絕緣層 36 的 n 通道薄膜電晶體和 p 通道薄膜電晶體的電流-電壓特性的測量結果。

首先，將參考圖 4A 到 4F 解釋薄膜電晶體的製造過程。在基板 30 上形成當成底膜作用的絕緣層 31，在絕緣層 31 上形成半導體層 32。作為基板，採用厚度為 0.7mm 的 AN 100（由 ASAHI GLASS CO., LTD 製造）。作為絕緣層 31，藉由電漿 CVD 法形成厚度為 50nm 的氧氮化矽層，之後形成厚度為 100nm 的氮氧化矽層。作為半導體層 32，藉由下述方式形成晶體矽層：藉由電漿 CVD 法形成厚度為 66nm 的非晶矽層，在溫度為 500℃ 的加熱爐內對該非晶矽層加熱一小時，以去除其中的氫氣，之後採用鐳射照射該非晶矽層。就執行鐳射照射的條件而言，採用脈衝 Nd:YVO₄ 雷射器的二次諧波作為鐳射振蕩器。接下來，採用藉由光微影處理形成的抗蝕劑掩模有選擇地蝕刻該晶體矽層，由此形成半導體層 32。

接下來，藉由電漿 CVD 法在半導體層 32 上形成厚度為 50nm 或 150nm 的氮氧化矽層作為絕緣層 40，之後，利用藉由光微影處理形成的抗蝕劑掩模對該氮氧化矽層有選

(74)

擇地蝕刻，由此形成第二絕緣層 36。

接下來，在半導體層 32 和第二絕緣層 36 上形成第一絕緣層 33。這裏，藉由電漿 CVD 法形成厚度為 20nm 的氮氧化矽層作為第一絕緣層 33。

接下來，形成當成閘極電極作用的導電層 34。這裏，藉由下述方式形成當成閘極電極作用的導電層 34：藉由濺射法形成厚度為 30nm 的氮化鉬層，形成厚度為 170nm 或 370nm 的鎢層，採用藉由光微影處理形成的抗蝕劑掩模對該氮化鉬層和鎢層有選擇地蝕刻。應當注意，以後將要被包含到該 n 通道薄膜電晶體中的閘極電極是厚度為 30nm 的氮化鉬層和厚度為 370nm 的鎢層的疊層，以後將被包含到該 p 通道薄膜電晶體中的閘極電極是厚度為 30nm 的氮化鉬層和厚度為 170nm 的鎢層的疊層。

接下來，採用當成閘極電極作用的導電層 34 作為掩模向半導體層 32 內添加雜質，由此形成源極區和汲極區。這裏，藉由離子摻雜法，向以後將要被包含在該 n 通道薄膜電晶體中的半導體層中摻雜磷。就此時的離子摻雜法的條件而言，加速電壓為 20kV，劑量為 $3.4 \times 10^{15}/\text{cm}^2$ 。此外，藉由離子摻雜法，向以後將要被包含在該 p 通道薄膜電晶體中的半導體層中摻雜硼。就此時的離子摻雜法的條件而言，加速電壓為 15kV，劑量為 $3.4 \times 10^{15}/\text{cm}^2$ 。

接下來，在第一絕緣層 33 和當成閘極電極作用的導電層 34 上形成層間絕緣層。作為該層間絕緣層，藉由電漿 CVD 法形成厚度為 100nm 的氧氮化矽層，之後形成厚

度為 600nm 的氮氧化矽層。之後，藉由加熱使該半導體層 32 氫化。

接下來，蝕刻該層間絕緣層和第一絕緣層 33，以形成開口，從而部分暴露半導體層 32 中的源極區和汲極區中的每一個。接下來，藉由濺射法疊置厚度為 100nm 的鈦層、厚度為 300nm 的鋁層和厚度為 100nm 的鈦層。之後，採用藉由光微影處理形成的掩模執行選擇蝕刻，由此形成疊置了鈦層、鋁層和鈦層的線路。藉由上述過程，形成了每個具有厚度為 50nm 的第二絕緣層 36 的 n 通道薄膜電晶體和 p 通道薄膜電晶體，以及每個具有 150nm 的厚度的第二絕緣層 36 的 n 通道薄膜電晶體和 p 通道薄膜電晶體。

圖 42A 顯示 n 通道薄膜電晶體的電流-電壓特性。實線表示具有厚度為 50nm 的第二絕緣層 36 的薄膜電晶體的測量結果，虛線顯示具有厚度為 150nm 的第二絕緣層 36 的薄膜電晶體的測量結果。此外，實線和虛線 42a 顯示 V_d （汲極電壓）為 1V 的情況下的測量結果，實線和虛線 42b 顯示 V_d 為 3V 的情況下的測量結果。

如圖 42A 所示，當第二絕緣層 36 的厚度為 50nm 時，在顯示薄膜電晶體的電流-電壓特性的曲線中不存在扭結；而當第二絕緣層 36 的厚度為 150nm 時，在顯示薄膜電晶體的電流-電壓特性的曲線中觀察到了扭結。

圖 42B 顯示 p 通道薄膜電晶體的電流-電壓特性。實線表示具有厚度為 50nm 的第二絕緣層 36 的薄膜電晶體的測量結果，虛線顯示具有厚度為 150nm 的第二絕緣層 36

(76)

的薄膜電晶體的測量結果。此外，實線和虛線 43a 顯示 V_d （汲極電壓）為 $-1V$ 的情況下的測量結果，實線和虛線 43b 顯示 V_d 為 $-3V$ 的情況下的測量結果。

如圖 42B 所示，當第二絕緣層 36 的厚度為 $50nm$ 時，在顯示薄膜電晶體的電流-電壓特性的曲線中不存在扭結；而當第二絕緣層 36 的厚度為 $150nm$ 時，在顯示薄膜電晶體的電流-電壓特性的曲線中輕微地觀察到了扭結。

因此，在使覆蓋半導體層的端部的絕緣層（第二絕緣層）的厚度處於在實施例 4 中藉由計算得到的範圍內時，能夠製造出電流-電壓特性不具有扭結的薄膜電晶體。

【圖式簡單說明】

在附圖中：

圖 1A 到圖 1C 是用於說明本發明的半導體裝置的主結構的頂視圖和截面圖；

圖 2A 到圖 2C 是用於說明本發明的半導體裝置的主結構的頂視圖和截面圖；

圖 3A 到圖 3C 是用於說明本發明的半導體裝置的主結構的截面圖；

圖 4A 到圖 4F 是用於說明本發明的半導體裝置的製造過程的截面圖；

圖 5A 到圖 5F 是用於說明本發明的半導體裝置的製造過程的截面圖；

圖 6A 到圖 6F 是用於說明本發明的半導體裝置的製造

(77)

過程的截面圖；

圖 7A 到圖 7I 是用於說明本發明的半導體裝置的製造過程的截面圖；

圖 8A 到圖 8I 是用於說明本發明的半導體裝置的製造過程的截面圖；

圖 9A 到圖 9I 是用於說明本發明的半導體裝置的製造過程的截面圖；

圖 10A 到圖 10G 是用於說明本發明的半導體裝置的製造過程的截面圖；

圖 11A 到圖 11C 是用於說明本發明的半導體裝置的製造過程的截面圖；

圖 12A 到圖 12C 是用於說明本發明的半導體裝置的製造過程的截面圖；

圖 13A 到圖 13C 是用於說明本發明的半導體裝置的主結構的截面圖；

圖 14A 到圖 14C 是用於說明本發明的半導體裝置的主結構的截面圖；

圖 15A 到圖 15D 是用於說明本發明的半導體裝置的主結構的截面圖；

圖 16 是顯示非揮發性記憶單元陣列的等效電路的例子的示意圖；

圖 17 是顯示 NOR 型非揮發性記憶單元陣列的等效電路的一個例子的示意圖；

圖 18 是顯示 NAND 型非揮發性記憶單元陣列的等效

(78)

電路的例子的示意圖；

圖 19A 和圖 19B 是用於說明 NAND 型非揮發性記憶體
體的寫入操作的示意圖；

圖 20A 和 20B 是用於說明 NAND 型非揮發性記憶體
的抹除和讀取操作的示意圖；

圖 21 是顯示在累積電荷的資料“0”的情況下和在抹
除電荷的資料“1”的情況下，非揮發性記憶體的臨界值
電壓的變化的示意圖；

圖 22 是顯示非揮發性半導體記憶體裝置的電路方塊
圖的例子的示意圖；

圖 23 是用於說明電漿處理設備的結構的圖示；

圖 24A 到 24D 是用於說明習知例子的頂視圖和截面
圖；

圖 25A 到圖 25C 是用於說明本發明的半導體裝置的製
造過程的截面圖；

圖 26A 到圖 26C 是用於說明本發明的半導體裝置的製
造過程的截面圖；

圖 27A 到圖 27C 是用於說明本發明的半導體裝置的製
造過程的截面圖；

圖 28A 到圖 28D 是用於說明本發明的半導體裝置的
製造過程的頂視圖；

圖 29A 和圖 29B 是用於說明本發明的半導體裝置的主
結構的頂視圖和截面圖；

圖 30A 到圖 30C 是用於說明本發明的半導體裝置的製

(79)

造過程的例子的截面圖；

圖 31A 和 31B 是用於說明本發明的半導體裝置的製造過程的例子的截面圖；

圖 32 是顯示本發明的半導體裝置的頂視圖的例子的圖示；

圖 33A 和 33B 是用於說明本發明的半導體裝置的例子的截面圖；

圖 34 是用於說明本發明的半導體裝置的例子的示意圖；

圖 35A 和 35B 是用於說明本發明的半導體裝置的例子的頂視圖和截面圖；

圖 36A 和圖 36B 是每個顯示本發明的半導體裝置的使用方式的例子的圖示；

圖 37A 到圖 37E 是每個顯示本發明的半導體裝置的使用模式的例子的圖示；

圖 38A 到圖 38C 是顯示用於計算的薄膜電晶體的結構的圖示；

圖 39 是顯示藉由計算獲得的薄膜電晶體的電流-電壓特性的曲線圖；

圖 40 是顯示圖 39 所示的電流-電壓特性的傾角的曲線圖；

圖 41A 和 41B 是用於說明本發明的半導體裝置的例子的截面圖；以及

圖 42A 和圖 42B 是顯示本發明的半導體裝置的薄膜電

晶體的電流-電壓特性的曲線圖。

【主要元件符號說明】

25：端部

32：半導體層

31：絕緣層

32a：通道形成區

32b、32c：雜質區

33：絕緣層

34：導電層

30：基板

32d、32e：低濃度雜質區

36：絕緣層

39a、39b：絕緣層

36a：端部

32f：側表面

36b：側表面

280：支撐底座

210：基板

276：氣體供應部分

278：排氣口

272：天線

274：電介質板

284：微波供應部分

(81)

282：溫度控制部分

286：電漿

38：絕緣層

40：絕緣層

41：掩模

46：絕緣層

48：絕緣層

47：掩模

44：掩模

45：絕緣層

50：掩模

51：絕緣層

53：蝕刻絕緣層

52：蝕刻掩模

50a：虛線

51a：虛線

58：抗蝕劑

54：光

60：掩模

59：半導體層

61：掩模

60a：虛線

62：絕緣層

63：絕緣層

61a：防液體層

33c：絕緣層

55：絕緣層

56：絕緣層

69：絕緣層

134：導電層

136：導電層

138：導電層

140：導電層

142：掩模

126a、126b：區域

144：通道形成區

146：雜質區

148：通道形成區

150：雜質區

154：雜質區

156：抗蝕劑

158：通道形成區

160：雜質區

162：絕緣層

164：導電層

127：絕緣層

168：絕緣層

170：絕緣層

(83)

172：絕緣層

174：低濃度雜質區

176：低濃度雜質區

178：低濃度雜質區

180：低濃度雜質區

200a、200b：島狀半導體層

800：半導體裝置

810：高頻電路

820：電源電路

830：重置電路

840：時鐘產生電路

850：資料解調電路

860：資料調制電路

870：控制電路

880：記憶電路

890：天線

910：代碼提取電路

920：代碼判決電路

930：CRC判決電路

940：輸出單元電路

400：基板

404：記憶電路

421：積體電路部分

431：天線

(84)

401：基板

403：元件形成層

402：黏劑

405：黏劑

453：絕緣層

440：非揮發性記憶元件

441：電晶體

67：端部

66：半導體層

66a、66b：區域

33a、33b：區域

68：掩模

66c：虛線

35：間隔體

81：導電層

80：導電層

82：導電層

83：絕緣層

84：電荷累積層

85：絕緣層

86：導電層

87：掩模

89：電荷累積層

91：電荷累積層

93：導電層

MS：記憶單元

M：非揮發性記憶元件

S：選擇電晶體

BL：位元線

WL：字線

SL：源極線

NS：NAND單元

252：記憶單元陣列

254：週邊電路

262：列解碼器

264：行解碼器

256：位址緩衝器

258：控制電路

260：升壓電路

266：感應放大器

268：資料緩衝器

270：資料輸入/輸出緩衝器

100：基板

102：第一絕緣層

104：島形半導體層

106：島形半導體層

108：島形半導體層

111：第二絕緣層

- 114：掩模
- 112：第三絕緣層
- 116：第四絕緣層
- 118：第四絕緣層
- 120：第四絕緣層
- 122：電荷累積層
- 124：抗蝕刻
- 126：電荷累積層
- 128：第五絕緣層
- 442：電晶體
- 454：絕緣層
- 432：絕緣層
- 455：絕緣層
- 456：線路
- 3200：通信器
- 3210：顯示部分
- 3220：物品
- 3230：半導體裝置
- 3260：產品
- 3240：通信器
- 3250：半導體裝置
- 2111：機殼
- 2112：顯示部分
- 2113：透鏡

(87)

2114：操作鍵

2115：快門

2116：可拆卸的非揮發性記憶體

2121：機殼

2122：顯示部份

2123：操作鍵

2125：可拆卸的非揮發性記憶體

2130：主體

2131：顯示部分

2132：記憶體部分

2133：操作部分

2134：耳機

2141：主體

2142：顯示部分

2143：操作鍵

2144：記憶部分

五、中文發明摘要

發明之名稱：半導體裝置和其製造方法

一種半導體裝置，其具有半導體層、覆蓋該半導體層的端部的閘極電極和用於使該半導體層和該閘極電極絕緣的絕緣層。使該半導體層與該閘極電極相互重疊的區域絕緣的絕緣層的膜厚度大於覆蓋該半導體層的中央部分絕緣層的膜厚度。

六、英文發明摘要

發明之名稱：

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

The semiconductor device has a semiconductor layer, a gate electrode which covers an end portion of the semiconductor layer, and an insulating layer for insulating the semiconductor layer and the gate electrode. The film thickness of the insulating layer which insulates a region where an end portion of the semiconductor layer and the gate electrode overlap each other is thicker than the film thickness of the insulating layer which covers the central portion of the semiconductor layer.

(1)

十、申請專利範圍

1.一種半導體裝置，包含：

形成於絕緣表面上的半導體層；

形成於該半導體層上的閘極電極；以及

設置於該半導體層和該閘極電極之間的絕緣層，

其中，該絕緣層包含具有第一膜厚度的第一區域和具有第二膜厚度的第二區域，該第二膜厚度大於該第一膜厚度，和

其中，具有該第二膜厚度的該第二區域覆蓋該閘極電極疊覆的該半導體層的端部。

2.如申請專利範圍第 1 項的半導體裝置，其中，該第二膜厚度大於或等於該第一膜厚度的 1.2 倍，且小於或等於該第一膜厚度的 4.5 倍。

3.如申請專利範圍第 1 項的半導體裝置，其中，該第一膜厚度大於或等於 3nm，且小於或等於 30nm，該第二膜厚度大於或等於 3.6nm，且小於或等於 135nm。

4.如申請專利範圍第 1 至 3 項中的任一項的半導體裝置，其中，該半導體層的被該閘極電極覆蓋的第三區域具有第三膜厚度，該半導體層的端部具有第四膜厚度，該第四膜厚度小於該第三膜厚度。

5.一種半導體裝置，包含：

形成於絕緣表面上的半導體層；

形成於該半導體層上的閘極電極；

形成於該半導體層和該閘極電極之間的閘極絕緣膜；

(2)

以及

形成於該閘極電極與該半導體層的端部重疊的區域中的絕緣層。

6.如申請專利範圍第 5 項的的半導體裝置，其中，將該絕緣層插置於該半導體層和該閘極絕緣膜之間。

7.如申請專利範圍第 5 項的的半導體裝置，其中，將該絕緣層插置於該閘極絕緣膜和該閘極電極之間。

8.如申請專利範圍第 5 項的的半導體裝置，其中，該絕緣層具有位於該半導體層上方的開口。

9.如申請專利範圍第 5 項的的半導體裝置，其中，該絕緣層為不連續層。

10.如申請專利範圍第 9 項的的半導體裝置，其中，該絕緣層的長度沿該閘極電極的閘極長度方向大於或等於 $3\mu\text{m}$ ，且小於或等於 $10\mu\text{m}$ 。

11.如申請專利範圍第 5 項的的半導體裝置，其中，該閘極絕緣膜的膜厚度為 20nm ，該絕緣層的膜厚度大於或等於 5nm ，且小於或等於 70nm 。

12.如申請專利範圍第 5 項的的半導體裝置，其中，該絕緣層的端部的側表面垂直於該絕緣表面。

13.如申請專利範圍第 5 項的的半導體裝置，其中，該絕緣層的端部的側表面相對於該絕緣表面傾斜。

14.如申請專利範圍第 5 項的的半導體裝置，其中，該絕緣層的端部位於該半導體層的傾斜的側表面上。

15.一種半導體裝置，包含：

(3)

形成於基板上的絕緣層；

形成於該絕緣層上的半導體層；

形成於該半導體層上的閘極絕緣膜；以及

形成於該閘極絕緣膜上的閘極電極，

其中，該半導體層的端部相對於該基板的該表面以第一角度傾斜，該絕緣層的端部以相對於該基板的該表面的第二角度傾斜，和

其中，該第二角度小於該第一角度。

16.如申請專利範圍第 15 項的半導體裝置，其中，該第一角度大於或等於 10 度，且小於或等於 40 度，和該第二角度大於或等於 5 度，且小於或等於 15 度。

17.一種半導體裝置的製造方法，包含：

在絕緣表面上形成半導體層；

在該半導體層上形成第一絕緣層；

在該第一絕緣層上形成掩模，

在形成該掩模之後，有選擇地去除該第一絕緣層，以形成覆蓋該半導體層的端部的第二絕緣層；

在該半導體層和該第二絕緣層的暴露部分上形成當成閘極絕緣膜的第三絕緣層；以及

在該第三絕緣層上形成當成閘極電極的導電層。

18.一種半導體裝置的製造方法，包含：

在絕緣表面上形成半導體層；

在該半導體層上形成當成閘極絕緣膜的第一絕緣層；

在該第一絕緣層上形成第二絕緣層；

(4)

在該第二絕緣層上形成掩模，

在形成該掩模之後，去除該第二絕緣層，以形成覆蓋該半導體層的端部的第三絕緣層；以及

在該第一絕緣層上形成當成閘極電極的導電層。

19.一種半導體裝置的製造方法，包含：

在絕緣表面上形成半導體層；

在該半導體層上形成掩模，該掩模具有頂邊大於底邊的梯形形狀；

在該半導體層和具有該梯形的該掩模的每個上形成第一絕緣層，

在形成該第一絕緣層之後，去除具有該梯形形狀的該掩模，以形成覆蓋該半導體的端部的第二絕緣層；

在該第二絕緣層和該半導體層的暴露部分上形成當成閘極絕緣膜的第三絕緣層；以及

在該第三絕緣層上形成當成閘極電極的導電層。

20.一種半導體裝置的製造方法，包含：

在絕緣表面上形成半導體層；

在該半導體層上形成當成閘極絕緣膜的第一絕緣層；

在該第一絕緣層上形成掩模，該掩模具有頂邊大於底邊的梯形形狀；

在該第一絕緣層和具有該梯形形狀的該掩模的每個上形成第二絕緣層，

在形成該第二絕緣層之後，去除具有該梯形形狀的該掩模，以形成覆蓋該半導體的端部的第三絕緣層；以及

(5)

在該第二絕緣層上形成當成閘極電極的導電層。

21.一種半導體裝置的製造方法，包含：

在絕緣表面上形成半導體層；

在該半導體層上形成掩模；

在該半導體層和該掩模上形成第一絕緣層；

部分去除該掩模和該第一絕緣層，

在部分去除該掩模和該第一絕緣層之後，去除該掩模的其餘部分，以形成覆蓋該半導體層的端部的第二絕緣層；

在該第二絕緣層和該半導體層的暴露部分上形成當成閘極絕緣膜的第三絕緣層；以及

在該第三絕緣層上形成當成閘極電極的導電層。

22.一種半導體裝置的製造方法，包含：

在絕緣表面上形成半導體層；

在該半導體層上形成當成閘極絕緣膜的第一絕緣層；

在該第一絕緣層上形成掩模；

在該第一絕緣層和該掩模上形成第二絕緣層；

部分去除該掩模和該第一絕緣層，

去除該掩模的其餘部分，以形成覆蓋該半導體層的端部的第三絕緣層。

23.一種半導體裝置的製造方法，包含：

在具有透光特性的基板上形成半導體層；

在該半導體層上形成第一絕緣層；

在該第一絕緣層上塗覆抗蝕劑，

(6)

在該第一絕緣層上形成該抗蝕劑之後，採用該半導體層作為掩模，將光經由該具有透光特性的基板，照射至該抗蝕劑，從而使該抗蝕劑曝光；

顯影該經曝光的抗蝕劑，從而在該第一絕緣層上形成掩模；

利用該掩模蝕刻該第一絕緣層，以形成覆蓋該半導體層的端部的第二絕緣層；

在該第二絕緣層和該半導體層的暴露部分上形成當成閘極絕緣膜的第三絕緣層；以及

在該第三絕緣層上形成當成閘極電極的導電層。

24.一種半導體裝置的製造方法，包含：

在具有透光特性的基板上形成半導體層；

在該半導體層上形成當成閘極絕緣膜作用的第一絕緣層；

在該第一絕緣層上形成第二絕緣層；

在該第二絕緣層上塗覆抗蝕劑，

在塗覆該抗蝕劑之後，採用該半導體層作為掩模，將光經由該具有透光特性的基板，照射至該抗蝕劑，從而使該抗蝕劑曝光；

顯影該經曝光的抗蝕劑，從而在該第二絕緣層上形成掩模；

利用該掩模蝕刻該第二絕緣層，以形成覆蓋該半導體層的端部的第三絕緣層；以及

在該第一絕緣層上形成當成閘極電極的導電層。

(7)

25.一種半導體裝置的製造方法，包含：

在絕緣表面上形成第一半導體層；

在該第一半導體層上形成掩模；

利用該掩模蝕刻該第一半導體層，以形成第二半導體層；

在該掩模的表面上執行防液體處理，

在執行該防液體處理之後，形成部分覆蓋該第二半導體層的第一絕緣層；

去除該掩模，

在去除該掩模之後，形成覆蓋該第一絕緣層和該半導體層的當成閘極絕緣膜作用的第二絕緣層；以及

在該第二絕緣層上形成當成閘極電極的導電層。

26.一種半導體裝置的製造方法，包含：

在絕緣表面上形成第一半導體層；

在該第一半導體層上形成當成閘極絕緣膜的第一絕緣層；

在該第一絕緣層上形成掩模；

利用該掩模蝕刻該第一絕緣層和該第一半導體層，以形成第二絕緣層和第二半導體層；

在該掩模的表面上執行防液體處理，

在執行該防液體處理之後，形成部分覆蓋該第二半導體層的第三絕緣層；

去除該掩模，以及

在去除該掩模之後，在該第二絕緣層上形成當成閘極

(8)

電極的導電層。

27.一種半導體裝置的製造方法，包含：

在絕緣表面上形成半導體層；

在該半導體層上形成第一絕緣層；

藉由對該第一絕緣層的各向異性刻蝕形成與該半導體層的側表面接觸的第二絕緣層；

形成覆蓋該第二絕緣層和該半導體層的當成閘極絕緣膜的第三絕緣層；以及

在該第三絕緣層上形成當成閘極電極的導電層。

28.一種半導體裝置的製造方法，包含：

在絕緣表面上形成半導體層；

在該半導體層上形成第一絕緣層；

在該第一絕緣層上形成掩模，

在形成該掩模之後，藉由高密度電漿處理氧化該半導體層的端部的一部分；以及

去除該掩模，和

在去除該掩模之後，在該第一絕緣層上形成當成閘極電極的導電層。

圖 1A

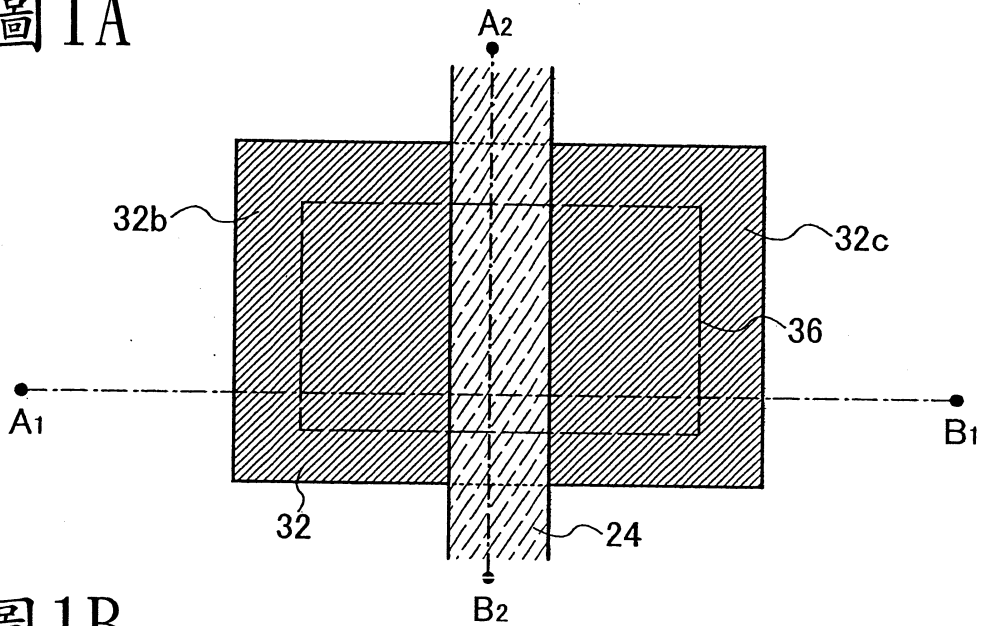


圖 1B

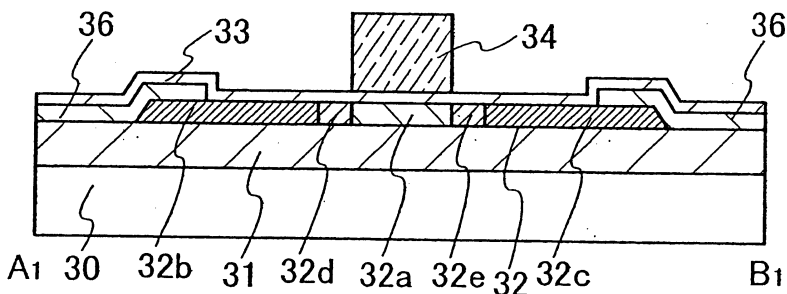


圖 1C

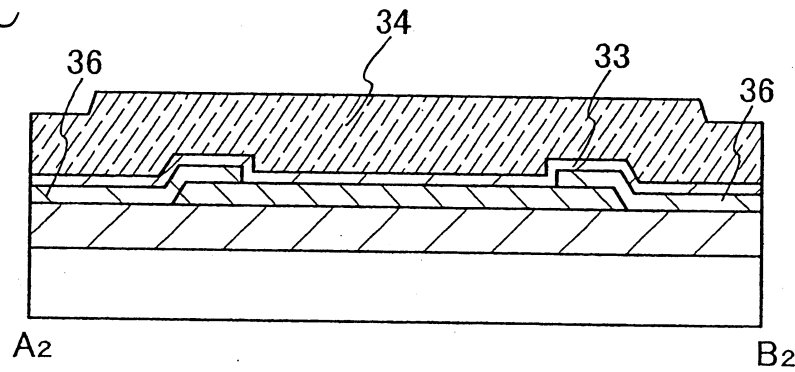


圖 2A

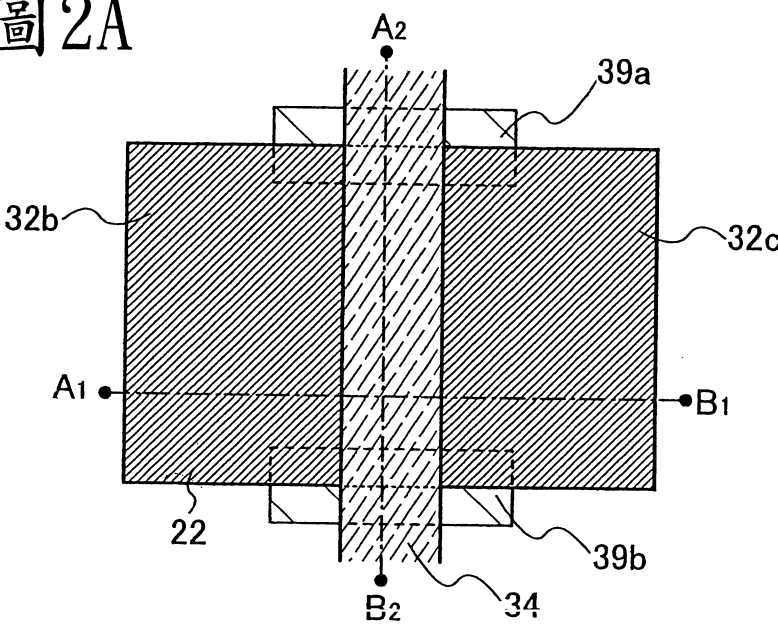


圖 2B

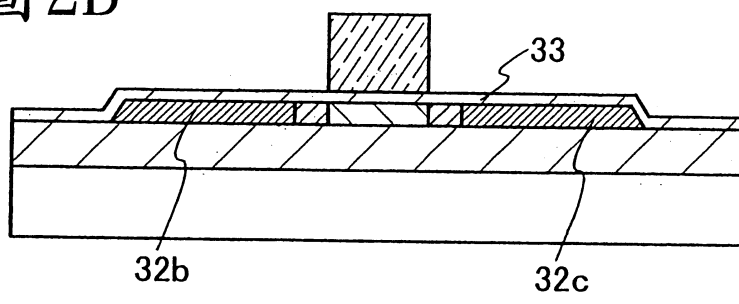


圖 2C

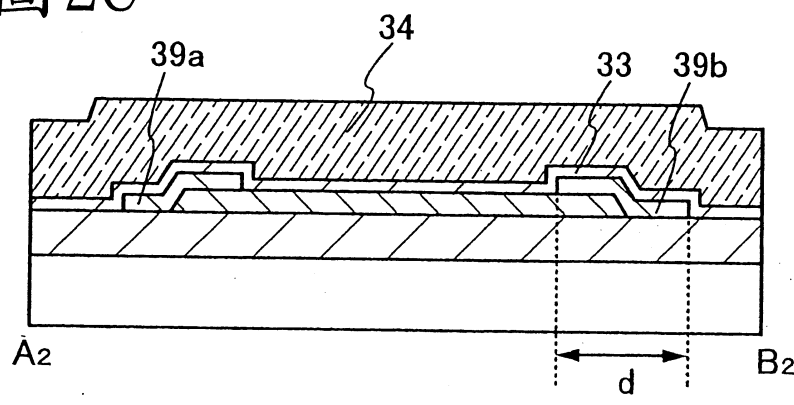


圖 3A

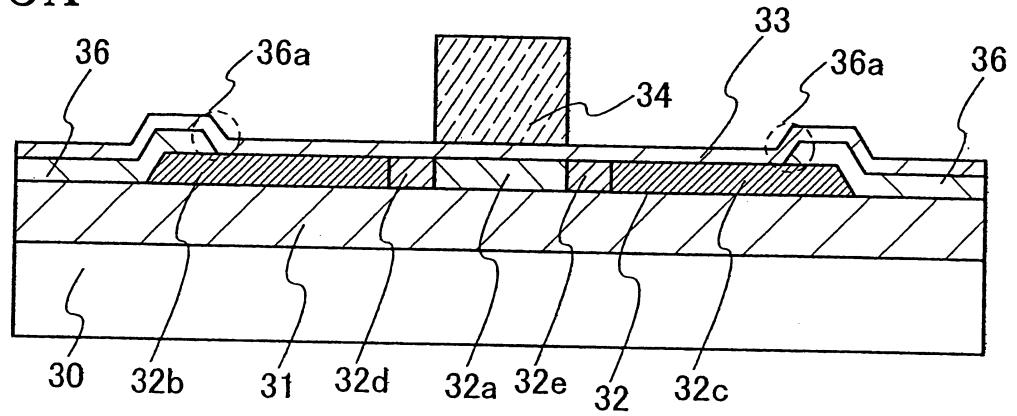


圖 3B

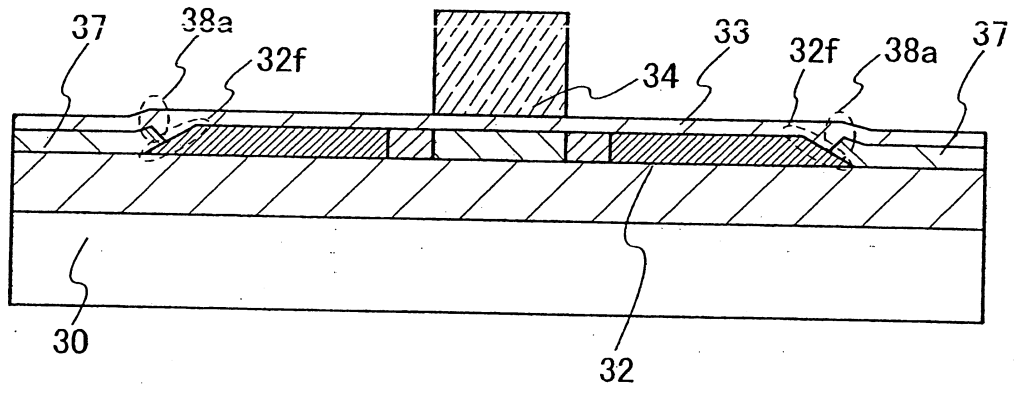


圖 3C

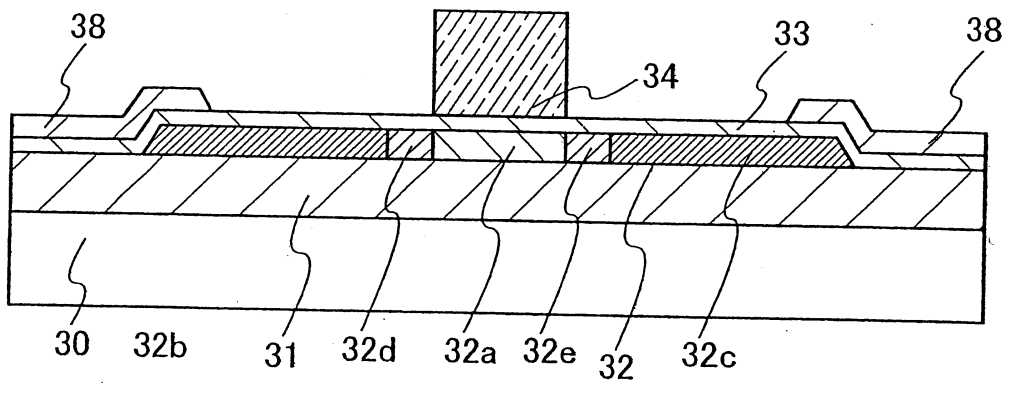


圖 4A

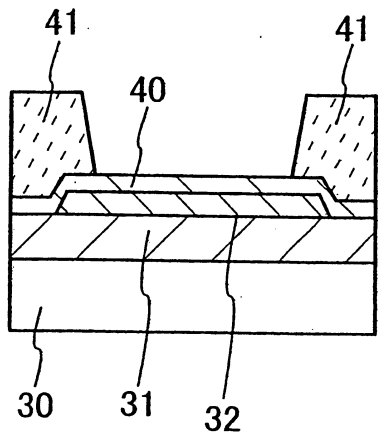


圖 4D

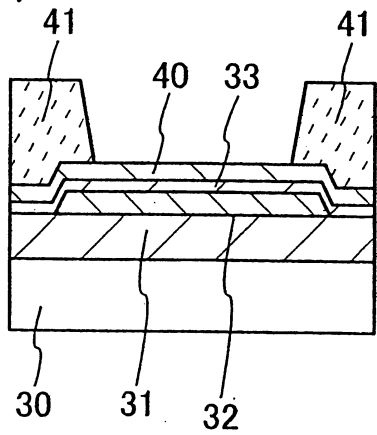


圖 4B

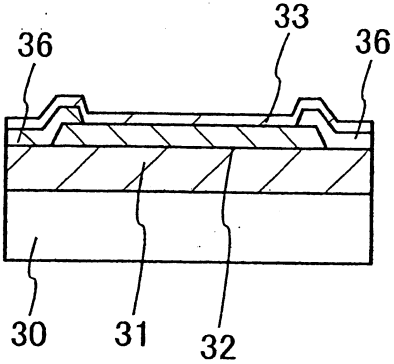


圖 4E

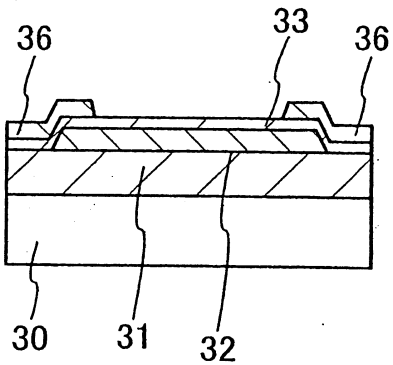


圖 4C

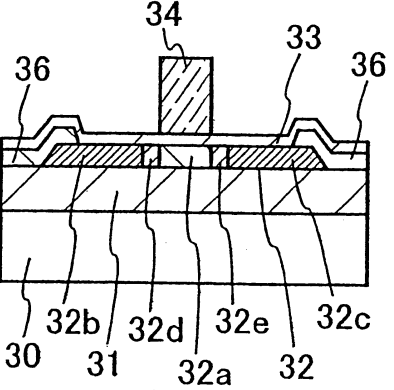


圖 4F

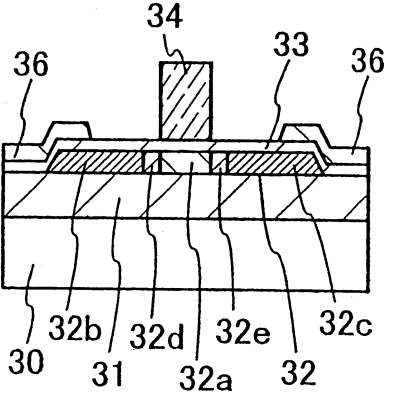


圖 5A

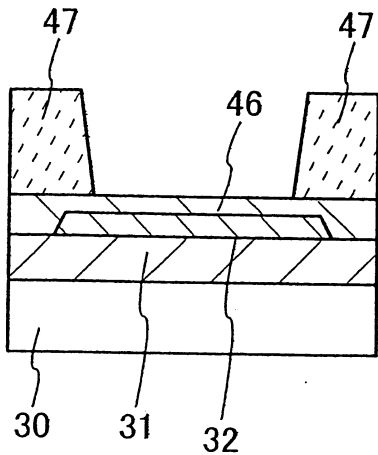


圖 5D

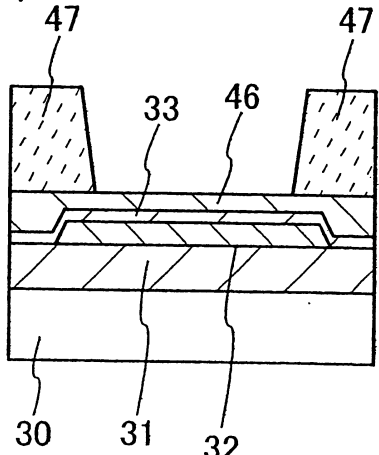


圖 5B

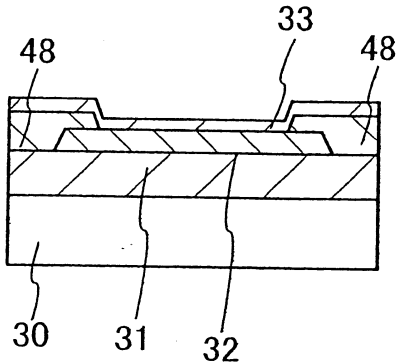


圖 5E

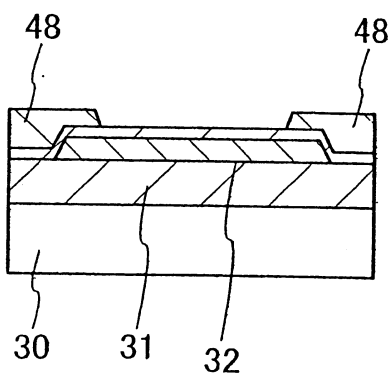


圖 5C

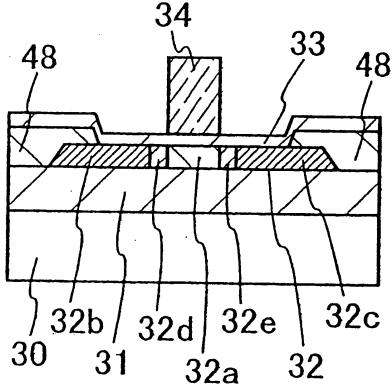


圖 5F

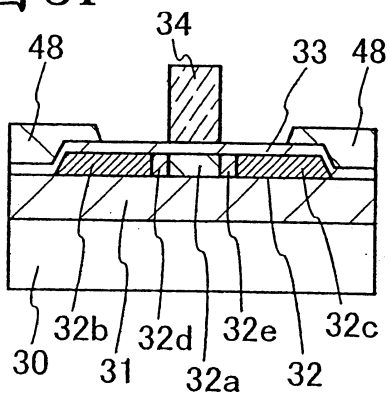


圖 6A

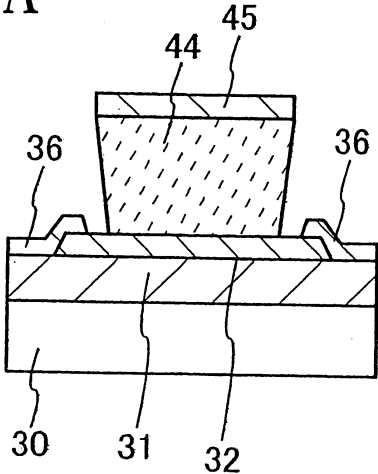


圖 6D

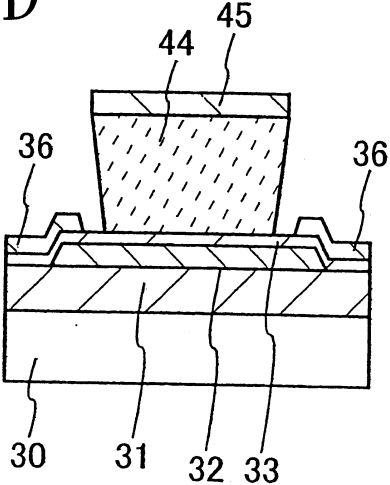


圖 6B

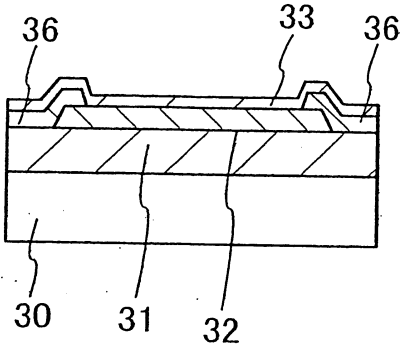


圖 6E

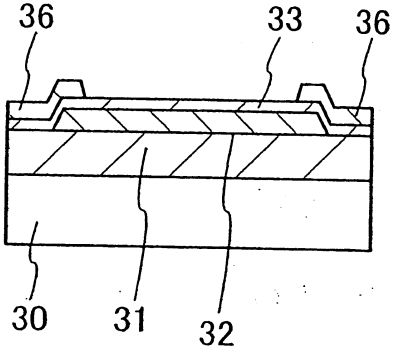


圖 6C

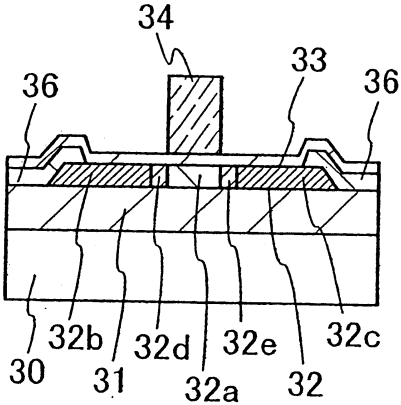


圖 6F

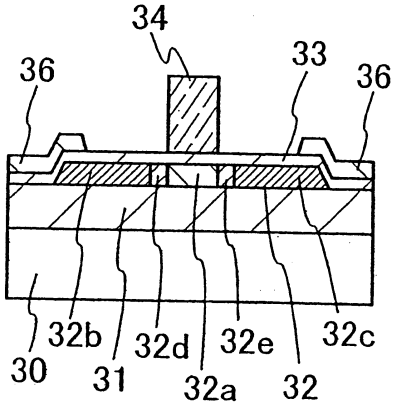


圖 7A

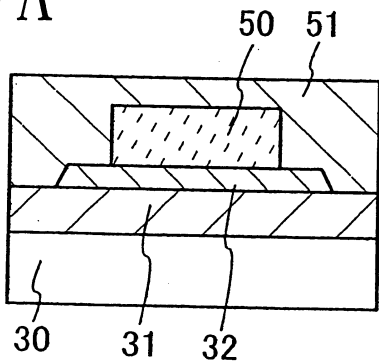


圖 7F

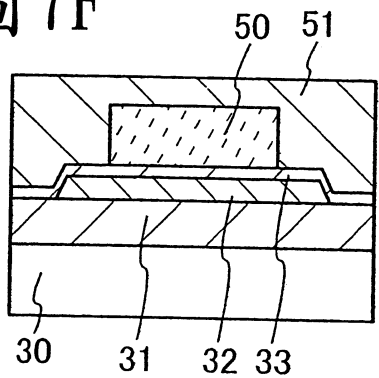


圖 7B

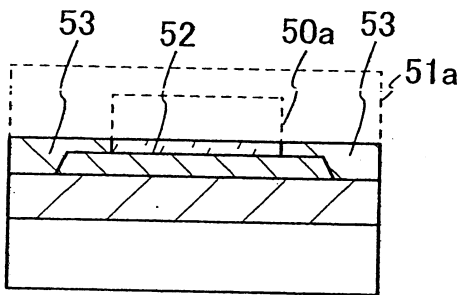


圖 7G

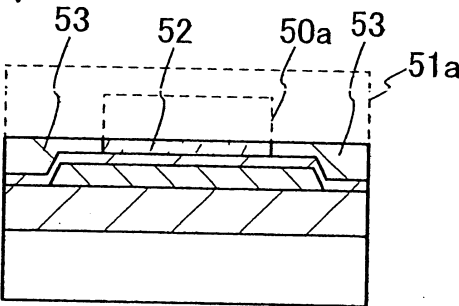


圖 7C

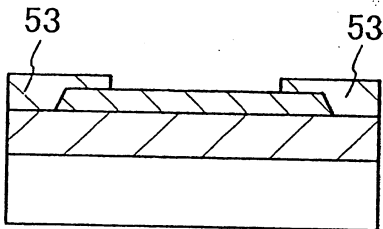


圖 7H

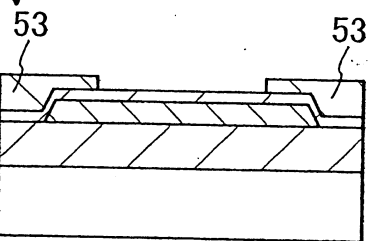


圖 7D

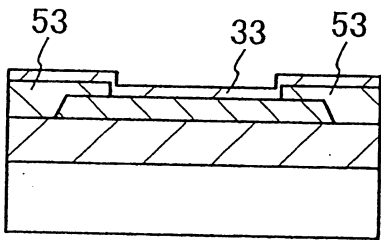


圖 7I

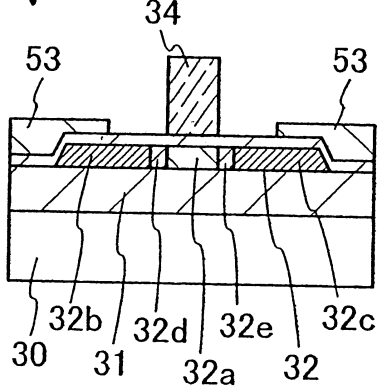


圖 7E

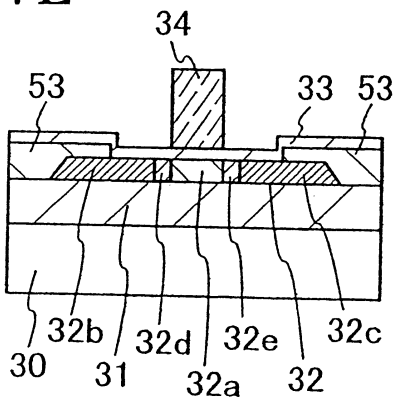


圖 8A

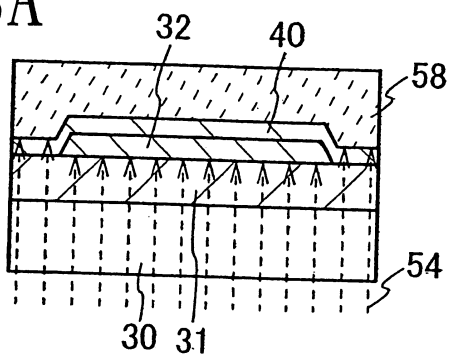


圖 8F

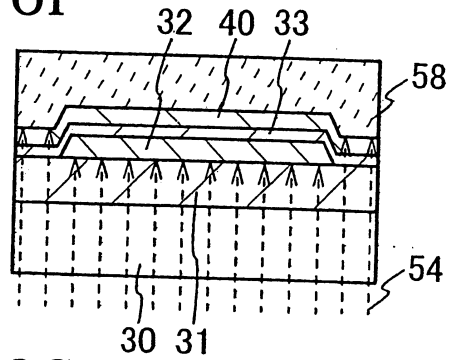


圖 8B

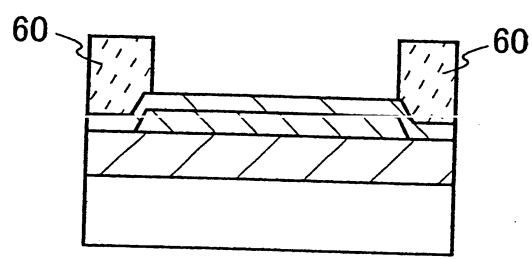


圖 8G

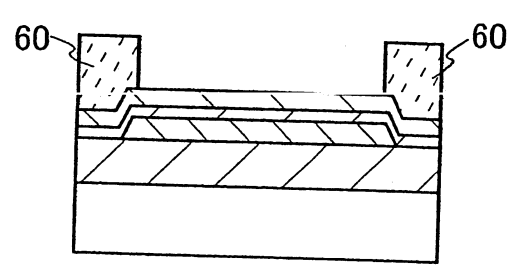


圖 8C

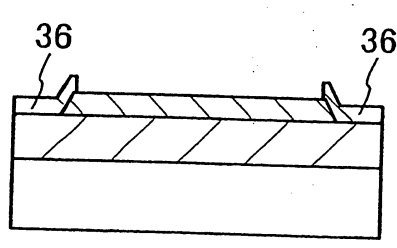


圖 8H

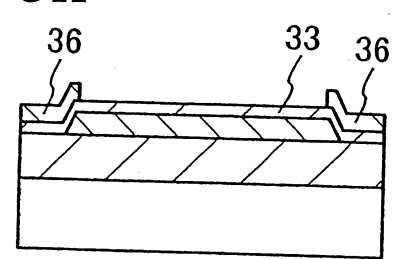


圖 8D

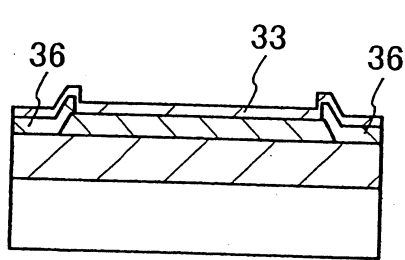


圖 8I

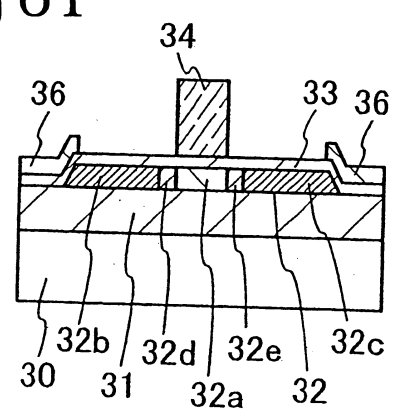


圖 8E

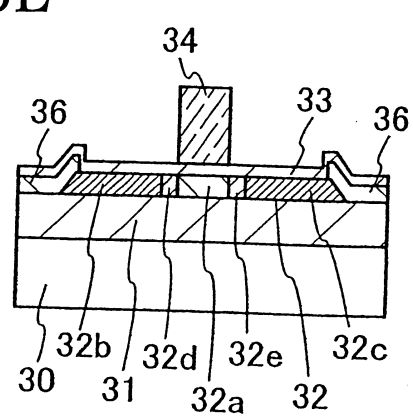


圖 9A

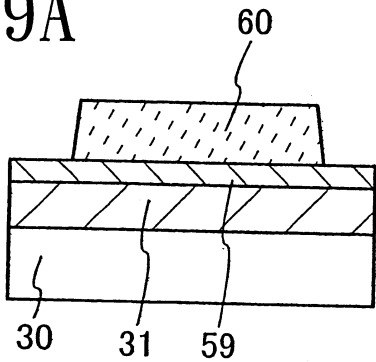


圖 9F

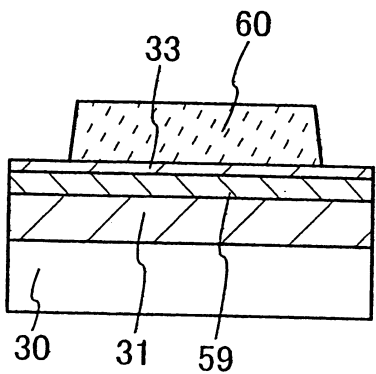


圖 9B

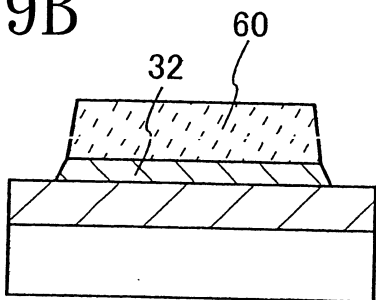


圖 9G

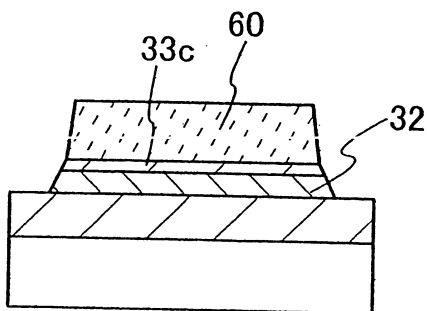


圖 9C

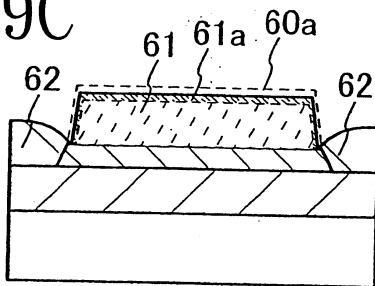


圖 9H

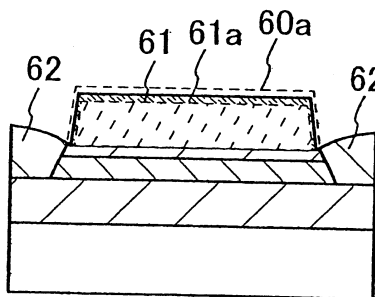


圖 9D

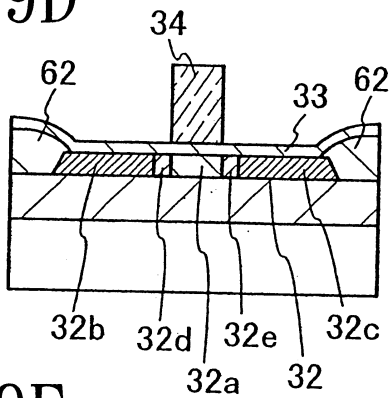


圖 9I

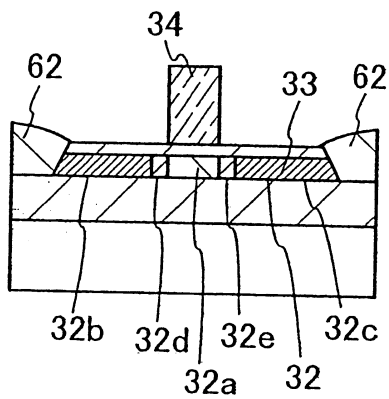


圖 9E

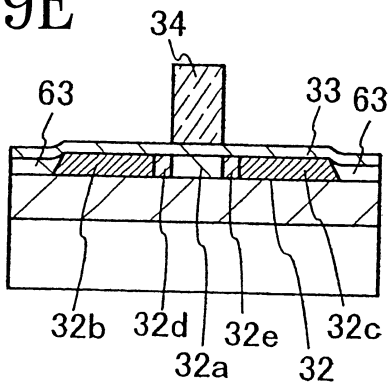


圖 10A

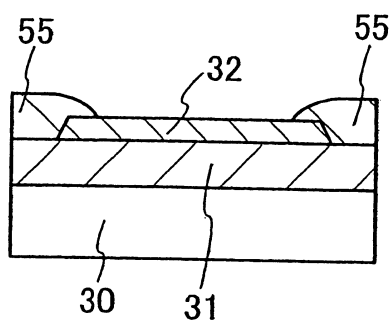


圖 10E

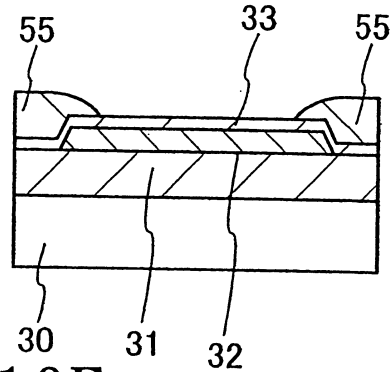


圖 10B

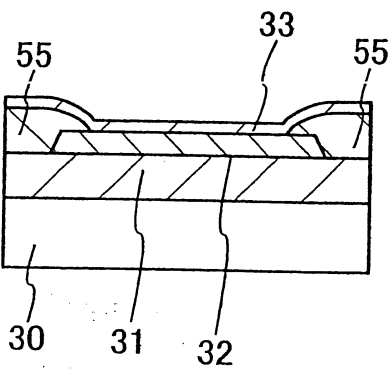


圖 10F

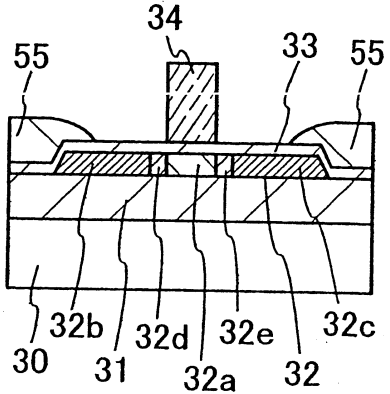


圖 10C

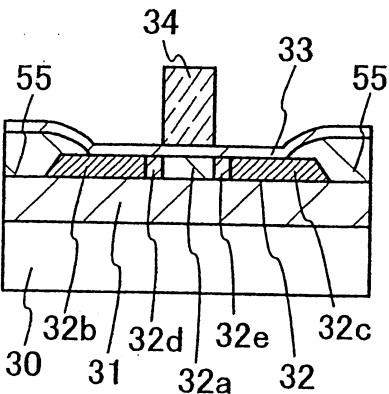


圖 10G

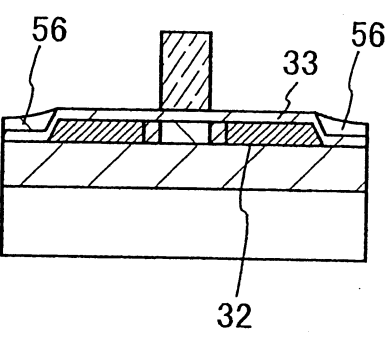


圖 10D

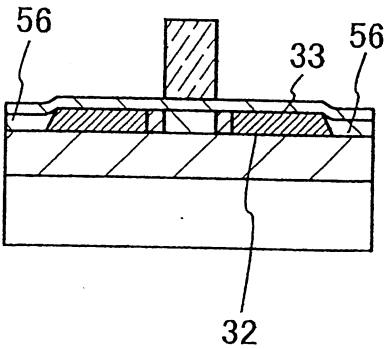


圖11A

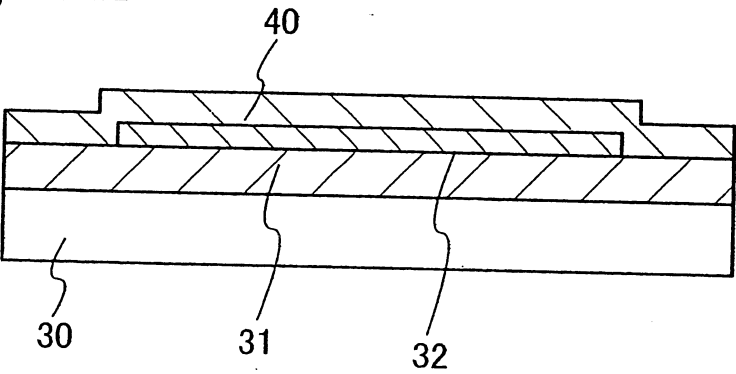


圖11B

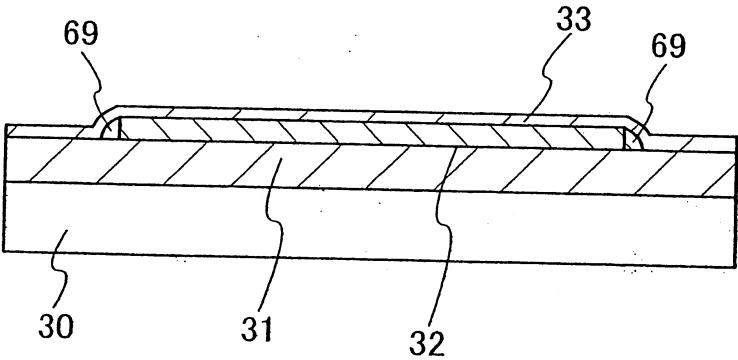


圖11C

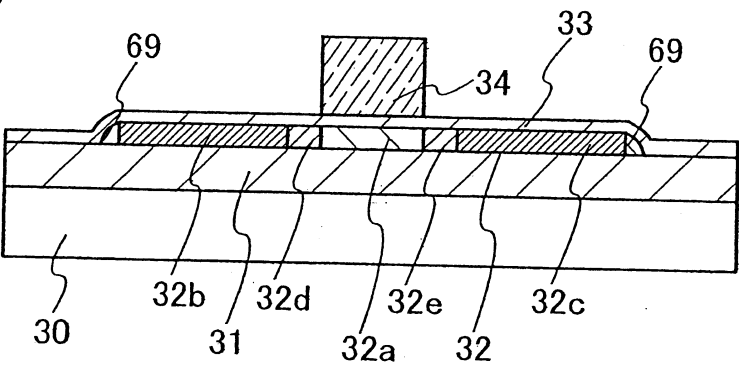


圖12A

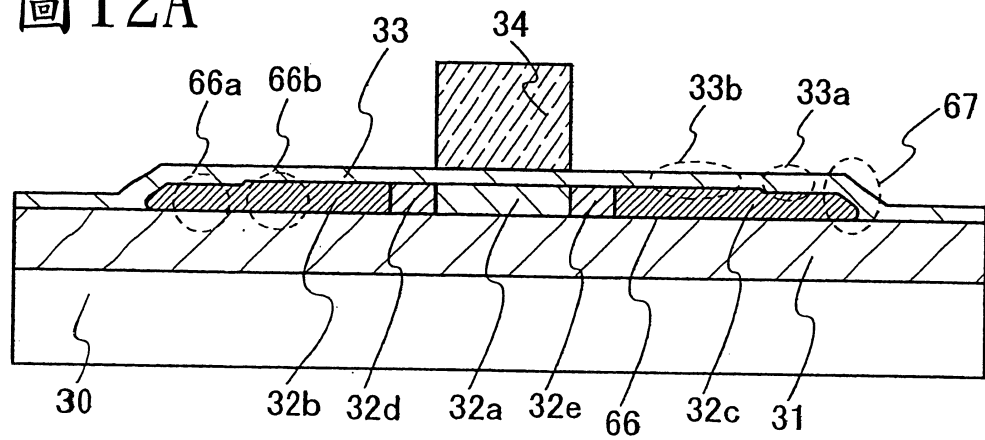


圖12B

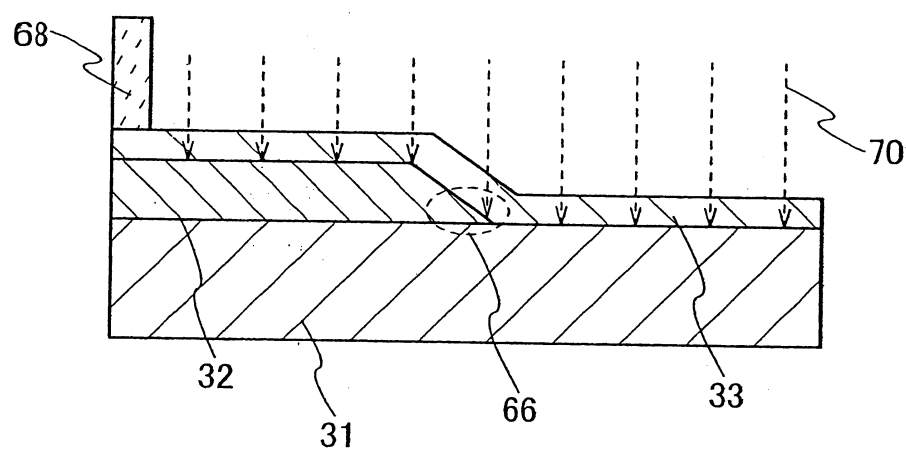


圖12C

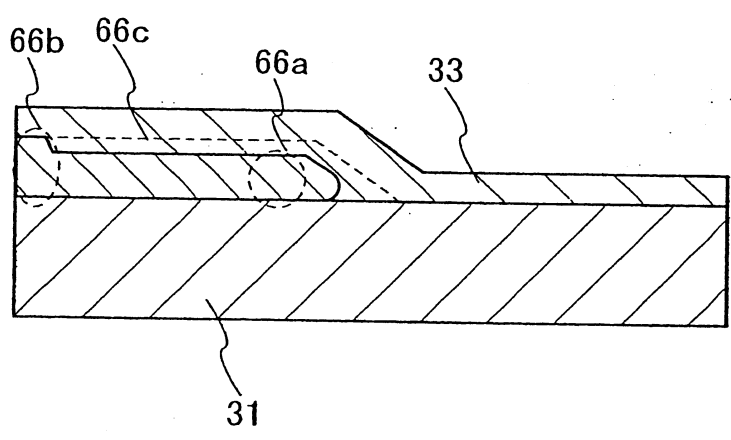


圖 13A

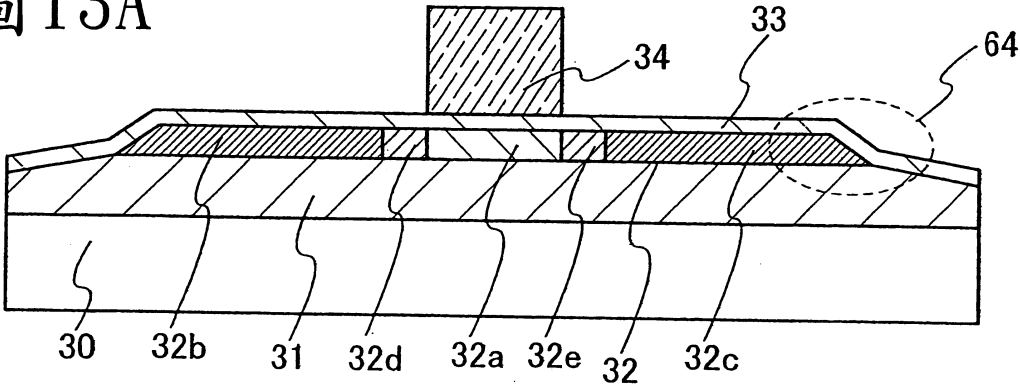


圖 13B

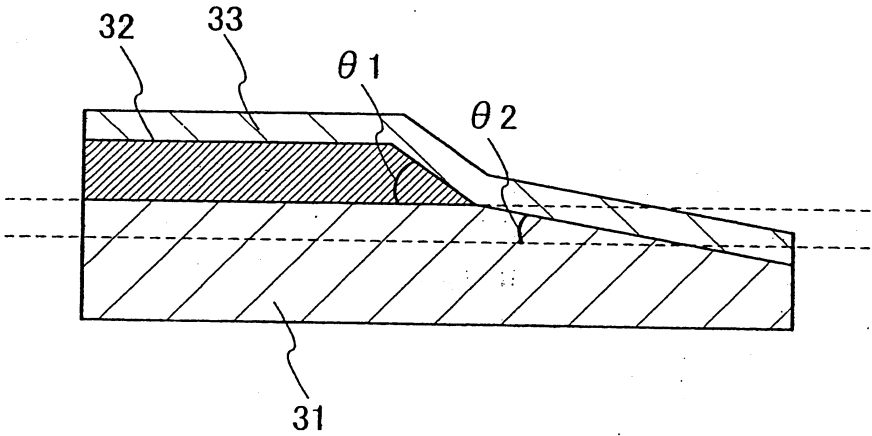


圖 13C

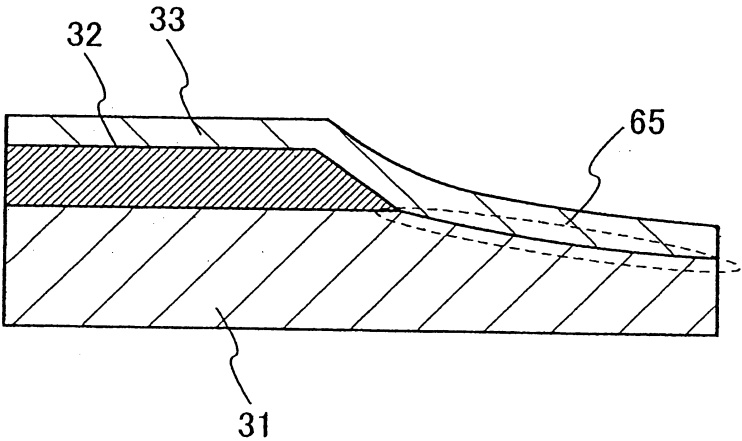


圖 14A

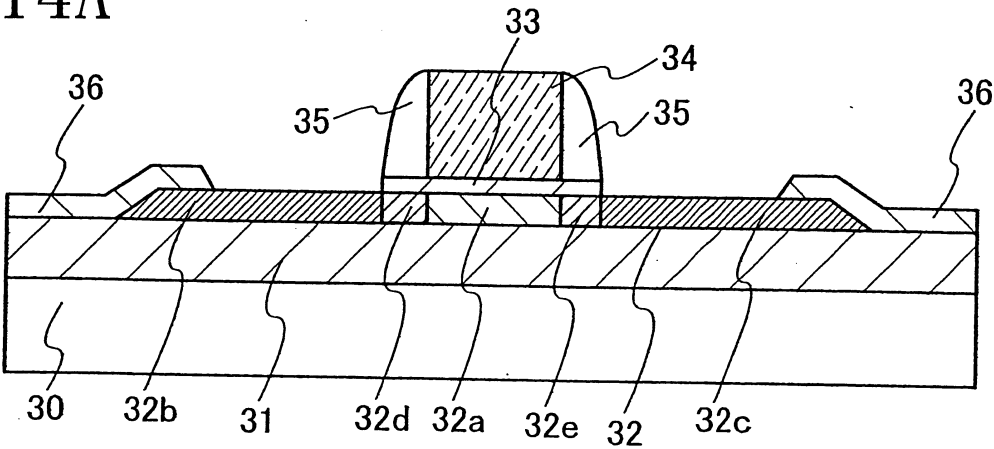


圖 14B

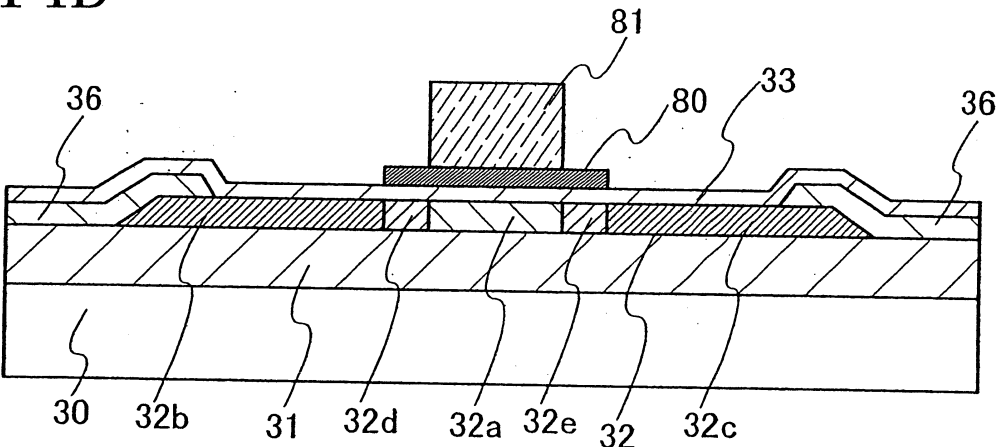


圖 14C

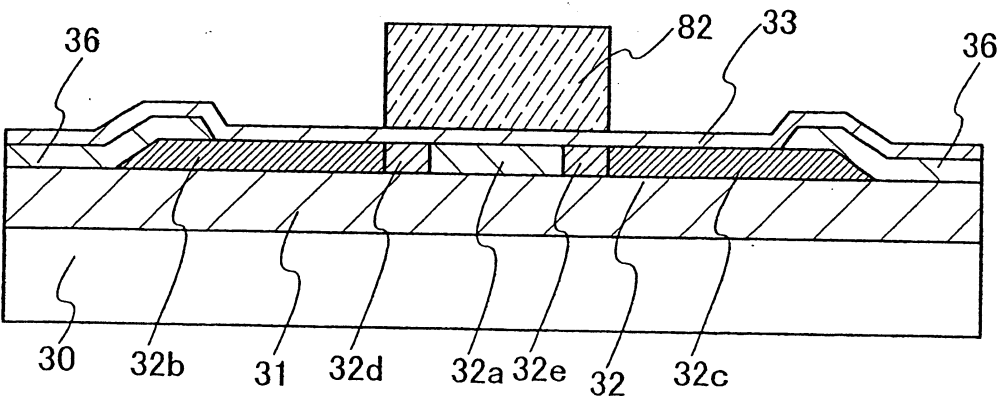


圖 15A

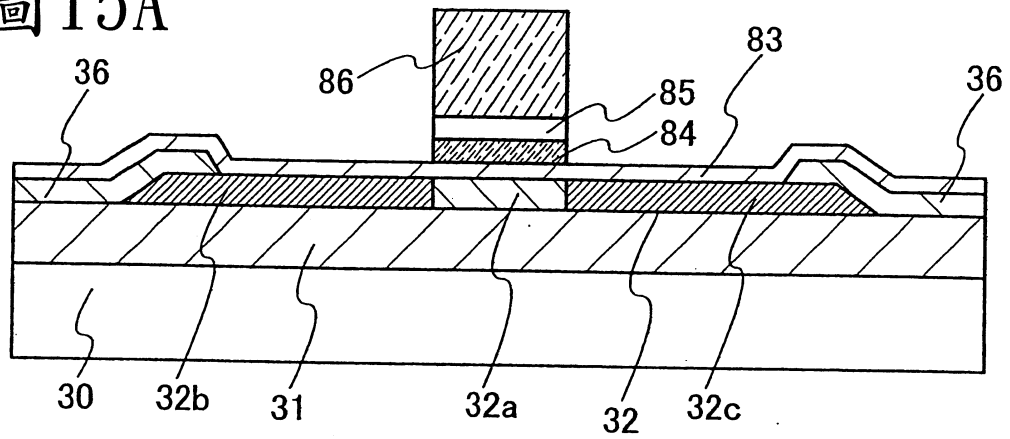


圖 15B

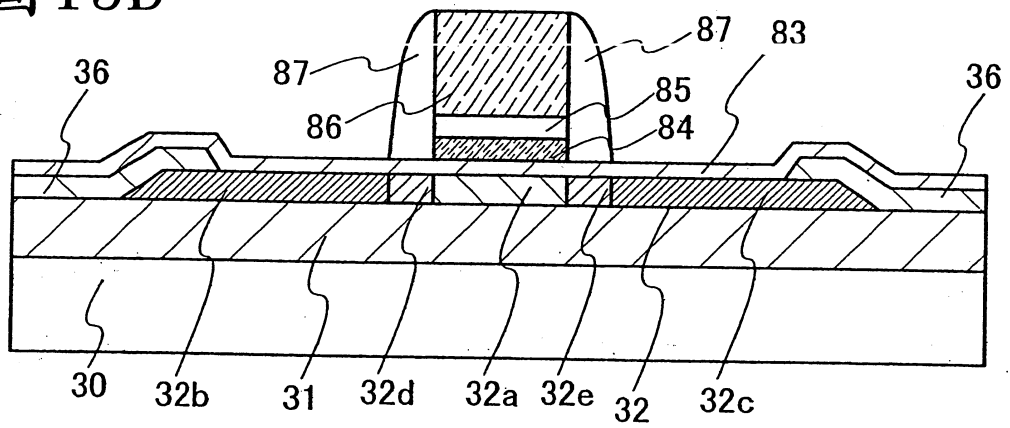


圖 15C

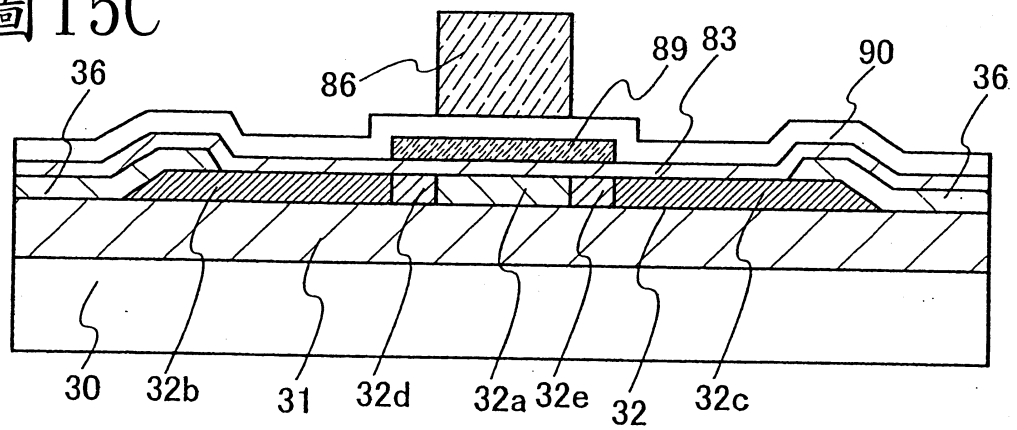


圖 15D

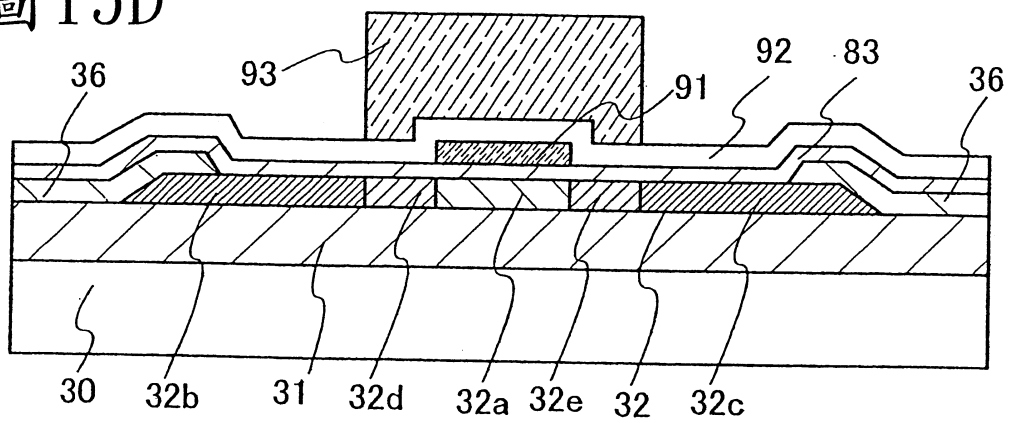


圖16

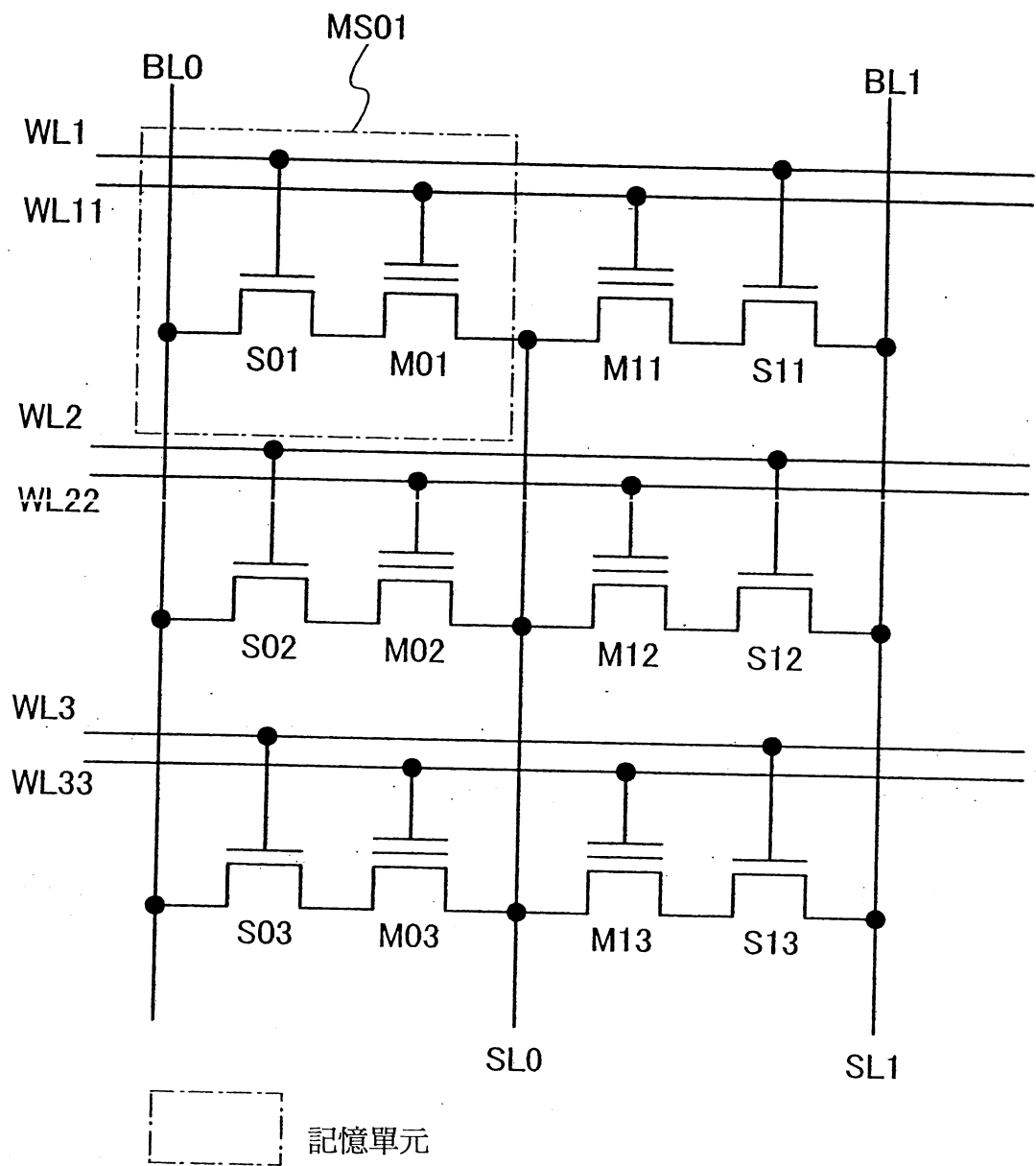


圖17

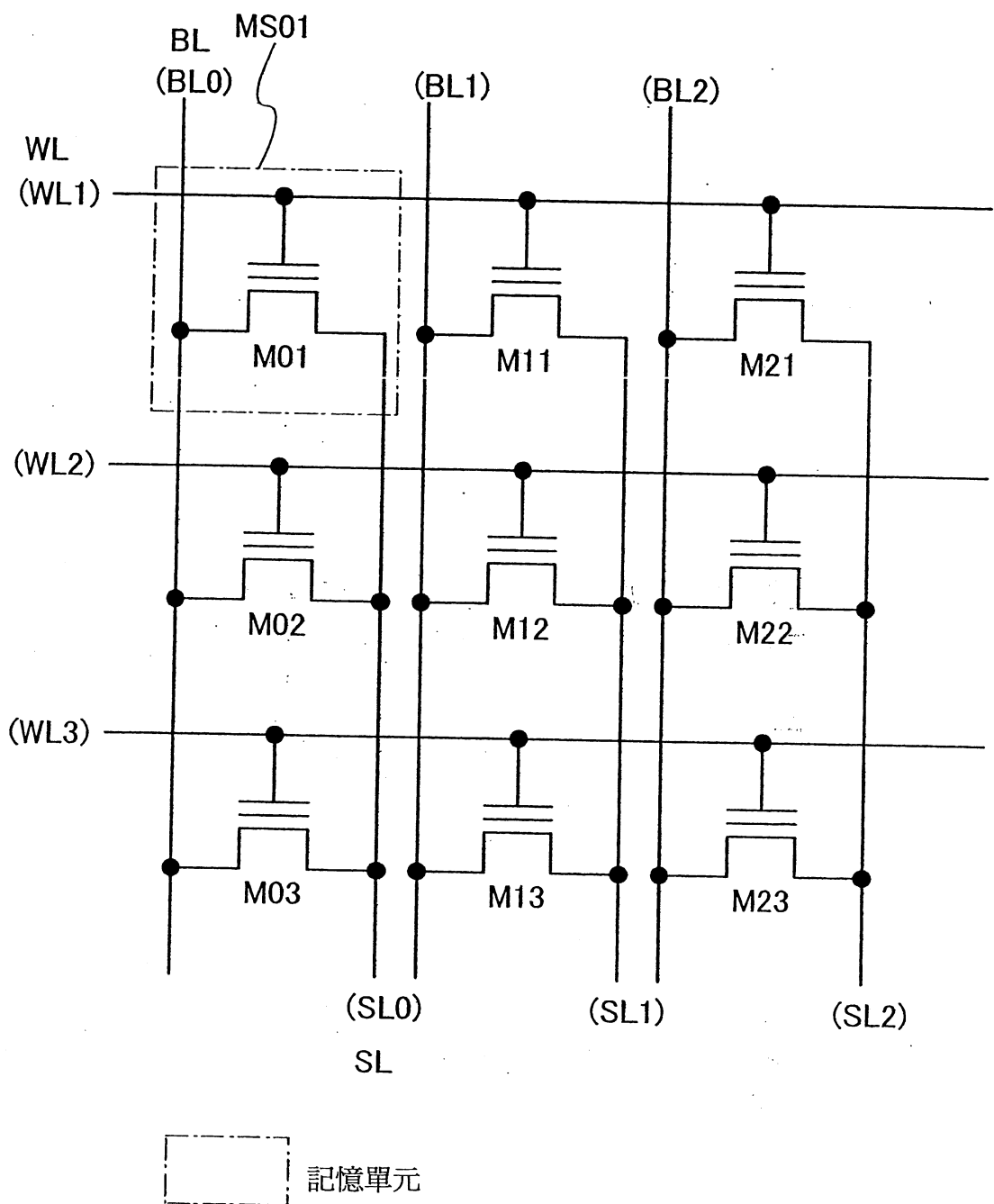


圖 18

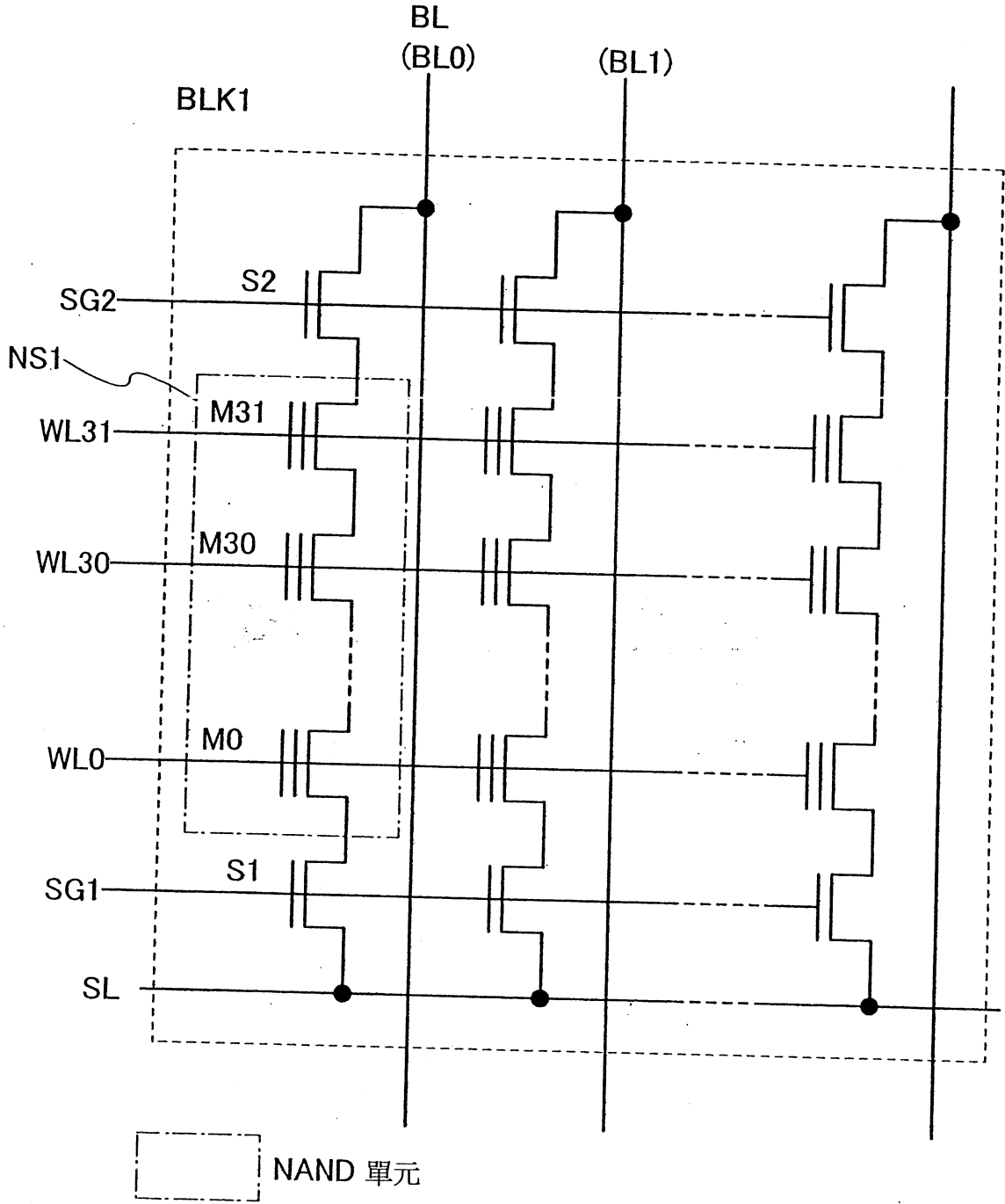


圖19A "0" 寫入

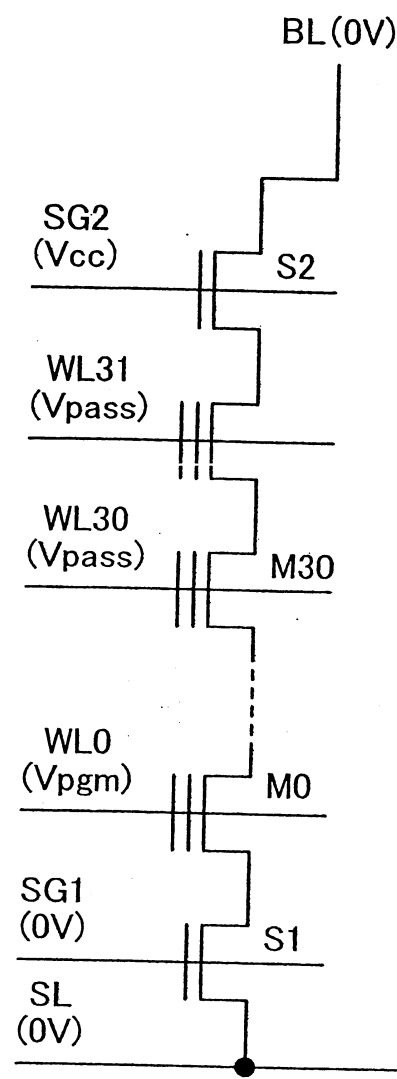


圖19B "1" 寫入

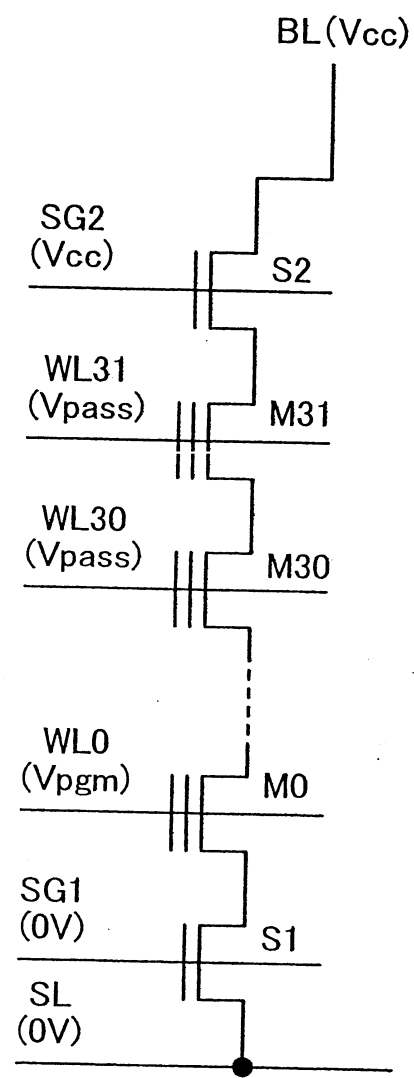


圖 20A 抹除

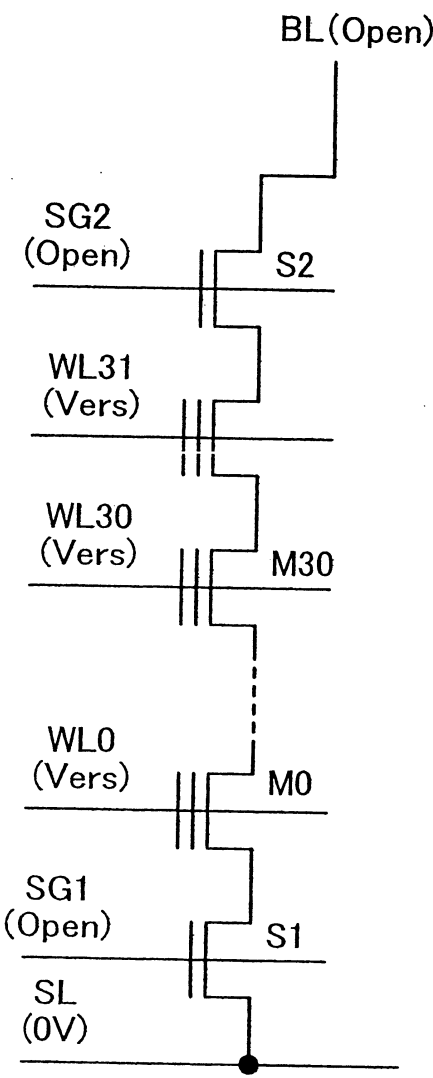


圖 20B 讀取

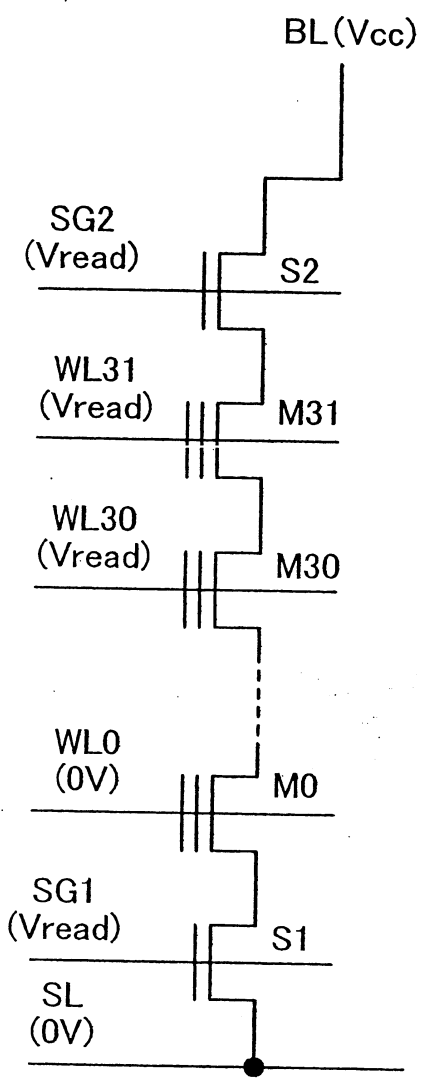


圖21

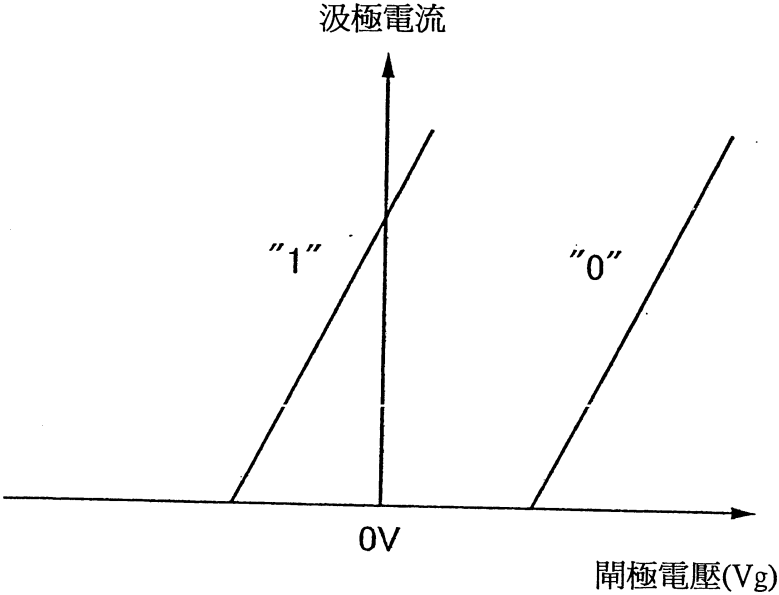


圖 22

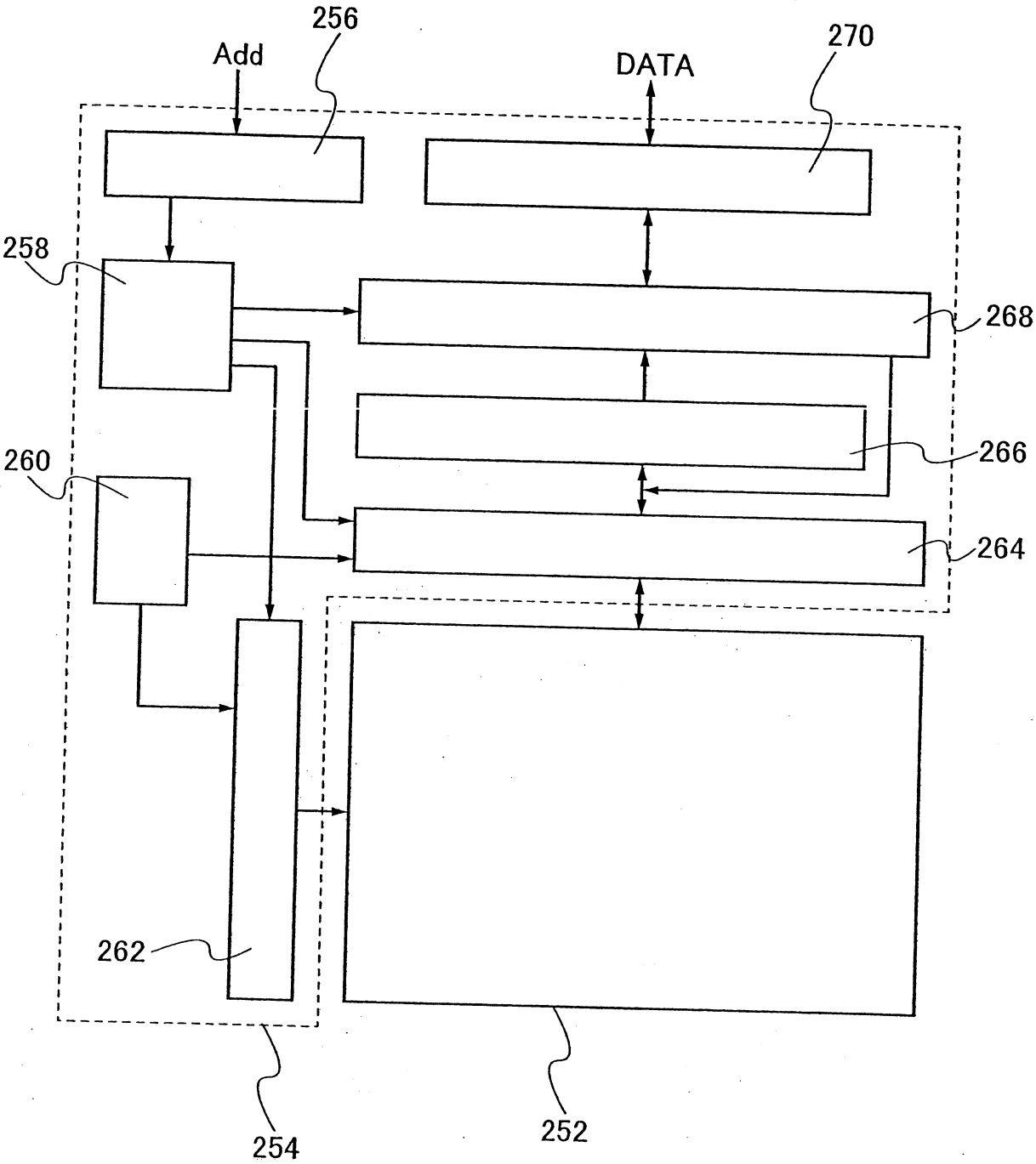


圖 23

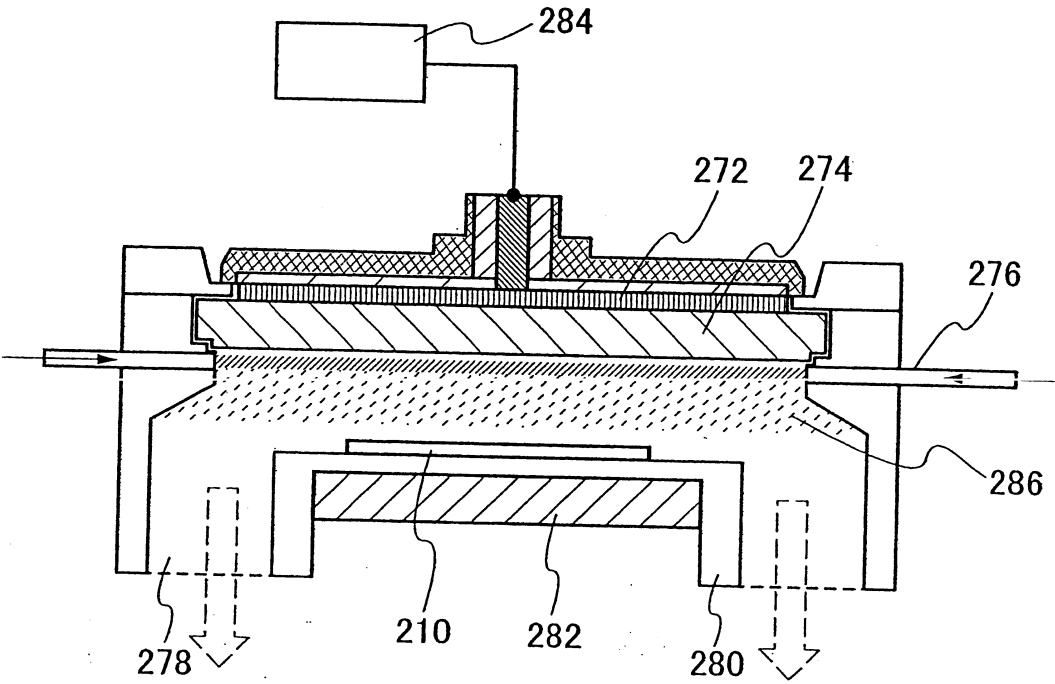


圖 24A

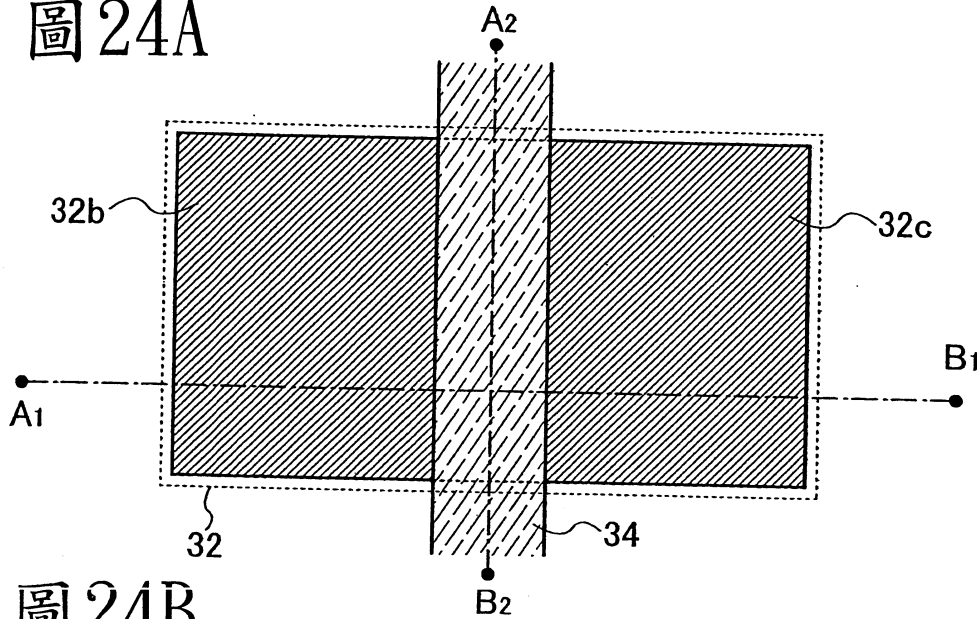


圖 24B

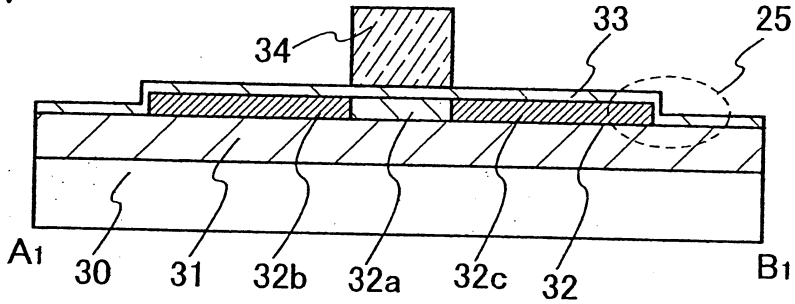


圖 24C

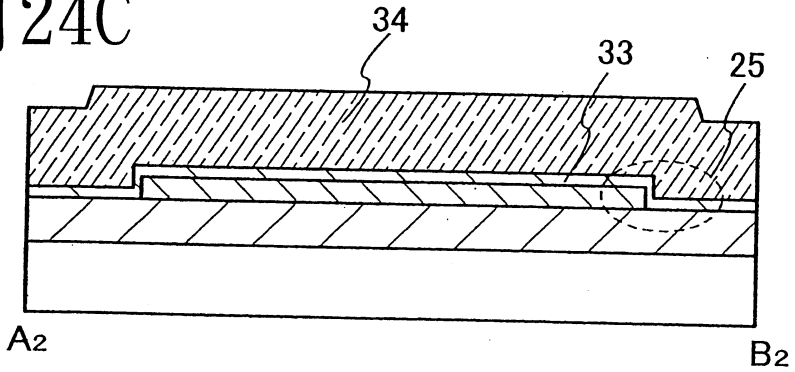


圖 24D

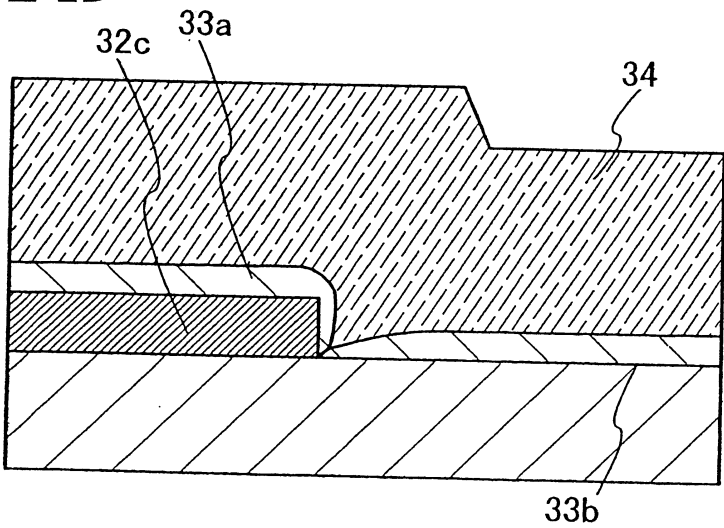


圖25A

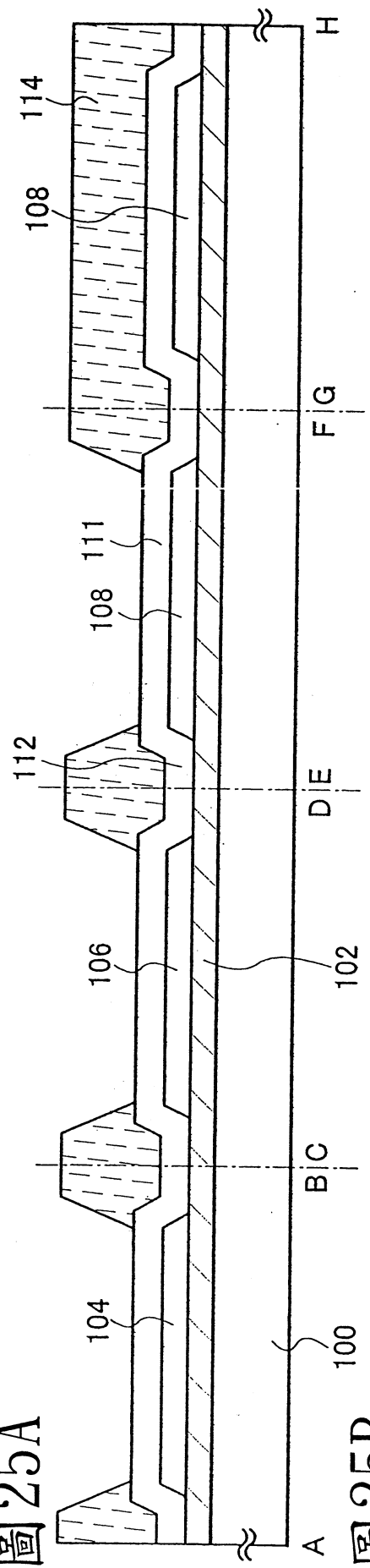


圖25B

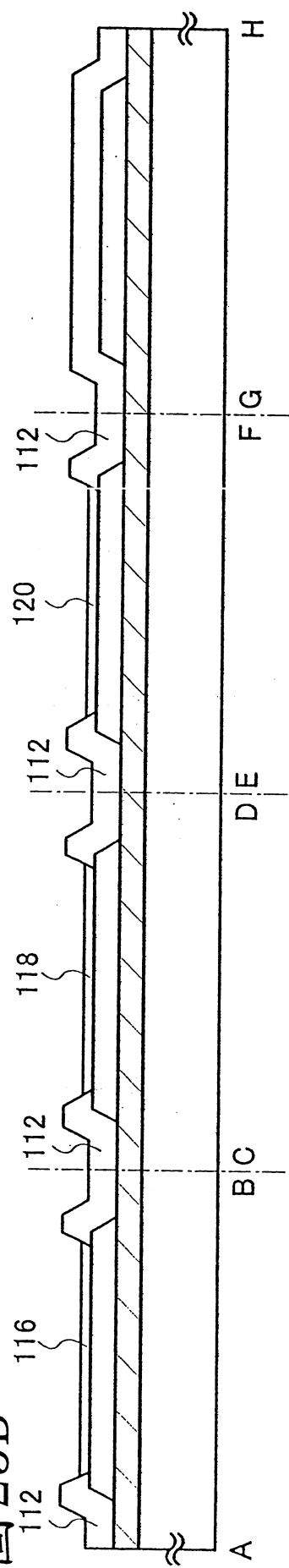


圖25C

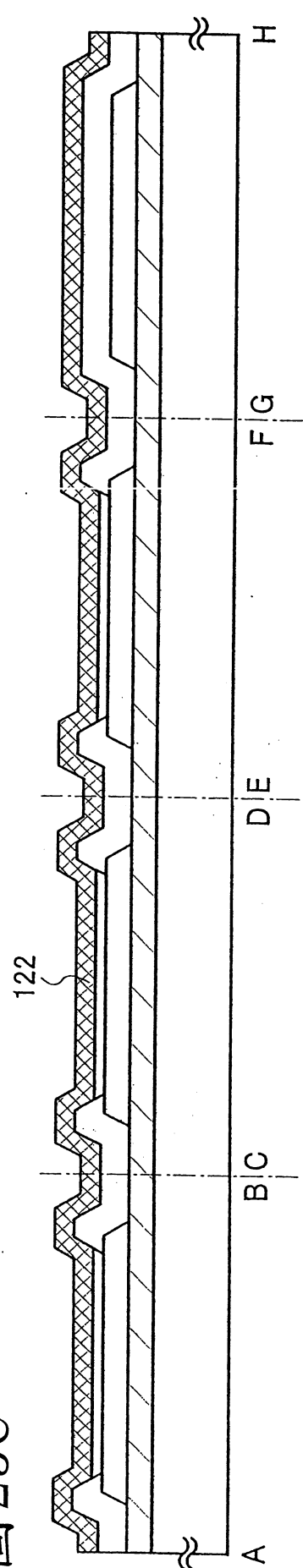


圖 26A

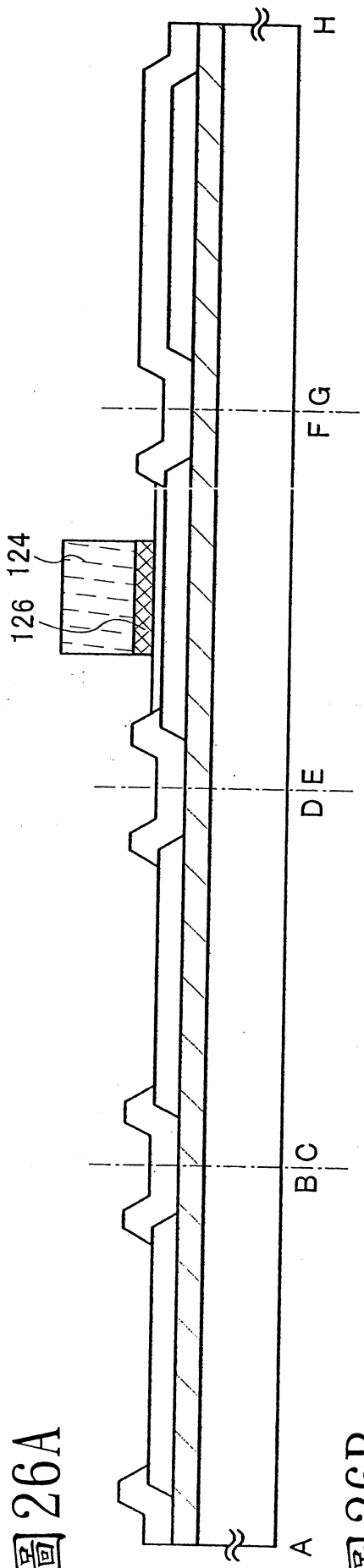


圖 26B

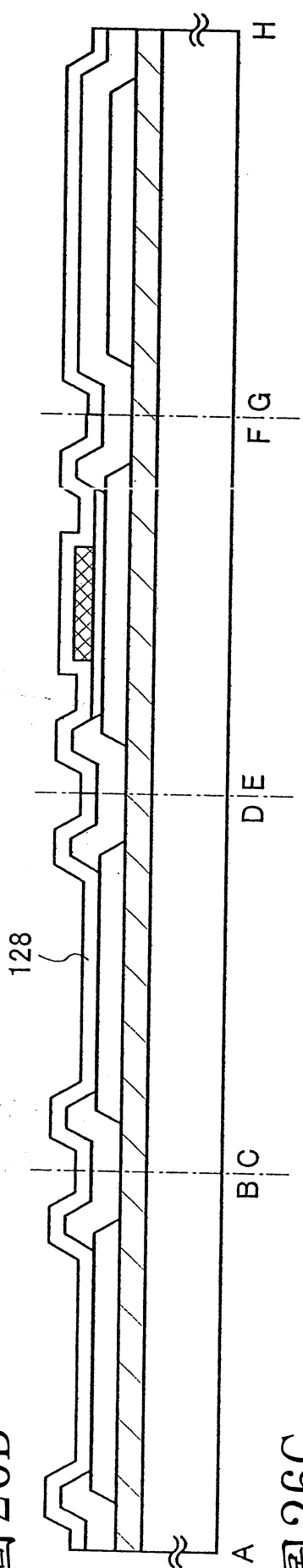


圖 26C

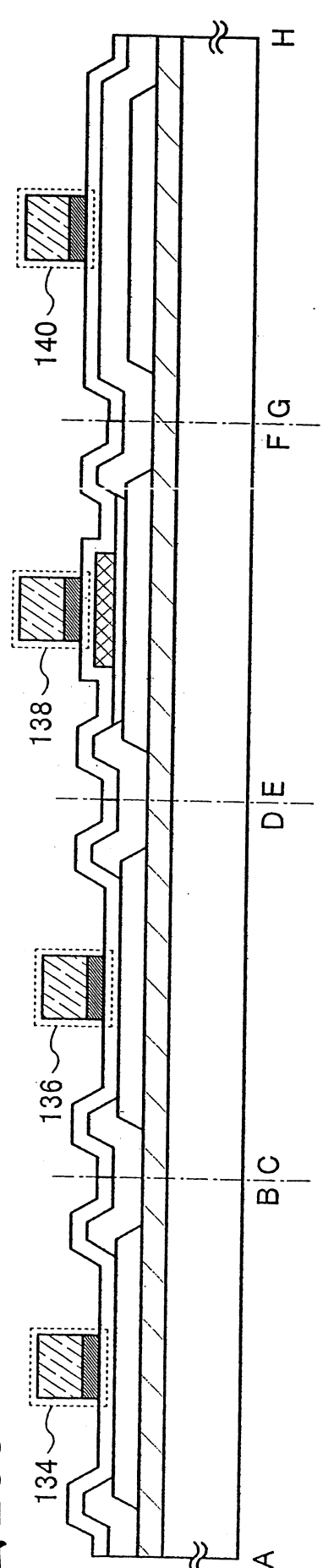


圖27A 142

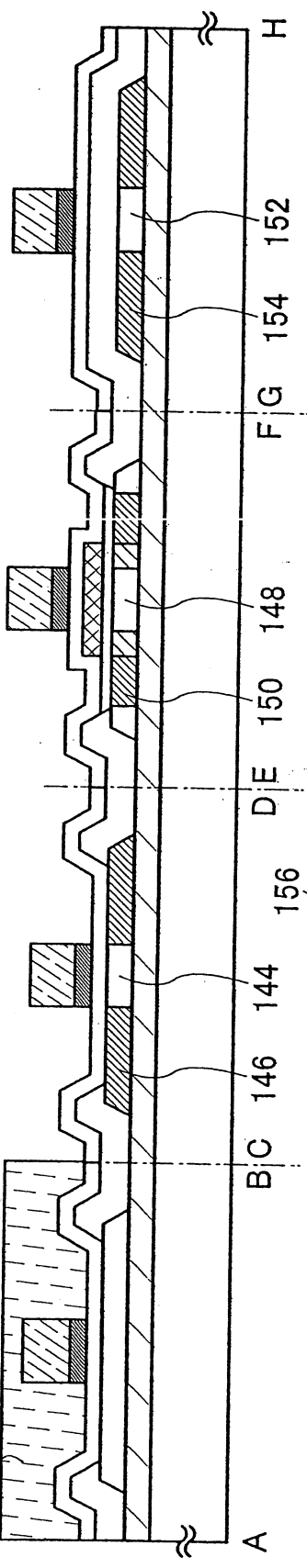


圖27B

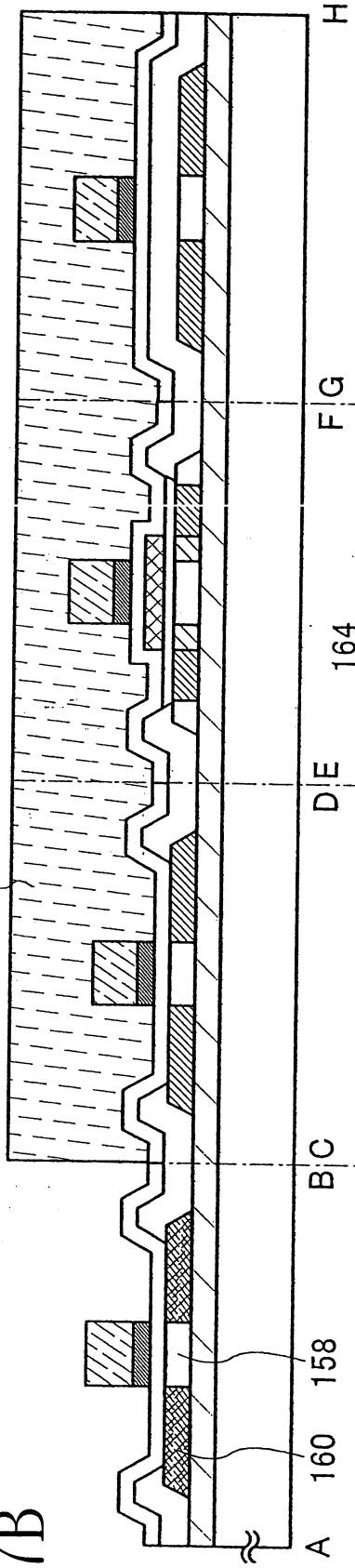


圖27C

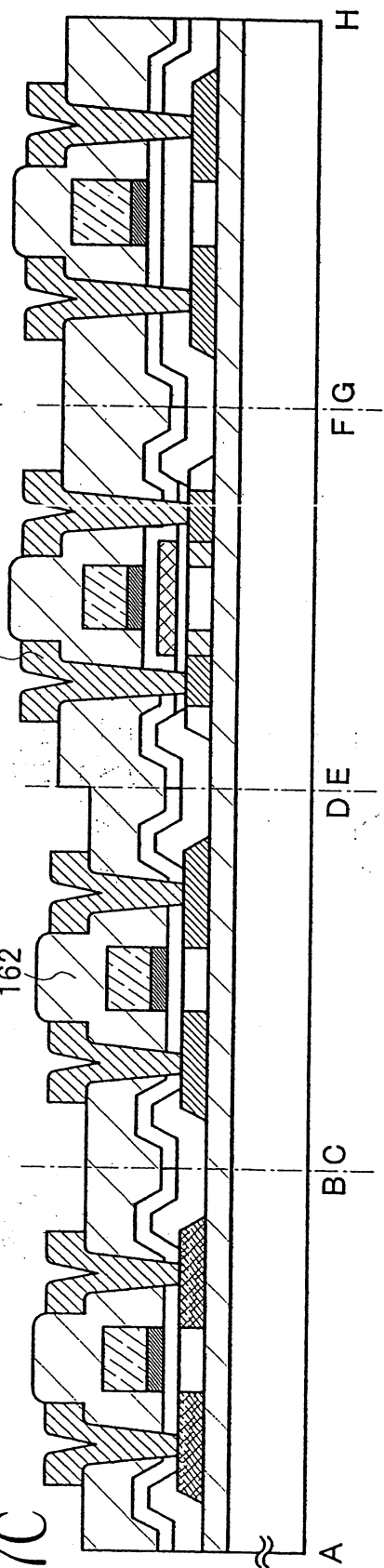


圖 28A

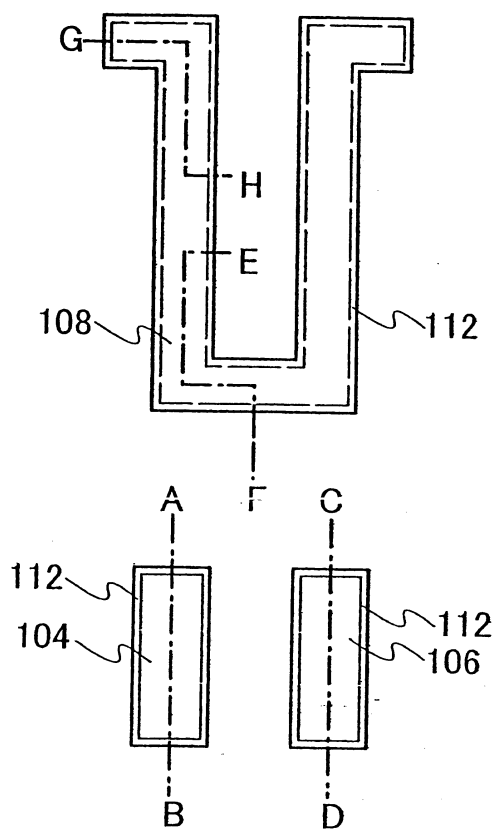


圖 28B

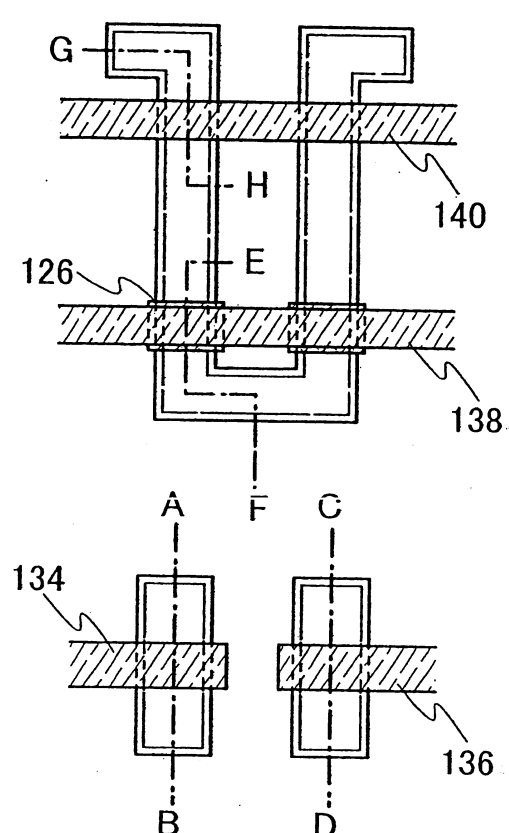


圖 28C

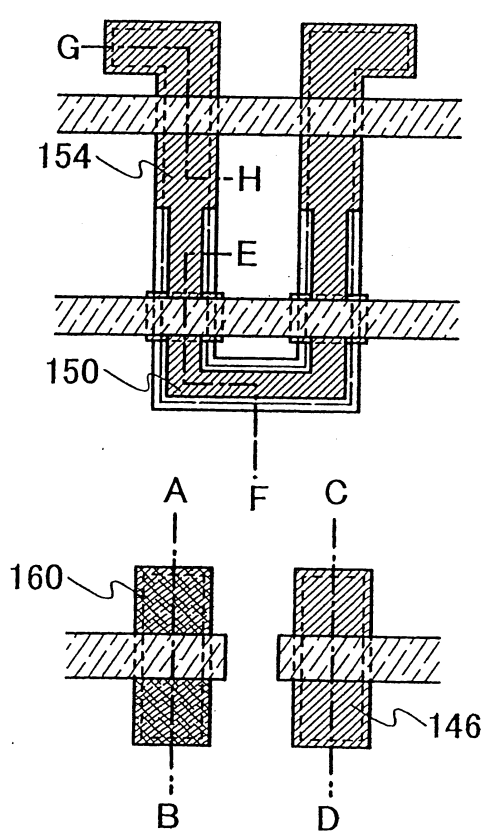


圖 28D

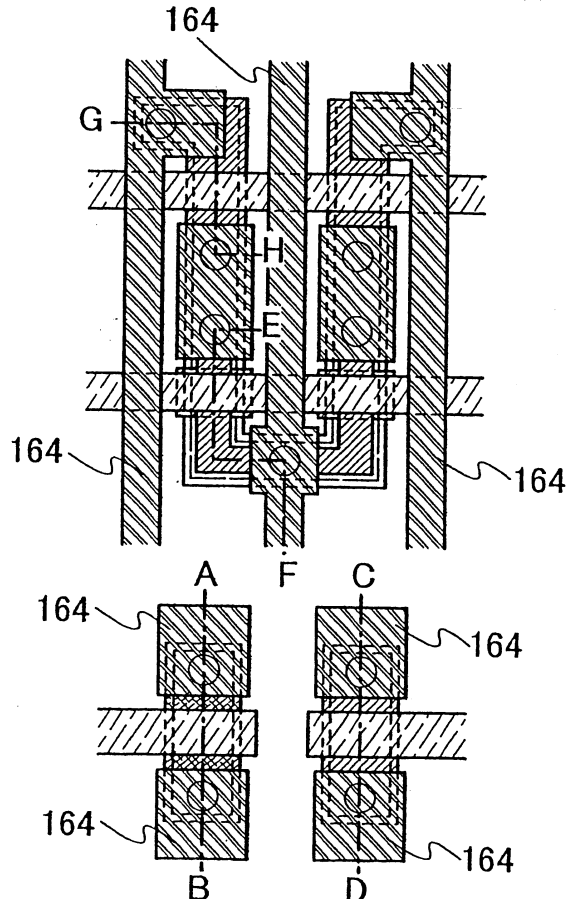


圖 29A

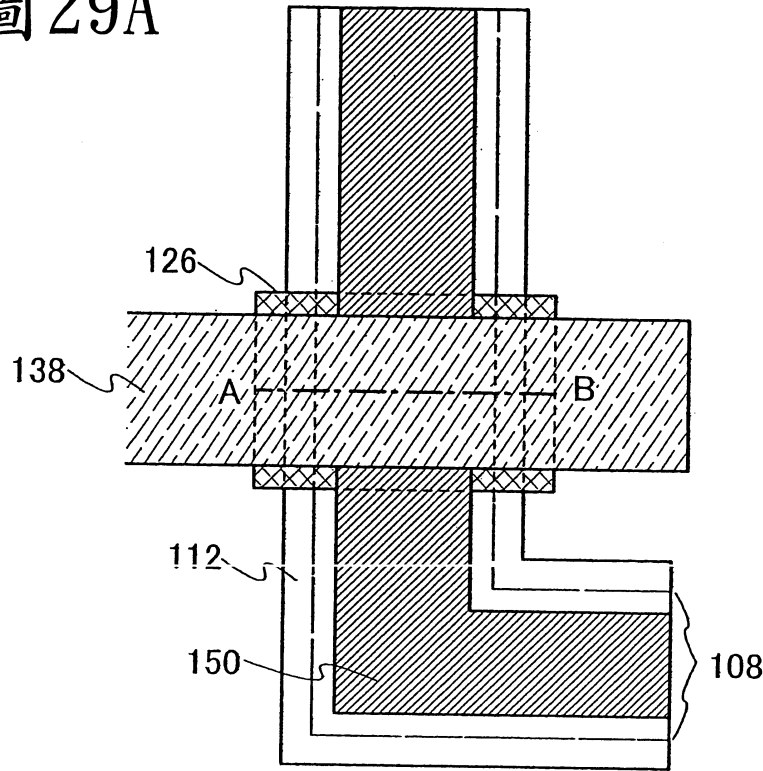


圖 29B

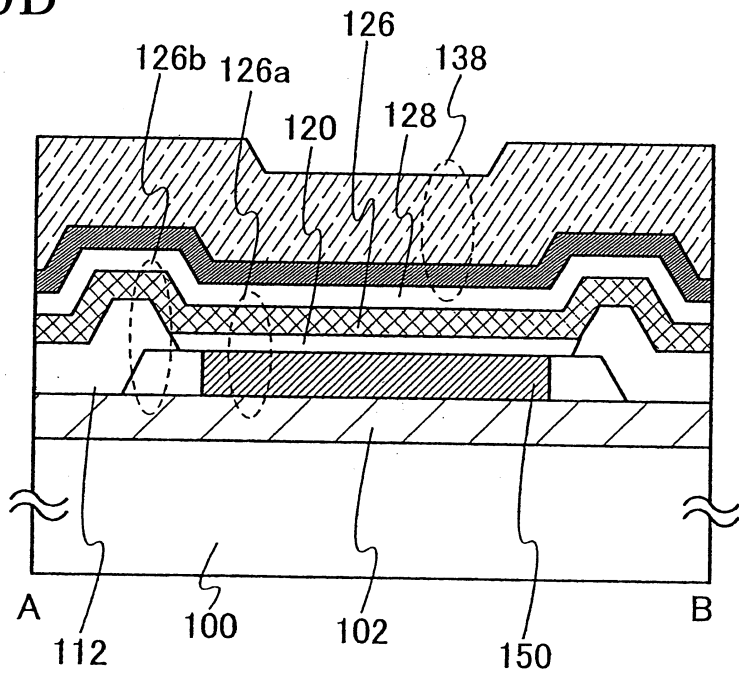


圖30A

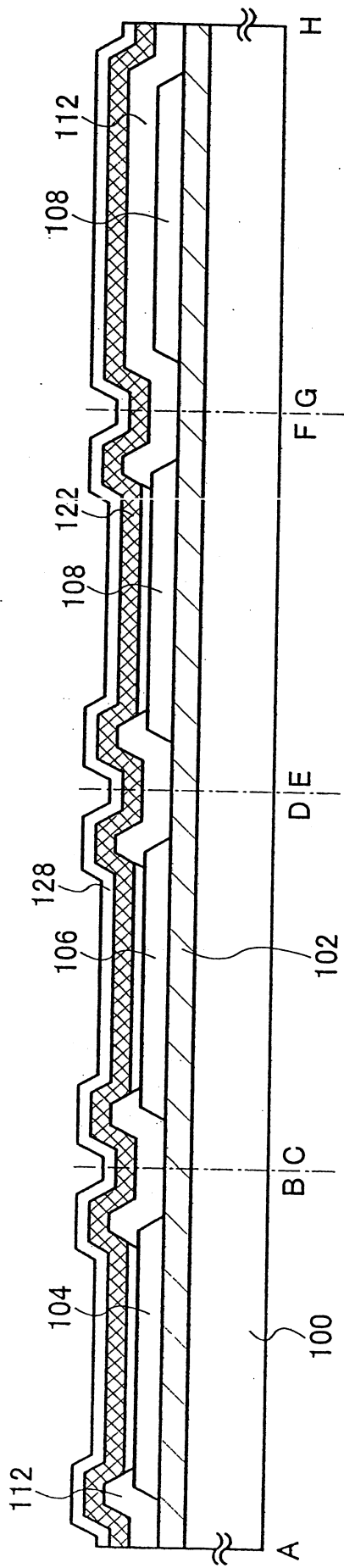


圖30B

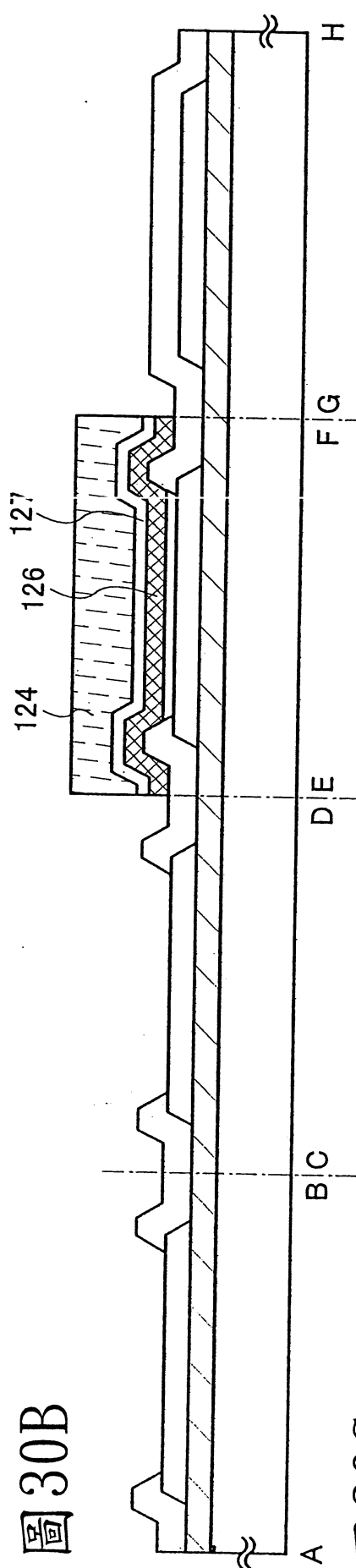


圖30C

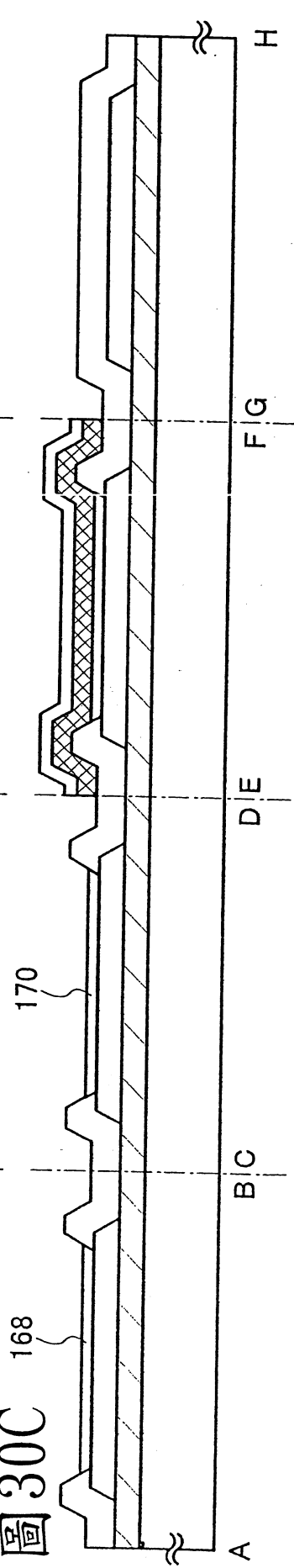


圖31A

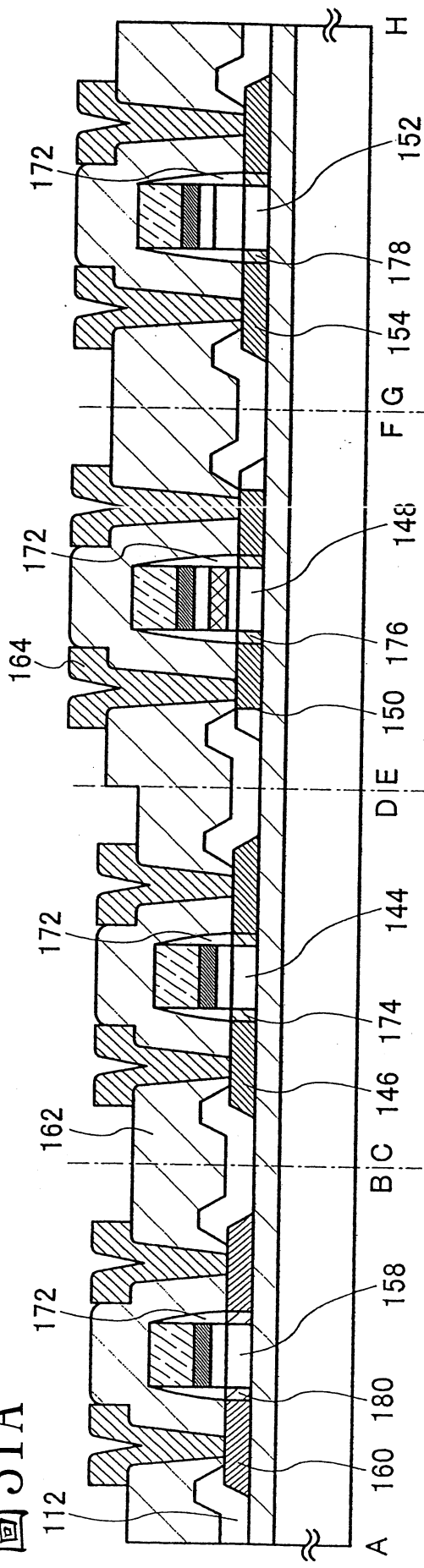


圖31B

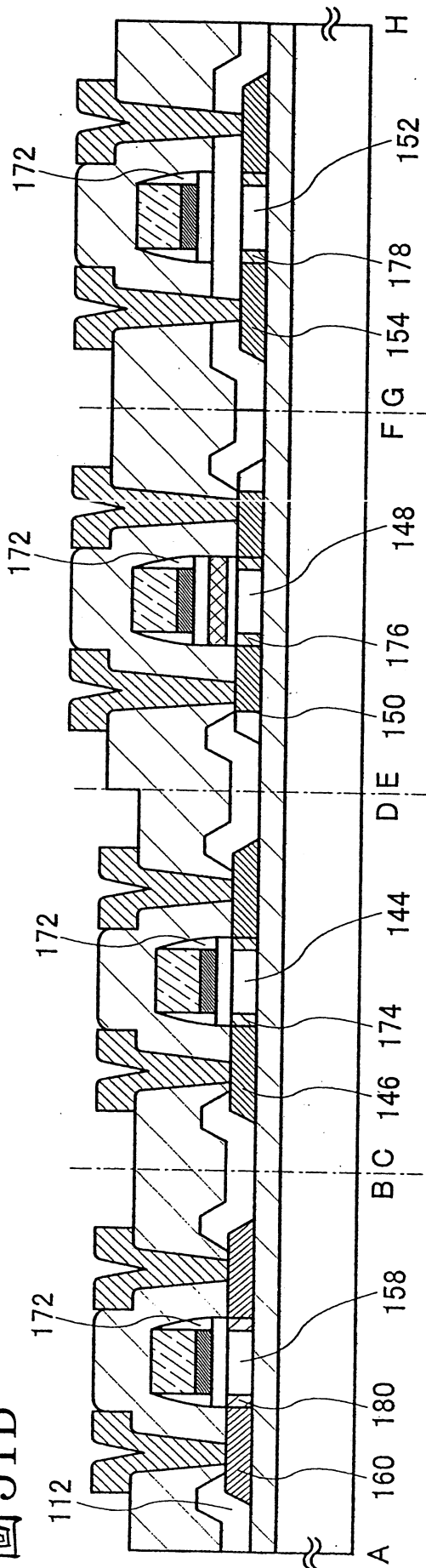


圖32

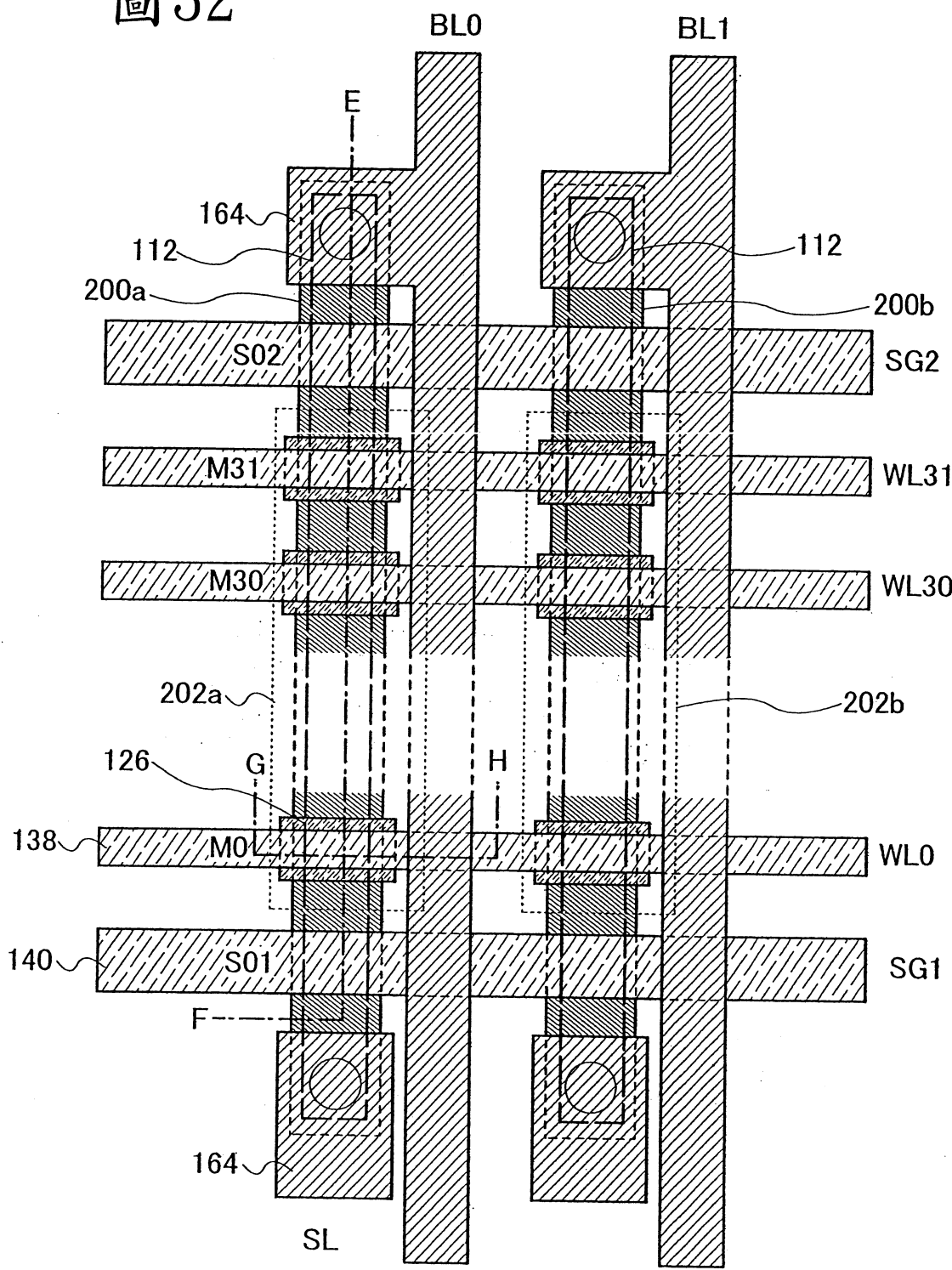


圖 33A

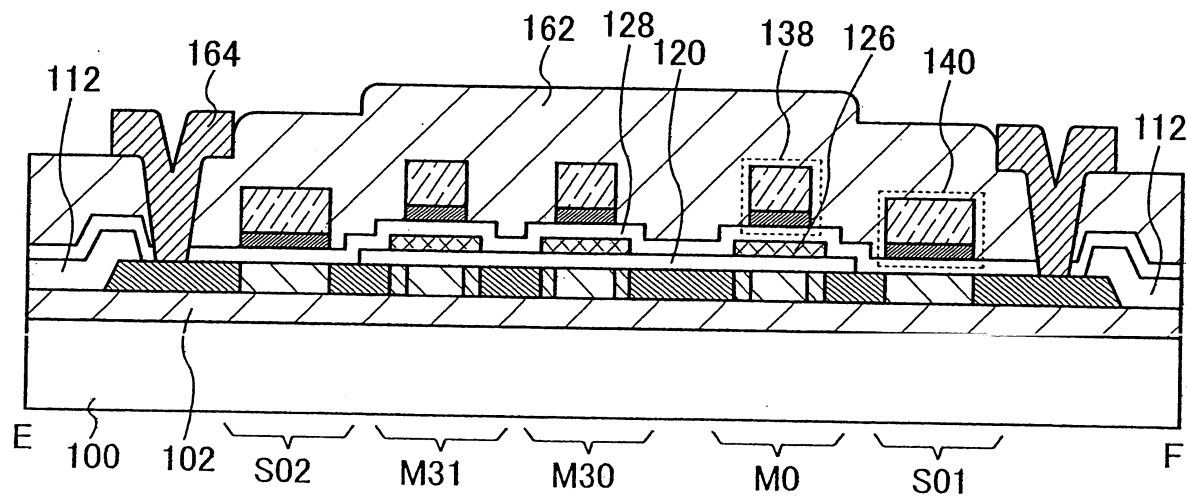


圖 33B

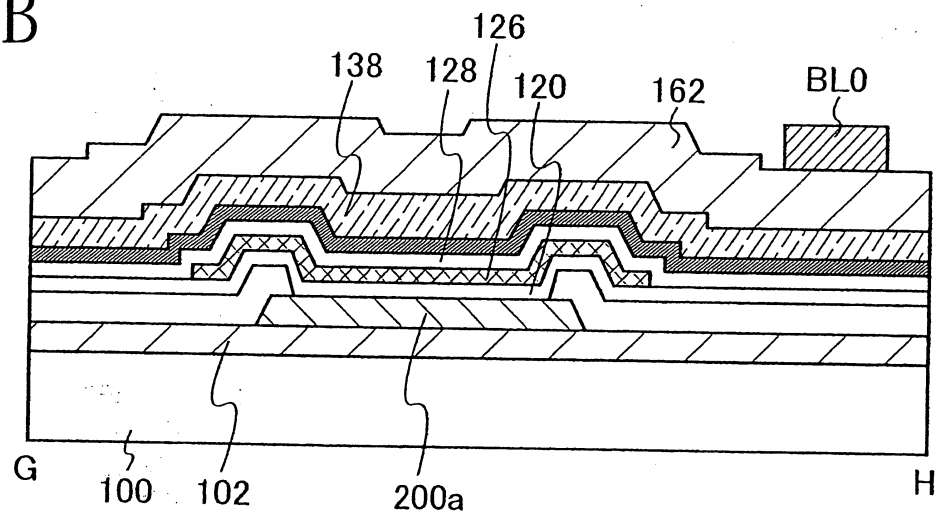


圖 34

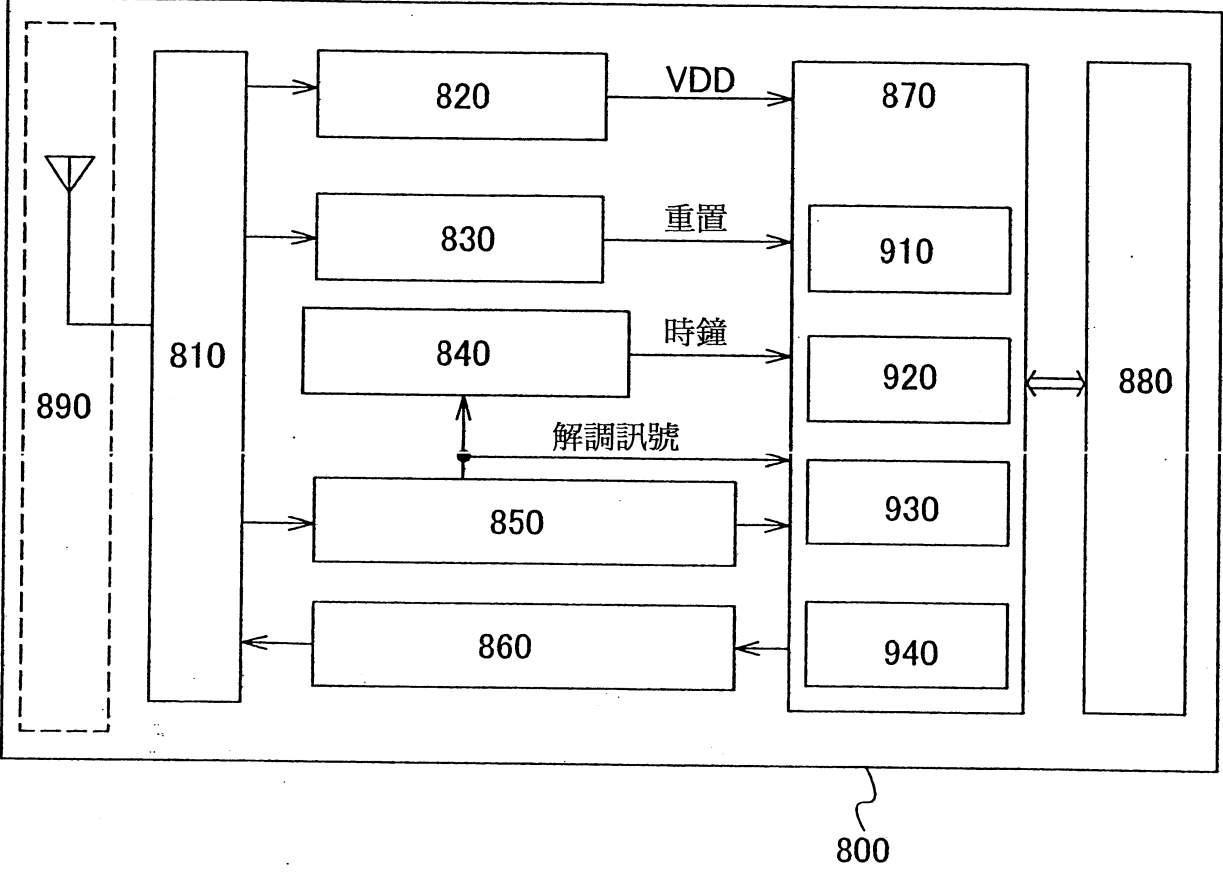


圖 35A

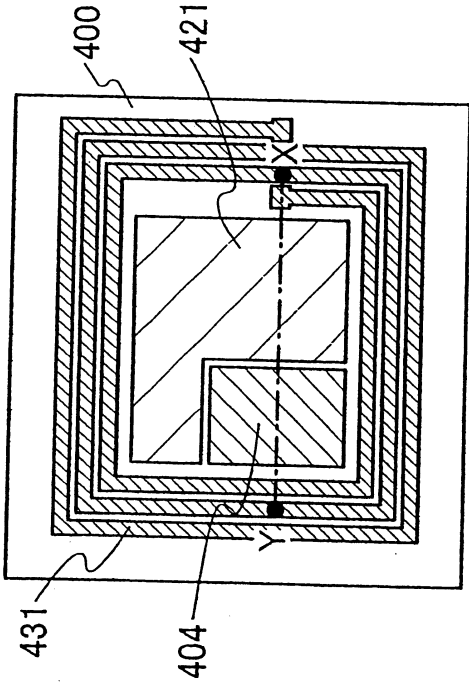


圖 35B

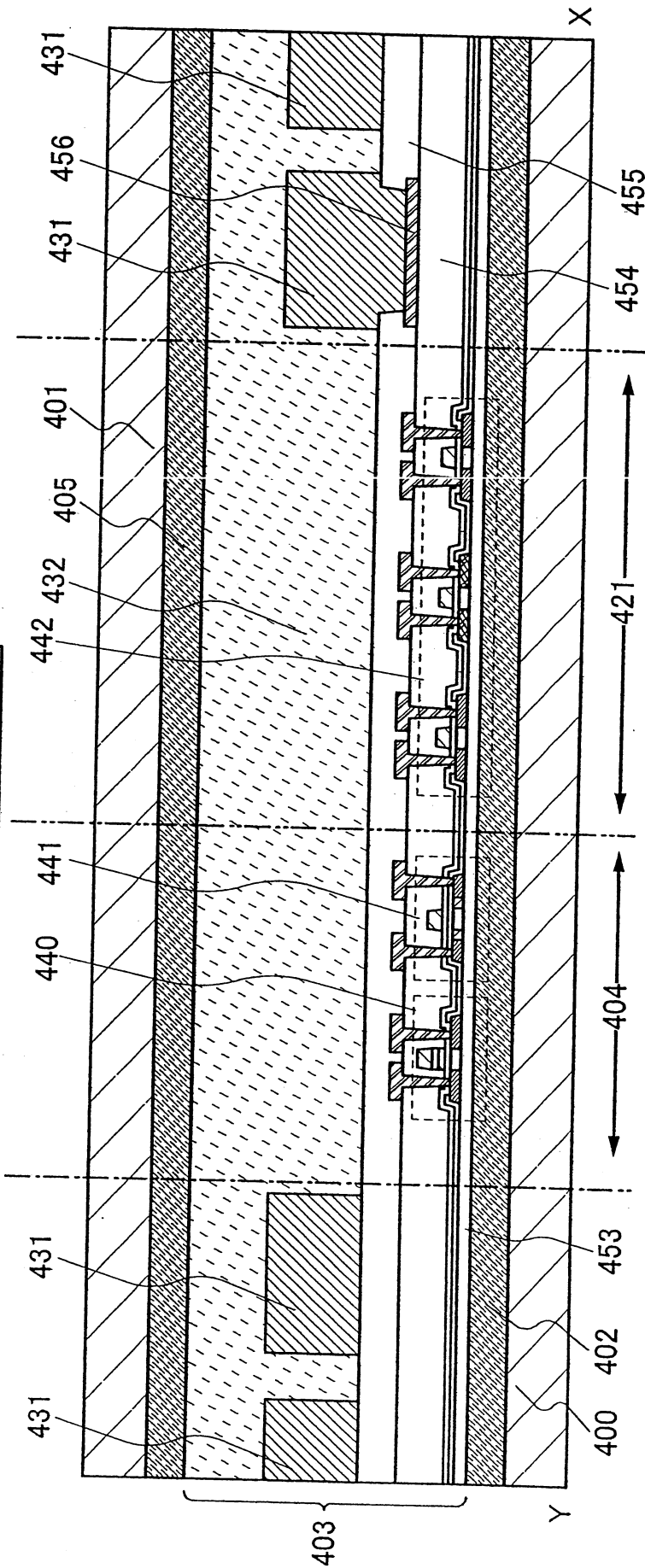


圖 36A

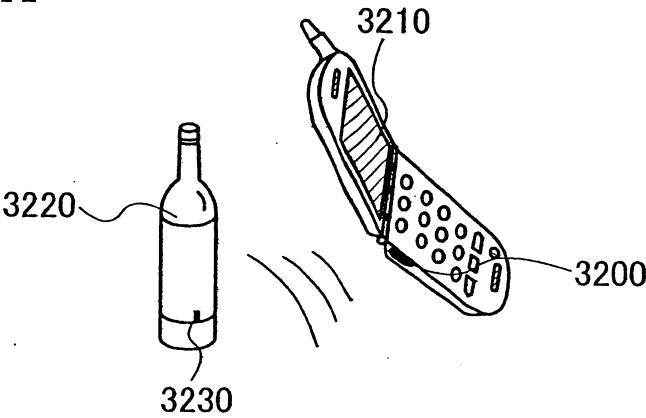


圖 36B

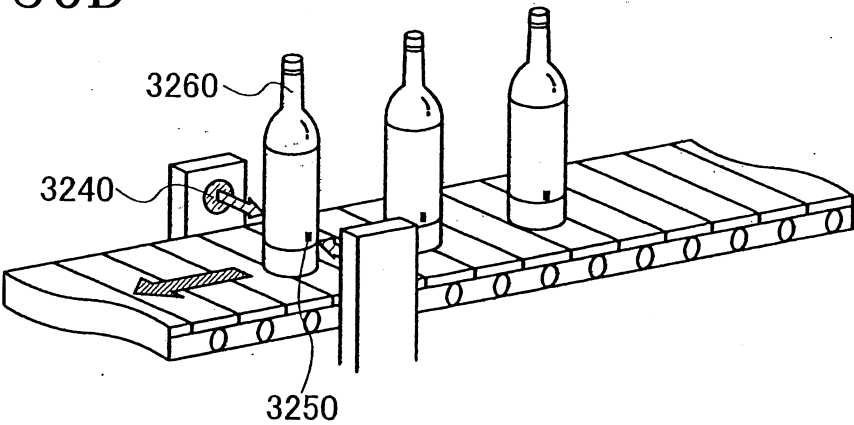


圖 37A

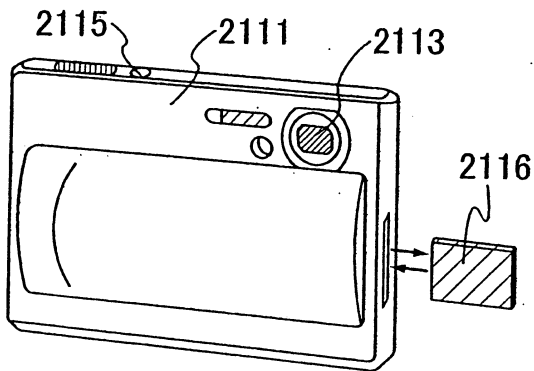


圖 37B

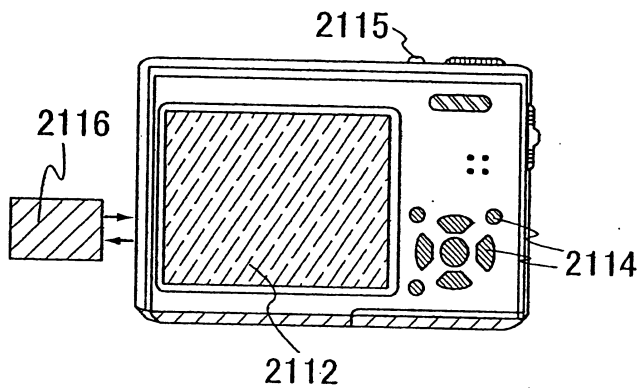


圖 37C

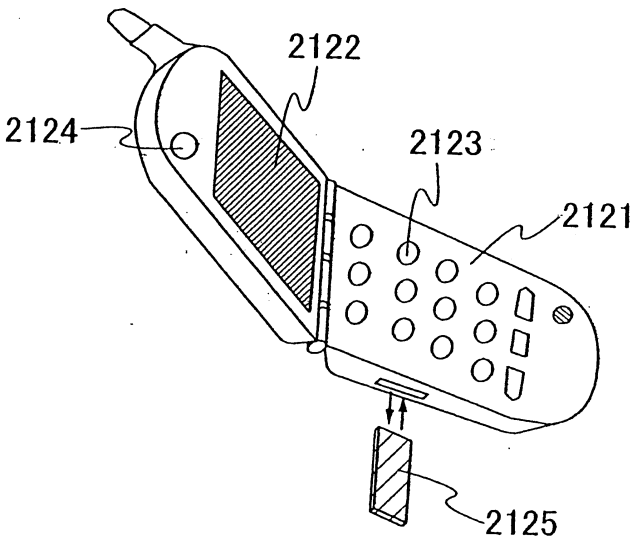


圖 37D

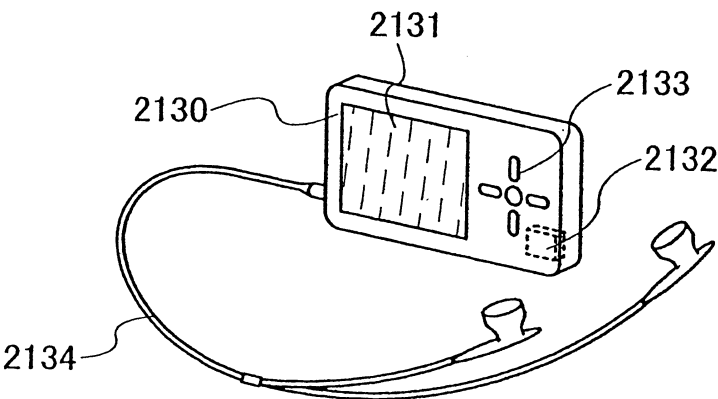


圖 37E

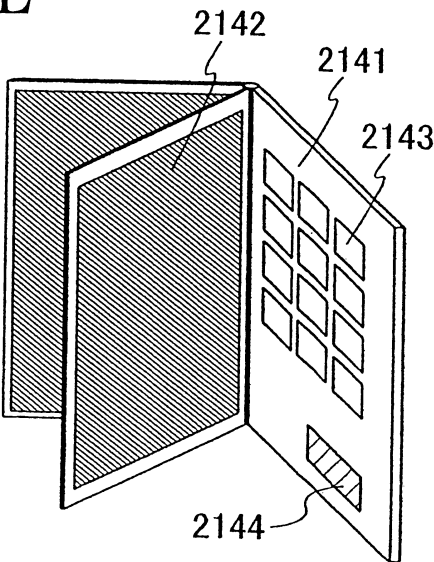


圖 38A

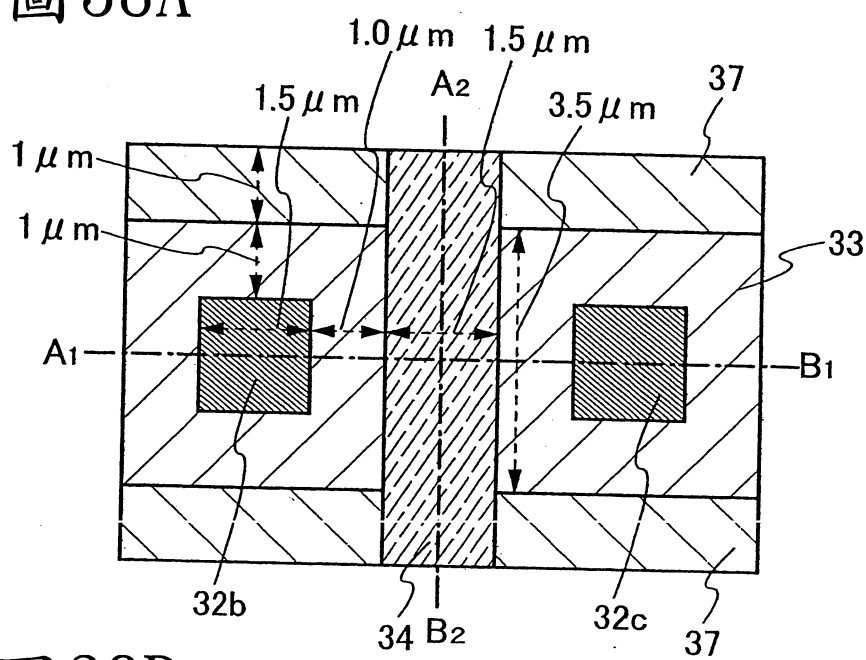


圖 38B

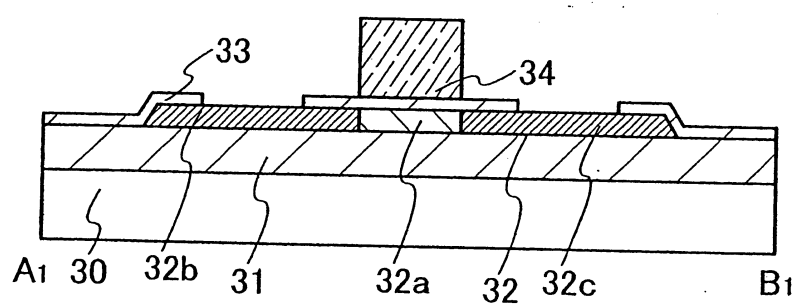


圖 38C

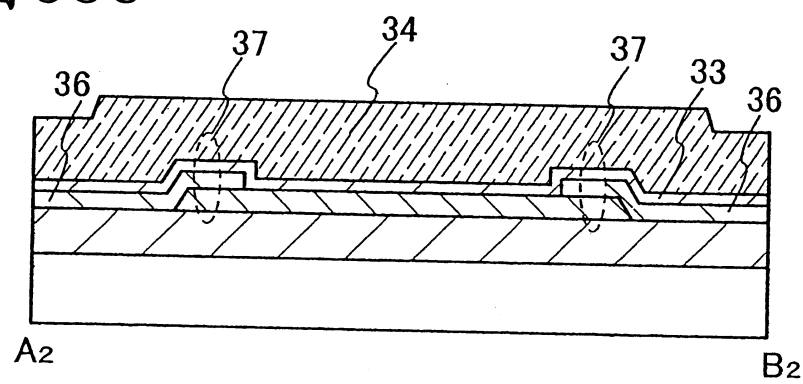
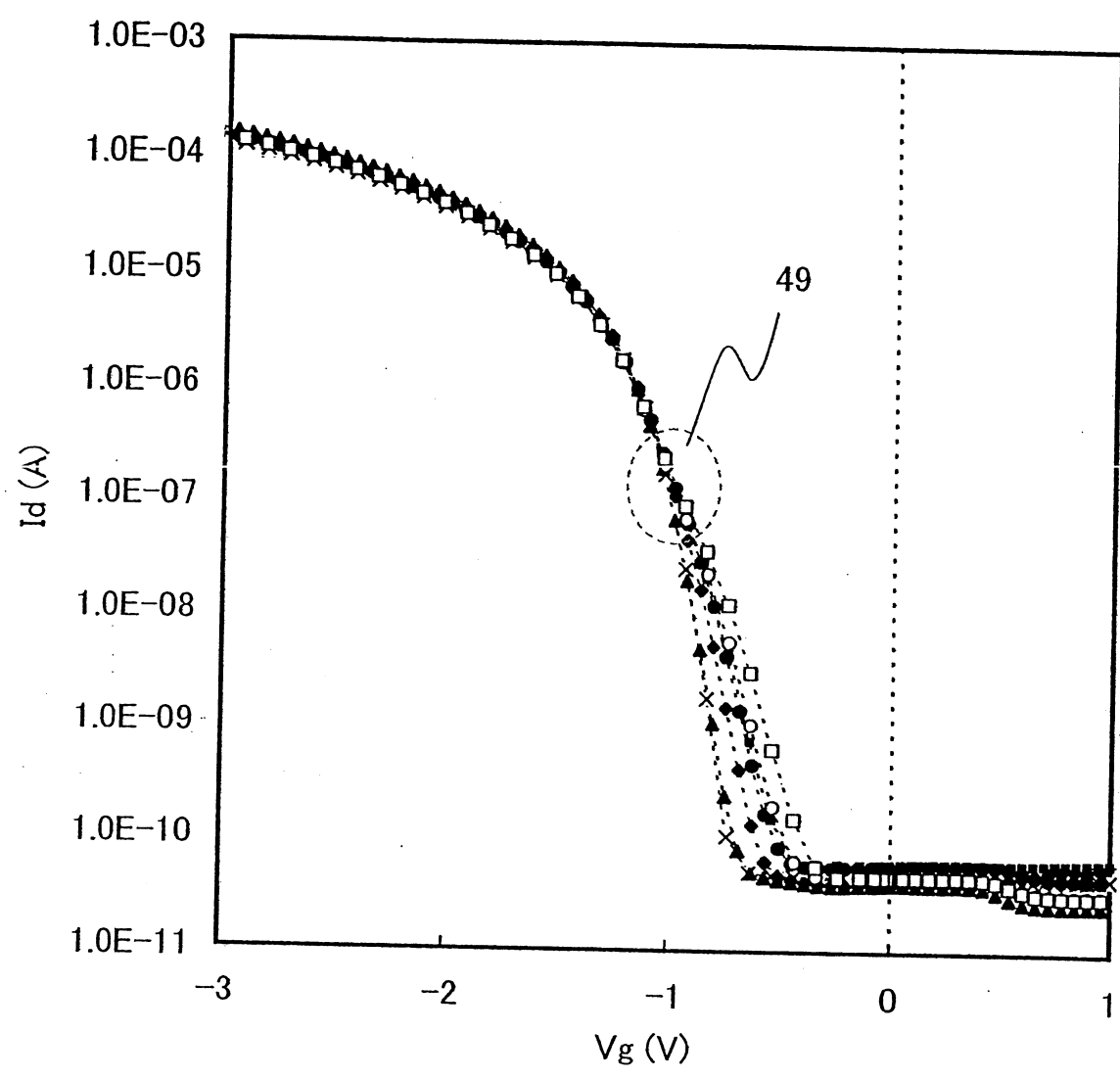


圖 39



- | | |
|-------------------|------------------|
| --×-- 第二絕緣層 0nm | --▲-- 第二絕緣層 20nm |
| --◆-- 第二絕緣層 40nm | --●-- 第二絕緣層 60nm |
| --■-- 第二絕緣層 70nm | --○-- 第二絕緣層 80nm |
| --□-- 第二絕緣層 100nm | |

圖40

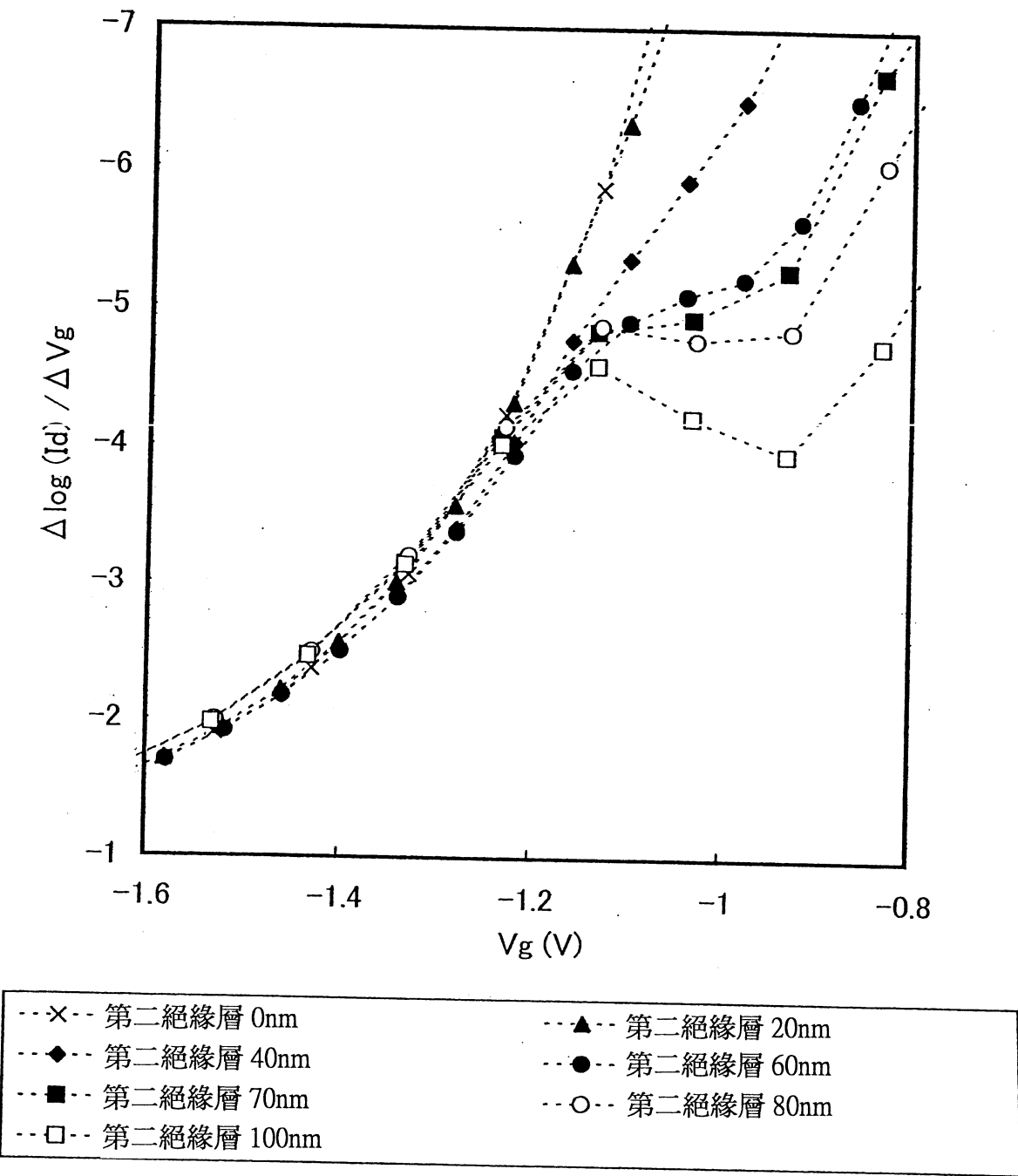


圖41A

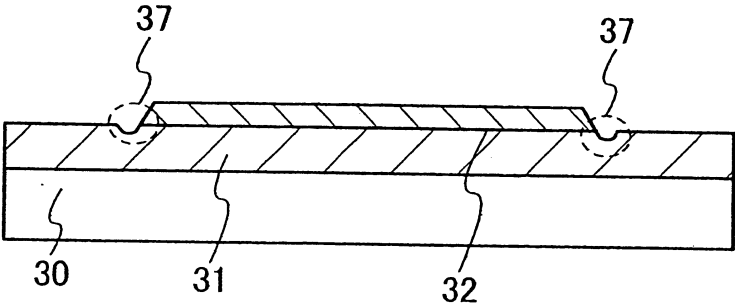


圖41B

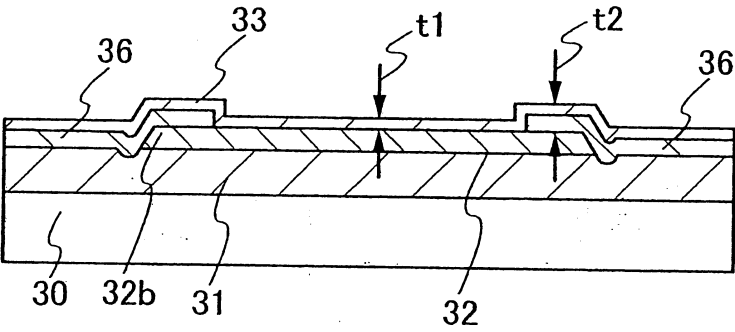


圖 42A

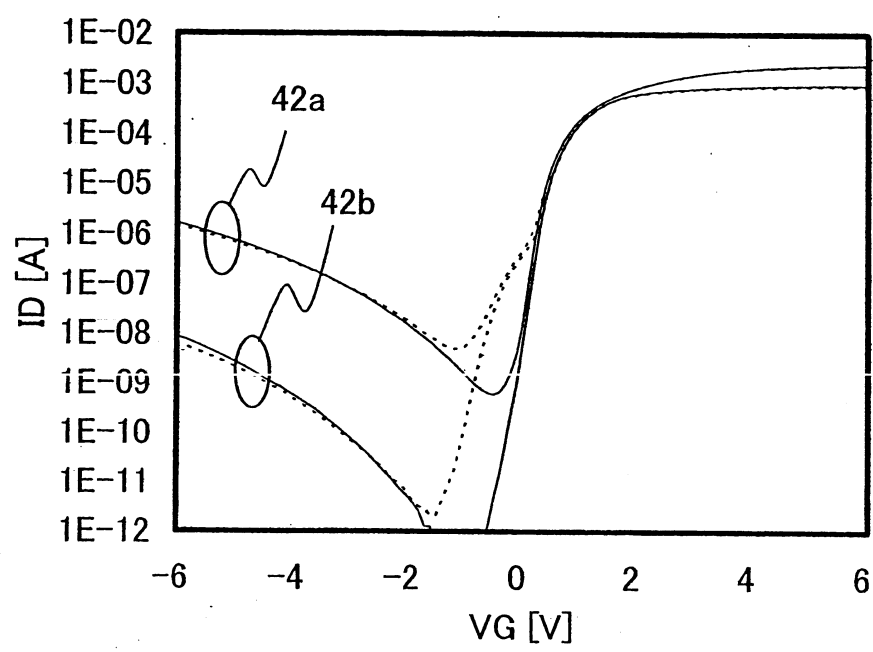
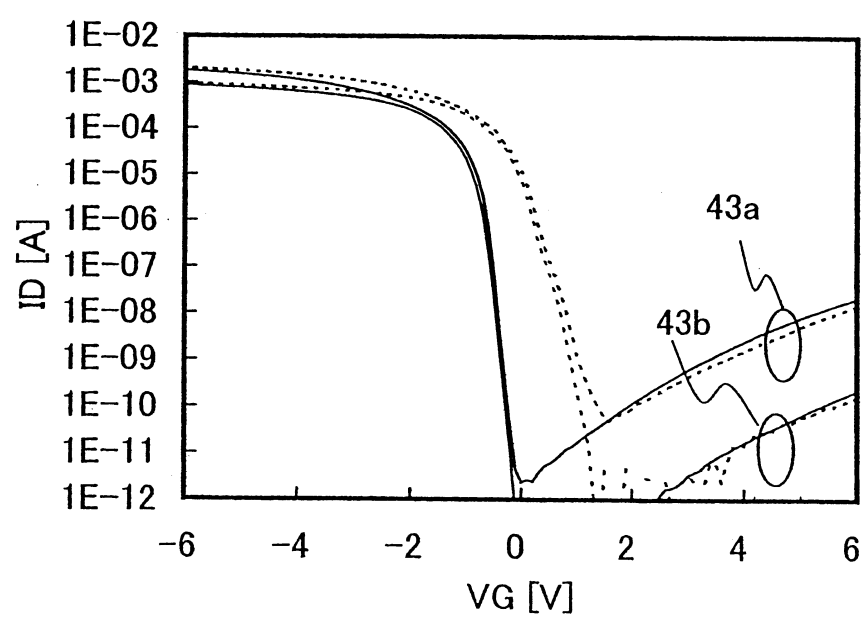


圖 42B



七、指定代表圖

(一)、本案指定代表圖為：第 (2A) 圖

(二)、本代表圖之元件代表符號簡單說明：

32b、32c：雜質區

34：導電層

39a、39b：絕緣層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：