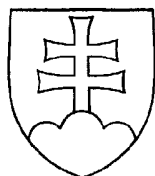


SLOVENSKÁ REPUBLIKA

(19) SK



ÚRAD
PRIEMYSELNÉHO
VLASTNÍCTVA
SLOVENSKEJ REPUBLIKY

PATENTOVÝ SPIS

- (21) Číslo prihlášky: **820-95**
(22) Dátum podania: **06.12.1993**
(31) Číslo prioritnej prihlášky: **07/993 761**
(32) Dátum priority: **21.12.1992**
(33) Krajina priority: **US**
(40) Dátum zverejnenia: **10.09.1997**
(45) Dátum zverejnenia udelenia
vo Vestníku: **18.01.2001**
(86) Číslo PCT: **PCT/US93/11777, 06.12.1993**

(11) Číslo dokumentu:

281 245

(13) Druh dokumentu: **B6**

(51) Int. Cl⁷:

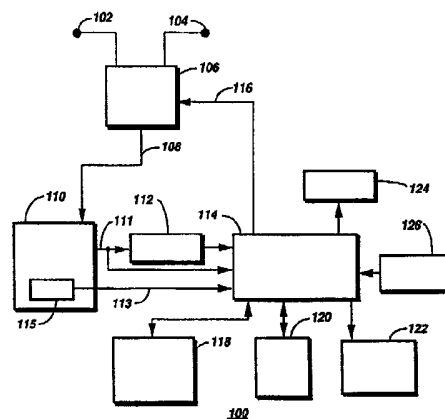
H 04B 7/08

- (73) Majiteľ patentu: **MOTOROLA, INC., Schaumburg, IL, US;**
(72) Pôvodca vynálezu: **Siwiak Kazimierz, Coral Springs, FL, US;**
Schwendeman Robert John, Pompano Beach, FL, US;
Breeden Robert Louis, Boca Raton, FL, US;
(74) Zástupca: **Bezák Marián, Ing., Bratislava, SK;**

(54) Názov vynálezu: **Spôsob výberového príjmu rádiového signálu v prijímači dátovej komunikácie a prijímač na jeho vykonávanie**

(57) Anotácia:

Spôsob a prijímač (100) dátovej komunikácie na výberový príjem rádiového signálu obsahujúceho predpovedateľne opakovanú, vopred určenú kombináciu (304) dátových bitov, zahŕňa procesor (114) riadiaci (600) anténny prepínač (106) s cieľom vybrať medzi prvým anténnym napájačom (102) a druhým anténnym napájačom (104) ako okamžitým zdrojom rádiového signálu počas prenosu vopred určenej kombinácie (304) dátových bitov. Rádiový signál prijatý z okamžitého zdroja je monitorovaný dátovým prijímačom (110) počas prenosu vopred určenej bitovej kombinácie (304) s cieľom získať dáta z tejto kombinácie a procesorom (114) je určený (604, 610) najmenej jeden počet bitových chýb. Po dokončení vopred určenej bitovej kombinácie (304) je v ozve na najmenej jeden počet bitových chýb vybraný (616, 620) anténny napájač (102, 104) na rádiový signál.



Oblasť techniky

Tento vynález sa týka všeobecne rádiových komunikačných zariadení a predovšetkým rádiového komunikačného zariadenia zahŕňajúceho spôsob a zariadenie na prepínaný výberový príjem.

Doterajší stav techniky

Rádiové prijímače na výberový príjem sú v technike dobre známe. Takéto prijímače sú používané kvôli podstatnému zlepšeniu rádiového príjmu v meniacom sa viaccestnom prostredí. Prijímače na výberový príjem sú obzvlášť žiaduce v mobilných a prenosných aplikáciách, kde sa prijímač môže ocitnúť v izolovanej oblasti slabého signálu, vzniknutej vzájomným zrušením viaccestných signálov.

Jedno z bežných riešení prijímača na výberový príjem zahŕňa dvojité anténny systém s priestorovým výberovým príjmom, kde sú tieto antény pripojené k prepínaču na selektívne pripojenie jednej z týchto antén k jednému prijímaču. Počas činnosti je prijímač prepínaný na alternatívnu anténu v ozve na zhoršenie signálu, prijímaného z práve vybranej antény, pod vopred určený prah prepínania. Tento prístup má nevýhodu v tom, že nie vždy vyberie anténu so silnejším signálom. Napríklad práve vybraná anténa majúca signál tesne nad vopred určeným prepínacím prahom, by zostala vybraná, i keď signál z nevybranej antény je oveľa silnejší.

Iný bežný prístup k prijímaču na výberový príjem obsahuje dvojité anténny systém s priestorovým výberovým príjmom, oddelene pripojený k dvojitému prijímačovému prvku na zosilnenie a demoduláciu rádiového signálu prijatého dvojitémi anténami. Takéto prijímače zvyčajne využívajú elektronický prepínač na výber „najlepšieho“ výstupného signálu z jedného z dvojitých prijímačových prvkov, kde tento výber je založený na merateľnom kritériu výberu, napríklad pomere signál-šum. Žiaľ, i keď metóda dvojitého prijímača na výberový príjem má vlastnosti prevyšujúce metódu jedného prijímača, je to metóda zvyčajne drahá a energeticky náročná. Je to preto, že metóda dvojitého prijímača vyžaduje oveľa viac prijímačových obvodov ako metóda jedného prijímača.

Preto je potrebné vytvoriť prijímač na výberový príjem, ktorý zaistí cenové a energetické výhody metódy prepínanej antény s jedným prijímačom, ale ktorý môže priebežne vyberať napájanie z antény so silnejším signálom.

Podstata vynálezu

Uvedené nedostatky odstraňuje spôsob výberového príjmu rádiového signálu v prijímači dátovej komunikácie podľa vynálezu, kde tento prijímač obsahuje prvý a druhý anténny napájač, ktoré majú podstatne zníženú koreláciu citlivosti na rádiový signál. Rádiový signál obsahuje dáta vrátane najmenej jednej informačnej dávky, ktorá má vopred určený čas trvania a predchádza ju vopred určená bitová kombinácia. Podstatou tohto spôsobu je, že sa v priebehu prenosu vopred určenej bitovej kombinácie vyberie prvý anténny napájač alebo druhý anténny napájač ako prechodný zdroj rádiového signálu. Potom sa monitoruje rádiový signál prijatý z vybraného prechodného zdroja, čím sa získajú dáta z tejto kombinácie, pre ktoré sa určí najmenej jeden počet bitových chýb. V ozve na takto určený najmenej jeden počet bitových chýb sa pri ukončení vopred určenej bitovej kombinácie vyberie prvý alebo druhý anténny na-

pájač ako trvalý zdroj rádiového signálu. Počas prenosu prvej časti vopred určenej bitovej kombinácie sa meria prvá sila signálu rádiového signálu z prvého anténneho napájača a počas prenosu druhej časti vopred určenej bitovej kombinácie sa meria druhá sila signálu rádiového signálu z druhého anténneho napájača. Ak sa určí ich porovnaním, že existuje rozpor medzi silou signálu a anténym napájačom vybraným ako trvalý zdroj v ozve na to, že prvá sila signálu je väčšia ako druhá sila signálu, keď bol ako trvalý zdroj vybraný prvý anténny napájač, a rovnako v ozve na to, že druhá sila signálu je väčšia ako prvá sila signálu, keď bol ako trvalý zdroj vybraný prvý anténny napájač, potom zostáva po vopred určený čas trvania dávky výber trvalého zdroja zachovaný. V prípade, ak sa určí ich porovnaním, že neexistuje rozpor medzi silou signálu a anténym napájačom vybraným ako trvalý zdroj v ozve na to, že prvá sila signálu je väčšia ako druhá sila signálu, keď bol ako trvalý zdroj vybraný prvý anténny napájač a rovnako v ozve na to, že druhá sila signálu je väčšia ako prvá sila signálu, keď bol ako trvalý zdroj vybraný druhý anténny napájač, dochádza k periodickému opätovnému vyberaniu trvalého zdroja po vopred určený čas trvania dávky.

Výber prvého anténneho napájača ako prechodného zdroja sa vykonáva počas prenosu prvej časti vopred určenej bitovej kombinácie a výber druhého anténneho napájača ako prechodného zdroja sa vykonáva počas prenosu druhej časti vopred určenej bitovej kombinácie. Určenie prvého počtu bitových chýb pre dáta získané tým, že sa monitoruje rádiový signál z prvého anténneho napájača vybraného ako prechodný zdroj, sa vykonáva počas prenosu prvej časti vopred určenej bitovej kombinácie a určenie druhého počtu bitových chýb pre dáta získané tým, že sa monitoruje rádiový signál z druhého anténneho napájača vybraného ako prechodný zdroj, sa vykonáva počas prenosu druhej časti vopred určenej bitovej kombinácie. Výber trvalého zdroja sa vykonáva tak, že pokiaľ je prvý počet bitových chýb menší ako druhý počet bitových chýb, vyberie sa ako trvalý zdroj prvý anténny napájač a pokiaľ je prvý počet bitových chýb väčší ako druhý počet bitových chýb, vyberie sa ako trvalý zdroj druhý anténny napájač. Po zmeraní prvej sily signálu rádiového signálu z prvého anténneho napájača počas prvej časti vopred určenej bitovej kombinácie a zmeraní druhej sily signálu rádiového signálu z druhého anténneho napájača počas druhej časti vopred určenej bitovej kombinácie sa vyberie ako trvalý zdroj buď prvý anténny napájač, a to v prípade, ak sú si rovné prvý a druhý počet bitových chýb a prvá sila signálu je väčšia alebo sa rovná druhej sile signálu alebo druhý anténny napájač, a to v prípade, ak sú si rovné prvý a druhý počet bitových chýb a prvá sila signálu je menšia ako druhá sila signálu.

Výhodné je, ak dáta obsahujú preambulu, a počas počiatočného zachytenia rádiového signálu sa prvá sila signálu rádiového signálu z prvého anténneho napájača meria počas prenosu prvej časti preambuly a druhá sila signálu rádiového signálu z druhého anténneho napájača sa meria počas prenosu druhej časti preambuly. Ako trvalý zdroj sa vyberie prvý anténny napájač, ak je prvá sila signálu väčšia alebo sa rovná druhej sile signálu alebo druhý anténny napájač, ak je prvá sila signálu menšia ako druhá sila signálu. V tomto prípade sa monitorovanie sily signálu rádiového signálu vykonáva počas tretej časti preambuly a ako trvalý zdroj sa vyberie druhý anténny napájač ako ozva na to, že monitorovaná sila signálu klesla pod vopred určenú prahovú úroveň, keď je súčasne vybraný prvý anténny napájač ako trvalý zdroj alebo sa ako trvalý zdroj vyberie prvý anténny napájač ako ozva na to, že sila monitorovaného sig-

nálu klesla pod túto vopred určenú prahovú úroveň, keď je súčasne vybraný druhý anténny napájač ako trvalý zdroj.

Podstatou prijímača dátovej komunikácie na zaistenie výberového príjmu rádiového signálu pri vykonávaní spôsobu podľa vynálezu je, že prijímač dátovej komunikácie pozostáva z prvého a druhého anténneho napájača, ktoré majú podstatne zníženú koreláciu citlivosti na rádiový signál, z anténneho prepínača spojeného s prvým a druhým anténnym napájačom, z prijímača spojeného s anténnym prepínačom, z indikačného prvku sily prijatého signálu spojeného s prijímačom a z procesoru spojeného s prijímačom a s anténnym prepínačom. Procesor zahŕňa prvok riadenia anténneho prepínača, spojený s anténnym prepínačom, prvok počítania synchronizačných bitových chýb, spojený s prvkom riadenia anténneho prepínača, prvok výberu trvalého zdroja po skončení synchronizácie, spojený s prvkom počítania synchronizačných bitových chýb, prvok výberu prechodného zdroja prvej - druhej časti, spojený s prvkom riadenia anténneho prepínača, prvok výberu trvalého zdroja podľa synchronizačných bitových chýb, spojený s prvkom výberu prechodného zdroja prvej - druhej časti a prvok výberu podľa sily signálu pri rovnakých počtoch bitových chýb, spojený s indikačným prvkom sily prijatého signálu.

Výhodné je, ak procesor ďalej obsahuje prvok sily signálu prvej - druhej preambuly, spojený s indikačným prvkom sily prijatého signálu a prvok výberu trvalého zdroja podľa sily signálu prvej - druhej preambuly, spojený s prvkom sily signálu prvej - druhej preambuly.

Procesor ďalej výhodne zahŕňa prvok počtu bitových chýb preambuly, spojený s prijímačom a s anténnym prepínačom, prvok výberu trvalého zdroja podľa počtu bitových chýb preambuly, spojený s prvkom počtu bitových chýb preambuly a prvok výberu podľa priebežnej chybovosti preambuly, spojený s prijímačom.

Výhodou predkladaného spôsobu prepínaného výberového príjmu rádiového signálu a prijímača dátovej komunikácie na vykonávanie tohto spôsobu je, že je vytvorený prijímač na výberový príjem, ktorý zaistí cenové a energetické výhody metódy prepínanej antény s jedným prijímačom, ale ktorý môže priebežne vyberať napájanie z antény so silnejším signálom. Uvádzaný vynález taktiež zaistuje flexibilitu v spôsobe, akým sa vykonáva rozhodnutie, týkajúce sa výberu anténneho napájača. Súčasne predkladaný vynález dovoľuje zákazníkovi prispôbenie prijímača na výberový príjem kvôli optimalizácii výberu anténneho napájača na špecifické mnohocestné prostredie.

Prehľad obrázkov na výkresoch

Obr. 1 je elektrická bloková schéma prijímača dátovej komunikácie s prepínaným výberovým príjmom podľa výhodného uskutočnenia predkladaného vynálezu.

Obr. 2 je diagram mikroprogramového vybavenia, tzv. firmware, pre pamäť typu ROM, zobrazujúci v nej vopred naprogramované prvky mikroprogramového vybavenia na riadenie prijímača dátovej komunikácie podľa výhodného uskutočnenia predkladaného vynálezu.

Obr. 3 je časový diagram kódovacieho formátu dátovej komunikácie podľa výhodného uskutočnenia vynálezu.

Obr. 4 je vývojový diagram hlavného programu zodpovedajúceho hlavnému prvku firmware, obsahujúci spôsob výberového príjmu v prijímači dátovej komunikácie podľa výhodného uskutočnenia predkladaného vynálezu.

Obr. 5 je vývojový diagram vyhodnocovacieho podprogramu preambuly, zahŕňajúci spôsob výberového príjmu v

prijímači dátovej komunikácie podľa výhodného uskutočnenia vynálezu.

Obr. 6 je vývojový diagram vyhodnocovacieho podprogramu synchronizačného slova, zahŕňajúci spôsob výberového príjmu v prijímači dátovej komunikácie podľa výhodného uskutočnenia predkladaného vynálezu.

Obr. 7 je vývojový diagram vyhodnocovacieho podprogramu informačnej dávky, zahŕňajúci spôsob výberového príjmu v prijímači dátovej komunikácie podľa výhodného uskutočnenia predkladaného vynálezu.

Obr. 8 je diagram mikroprogramového vybavenia pre pamäť typu ROM, ukazujúci v nej naprogramované prvky mikroprogramového vybavenia na riadenie prijímača dátovej komunikácie podľa prvého alternatívneho usporiadania uvádzaného vynálezu.

Obr. 9 je vývojový diagram vyhodnocovacieho podprogramu preambuly, zahŕňajúci spôsob výberového príjmu v prijímači dátovej komunikácie podľa prvého alternatívneho usporiadania uvádzaného vynálezu.

Obr. 10 je diagram firmware pre pamäť typu ROM ukazujúci v nej naprogramované prvky mikroprogramového vybavenia na riadenie prijímača dátovej komunikácie podľa druhého alternatívneho usporiadania uvádzaného vynálezu.

Obr. 11 je vývojový diagram vyhodnocovacieho podprogramu synchronizačného slova, zahŕňajúci spôsob výberového príjmu v prijímači dátovej komunikácie podľa druhého alternatívneho usporiadania predkladaného vynálezu.

Obr. 12 je diagram firmware pre pamäť typu ROM ukazujúci v nej naprogramované prvky mikroprogramového vybavenia na riadenie prijímača dátovej komunikácie podľa tretieho alternatívneho usporiadania uvádzaného vynálezu.

Obr. 13 je vývojový diagram vyhodnocovacieho podprogramu synchronizačného slova, zahŕňajúci spôsob výberového príjmu v prijímači dátovej komunikácie podľa tretieho alternatívneho usporiadania predkladaného vynálezu.

Obr. 14 je diagram firmware pre pamäť typu ROM ukazujúci v nej naprogramované prvky mikroprogramového vybavenia na riadenie prijímača dátovej komunikácie podľa štvrtého alternatívneho usporiadania uvádzaného vynálezu.

Obr. 15 je vývojový diagram vyhodnocovacieho podprogramu synchronizačného slova, zahŕňajúci spôsob výberového príjmu v prijímači dátovej komunikácie podľa štvrtého alternatívneho usporiadania predkladaného vynálezu.

Obr. 16 je pokračovanie vývojového diagramu vyhodnocovacieho podprogramu synchronizačného slova z obr. 15.

Príklady uskutočnenia vynálezu

Na obr. 1 je elektrická bloková schéma prijímača 100 dátovej komunikácie s prepínaným výberovým príjmom podľa výhodného vyhotovenia predkladaného vynálezu, obsahujúceho prvý a druhý anténny napájač 102, 104, ktoré majú podstatne zníženú koreláciu citlivosti na rádiový signál. Prvý a druhý anténny napájač 102, 104 sú pripojené k anténnemu prepínaču 106 kvôli výberu medzi týmito prvým a druhým anténnym napájačom ako zdrojom vstupu pre spoločný anténny napájač 108, pripojený k dátovému prijímaču 110. Tento dátový prijímač 110 obsahuje indikačný prvok 115 sily prijatého signálu (RSSI), pripojený k mikroprocesoru 114 vedením RSSI 113 na indikáciu sily prvého prijatého signálu.

Dátové výstupné vedenie 111 dátového prijímača 110 je pripojené k dekodéru 112 na dekódovanie adresovej informácie prijatej z tohto dátového prijímača a je pripojené k mikroprocesoru 114 s cieľom spracovať prijaté správy. Tento mikroprocesor 114 je pripojený k dekodéru 112 kvôli

príjmu upozornenia, keď sa adresa dekodovaná dekodérom 112 zhoduje s vopred naprogramovanou adresou prijímača 100 dátovej komunikácie. Mikroprocesor 114 je pripojený k pamäti typu ROM 118, určenej na uloženie výkonného mikroprogramového vybavenia operačného systému a k pamäti typu RAM 120, určenej na dočasné uloženie prevádzkových premenných a iných vypočítaných hodnôt. Mikroprocesor 114 je tiež pripojený ku generátoru 122 návsti na generovanie počuteľnej alebo dotykovej návsti v ozve na prijatú správu. Ďalej je mikroprocesor 114 rovnako pripojený k displeju 124, napríklad displeju s tekutými kryštálmi, na zobrazenie prijatej správy a k riadiacej sekcii 126, obsahujúcej dobre známe ovládacie tlačidlá a gombíky na užívateľské riadenie prijímača 100 dátovej komunikácie. Mikroprocesor 114 je navyše pripojený k anténemu prepínaču 106 prostredníctvom riadiaceho vedenia 116 prepínača s cieľom riadiť anténny prepínač 106, ktorý vyberá medzi prvým a druhým anténnym napájačom 102, 104 v súlade s výhodným vyhotovením predkladaného vynálezu.

Mikroprocesor 114 je výhodne mikroriadiaca jednotka MC68HCL05C8, dodávaná firmou Motorola, Inc. of Schaumburg, IL. Je potrebné oceniť, že funkcia dekodéru 112 môže byť rovnako vykonávaná mikroprocesorom 114 spôsobom dobre známym v technike. Taktiež treba oceniť, že pamäť typu RAM 120 a typu ROM 118 môžu byť vyrobené ako súčasť mikroprocesoru 114. Mikroprocesor 114 a pamäť typu ROM 118 a/alebo pamäť typu RAM 120, či už sú implementované vo forme jednej súčasti alebo ako oddelené prvky, sú označované všeobecne ako procesor. Treba oceniť i to, že namiesto toho môžu byť použité iné podobné zariadenia bez toho, aby došlo k odchýleniu od zmyslu uvádzaného vynálezu. Anténny prepínač 106 je dobre známy v danej oblasti techniky. Ako ďalšiu informáciu o anténnych prepínačoch možno odporučiť Pin Diode Designer's Handbook and Catalog, vydaný v r. 1982 spoločnosťou Unitrode Corporation of Watertown, MA, str. 89 - 99.

Na obr. 2 je diagram 200 firmware pre pamäť typu ROM 118, ktorý ukazuje prvky tohto mikroprogramového vybavenia, ktoré sú v tejto pamäti vopred naprogramované s cieľom riadiť prijímač 100 dátovej komunikácie v súlade s výhodným vyhotovením predkladaného vynálezu, kde tento diagram obsahuje hlavný prvok 202 mikroprogramového vybavenia na riadenie výberového príjmu. Činnosť tohto hlavného prvku 202 a ostatných prvkov firmware, spojených s činnosťou výberového príjmu v prijímači 100 dátovej komunikácie je detailnejšie opísaná ďalej. Zostávajúce prvky mikroprogramového vybavenia diagramu 200 firmware sú krátko opísané v nasledujúcom odseku.

Diagram 200 firmware ďalej obsahuje prvok 1 riadenie anténneho prepínača na riadenie tohto anténneho prepínača 106 a prvok 2 počítanie synchronizačných bitových chýb, určený na počítanie bitových chýb počas prenosu synchronizačného slova, ako bude opísané. Diagram 200 firmware tiež obsahuje prvok 3 výber trvalého zdroja po skončení synchronizácie pre výber medzi prvým a druhým anténnym napájačom 102, 104 ako trvalým zdrojom po skončení synchronizačného slova 304 a prvok 4 výber trvalého zdroja pre informačnú dávku určený na výber trvalého zdroja počas prenosu informačnej dávky, čo bude opísané. Rovnako tak je v diagrame 200 mikroprogramového vybavenia prvok 10 výberu prechodného zdroja prvej - druhej časti, určený na výber prechodného zdroja rádiového signálu na príjem prvej a druhej časti synchronizačného slova 304 a prvok 11 výber trvalého zdroja podľa synchronizačných bitových chýb, určený na výber trvalého zdroja v ozve na počty bitových chýb, určené počas príjmu prvej a druhej

časti synchronizačného slova 304. Navyše je zahrnutý prvok 12 výber podľa sily signálu pri rovnakých počtoch bitových chýb, určený na výber trvalého zdroja v ozve na meranie sily prijatého signálu a prvok 16 počet bitových chýb preamble, určený na počítanie bitových chýb počas prenosu prvej a druhej časti preamble. Ďalej obsahuje prvok 17 výberu trvalého zdroja podľa počtu bitových chýb preamble, určený na výber trvalého zdroja pre preamble na základe počtu bitových chýb a prvok 18 výberu podľa priebežnej bitovej chybovosti preamble, ktorý počíta priebežnú bitovú chybovosť a na jej základe vyberá trvalý zdroj. Činnosť prvkov 1, 2, 3, 4, 10, 11, 12, 16, 17 a 18 firmware je plne opísaná vo vývojových diagramoch.

Na obr. 3 je uvedený časový diagram kódovacieho formátu dátovej komunikácie v súlade s výhodným vyhotovením predkladaného vynálezu. Tento znázornený kódovací formát je dobre známym kódovacím formátom Post Office Code Standardization Advisory Group (POCSAG). Ukázané časové hodnoty sú typické pre kódovací formát POCSAG, pracujúci rýchlosťou 2400 bitov za sekundu.

Tento formát POCSAG 2400 bit/sek. začína preamble 302 obsahujúcou 576-bitovú postupnosť striedajúcich sa núl a jednotiek, ktorá trvá 0,24 sek. Preamble 302 je nasledovaná 32-bitovým synchronizačným slovom 304, ktoré má vopred určenú špecifickú bitovú kombináciu, ktorá nie je nikde inde vo formáte POCSAG dovolená. Po synchronizačnom slove nasleduje prvá informačná dávka 306 s 512 bitmi. Synchronizačné slovo 304 a prvá informačná dávka dohromady vyžadujú na prenesenie 0,2267 sekúnd. Za prvou informačnou dávkou 306 nasleduje ďalšie synchronizačné slovo 304 a potom druhá informačná dávka 306. Formát POCSAG pokračuje v opakovaní synchronizačného slova 304 nasledovaného informačnou dávkou až do tridsiatej informačnej dávky 306, ktorá končí jednu POCSAG postupnosť 320, trvajúcu 7,04 sekúnd. Potom nasleduje nová postupnosť, obsahujúca preamble 302, synchronizačné slovo 304, informačnú dávku 306 a tak ďalej, kým existuje informácia, ktorá má byť poslaná.

Kľúčová charakteristika formátu POCSAG, ktorý je používaný výhodným vyhotovením prijímača 100 dátovej komunikácie v súlade s predkladaným vynálezom, je vlastnosť predvídateľného opakovania synchronizačného slova 304. Pretože synchronizačné slovo 304 má známu, vopred určenú bitovú kombináciu, môže prijímač 100 dátovej komunikácie porovnávať túto známu, vopred určenú bitovú kombináciu s dátovými bitmi, prijatými počas prenosu synchronizačného slova 304, a teda môže bezprostredne určiť chyby v dátových bitoch prijatých počas synchronizačného slova 304. Navyše, bitová kombinácia striedajúcich sa núl a jednotiek preamble 302 môže byť overená s prijatými dátovými bitmi preamble s cieľom podobného bezprostredného stanovenia chýb v týchto dátových bitoch, prijatých počas preamble 302. I keď kódovací formát POCSAG je príklad formátu, ktorý dobre pracuje v súlade s uvádzaným vynálezom, možno oceniť, že práve tak dobre môžu byť použité iné formáty, ktoré majú vopred určené opakujúce sa bitové kombinácie bez toho, aby sa odchýlili od myšlienky tohto vynálezu.

Vývojový diagram 400 hlavného programu na obr. 4, zodpovedajúci hlavnému mikroprogramovému prvku 202, obsahujúci spôsob výberového príjmu v prijímači 100 dátovej komunikácie v súlade s výhodným vyhotovením predkladaného vynálezu, začína počiatočným zachytením 402 rádiového signálu. V ozve mikroprocesor 114 vykoná 404 vyhodnocovací podprogram preamble, opísaný s cieľom určiť anténny napájač použitý počas prenosu tejto preamble 302. Po návrate 406 mikroprocesora 114 z výhod-

nocovacieho podprogramu preamble tento mikroprocesor 114 detekuje 408 štart synchronizačného slova 304 a potom vykoná 410 opísaný vyhodnocovací podprogram synchronizačného slova s cieľom určiť anténny napájač použitý počas a po prijatí tohto synchronizačného slova 304.

Potom, čo sa mikroprocesor 114 vráti 412 z vyhodnocovacieho podprogramu synchronizačného slova, kontroluje 413, či RSSI informácia odvodená počas vyhodnocovacieho podprogramu synchronizačného slova je v rozpore s informáciou o počte chýb odvodenou týmto mikroprocesorom 114. Presnejšie, mikroprocesor 114 určuje, či anténny napájač 102, 104, ktorý dáva nižší, teda lepší počet bitových chýb, je ten istý anténny napájač 102, 104, ktorý dodáva nižšiu, teda horšiu hodnotu RSSI. Pokiaľ tu nie je rozpor, potom mikroprocesor 114 vykoná 414 vyhodnocovací podprogram informačnej dávky, ako bude opísané, ktorý sa spolieha na periodické merania RSSI na určenie anténneho napájača 102, 104, ktorý má byť použitý počas celej informačnej dávky 306. Keď sa mikroprocesor 114 vráti 416 z vyhodnocovacieho podprogramu informačnej dávky 700, prejde sa ku kroku 418. Na druhej strane, ak v kroku 413 mikroprocesor 114 určí, že je tu rozpor medzi RSSI informáciou a informáciou o počte bitových chýb, potom mikroprocesor 114 preskočí vyhodnocovací podprogram informačnej dávky 700 a priamo prejde ku kroku 418.

Kontrola vykonaná v kroku 413, výhodne zlepšuje výber anténneho napájača v situácii, keď je prijatý rušiaci signál so značnou silou signálu iba na jednom z anténnych napájačov 102, 104. V takejto situácii môže samotný rušivý signál vytvoriť silnejšiu hodnotu RSSI na anténnom napájači 102, 104, v ktorom môže rušivý signál tiež vytvárať väčší počet bitových chýb. Lepším výberom anténneho napájača je v tejto situácii jasne ten anténny napájač 102, 104, ktorý má nižší počet bitových chýb, nie ten anténny napájač 102, 104, ktorý má vyššiu hodnotu RSSI.

V kroku 418 mikroprocesor 114 určuje, či práve prenesená informačná dávka 306 je posledná informačná dávka 306 POCSAG postupnosti 320. Ak nie, vracia sa mikroprocesor 114 do kroku 408 s cieľom spracovať ďalšie synchronizačné slovo 304 a informačnej dávky 306. Na druhej strane, ak mikroprocesor 114 v kroku 418 určí, že práve vyhodnotená informačná dávka 306 je poslednou informačnou dávkou 306 POCSAG postupnosti 320, potom mikroprocesor 114 očakáva 420 ďalšiu preamble 302 a potom sa vracia ku kroku 404 s cieľom spracovať ďalšiu POCSAG postupnosť 320.

Vývojový diagram vyhodnocovacieho podprogramu preamble 500 podľa obr. 5, zahŕňajúci spôsob výberového prijmu v prijímači 100 dátovej komunikácie v súlade s výhodným vyhotovením predkladaného vynálezu, začína riadením 502 anténneho prepínača 106 mikroprocesorom 114 s účelom výberu prvého anténneho napájača 102 ako prechodného zdroja rádiového signálu pre dátový prijímač 110. Ďalej, mikroprocesor 114 monitoruje 504 prvú časť, t. j. 32 bitov, preamble 302 s účelom odvodenia a uloženia prvého počtu bitových chýb preamble. Potom mikroprocesor 114 riadi 506 anténny prepínač 106 tak, aby vybral druhý anténny napájač 104 ako prechodný zdroj pre dátový prijímač 110. Ďalej, mikroprocesor 114 monitoruje 508 druhú časť, t. j. ďalších 32 bitov, preamble 320 s účelom odvodenia a uloženia druhého počtu bitových chýb.

V kroku 510 mikroprocesor 114 určuje, či prvý počet bitových chýb preamble je menší alebo sa rovná druhému počtu bitových chýb. Ak áno, mikroprocesor 114 riadi 512 anténny prepínač 106 tak, že je vybraný prvý anténny napájač 102 ako trvalý zdroj rádiového signálu. Ak nie, mikroprocesor 114 riadi 514 anténny prepínač 106 tak, aby vy-

bral druhý anténny napájač 104 ako stály zdroj rádiového signálu. V oboch prípadoch potom mikroprocesor 114 pokračuje v monitorovaní 516 preamble 302 s účelom odvodenia priebežného počtu bitových chýb, t. j. počtu bitových chýb pre každých 32 bitov preamble 302. Súčasne s krokom 516 mikroprocesor 114 kontroluje 518 každý priebežný počet bitových chýb, aby bolo vidno, či sa vyskytne viac ako jedna bitová chyba. Ak nie, mikroprocesor 114 jednoducho pokračuje ku kroku 522. Pokiaľ sa vyskytlo viac bitových chýb ako jedna, mikroprocesor 114 riadi 520 anténny prepínač 106 tak, aby vybral alternatívny anténny napájač ako trvalý zdroj rádiového signálu, t. j. mikroprocesor 114 vyberie prvý anténny napájač 102, ak je v súčasnosti vybraný druhý anténny napájač 104 a naopak. Potom mikroprocesor 114 pokračuje ku kroku 522. V kroku 522 mikroprocesor 114 kontroluje, či preamble 302 skončila. Ak nie, prechádza sa späť do kroku 516 s cieľom pokračovať monitorovať preamble 302. Pokiaľ preamble 302 skončila, prechádza sa 524 do hlavného programu 400 v kroku 406 (obr.4). Prvky mikroprogramového vybavenia riadiace vyhodnocovací podprogram preamble 500 v súlade s výhodným vyhotovením vynálezu obsahujú prvky mikroprogramového vybavenia 1, 2, 16, 17 a 18 diagramu 200 mikroprogramového vybavenia.

Vývojový diagram vyhodnocovacieho podprogramu 600 synchronizačného slova na obr. 6, zahŕňajúci spôsob výberového prijmu v prijímači 100 dátovej komunikácie podľa výhodného vyhotovenia vynálezu, začína riadením 602 anténneho prepínača 106 mikroprocesorom 114 tak, aby bol vybraný prvý anténny napájač 102. Ďalej mikroprocesor 114 monitoruje 604 prvú časť, t. j. prvých 15 bitov synchronizačného slova 304, s účelom odvodenia a uloženia prvého počtu synchronizačných bitových chýb. Potom mikroprocesor 114 monitoruje 606 RSSI prvok 115 a ukladá silu prvého synchronizačného signálu. Potom mikroprocesor 114 riadi 608 anténny prepínač 106 tak, aby bol vybraný druhý anténny napájač 104. Ďalej mikroprocesor 114 monitoruje 610 druhú časť, t. j. druhých 15 bitov synchronizačného slova 304 s účelom odvodenia a uloženia druhého počtu synchronizačných bitových chýb. Potom mikroprocesor 114 monitoruje 612 RSSI prvok 115 a ukladá silu druhého synchronizačného signálu.

V kroku 614 mikroprocesor 114 kontroluje, či prvý počet synchronizačných bitových chýb je menší ako druhý počet synchronizačných bitových chýb. Ak áno, mikroprocesor 114 riadi anténny prepínač 106 tak, aby bol vybraný prvý anténny napájač 102 ako trvalý zdroj rádiového signálu a potom sa vracia 628 do hlavného programu 400 v kroku 412 (obr. 4). Ak nie, mikroprocesor 114 kontroluje 618, či prvý počet synchronizačných bitových chýb je väčší ako druhý počet synchronizačných bitových chýb. Ak áno, mikroprocesor 114 riadi 620 anténny prepínač 106 tak, aby bol vybraný druhý anténny napájač 104 ako trvalý zdroj rádiového signálu a potom sa vracia 628 do hlavného programu 400 v kroku 412.

Pokiaľ však v kroku 618 mikroprocesor 114 určí, že prvý počet synchronizačných bitových chýb nie je väčší ako druhý, t. j. sú rovnaké, potom sa prejde do kroku 622, kde mikroprocesor 114 zisťuje, či sila prvého synchronizačného signálu je väčšia alebo sa rovná sile druhého synchronizačného signálu. Ak áno, mikroprocesor 114 riadi 624 anténny prepínač 106 tak, aby vybral prvý anténny napájač 102 ako trvalý zdroj rádiového signálu a potom sa vracia 628 do hlavného programu 400 v kroku 412 (obr. 4). Ak v kroku 622 nie je sila prvého synchronizačného signálu, mikroprocesor 114 riadi 626 anténny prepínač 106 tak, aby vybral ako trvalý zdroj rádiového signálu druhý

anténny napájač 104 a potom sa vracia 628 do hlavného programu 400 v kroku 412. Prvky mikroprogramového vybavenia, riadiace vyhodnocovací podprogram synchronizačného slova 600 v súlade s výhodným vyhotovením predkladaného vynálezu, obsahujú firmware prvky 1, 2, 10, 11 a 12 diagramu 200 firmware.

Vyhodnocovací podprogram 600 synchronizačného slova podľa výhodného vyhotovenia vynálezu výhodne zabezpečuje rýchly spôsob (t. j. raz za každých 0,2267 sekúnd pre signalizáciu PCSAG 2400 bit/s.) výberu medzi prvým a druhým anténnym napájačom 102, 104 ako trvalým zdrojom rádiového signálu pre informačnú dávku 306. Výber je založený na prijatých počtoch bitových chýb pre synchronizačné slovo 304, prijaté z prvého a druhého anténneho napájača 102, 104 počas prenosu synchronizačného slova 304 bezprostredne pred informačnou dávkou 306, ovplyvnenou výberom. Blížkosť synchronizačného slova 304 k ovplyvnenej informačnej dávke 306 zaručuje, že pre anténny napájač 102, 104 vybraný pre informačnú dávku 306, môže sa rozumne predpokladať, že bude mať z týchto dvoch anténnych napájačov 102, 104 počas prenosu informačnej dávky 306 nižší počet chýb.

Vývojový diagram vyhodnocovacieho podprogramu 700 informačnej dávky na obr. 7, zahŕňajúci spôsob výberového príjmu v prijímači 100 dátovej komunikácie podľa výhodného vyhotovenia vynálezu, začína periodickým monitorovaním 702 RSSI prvku 115 mikroprocesorom 114, t. j. raz za kódové slovo, počas zvyšku informačnej dávky nasledujúci príjem synchronizačného slova 304. Súčasne s každým intervalom monitorovania mikroprocesor 114 kontroluje v kroku 704, či RSSI informačnej dávky klesla pod vopred určený prah prepínania. Ak áno, mikroprocesor 114 riadi 624 anténny prepínač 106 tak, aby vybral alternatívny anténny napájač ako trvalý zdroj rádiového signálu a potom kontroluje 708, či je informačná dávka kompletná. Ak v kroku 704 RSSI neklesla pod vopred určený prah prepínania, mikroprocesor 114 len kontroluje 708, či je informačná dávka kompletná. Ak v kroku 708 nie je informačná dávka skončená, prechádza sa späť do kroku 702 a pokračuje sa v monitorovaní RSSI. Na druhej strane, ak bola v kroku 708 informačná dávka skončená, mikroprocesor 114 sa vracia do hlavného programu 400 v kroku 416 (obr. 4). Prvky mikroprogramového vybavenia, riadiace vyhodnocovací podprogram informačnej dávky 700 v súlade s výhodným vyhotovením vynálezu, obsahujú prvky 1 a 4 firmware z diagramu 200 firmware.

Podľa obr. 8 ukazuje diagram 800 mikroprogramového vybavenia pre pamäť 118 typu ROM prvky mikroprogramového vybavenia v nej naprogramované s účelom riadenia prijímača 100 dátovej komunikácie v súlade s prvým alternatívnym usporiadaním uvádzaného vynálezu. Základný rozdiel medzi diagramom 800 firmware a diagramom 200 firmware výhodného vyhotovenia predkladaného vynálezu je, že diagram 800 firmware nahrádza prvky 16, 17 a 18 mikroprogramového vybavenia diagramu 200 firmware novými prvkami mikroprogramového vybavenia: prvkom 13. Sila signálu preamble 1-2, prvkom 14. Výber trvalého zdroja podľa sily signálu preamble 1-2 a prvkom 15. Výber trvalého zdroja podľa sily signálu preamble 3. Činnosť prvého alternatívneho usporiadania, ktorá je odlišná od činnosti výhodného vyhotovenia, je opísaná nižšie.

Vývojový diagram vyhodnocovacieho podprogramu 900 preamble na obr. 9, obsahujúci spôsob výberového príjmu v prijímači 100 dátovej komunikácie v súlade s prvým alternatívnym vyhotovením uvádzaného vynálezu začína riadením 902 anténneho prepínača 106 mikroprocesorom 114 tak, aby bol vybraný prvý anténny napájač 102.

Ďalej mikroprocesor 114 monitoruje 904 RSSI prvok 115 počas prvej časti, napr. 2 bitov, preamble 302 s účelom získania a uloženia prvej hodnoty sily signálu preamble do pamäti 120 typu RAM. Potom tento mikroprocesor 114 riadi 906 anténny prepínač 106 tak, aby vybral druhý anténny napájač 104. Ďalej mikroprocesor 114 monitoruje 908 RSSI prvok 115 počas druhej časti, napr. ďalších 2 bitov, preamble 302 s účelom získania a uloženia druhej hodnoty sily signálu preamble do pamäte 120 typu RAM. V kroku 910 mikroprocesor 114 určuje, či je prvá hodnota sily signálu preamble väčšia alebo sa rovná druhej hodnote sily signálu preamble. Ak áno, mikroprocesor 114 riadi 912 anténny prepínač 106 tak, aby vybral prvý anténny napájač 102 ako trvalý zdroj rádiového signálu a potom sa prechádza do kroku 916. Pokiaľ v kroku 910 nie je prvá hodnota sily signálu preamble väčšia alebo sa rovná druhej hodnote sily signálu preamble, mikroprocesor 114 riadi 914 anténny prepínač 106 tak, aby vybral druhý anténny napájač 104 ako trvalý zdroj rádiového signálu a potom sa prechádza do kroku 916.

V kroku 916 mikroprocesor 114 pokračuje v periodickom monitorovaní RSSI prvku 115, napríklad každé 2 bity, počas zvyšku preamble 302, s účelom detegovania poklesu sily signálu. Ak v kroku 918 mikroprocesor 114 deteguje, že sila signálu preamble klesla pod vopred určenú úroveň prahu prepínania, potom mikroprocesor 114 riadi 920 anténny prepínač 106 tak, aby vybral alternatívny anténny napájač, t. j. ten anténny napájač, ktorý v súčasnosti nebol vybraný ako trvalý zdroj rádiového signálu a potom sa prejde do kroku 922. Na druhej strane, ak v kroku 918 mikroprocesor 114 nedeteguje, že sila signálu preamble klesla pod vopred určenú úroveň prahu prepínania, prejde mikroprocesor 114 jednoducho do kroku 922. V kroku 922 určuje mikroprocesor 114, či preamble 302 skončila. Ak nie, prechádza sa späť do kroku 916 s účelom pokračovania monitorovania sily signálu preamble. Ak je preamble 302 skončená, potom sa postup vracia 924 do hlavného programu 400 v kroku 406 (obr. 4). Prvky firmware, riadiace vyhodnocovací podprogram 900 preamble v súlade s prvým alternatívnym vyhotovením vynálezu, obsahujú prvky 1, 13, 14 a 15 diagramu 800 firmware.

Vyhodnocovací podprogram 900 preamble v súlade s prvým alternatívnym vyhotovením predkladaného vynálezu môže zaistiť rýchlejšiu detekciu zhoršujúceho sa signálu, ako umožňuje vyhodnocovací podprogram 500 preamble v súlade s výhodným vyhotovením vynálezu. Je to preto, že vyhodnocovací podprogram 900 preamble je založený na hodnotách RSSI, ktoré zvyčajne môžu odpovedať na zmeny sily signálu rýchlejšie, ako je čas požadovaný na prenos jedného bitu. Vyhodnocovací podprogram 500 preamble je trochu pomalší, pretože musí overiť niekoľko, napríklad 30 bitov pred tým, ako urobí rozhodnutie. Na druhej strane, vyhodnocovací podprogram 900 preamble môže vybrať „zlý“ anténny napájač 102, 104 v prítomnosti rušivého signálu, prijímaného so značnou silou signálu na jednom z anténnych napájačov 102, 104, ale nie na druhom, ako bolo preberané v detailnom opise hlavného programu 400 (obr. 4). Z tohto dôvodu je vyhodnocovací podprogram 500 preamble preferovaný, pokiaľ špeciálna aplikácia nevyžaduje mimoriadne rýchly čas ozvy výberového príjmu počas prenosu preamble 302.

Diagram 1000 firmware pre pamäť 118 typu ROM na obr. 10 ukazuje v nej naprogramované prvky firmware, určené na riadenie prijímača 100 dátovej komunikácie v súlade s druhým alternatívnym vyhotovením predkladaného vynálezu. Základný rozdiel medzi diagramom 1000 firmware a diagramom 200 firmware výhodného vyhotovenia

vynálezu je, že diagram 1000 firmware nahrádza firmware prvky 10, 11 a 12 diagramu 200 firmware novým prvkom 5. Nový trvalý zdroj pri vysokom počte bitových chýb. Činnosť druhého alternatívneho vyhotovenia, ktorá sa odlišuje od činnosti výhodného vyhotovenia, je opísaná nižšie.

Vývojový diagram 1100 vyhodnocovacieho podprogramu synchronizačného slova na obr. 11, zahŕňajúci spôsob výberového príjmu v prijímači 100 dátovej komunikácie v súlade s druhým alternatívnym vyhotovením vynálezu, začína riadením 1102 anténneho prepínača 106 mikroprocesorom 114 s účelom pokračovania použitia prv vybraného anténneho napájача ako prechodného zdroja rádiového signálu pre ďalšie synchronizačné slovo 304. Potom v kroku 1104 mikroprocesor 114 monitoruje synchronizačné slovo 304, s účelom určenia počtu bitových chýb. V kroku 1106 mikroprocesor 114 určí, či počet bitových chýb je väčší ako jeden. Ak áno, mikroprocesor 114 riadi 1108 anténny prepínač 106 tak, aby vybral alternatívny anténny napájач ako trvalý zdroj rádiového signálu pre ďalšiu informačnú dávku 306 a potom sa vracia 1110 do hlavného programu 400 v kroku 412 (obr. 4). Na druhej strane, ak v kroku 1106 mikroprocesor 114 určí, že počet bitových chýb nie je väčší ako jedna, potom sa mikroprocesor 114 rovno vracia 1110 do hlavného programu 400 v kroku 412. Prvky mikroprogramového vybavenia, riadiace vyhodnocovací podprogram 1100 synchronizačného slova v súlade s druhým alternatívnym vyhotovením vynálezu, obsahujú prvky 1, 2, 3 a 5 mikroprogramového vybavenia z diagramu 1000 firmware.

Vyhodnocovací podprogram 1100 synchronizačného slova je oveľa jednoduchší ako vyhodnocovací podprogram 600 synchronizačného slova. Jednoduchosť vyhodnocovacieho podprogramu 1100 synchronizačného slova môže vyústiť v nižšie realizačné náklady. Na druhej strane, vyhodnocovací podprogram 1100 synchronizačného slova nevykonáva výber anténneho napájача až do času výskytu dvoch bitových chýb v synchronizačnom slove a potom prepne na alternatívny anténny napájач, ktorý môže alebo nemusí byť lepším zdrojom rádiového signálu. Z týchto dôvodov je preferovaný vyhodnocovací podprogram 600 synchronizačného slova, pokiaľ si požiadavky na náklady nevynútiť použitie vyhodnocovacieho podprogramu 1100 synchronizačného slova.

Diagram 1200 firmware pre pamäť 116 typu ROM na obr. 12 ukazuje v nej naprogramované prvky mikroprogramového vybavenia, určené na riadenie prijímača 100 dátovej komunikácie v súlade s tretím alternatívnym vyhotovením predkladaného vynálezu. Základný rozdiel medzi diagramom 1200 firmware a diagramom 200 firmware výhodného vyhotovenia uvádzaného vynálezu je, že diagram 1200 firmware nahrádza prvky 10 a 11 mikroprogramového vybavenia diagramu 200 firmware prvkom 6 výberu prechodného zdroja na základe prvého - druhého príjmu a prvkom 7 výber trvalého zdroja na základe prvého - druhého príjmu. Činnosť tretieho alternatívneho vyhotovenia, ktorá sa odlišuje od činnosti výhodného vyhotovenia, je opísaná nižšie.

Vývojový diagram vyhodnocovacieho podprogramu 1300 synchronizačného slova na obr. 13, zahŕňajúci spôsob výberového príjmu v prijímači 100 dátovej komunikácie v súlade s tretím alternatívnym vyhotovením vynálezu, začína riadením 1302 anténneho prepínača 106 mikroprocesorom 114 s účelom výberu súčasného prechodného napájача odlišného od skoršieho prechodného napájача, vybraného pre predchádzajúce synchronizačné slovo 304, prijaté bezprostredne pred terajším synchronizačným slovom 304. Ďalej mikroprocesor 114 monitoruje 1304 väčšinu, napri-

klad tridsať jeden bitov, zo súčasného synchronizačného slova 304 s účelom získania a uloženia súčasného počtu synchronizačných bitových chýb do pamäte 120 typu RAM. Mikroprocesor 114 rovnako číta a ukladá 1306 súčasnú hodnotu RSSI z RSSI prvku 115. V kroku 1308 mikroprocesor 114 overuje, či súčasný počet synchronizačných bitových chýb je menší ako počet synchronizačných bitových chýb uložený pre predchádzajúce synchronizačné slovo 304. Ak áno, mikroprocesor 114 riadi 1310 anténny prepínač 106 tak, aby vybral súčasný prechodný napájач ako trvalý zdroj rádiového signálu a prechádza do kroku 1316.

Pokiaľ v kroku 1308 nie je súčasný počet synchronizačných bitových chýb menší ako predchádzajúci počet bitových chýb uložený pre predchádzajúce synchronizačné slovo 304, potom mikroprocesor 114 overuje v kroku 1312, či súčasný počet synchronizačných bitových chýb je väčší ako predchádzajúci počet synchronizačných bitových chýb, uložený pre predchádzajúce synchronizačné slovo 304. Ak áno, riadi 1314 mikroprocesor 114 anténny prepínač 106 tak, aby vybral predchádzajúci prechodný napájач ako trvalý zdroj rádiového signálu a prechádza do kroku 1316. Ak v kroku 1312 nie je súčasný počet synchronizačných bitových chýb väčší ako predchádzajúci počet synchronizačných bitových chýb uložený pre predchádzajúce synchronizačné slovo 304, potom mikroprocesor 114 kontroluje v kroku 1318, či súčasná RSSI hodnota je väčšia alebo sa rovná predchádzajúcej RSSI hodnote, uloženej pre predchádzajúce synchronizačné slovo 304. Ak áno, mikroprocesor 114 riadi 1320 anténny prepínač 106 tak, aby bol vybraný súčasný prechodný napájач ako trvalý zdroj rádiového signálu a prechádza do kroku 1316.

Ak v kroku 1318 nie je súčasná RSSI hodnota väčšia alebo sa rovná predchádzajúcej RSSI hodnote, potom mikroprocesor 114 riadi 1322 anténny prepínač 106 tak, aby vybral predchádzajúci prechodný napájач ako trvalý zdroj rádiového signálu a prechádza do kroku 1316. V kroku 1316 mikroprocesor 114 nahrádza v pamäti 120 typu RAM predchádzajúce hodnoty pre prechodný napájач, počet synchronizačných bitových chýb a RSSI tak, že predchádzajúce hodnoty sú nahradzované zodpovedajúcimi súčasnými hodnotami. Potom sa prechádza do hlavného programu 400 v kroku 412. Prvky mikroprogramového vybavenia, riadiace vyhodnocovací podprogram 1300 synchronizačného slova podľa tretieho alternatívneho uskutočnenia predkladaného vynálezu, obsahujú prvky 1, 2, 3, 6, 7 a 12 mikroprogramového vybavenia diagramu 1200 firmware.

Vyhodnocovací podprogram 1300 synchronizačného slova podľa tretieho alternatívneho uskutočnenia vynálezu ponúka výhodu určenia a porovnania počtu bitových chýb pre v podstate dvojnásobný počet bitov ako bitov overovaných vo vyhodnocovacom podprograme 600 synchronizačného slova, a tak robí porovnávanie trochu viac odolné proti nesprávnemu anténnemu výberu, vyplývajúcejmu z izolovaného šumového zhluku. Vyhodnocovací podprogram 1300 synchronizačného slova ale vykonáva svoj výber založený na chybách, počítaných na dlhší časový interval, a tak možno menej spoľahlivý v predpovedi lepšieho anténneho napájania v meniacom sa mnohocestnom prostredí ako vyhodnocovací podprogram 600 synchronizačného slova.

Diagram 1400 firmware pre pamäť 118 typu ROM na obr. 14 ukazuje v nej naprogramované prvky mikroprogramového vybavenia, určené na riadenie prijímača 100 dátovej komunikácie v súlade so štvrtým alternatívnym vyhotovením predkladaného vynálezu. Základný rozdiel medzi diagramom 1400 firmware a diagramom 200 firmware vý-

hodného vyhotovenia uvádzaného vynálezu je, že diagram 1400 firmware nahrádza prvky 10 a 11 mikroprogramového vybavenia diagramu 200 firmware prvkom 8 viacpriechodový výber prechodného zdroja a prvkom 9 viacpriechodový výber trvalého zdroja. Činnosť štvrtého alternatívneho vyhotovenia, ktorá je odlišná od činnosti výhodného vyhotovenia, je opísaná nižšie.

Vývojový diagram vyhodnocovacieho podprogramu 1500 synchronizačného slova na obr. 15 a 16 zahŕňajúci spôsob výberového prijmu v prijímači 100 dátovej komunikácie v súlade so štvrtým alternatívnym vyhotovením vynálezu, začína tým, že mikroprocesor 114 zisťuje 1502, či čítač priechodov P je medzi jednotkou a vopred určeným párnym limitom PMAX počtu priechodov. Ak nie, mikroprocesor 114 nastaví 1504 P rovnajúce sa jednej a riadi 1506 anténny prepínač 106 tak, aby bol vybraný prvý anténny napájač 102 ako prechodný zdroj rádiového signálu počas prenosu synchronizačného slova 304. Potom sa prechádza do kroku 1512.

Ak na druhej strane, v kroku 1502 je hodnota P medzi jednotkou a PMAX, potom mikroprocesor 114 zisťuje 1508, či predchádzajúci anténny napájač 102, 104, použitý počas prenosu predchádzajúceho synchronizačného slova 304, bezprostredne predchádzajúceho súčasné synchronizačné slovo 304, bol prvý anténny napájač 102. Ak nie, mikroprocesor 114 riadi 1506 anténny prepínač 106 tak, aby bol vybraný prvý anténny napájač ako prechodný zdroj, načo sa prechádza do kroku 1512. Ak v kroku 1508 bol predchádzajúci anténny napájač 102, 104 prvý anténny napájač 102, potom mikroprocesor 114 riadi 1510 anténny prepínač 106 tak, aby vybral druhý anténny napájač 104 ako prechodný zdroj, potom sa prechádza do kroku 1512. V kroku 1512 mikroprocesor 114 monitoruje synchronizačné slovo 304 s cieľom získať súčasný počet synchronizačných bitových chýb pre súčasné synchronizačné slovo 304. Potom mikroprocesor 114 monitoruje 1514 RSSI prvok 1185 a číta súčasnú RSSI hodnotu. Ďalej mikroprocesor 114 uloží 1516 tento súčasný počet synchronizačných bitových chýb a súčasnú RSSI hodnotu do pamäťových miest v pamäti 120 typu RAM, určených na tento počet synchronizačných bitových chýb a súčasnú RSSI hodnotu, zodpovedajúcu P-tému priechodu. Potom mikroprocesor 114 zvýši 1518 hodnotu P o jednotku a uloží výslednú novú hodnotu do pamäte 120 typu RAM. Ďalej mikroprocesor 114 zisťuje 1520, či teraz P prekračuje PMAX. Ak nie, mikroprocesor 114 zachová 1521 použitie predtým vybraného anténneho napájača 102, 104 ako trvalého zdroja pre informačnú dávku 306 po skončení súčasného synchronizačného slova 304 a potom sa prechádza späť 1522 do hlavného programu 400 v kroku 412 (obr. 4).

Pokiaľ namiesto toho v kroku 1520 mikroprocesor 114 určí, že P teraz prekračuje PMAX, potom mikroprocesor 114 počíta 1524 prvý počet synchronizačných bitových chýb ako súčet počtov tých synchronizačných bitových chýb, uložených v pamäťových miestach v pamäti 120 typu RAM, určených pre počty synchronizačných bitových chýb zodpovedajúce nepárnym hodnotám P. Ďalej mikroprocesor 114 počíta 1526 druhý počet synchronizačných bitových chýb ako súčet počtov týchto synchronizačných bitových chýb uložených v pamäťových miestach v pamäti 120 typu RAM, určených pre počty synchronizačných bitových chýb zodpovedajúce párnym hodnotám P. Potom mikroprocesor 114 počíta 1528 prvú silu synchronizačného signálu ako priemer RSSI hodnôt uložených v pamäťových miestach v pamäti 120 typu RAM, určených pre RSSI hodnoty zodpovedajúce nepárnym hodnotám P. Ďalej mikroprocesor 114 počíta 1530 druhú silu synchronizačného sig-

nálu ako priemer RSSI hodnôt uložených v pamäťových miestach v pamäti 120 typu RAM určených pre RSSI hodnoty zodpovedajúce párnym hodnotám P. Potom sa prechádza do kroku 1614 (obr. 16).

V kroku 1614 mikroprocesor 114 zisťuje, či je prvý počet synchronizačných bitových chýb menší ako druhý počet synchronizačných bitových chýb. Ak áno, mikroprocesor 114 riadi 1616 anténny prepínač 106 tak, aby bol vybraný prvý anténny napájač 102 ako trvalý zdroj rádiového signálu a potom sa vracia 1628 do hlavného programu 400 v kroku 412 (obr. 4). Ak v kroku 1614 nie je prvý počet synchronizačných bitových chýb menší ako druhý počet synchronizačných bitových chýb, mikroprocesor 114 kontroluje, či je prvý počet synchronizačných bitových chýb väčší ako druhý počet synchronizačných bitových chýb. Ak áno, mikroprocesor 114 riadi 1620 anténny prepínač 106 tak, aby vybral druhý anténny napájač 104 ako trvalý zdroj rádiového signálu a potom sa vracia 1618 do hlavného programu 400 v kroku 412 (obr. 4).

Ak však v kroku 1618 mikroprocesor 114 určí, že prvý počet synchronizačných bitových chýb nie je väčší ako druhý, to znamená, že sú si rovné, potom sa prechádza do kroku 1622, kde mikroprocesor 114 zisťuje, či sila prvého synchronizačného signálu je väčšia alebo sa rovná sile druhého synchronizačného signálu. Ak áno, mikroprocesor 114 riadi 1624 anténny prepínač 106 tak, aby vybral prvý anténny napájač 102 ako trvalý zdroj rádiového signálu a potom sa vracia 1628 do hlavného programu 400 v kroku 412 (obr. 4). Ak v kroku 1622 nie je sila prvého synchronizačného signálu väčšia alebo sa rovná sile druhého synchronizačného signálu, potom mikroprocesor 114 riadi 1626 anténny prepínač 106 tak, aby vybral ako trvalý zdroj rádiového signálu druhý anténny napájač 104 a potom sa vracia 1628 do hlavného programu 400 v kroku 412 (obr. 4). Prvky mikroprogramového vybavenia, riadiace vyhodnocovací program 1500 synchronizačného slova v súlade so štvrtým alternatívnym vyhotovením vynálezu, obsahujú prvky 1, 2, 3, 8, 9 a 12 mikroprogramového diagramu 1400 firmware.

Podobne ako vyhodnocovací podprogram 1300 synchronizačného slova podľa tretieho alternatívneho vyhotovenia uvádzaného vynálezu, vyhodnocovací podprogram 1500 synchronizačného slova podľa štvrtého alternatívneho vyhotovenia vynálezu ponúka výhodu určenia a porovnania počtov bitových chýb pre podstatne viac bitov ako bolo preverené vo vyhodnocovacom podprograme 600 synchronizačného slova, a tak robí porovnanie podstatne viac odolným proti nesprávnemu anténnemu výberu vyplývajúcejmu z izolovaného šumového zhluku. Vyhodnocovací podprogram 1500 synchronizačného slova má ale výber založený na bitových chybách počítaných pre podstatne dlhší (a vopred programovateľný) časový interval, a tak možno menej spoľahlivý ako vyhodnocovací podprogram 600 synchronizačného slova v predpovedi lepšieho anténneho napájania v rýchlo sa meniacom mnohocestnom prostredí. Príkladom aplikácie, v ktorej môže vyhodnocovací podprogram 1500 synchronizačného slova veľmi dobre pracovať, je satelitný prenos s pomaly sa meniacim viaccetným prostredím, napríklad niekoľko sekúnd medzi zmenami v lepšom anténnom napájaní. Vyhodnocovací podprogram 1500 synchronizačného slova môže mať ešte lepší výber pre takúto aplikáciu, pokiaľ spoločným zdrojom rušenia v aplikácii sú krátke šumové zhluky, napríklad jedna milisekunda alebo menej. Účinok takýchto šumových zhlukov by bol spriemerovaný cez podstatne dlhší časový interval pre počítanie bitových chýb, čo by viedlo k výberu anténneho napájania, ktoré má lepšie dlhodobé vlastnosti.

Uvedený vynález teda zahŕňa spôsob a zariadenie na vybudovanie prijímača na výberový príjem, majúceho z hľadiska nákladov a výkonu výhody jedného prijímača s prepínanou anténou, ale ktorý môže nepretržite vyberať anténny napájač majúci silnejší signál. Uvádzaný vynález taktiež zaisťuje flexibilitu v spôsobe, akým je vykonávané rozhodnutie, týkajúce sa výberu anténneho napájača. Súčasne predkladaný vynález dovoľuje prispôbenie prijímača na výberový príjem zákazníkovi s účelom optimalizácie výberu anténneho napájača pre špecifické mnohosečné prostredie.

Priemyselná využiteľnosť

Uvedený vynález možno využiť predovšetkým v rádiových komunikačných zariadeniach pracujúcich na princípe prepínaného výberového príjmu.

PATENTOVÉ NÁROKY

1. Spôsob výberového príjmu rádiového signálu v prijímači dátovej komunikácie obsahujúcom prvý a druhý anténny napájač, ktoré majú podstatne zníženú koreláciu citlivostí na rádiový signál, kde tento rádiový signál obsahuje najmenej jednu informačnú dávku, ktorá má vopred určený čas trvania a predchádza ju vopred určená bitová kombinácia, **v y z n a č u j ú c i s a t ý m**, že sa v priebehu prenosu vopred určenej bitovej kombinácie vyberie prvý anténny napájač alebo druhý anténny napájač ako prechodný zdroj rádiového signálu, potom sa monitoruje rádiový signál prijatý z vybraného prechodného zdroja, čím sa získajú dáta z tejto kombinácie, pre ktoré sa určí najmenej jeden počet bitových chýb, v ozve na takto určený najmenej jeden počet bitových chýb sa pri ukončení vopred určenej bitovej kombinácie vyberie prvý alebo druhý anténny napájač ako trvalý zdroj rádiového signálu a počas prenosu prvej časti vopred určenej bitovej kombinácie sa meria prvá sila signálu rádiového signálu z prvého anténneho napájača a počas prenosu druhej časti vopred určenej bitovej kombinácie sa meria druhá sila signálu rádiového signálu z druhého anténneho napájača, načo, ak sa určí ich porovnaním, že existuje rozpor medzi silou signálu a anténnym napájačom vybraným ako trvalý zdroj v ozve na to, že prvá sila signálu je väčšia ako druhá sila signálu, keď bol ako trvalý zdroj vybraný druhý anténny napájač, a rovnako v ozve na to, že druhá sila signálu je väčšia ako prvá sila signálu, keď bol ako trvalý zdroj vybraný prvý anténny napájač, potom zostáva po vopred určený čas trvania dávky výber trvalého zdroja zachovaný a v prípade, ak sa určí ich porovnaním, že neexistuje rozpor medzi silou signálu a anténnym napájačom vybraným ako trvalý zdroj v ozve na to, že prvá sila signálu je väčšia ako druhá sila signálu, keď bol ako trvalý zdroj vybraný prvý anténny napájač, alebo druhá sila signálu je väčšia ako prvá sila signálu, keď bol ako trvalý zdroj vybraný druhý anténny napájač, dochádza k periodickému opätovnému vyberaniu trvalého zdroja po vopred určený čas trvania dávky.

2. Spôsob podľa nároku 1, **v y z n a č u j ú c i s a t ý m**, že výber prvého anténneho napájača ako prechodného zdroja sa vykonáva počas prenosu prvej časti vopred určenej bitovej kombinácie a výber druhého anténneho napájača ako prechodného zdroja sa vykonáva počas prenosu druhej časti vopred určenej bitovej kombinácie, a určenie prvého počtu bitových chýb pre dáta získané tým, že sa monitoruje rádiový signál z prvého anténneho napájača vy-

braného ako prechodný zdroj, sa vykonáva počas prenosu prvej časti vopred určenej bitovej kombinácie a určenie druhého počtu bitových chýb pre dáta získané tým, že sa monitoruje rádiový signál z druhého anténneho napájača vybraného ako prechodný zdroj, sa vykonáva počas prenosu druhej časti vopred určenej bitovej kombinácie, a výber trvalého zdroja sa vykonáva tak, že pokiaľ je prvý počet bitových chýb menší ako druhý počet bitových chýb, vyberie sa ako trvalý zdroj prvý anténny napájač a pokiaľ je prvý počet bitových chýb väčší ako druhý počet bitových chýb, vyberie sa ako trvalý zdroj druhý anténny napájač, načo po zmeraní prvej sily signálu rádiového signálu z prvého anténneho napájača počas prvej časti vopred určenej bitovej kombinácie a zmeraní druhej sily signálu rádiového signálu z druhého anténneho napájača počas druhej časti vopred určenej bitovej kombinácie sa vyberie ako trvalý zdroj buď prvý anténny napájač, a to v prípade, ak sú si rovné prvý a druhý počet bitových chýb a prvá sila signálu je väčšia alebo sa rovná druhej sile signálu alebo druhý anténny napájač, a to v prípade, ak sú si rovné prvý a druhý počet bitových chýb a prvá sila signálu je menšia ako druhá sila signálu.

3. Spôsob podľa nároku 1, **v y z n a č u j ú c i s a t ý m**, že dáta obsahujú preamble a počas počiatočného zachytenia rádiového signálu sa prvá sila signálu rádiového signálu z prvého anténneho napájača meria počas prenosu prvej časti preamble a druhá sila signálu rádiového signálu z druhého anténneho napájača sa meria počas prenosu druhej časti preamble, pričom ako trvalý zdroj sa vyberie prvý anténny napájač, ak je prvá sila signálu väčšia alebo sa rovná druhej sile signálu alebo druhý anténny napájač, ak je prvá sila signálu menšia ako druhá sila signálu.

4. Spôsob podľa nároku 3, **v y z n a č u j ú c i s a t ý m**, že monitorovanie sily signálu rádiového signálu sa vykonáva počas tretej časti preamble a ako trvalý zdroj sa vyberie druhý anténny napájač ako ozva na to, že monitorovaná sila signálu klesla pod vopred určenú prahovú úroveň, keď je súčasne vybraný prvý anténny napájač ako trvalý zdroj alebo sa ako trvalý zdroj vyberie prvý anténny napájač ako ozva na to, že sila monitorovaného signálu klesla pod túto vopred určenú prahovú úroveň, keď je súčasne vybraný druhý anténny napájač ako trvalý zdroj.

5. Spôsob výberového príjmu v prijímači dátovej komunikácie obsahujúcom prvý a druhý anténny napájač, ktoré majú podstatne zníženú koreláciu citlivostí na rádiový signál, kde tento rádiový signál obsahuje dáta vrátane najmenej jednej informačnej dávky, ktorá má vopred určený čas trvania a predchádza ju vopred určená bitová kombinácia, **v y z n a č u j ú c i s a t ý m**, že sa počas prenosu prvej časti vopred určenej bitovej kombinácie vyberie prvý anténny napájač ako prechodný zdroj rádiového signálu, počas prenosu druhej časti vopred určenej bitovej kombinácie sa ako prechodný zdroj rádiového signálu vyberie druhý anténny napájač, potom sa počas prenosu vopred určenej bitovej kombinácie monitoruje rádiový signál prijatý z vybraného prechodného zdroja, čím sa získajú dáta z tejto kombinácie a určí sa prvý počet bitových chýb pre dáta získané v kroku určenia aspoň jednej bitovej chyby počas prenosu prvej časti vopred určenej bitovej kombinácie z prvého anténneho napájača vybraného ako prechodný zdroj rádiového signálu a určí sa druhý počet bitových chýb pre dáta získané v kroku určenia aspoň jednej bitovej chyby počas prenosu druhej časti vopred určenej bitovej kombinácie z druhého anténneho napájača vybraného ako prechodný zdroj rádiového signálu, po skončení vopred určenej bitovej kombinácie sa ako trvalý zdroj rádiového signálu vyberie prvý anténny napájač, ak je prvý počet bito-

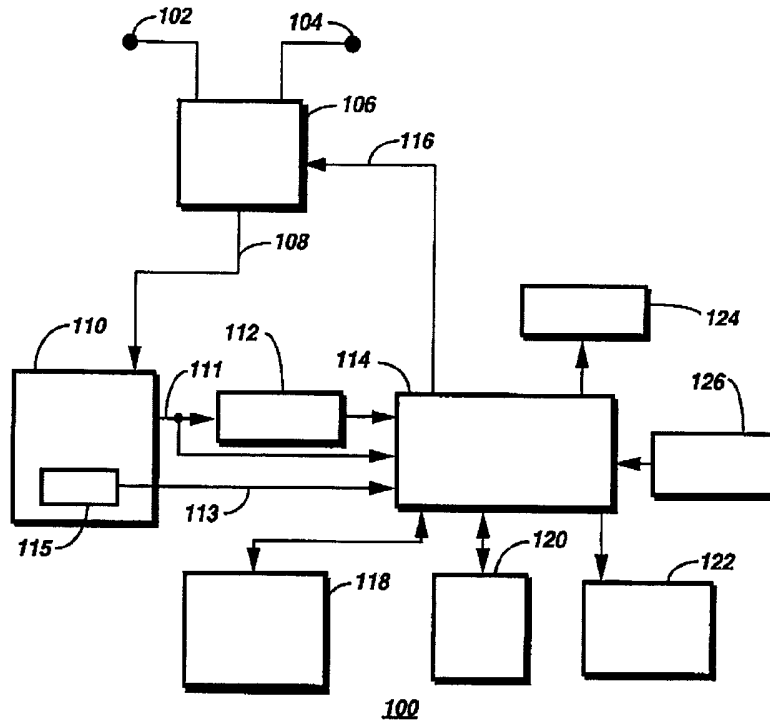
vých chýb menší ako druhý počet bitových chýb a druhý anténny napájač sa vyberie ako trvalý zdroj rádiového signálu, ak je prvý počet bitových chýb väčší ako druhý počet bitových chýb, zmeria sa sila signálu rádiového signálu počas vopred určený čas trvania dávky a ako trvalý zdroj rádiového signálu sa vyberie druhý anténny napájač ako ozva na to, že zmeraná sila signálu poklesla pod vopred určenú prahovú úroveň, keď je súčasne ako trvalý zdroj vybraný prvý anténny napájač alebo prvý anténny napájač ako ozva na to, že zmeraná sila signálu klesla pod vopred určenú prahovú úroveň, keď je súčasne ako trvalý zdroj vybraný druhý anténny napájač.

6. Prijímač (100) dátovej komunikácie na zaistenie výberového príjmu rádiového signálu pri vykonávaní spôsobu podľa nároku 1 až 5, **v y z n a č u j ú c i s a t ý m**, že prijímač (100) dátovej komunikácie pozostáva z prvého a druhého anténneho napájača (102, 104), ktoré majú podstatne zníženú koreláciu citlivostí na rádiový signál, z anténneho prepínača (106) spojeného s prvým a druhým anténnym napájačom (102, 104), z prijímača (110) spojeného s anténnym prepínačom (106), z indikačného prvku (115) sily prijatého signálu spojeného s prijímačom (110) a z procesoru (114, 118), spojeného s prijímačom (110), a s anténnym prepínačom (106), kde procesor (114, 118) zahŕňa prvok (1) riadenia anténneho prepínača, spojený s anténnym prepínačom (106), prvok (2) počítania synchronizačných bitových chýb, spojený s prvkom (1) riadenia anténneho prepínača, prvok (3) výberu trvalého zdroja po skončení synchronizácie, spojený s prvkom (2) počítania synchronizačných bitových chýb, prvok (10) výberu prechodného zdroja prvej - druhej časti, spojený s prvkom (1) riadenia anténneho prepínača, prvok (11) výberu trvalého zdroja podľa synchronizačných bitových chýb, spojený s prvkom (10) výberu prechodného zdroja prvej - druhej časti a prvok (12) výberu podľa sily signálu pri rovnakých počtoch bitových chýb, spojený s indikačným prvkom (115) sily prijatého signálu.

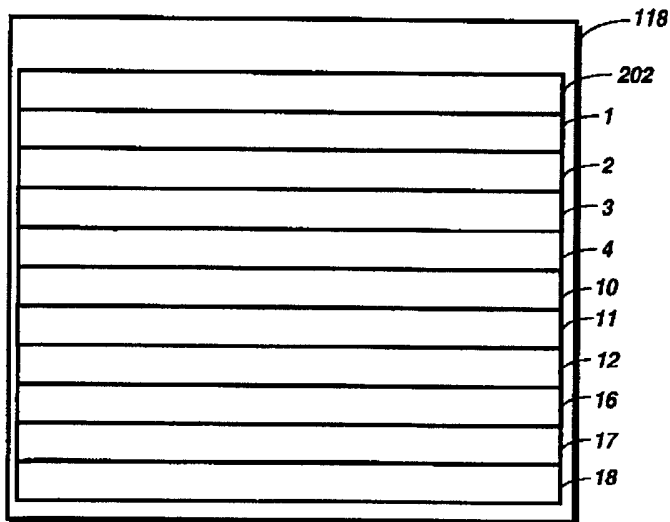
7. Prijímač (100) dátovej komunikácie podľa nároku 6, **v y z n a č u j ú c i s a t ý m**, že procesor (114, 118) ďalej obsahuje prvok (13) sily signálu prvej - druhej preambuly, spojený s indikačným prvkom (115) sily prijatého signálu a prvok (14) výberu trvalého zdroja podľa sily signálu prvej - druhej preambuly, spojený s prvkom (13) sily signálu prvej - druhej preambuly.

8. Prijímač (100) dátovej komunikácie podľa nároku 6, **v y z n a č u j ú c i s a t ý m**, že procesor (114, 118) ďalej zahŕňa prvok (16) počtu bitových chýb preambuly, spojený s prijímačom (110) a s anténnym prepínačom (106), prvok (17) výberu trvalého zdroja podľa počtu bitových chýb preambuly, spojený s prvkom (16) počtu bitových chýb preambuly a prvok (18) výberu podľa priebežnej chybovosti preambuly, spojený s prijímačom (110).

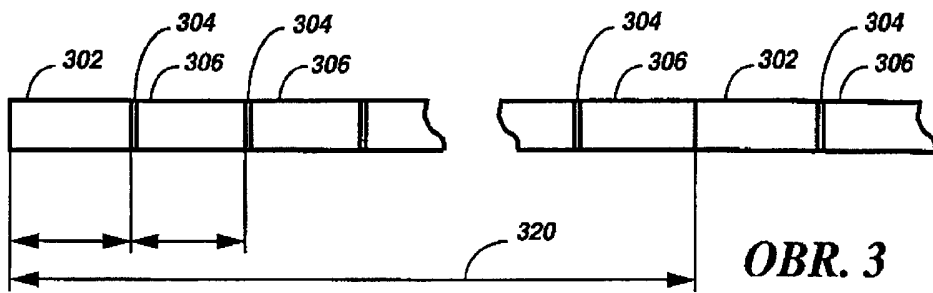
11 výkresov



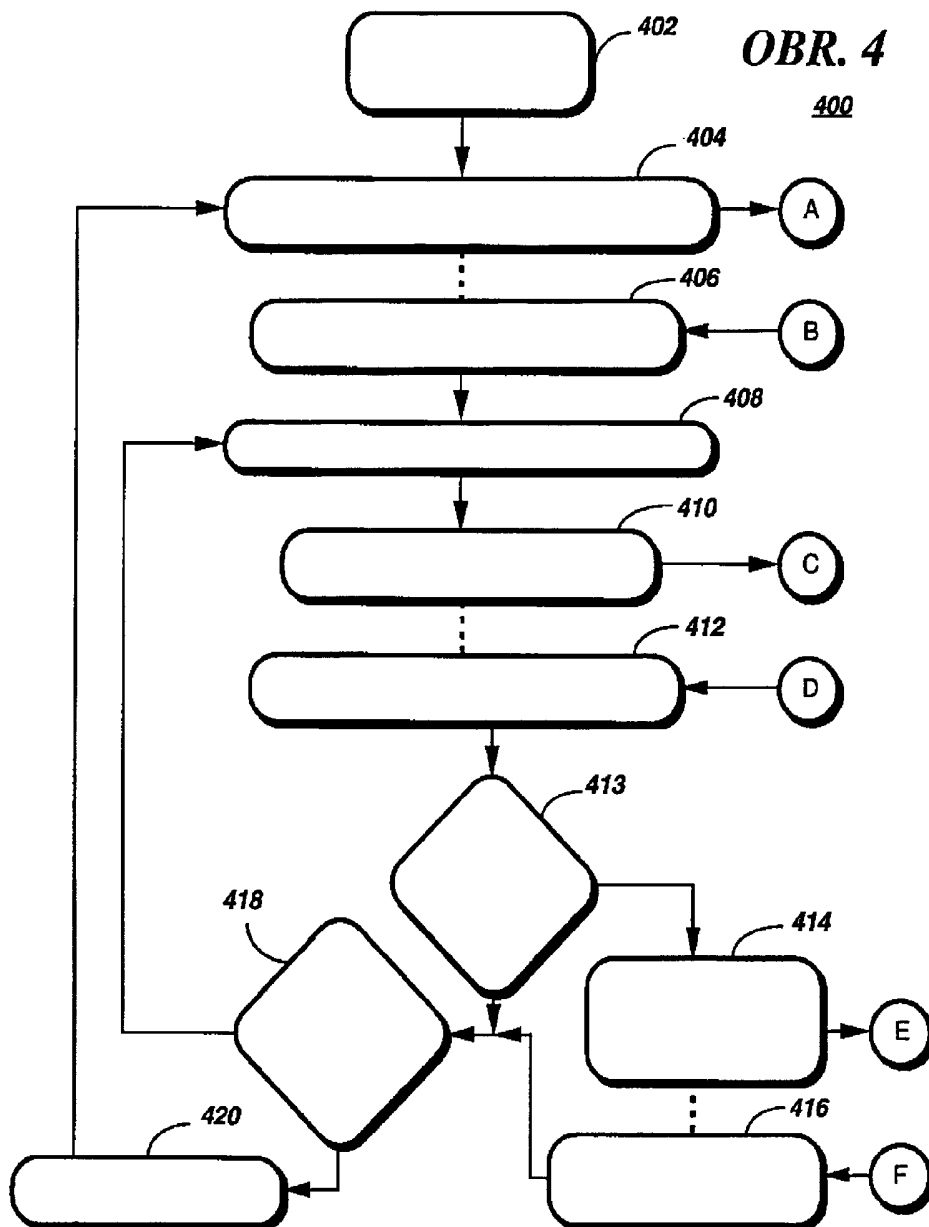
OBR. 1



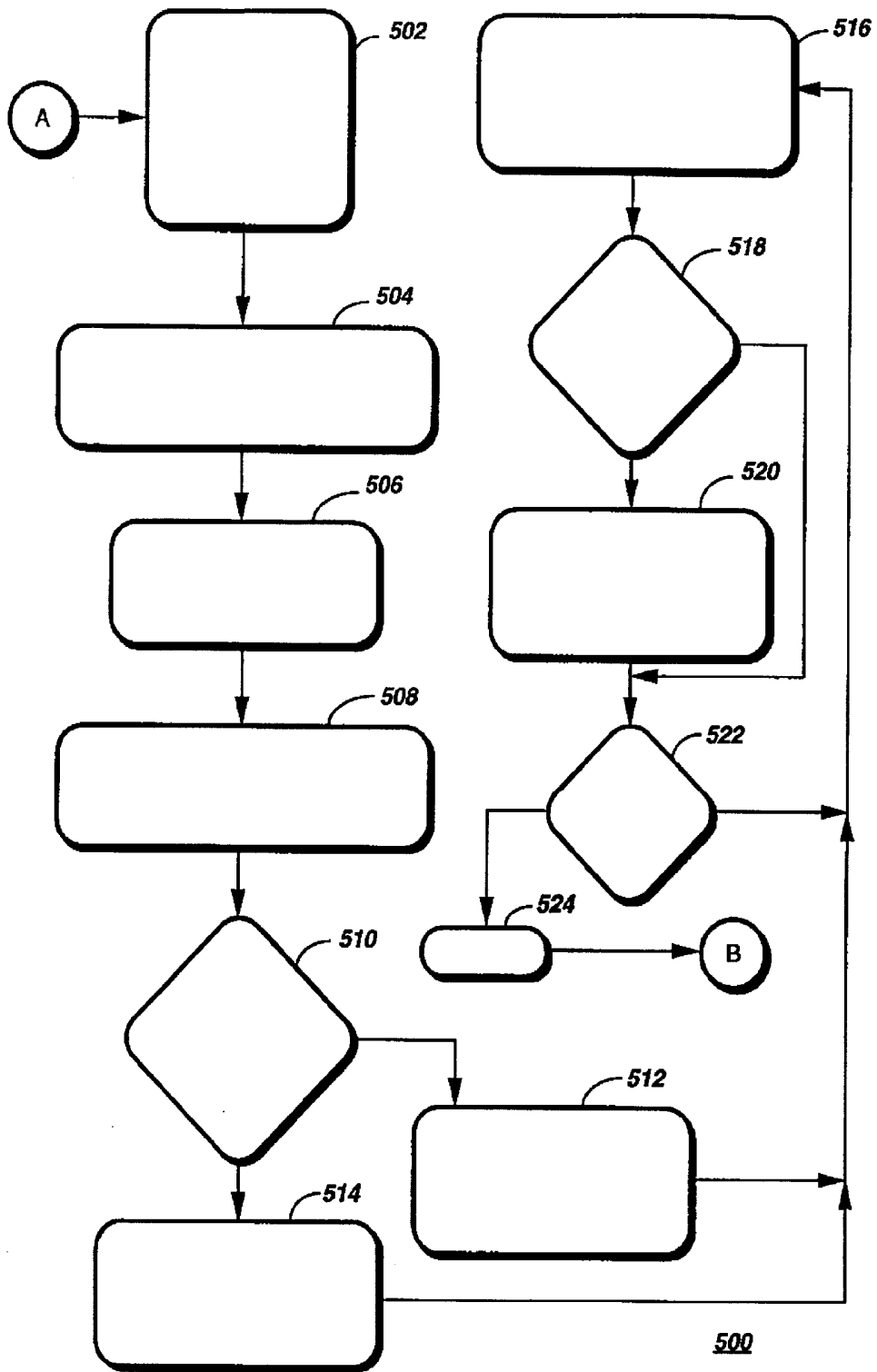
OBR. 2
200



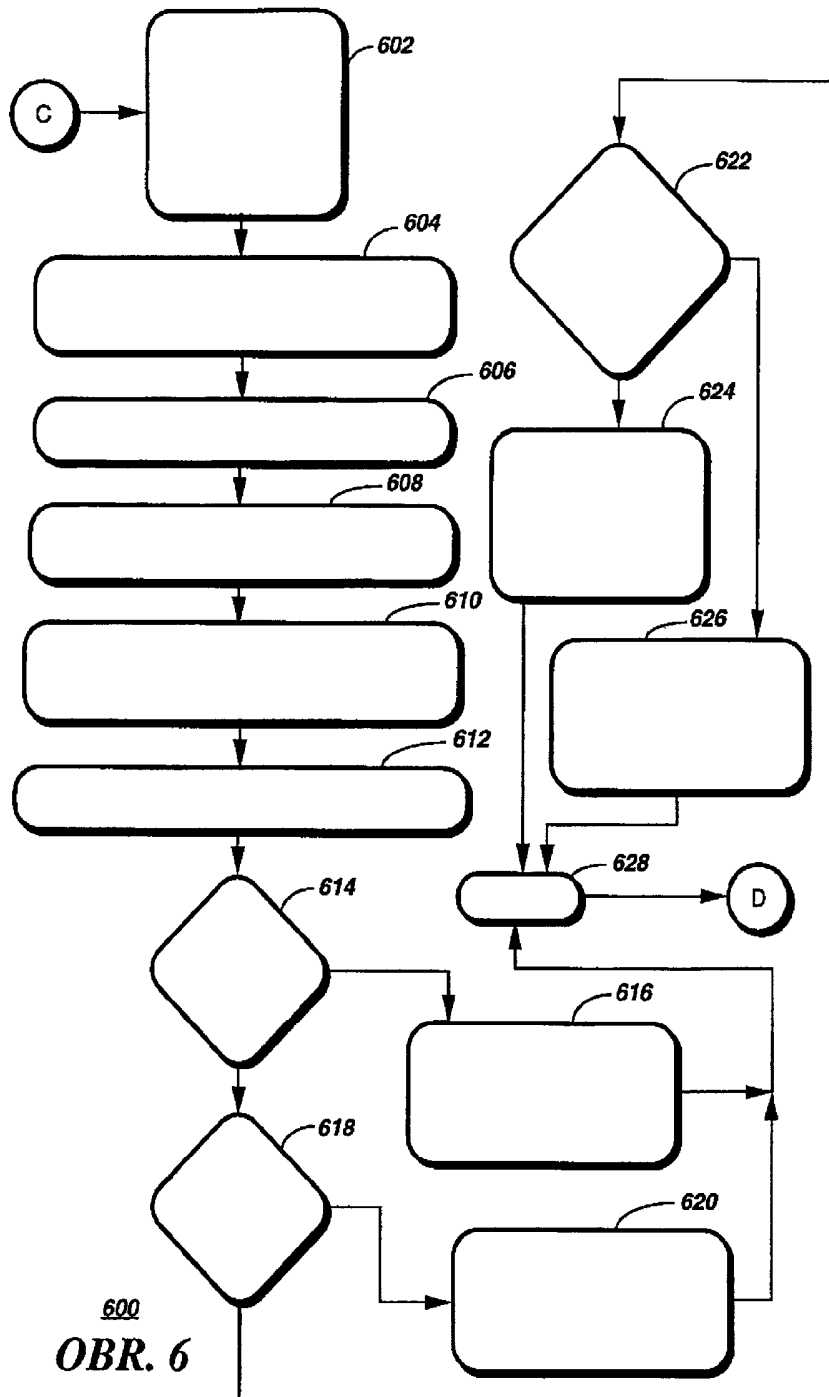
OBR. 3

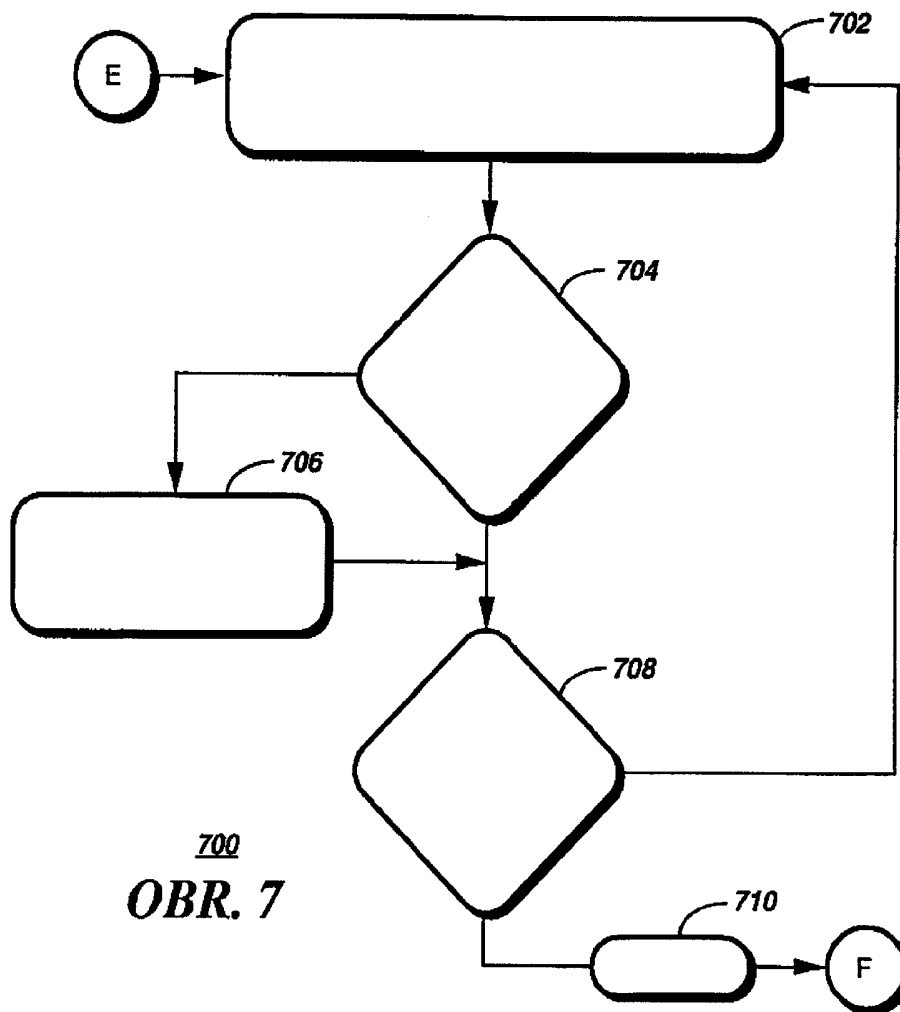
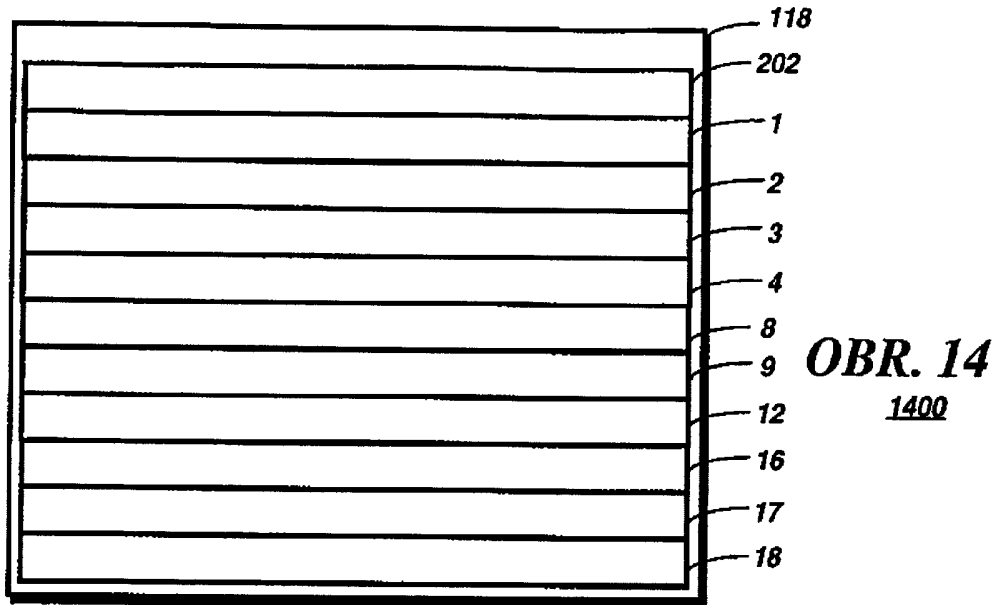


OBR. 4



OBR. 5





	118
	202
	1
	2
	3
	4
	10
	11
	12
	13
	14
	15

OBR. 8

800

	118
	202
	1
	2
	3
	4
	5
	16
	17
	18

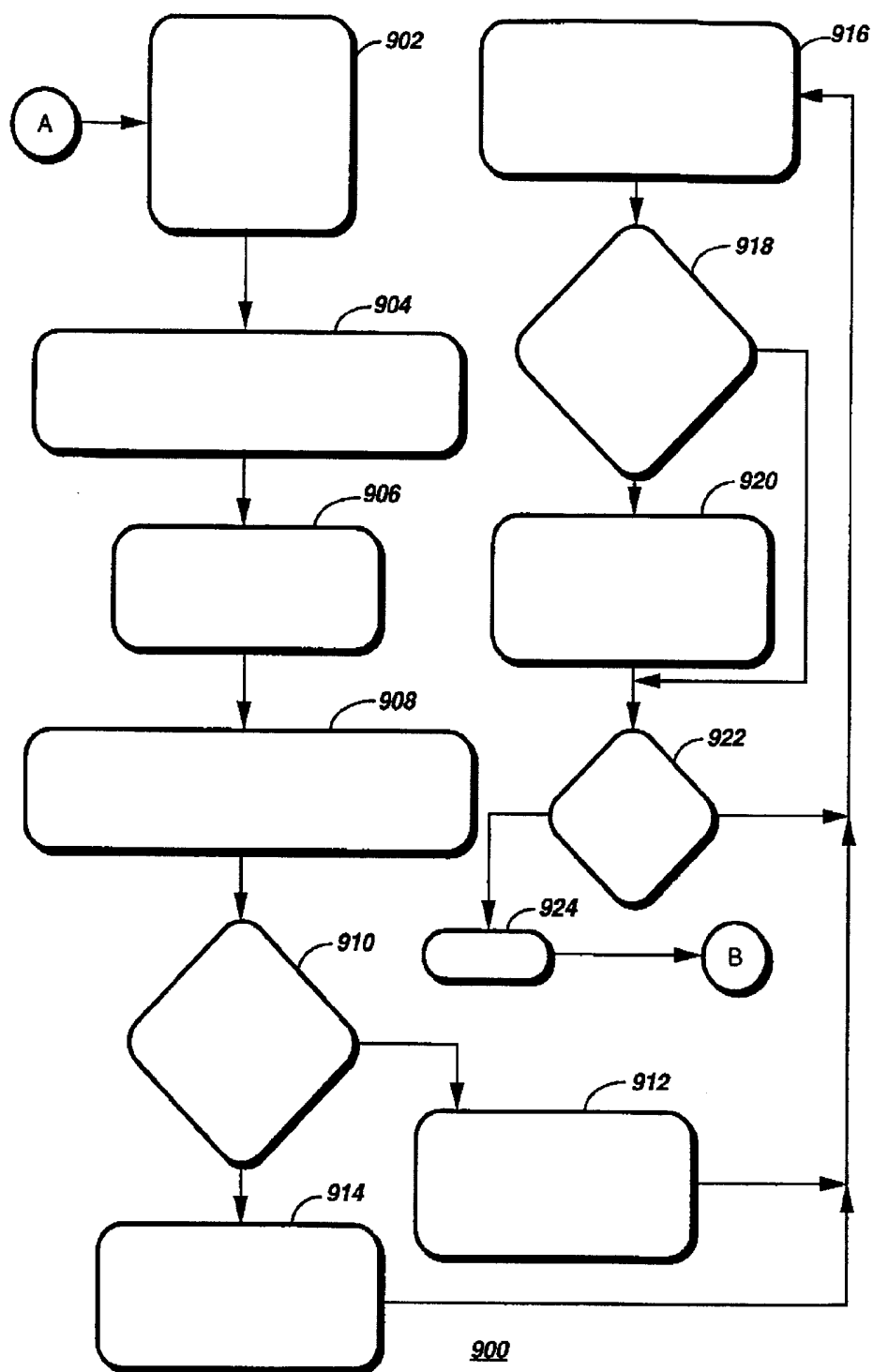
OBR. 10

1000

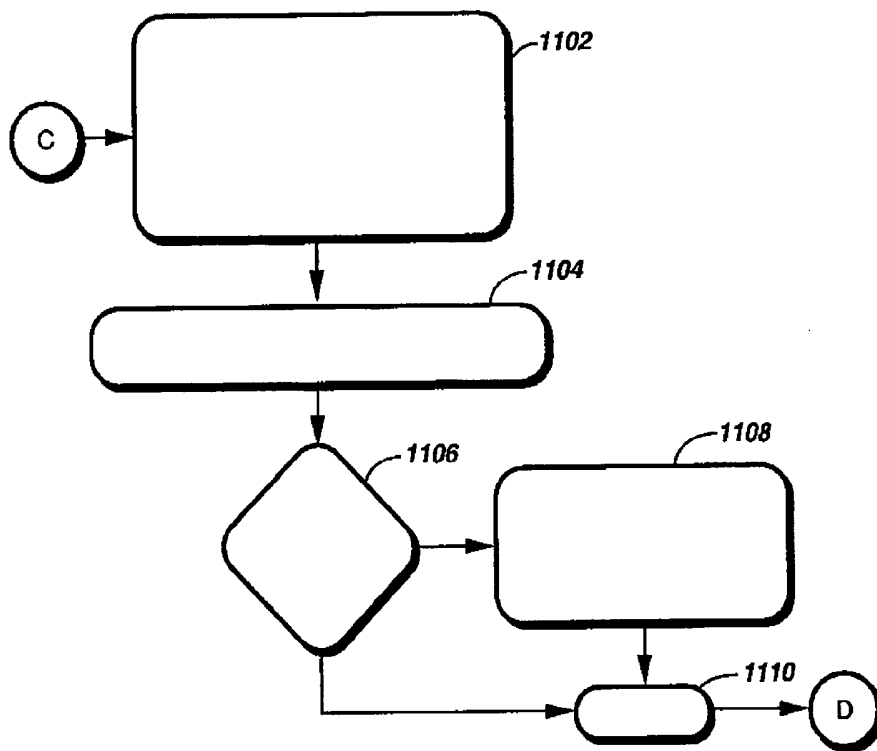
	118
	202
	1
	2
	3
	4
	6
	7
	12
	16
	17
	18

OBR. 12

1200

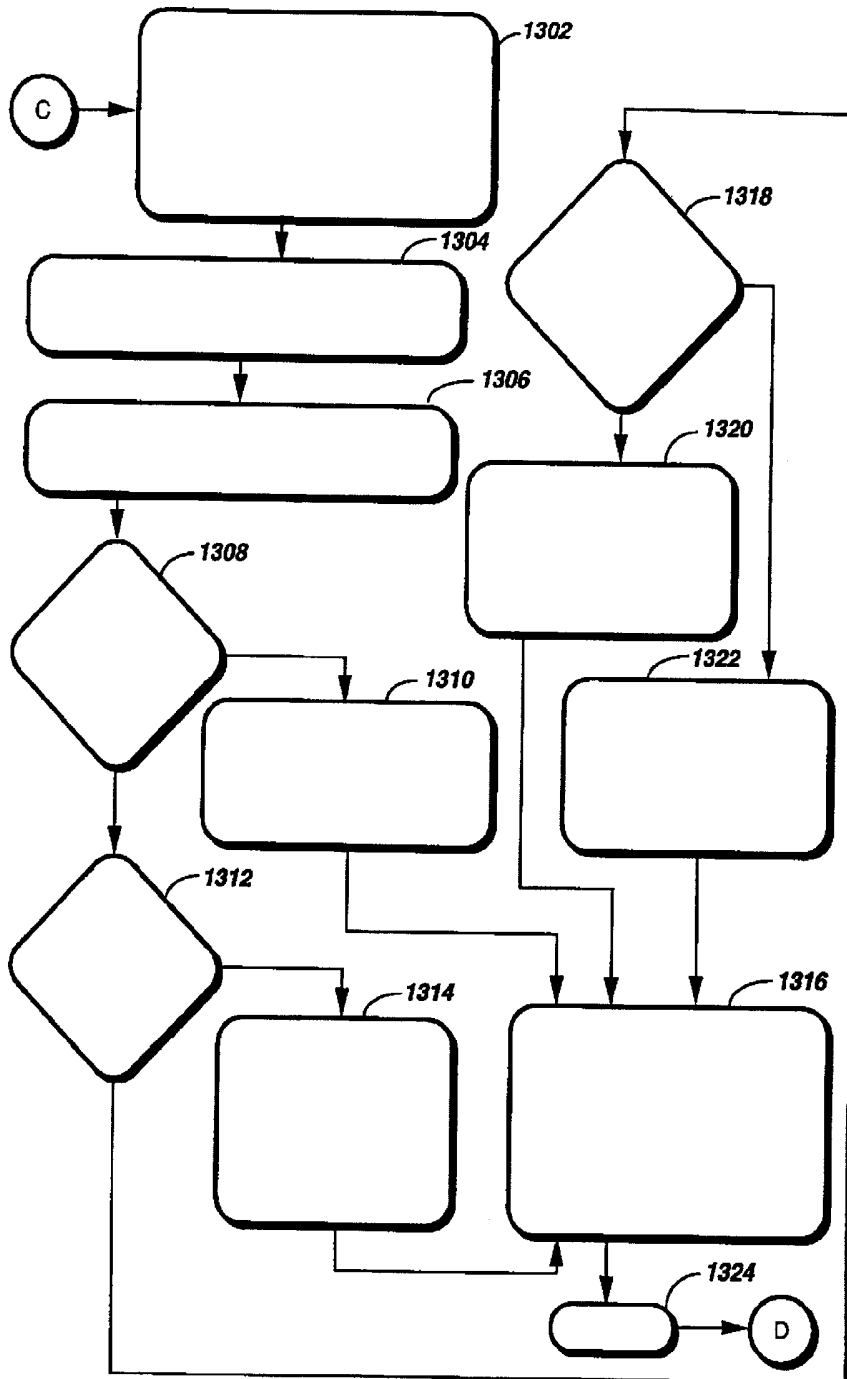


OBR. 9

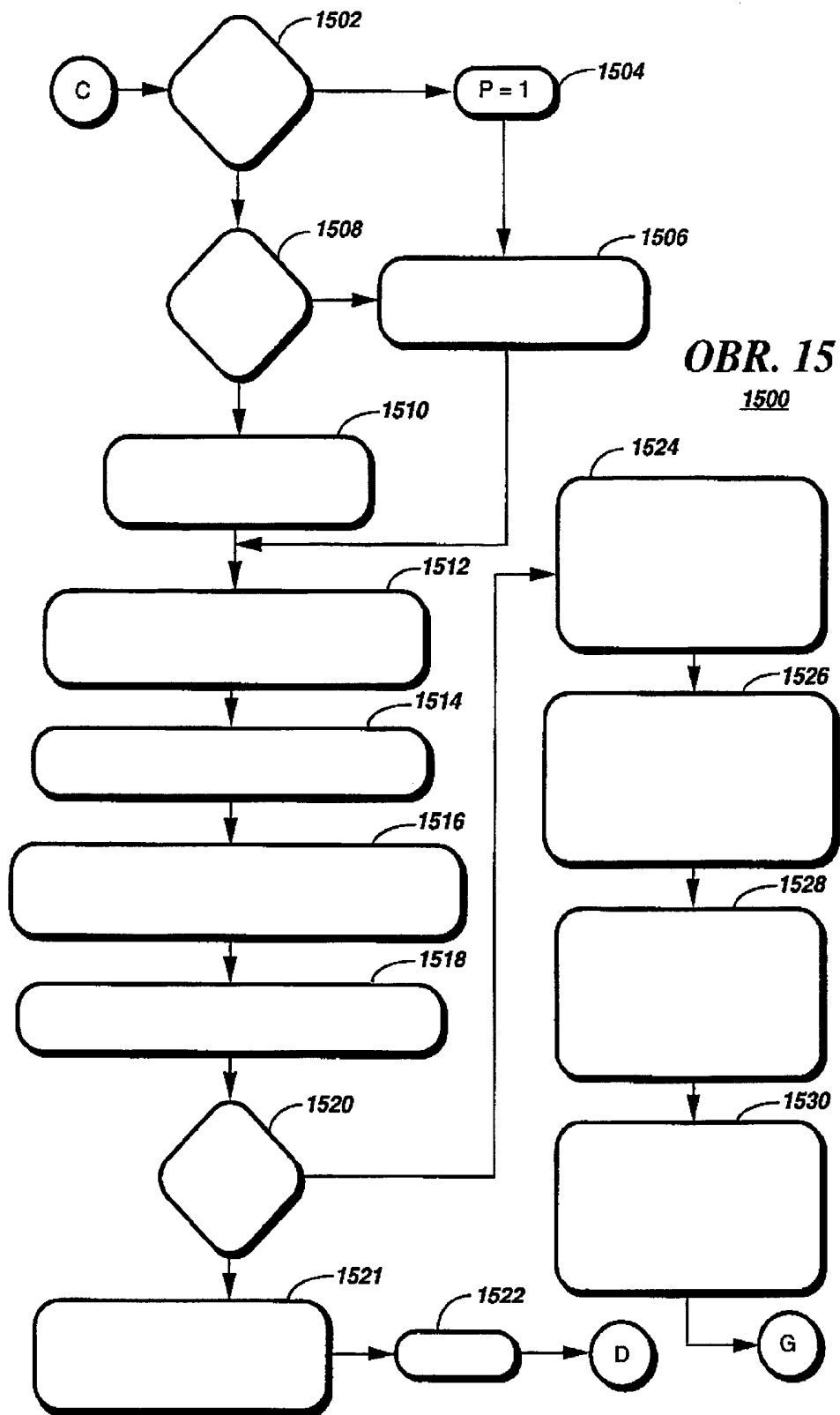


OBR. 11

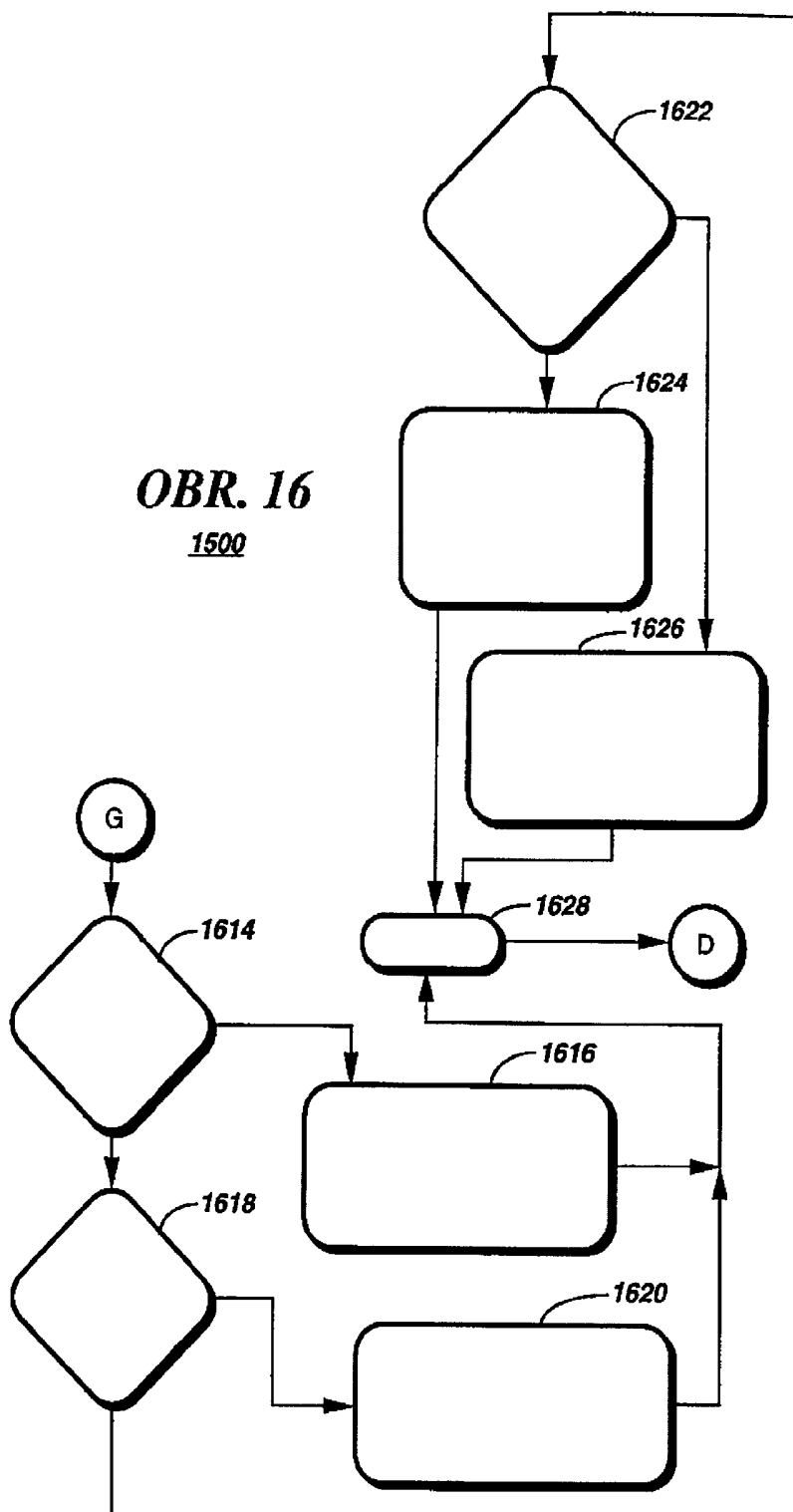
1100



OBR. 13



OBR. 16
1500



Koniec dokumentu