



MINISTERIE VAN ECONOMISCHE ZAKEN

PUBLIKATIENUMMER : 1007221A3
INDIENINGSNUMMER : 09300602
Internat. klassif. : H01L
Datum van verlening : 25 April 1995

De Minister van Economische Zaken,

Gelet op de wet van 28 Maart 1984 op de uitvindingsoctrooien
inzonderheid artikel 22;
Gelet op het Koninklijk Besluit van 2 December 1986, betreffende het aanvragen,
verlenen en in stand houden van uitvindingsoctrooien, inzonderheid artikel 28;

Gelet op het proces-verbaal opgesteld door de Dienst voor Industriële Eigendom op
15 Juni 1993 te 10u00

BESLUIT :

ARTIKEL 1.- Er wordt toegekend aan : PHILIPS ELECTRONICS N.V.
Groenewoudseweg 1, NL-5621 BA EINDHOVEN(NEDERLAND)

vertegenwoordigd door : STEENBEEK L., INTERNATIONAAL OCTROOIBUREAU, P.O. Box 220 -
NL 5600 AE EINDHOVEN.

een uitvindingsoctrooi voor de duur van 20 jaar, onder voorbehoud van de betaling van
de jaartaksen voor : WERKWIJZE VOOR HET VERVAARDIGEN VAN EEN HALFGELEIDERINRICHTING.

UITVINDER(S) : Van Der Meer Hendrik H., Gerstweg 2, NL-6534 AE Nijmegen (NL);Kuper
Frederikus G., Gerstweg 2, NL-6534 AE Nijmegen (NL)

ARTIKEL 2.- Dit octrooi is toegekend zonder voorafgaand onderzoek van zijn
octrooieerbaarheid, zonder waarborg voor zijn waarde of van de juistheid van
de beschrijving der uitvinding en op eigen risico van de aanvrager(s).

Brussel, 25 April 1995
BIJ SPECIALE MACTHTIGING :


WUYTS L
Directeur.

Werkwijze voor het vervaardigen van een halfgeleiderinrichting.

De uitvinding heeft betrekking op een werkwijze voor het vervaardigen van een halfgeleiderinrichting omvattende een eerste veldeffecttransistor met een aan- en afvoerzone van een eerste geleidingstype die van elkaar worden gescheiden door een kanaalgebied dat is voorzien van een eerste poortelektrode en omvattende een tweede
5 veldeffecttransistor met een aan- en een afvoerzone van een tweede, tegengesteld geleidingstype die van elkaar worden gescheiden door een kanaalgebied dat is voorzien van een tweede poortelektrode, waarbij ter plaatse van een eerste oppervlaktegebied van een halfgeleiderlichaam de eerste poortelektrode wordt aangebracht, ter plaatse van een tweede oppervlaktegebied van het halfgeleiderlichaam de
10 tweede poortelektrode wordt aangebracht, onder maskering van de eerste poortelektrode aan weerszijden daarvan dotering van het eerste geleidingstype in het eerste oppervlaktegebied wordt aangebracht voor de vorming van de aan- en afvoerzone van de eerste veldeffecttransistor, onder maskering van de tweede poortelektrode aan weerszijden daarvan dotering van het tweede geleidingstype in het tweede oppervlak-
15 tegebied wordt aangebracht voor de vorming van de aan- en afvoerzone van de tweede veldeffecttransistor, en waarbij de genoemde doteringen door middel van een warmtestap verder het halfgeleiderlichaam in worden gedreven.

Een dergelijke werkwijze is bekend uit *Silicon Processing for the VLSI ERA, Volume 2-Process Integration, 1986, § 6.6 van S. Wolf en R.N. Tauber*, waarbij in een p-type
20 en een n-type oppervlaktegebied van een halfgeleiderlichaam van silicium respectievelijk een NMOS- en een PMOS-veldeffecttransistor worden gevormd. Bij de bekende werkwijze wordt het oppervlak van het halfgeleiderlichaam achtereenvolgens bedekt met een relatief dunne poortoxydelaag van siliciumoxyde en een polykristallijne siliciumlaag die met fosfor relatief zwaar n-type is gedoteerd. De
25 siliciumlaag wordt door maskeren en etsen in patroon gebracht ter vorming van de poortelektroden van beide transistoren. Vervolgens wordt onder maskering van één

van beide poortelektroden n-type dotering aan weerszijden daarvan in het p-type oppervlaktegebied geïntroduceerd ter vorming van de aan- en afvoerzone van de NMOS-transistor. Op analoge wijze wordt onder maskering van de andere poortelektrode p-type dotering aan weerszijden daarvan in het n-type oppervlaktegebied
5 aangebracht ter vorming van de aan- en afvoerzone van de PMOS-transistor. Zowel de p-type als de n-type dotering worden vervolgens in een korte warmtestap bij een temperatuur van 900-1000 °C uitgestookt en verder het halfgeleiderlichaam in gedreven.

Het gedeelte van het oppervlaktegebied onder de poortelektrode, vormt het kanaalge-
10 bied van de betreffende transistor en wordt aldus op zelf-registrerende wijze bepaald. De lengte van het kanaalgebied, i.e. de afstand tussen de aan- en afvoerzone, komt daarbij althans nagenoeg overeen met de breedte van de poortelektrode.

Om verscheidene redenen is het soms wenselijk dat beide transistoren van elkaar verschillende kanaallengten hebben. Zo is bijvoorbeeld de verzadigingsstroom van
15 een MOS-transistor omgekeerd evenredig met de kanaallengte. Om een bepaalde waarde van de verzadigingsstroom te bereiken, kan het noodzakelijk zijn om bij één van beide transistoren de kanaallengte te verkleinen.

Om een dergelijke verkleining van de kanaallengte te bereiken, kan bijvoorbeeld in de betreffende transistor de breedte van de poortelektrode worden aangepast, doch
20 dit stuit op ernstige problemen van procestechnologische aard. Een andere mogelijkheid is het uitvoeren van de genoemde warmtestap bij een zodanig hoge temperatuur en/of lange duur dat de aangebrachte dotering over een aanzienlijke afstand onder de poortelektrode diffundeert, waarbij de kanaallengte effectief met tweemaal die afstand afneemt. Een bezwaar hiervan is echter dat daarbij ook andere inmiddels
25 aangebrachte doteringen weg diffunderen, zoals in het bijzonder de dotering in het kanaalgebied voor de instelling van de drempelspanning van de transistor, wat uitermate ongewenst is.

Met de uitvinding wordt ondermeer beoogd in een werkwijze van de in de aanhef genoemde soort te voorzien, waarbij beide transistoren met een van elkaar verschillende kanaallengte worden uitgevoerd maar waarbij de genoemde nadelen worden vermeden.

- 5 Daartoe heeft een werkwijze van de in de aanhef genoemde soort volgens de uitvinding als kenmerk dat ten behoeve van het indrijven van de genoemde doteringen afzonderlijke warmtestappen worden uitgevoerd, dat voor de dotering van het eerste geleidingstype de warmtestap wordt uitgevoerd in een oxyderend milieu, waarbij aan het oppervlak een oxydelaag wordt gevormd, en dat voor de dotering
10 van het tweede geleidingstype de warmtestap wordt uitgevoerd in een althans nagenoeg inert milieu.

- De uitvinding berust daarbij op het inzicht dat wanneer de warmtestap voor het indrijven van de dotering van het eerste geleidingstype in een oxyderend milieu wordt uitgevoerd, deze dotering voor de groeiende oxydelaag wordt uitgedreven,
15 hetgeen de diffusie van de dotering versterkt. Een dergelijke versterking van met name de laterale diffusie treedt daarentegen niet op bij het indrijven van de dotering van het tweede geleidingstype, wat immers in een althans nagenoeg inert milieu plaats vindt. Aldus kunnen in de eerste en tweede transistor van elkaar verschillende kanaallengten worden gerealiseerd, zonder dat daarvoor de breedte van de poortelektrode in één van beide transistoren hoeft te worden aangepast en zonder dat
20 daarvoor bij één van beide doteringen de warmtestap langduriger of bij een hogere temperatuur hoeft te worden uitgevoerd.

- In een bijzondere uitvoeringsvorm waarbij voor de dotering van het eerste geleidingstype fosfor en voor de dotering van het tweede geleidingstype boor wordt
25 toegepast, wordt dit effect nog versterkt doordat fosfor in silicium een hogere diffusiesnelheid heeft dan boor.

- Behalve voor veldeffecttransistoren met een enkelvoudig doteringsprofiel in de aan-en afvoerzone is de uitvinding ook toepasbaar voor veldeffecttransistoren waarbij één of beide van de zones een meervoudig doteringsprofiel omvat, zoals
30 bijvoorbeeld het geval is in de zogenoemde LDD-struktuur (Lightly Doped Drain).

Voor het vervaardigen van een veldeffecttransistor met een dergelijke structuur wordt de werkwijze volgens de uitvinding bij voorkeur zodanig uitgevoerd dat, nadat de dotering van het eerste geleidingstype is aangebracht en in de oxyderende warmtestap verder het halfgeleiderlichaam in is gedreven, langs de rand van beide poortelektroden op zelf-registrerende wijze een daaraan grenzend, isolerend randdeel 5 wordt aangebracht, dat onder maskering van de eerste poortelektrode en het randdeel een tweede dotering van het eerste geleidingstype in het eerste oppervlakte gebied wordt geïntroduceerd en dat onder maskering van de tweede poortelektrode en het daaraan grenzende randdeel de dotering van het tweede geleidingstype wordt 10 aangebracht. Voor de tweede dotering van het eerste geleidingstype wordt daarbij bij voorkeur arseen toegepast dat in vergelijking met fosfor een lagere diffusiesnelheid heeft en daardoor tijdens de warmtestap minder uitdiffundeert, hetgeen resulteert in een relatief hoge oppervlakte-concentratie. Door de dotering van het tweede geleidingstype aldus aan te brengen eerst nadat het randdeel is gevormd, komt de 15 dotering van het tweede geleidingstype in tegenstelling tot de (eerste) dotering van het eerste geleidingstype op enige afstand van de poortelektrode terecht. Aldus wordt het verschil in effectieve kanaallengte tussen beide transistoren verder versterkt.

Overigens wordt opgemerkt dat uit *VLSI Technology, International Student Edition, 2nd printing 1984, p.472 van S.M. Sze* het op zichzelf bekend is om voor 20 de aan-en afvoerzone arseen aan weerszijden van de poortelektrode in het halfgeleiderlichaam te implanteren en vervolgens het arseen in een oxyderend milieu in te drijven, zij het dat het daarbij om een NMOS-proces gaat en niet om een proces met complementaire transistoren. In dit bekende geval wordt dan ook geen onderscheid gemaakt tussen de behandeling van p-type en n-type dotering en wordt geen verschil 25 in effectieve kanaallengte voor verschillende transistoren bewerkstelligd.

Wanneer poortelektroden van gedoteerd silicium worden toegepast en de warmtestap voor het indrijven van de dotering van het eerste geleidingstype zondermeer in een oxyderend milieu zou worden uitgevoerd, worden daarbij onvermijdelijk ook de poortelektroden geoxydeerd. Enerzijds leidt dit tot een lagere overlap(capaciteit) van een poortelektrode met de naastgelegen afvoerzone, wat de transistor-eigen- 30 schappen ten goede zou kunnen komen, maar anderzijds leidt dit tot een oncontroleerbare en ongewenste verdikking van het poortdiëlektrikum aan de rand van de

poortelektrode, wat de drempelspanning van de transistor nadelig beïnvloedt en de elektrische eigenschappen van de betreffende transistor schaadt. Om dit laatste tegen te gaan heeft een voorkeursuitvoering van de werkwijze volgens de uitvinding als kenmerk dat voordat de warmtestap voor het indrijven van de dotering van het eerste geleidingstype wordt uitgevoerd, beide genoemde poortelektroden althans zijdelings worden voorzien van een oxydatiewerend randdeel. Het oxydatiewerende randdeel beschermt in dat geval de poortelektrode tegen latere oxyderende stappen, waaronder de warmtestap voor het indrijven van de dotering van het eerste geleidingstype. In beginsel kan voor het randdeel ieder materiaal worden toegepast dat de poortelektrode adequaat tegen oxydatie kan beschermen. Geschikte materialen zijn bijvoorbeeld siliciumnitride en siliciumoxynitride. Daarbij heeft siliciumoxynitride de voorkeur vanwege de goede etsmogelijkheden daarvan en de geringe mechanische spanningen ten opzichte van het silicium van de poortelektrode.

Het oxydatiewerende randdeel kan in principe zowel voor als na het aanbrengen van de dotering van het eerste geleidingstype worden aangebracht. Indien echter de dotering door middel van ionenimplantatie wordt geïntroduceerd, verdient het de voorkeur dat het oxydatiewerende randdeel daarvoor wordt aangebracht. In dat geval worden eventuele onregelmatigheden in de flanken van de poortelektrode afgedekt door het randdeel, voordat de implantatie van de dotering wordt uitgevoerd. Dergelijke onregelmatigheden ontstaan vrijwel onvermijdelijk gedurende het etsproces waarbij de poortelektrode is gevormd en manifesteren zich in het bijzonder in een holte of inham aan de basis van de poortelektrode. Omdat de implantatie vaak niet loodrecht op het oppervlak wordt uitgevoerd, maar overigens ook bij een in beginsel loodrechte invalshoek onvermijdelijk onderhevig is aan een richtingsspreiding en instelonnauwkeurigheden, zorgt de schaduwwerking van de poortelektrode te zamen met de aanwezigheid van een dergelijke holte voor ongelijke doteringsprofielen aan de aan- en afvoerzijde van de transistor. Door de holte tevoren af te dekken met het randdeel wordt dit vermeden, wat leidt tot een meer symmetrisch gedrag van de uiteindelijke transistor hetgeen in veel gevallen gewenst is.

De uitvinding zal thans nader worden toegelicht aan de hand van een aantal uitvoeringsvoorbeelden en een tekening. In de tekening tonen

- fig. 1-8 een halfgeleiderinrichting met complementaire veldeffecttransistoren in opeenvolgende stadia van vervaardiging volgens een eerste uitvoeringsvorm van de werkwijze volgens de uitvinding; en
- fig. 9-12B een halfgeleiderinrichting met complementaire veldeffecttransistoren in opeenvolgende stadia van vervaardiging volgens een voorkeursuitvoering van de werkwijze volgens de uitvinding.

De figuren zijn zuiver schematisch en niet op schaal getekend. In het bijzonder zijn terwille van de duidelijkheid sommige dimensies sterk overdreven weergegeven. Zoveel mogelijk zijn overeenkomstige delen in de figuren met eenzelfde verwijzingscijfer aangeduid en zijn halfgeleidergebieden van eenzelfde geleidingstype in eenzelfde richting gearceerd.

In een eerste uitvoeringsvoorbeeld wordt de werkwijze volgens de uitvinding aangewend voor de vervaardiging van een halfgeleiderinrichting met complementaire veldeffecttransistoren van het MOS-type (Metal Oxide Semiconductor), dat wil zeggen een eerste transistor met een aan- en afvoerzone van een eerste geleidingstype, in dit voorbeeld een NMOS-transistor met een n-type aan- en afvoerzone, alsmede een tweede transistor met een aan- en afvoerzone van een tweede, tegengesteld geleidingstype, in dit voorbeeld een PMOS-transistor met een p-type aan- en afvoerzone. Een dergelijke inrichting wordt gewoonlijk kortweg aangeduid als van het CMOS-type (Complementary Metal Oxide Semiconductor).

Daartoe wordt uitgegaan, zie figuur 1, van een halfgeleiderlichaam 1 omvattende een betrekkelijk zwak met boor gedoteerd, p-type substraat van monokristallijn silicium, dat ten behoeve van een betere elektrische geleiding aan de onderzijde eventueel zwaarder p-type is gedoteerd. Door middel van een thermische oxydatie van het oppervlak 2 van het substraat 1 en op zichzelf bekende fotolithografische technieken wordt een implantatiemasker 3 van siliciumoxyde aangebracht dat een eerste oppervlaktegebied 4 van het substraat bedekt maar een tweede oppervlaktegebied 5 vrijlaat. Vervolgens wordt onder maskering van het masker 3 een implantatie met fosfor uitgevoerd waardoor het tweede oppervlaktegebied 5 n-type wordt gedoteerd. De geïmplanteerde verontreiniging wordt in een warmtestap enigszins uitgediffundeerd en verder het substraat ingedreven.

Nadat het oxydemasker 3 is verwijderd, kan eventueel een lichte implantatie met boor maskerloos worden uitgevoerd om de drempelspanning van de later te vormen NMOS-transistoren in te stelen. Daarna wordt met op zichzelf bekende technieken op het oppervlak 2 een oxydatiemasker 7 aangebracht, zie figuur 2, dat
5 bestaat uit een onderlaag 7A van siliciumoxyde en een toplaag 7B van siliciumnitride. Onder maskering daarvan wordt het geheel bij verhoogde temperatuur betrekkelijk langdurig blootgesteld aan een oxyderend milieu van bijvoorbeeld stoom waardoor een gedeeltelijk in het halfgeleiderlichaam verzonken siliciumoxydepatroon 8 wordt verkregen met een dikte van circa 800 nm. Het oxydepatroon 8 omringt de
10 oppervlaktegebieden 4,5 ter plaatse waarvan in een later stadium de transistoren zullen worden aangebracht.

Het oxydatiemasker 7 wordt vervolgens verwijderd, waarna op het oppervlak 2 een circa 15 nm dik poortdiëlectricum 9 van siliciumoxyde wordt aangebracht. Hiertoe wordt het geheel gedurende enige tijd blootgesteld aan een matig oxyderend
15 milieu waarbij op het oppervlak een siliciumoxydelaag van de gewenste dikte groeit, zie figuur 3. De siliciumoxydelaag 9 wordt vervolgens bedekt met een circa 400 nm dikke laag 10 van relatief zwaar n-type gedoteerd polykristallijn silicium. De siliciumlaag 10 bevat in dit voorbeeld fosfor in een concentratie van circa $2 \cdot 10^{20} \text{ cm}^{-3}$ en is daarmee relatief goed geleidend. Op de siliciumlaag 10 wordt met behulp van
20 op zichzelf bekende fotolithografische technieken een etsmasker 11 van fotolak aangebracht, dat de poortelektroden van de te vormen transistoren definieert.

Onder maskering van het masker wordt uit de siliciumlaag 10 ter plaatse van het eerste oppervlaktegebied 4 een eerste poortelektrode 21 ten behoeve van de eerste transistor en ter plaatse van het tweede oppervlaktegebied 5 een tweede
25 poortelektrode 31 ten behoeve van de tweede transistor gevormd, zie figuur 4. Nadat het etsmasker 11 is verwijderd, wordt ter plaatse van het tweede oppervlaktegebied 4 een implantatiemasker 12 aangebracht. Vervolgens wordt onder maskering van het implantatiemasker 12, het oxydepatroon 8 en de eerste poortelektrode 21 dotering van het eerste geleidingstype aan weerszijden van de poortelektrode 21 in het eerste
30 oppervlaktegebied 4 aangebracht, ten behoeve van de vorming van een n-type aan- en afvoerzone voor de eerste transistor. Hiertoe wordt een implantatie met fosfor uitgevoerd met een betrekkelijk lichte dosis van circa $3 \cdot 10^{13} \text{ cm}^{-2}$. De geïmplanteerde

doting 14 komt daarbij op zelf-registrerende wijze aan weerszijden van de eerste poortelektrode 21 in het eerste oppervlaktegebied 4 terecht.

Nadat het implantatiemasker 12 is verwijderd wordt een warmtestap uitgevoerd, als gevolg waarvan de aangebrachte dotering 14 verder het substraat 1 wordt ingedreven. Volgens de uitvinding wordt deze warmtestap uitgevoerd in een oxyderend milieu. Een geschikte milieu wordt bijvoorbeeld gevormd door een atmosfeer van zuurstof bij een verhoogde temperatuur van circa 900 °C. Tijdens de circa 25 minuten durende behandeling wordt aan het oppervlak 2 een siliciumoxydelaag 15 gegroeid met een uiteindelijke dikte van circa 12,5 nm, zie figuur 5. De groeiende oxydelaag 15 stuwt het fosfor 14 voor zich uit waardoor het fosfor betrekkelijk ver het substraat 1 in wordt gedreven en daarbij in het bijzonder over een betrekkelijk grote laterale afstand l onder de eerste poortelektrode 21 diffundeert. Aldus worden een betrekkelijk zwak gedoteerde n-type aan- en afvoerzone 22,23 gevormd die zich over een afstand l onder de eerste poortelektrode 21 uitstrekken. Eén en ander is in figuur 5A in detail weergegeven.

Het tussen de aan- en afvoerzone 22,23 gelegen gedeelte van het oppervlaktegebied 4 vormt een kanaalgebied 24 van de eerste transistor. De lengte L daarvan, dat wil zeggen de afstand tussen beide zones 22,23, bedraagt in dit geval $L = w - 2l$, waarbij w de aanvankelijke breedte van de eerste poortelektrode 21 weergeeft. In voorbeeld werden de poortelektroden 21,31 door het etsmasker 11, zie figuur 3, gedefinieerd met een breedte w die voor beide transistoren circa 1 μm bedraagt en strekken beide zones 22,23 zich over een afstand l van circa 0,1 μm onder de poortelektrode 21 uit. De kanaallengte L is in dat geval ongeveer 0,8 μm en daarmee belangrijk kleiner dan de breedte w .

Na de warmtebehandeling wordt het geheel bedekt met een betrekkelijk dikke siliciumoxydelaag, bijvoorbeeld door het oppervlak door middel van gasfasedepositie (CVD) met circa 250 nm siliciumoxyde te bedekken. De gevormde siliciumoxydelaag wordt vervolgens anisotroop teruggeëts tot dat daarvan slechts een langs de rand van de poortelektroden 21,31 gelegen randdeel 16 resteert, zie figuur 6. Bij deze etsbewerking wordt de eerder gevormde siliciumoxydelaag 15 over zijn volledige dikte weggeëts.

Na een daaropvolgende warmtestap in een oxyderend milieu, waarbij het vrijliggende silicium met een circa 25 nm dik laagje 17 siliciumoxyde wordt afgedekt, wordt ter plaatse van het tweede oppervlaktegebied 5 een implantatiemasker 18A aangebracht. Onder maskering daarvan wordt een relatief zware implantatie met arseen uitgevoerd waarbij arseen aan weerszijden van de eerste poortelektrode 21 in het eerste oppervlaktegebied 4 terecht komt. Nu maskeren tevens de randdelen 17 tegen de implantatie zodat het arseen zelf-registrerend op enige afstand van het kanaalgebied 24 wordt aangebracht.

Nadat het implantatiemasker 18A is verwijderd, wordt ter plaatse van het eerste oppervlaktegebied 4 een implantatiemasker 18B aangebracht dat het tweede oppervlaktegebied 5 vrijlaat, zie figuur 7. Vervolgens Onder maskering van de tweede poortelektrode 31 aan weerszijden daarvan een dotering van het tweede geleidingstype in het tweede oppervlaktegebied 5 geïntroduceerd, voor de vorming van een p-type aan- en afvoerzone van de tweede, PMOS transistor. Hiertoe wordt een implantatie met boor uitgevoerd met een betrekkelijk zware dosis van circa $4 \cdot 10^{15} \text{ cm}^{-2}$ ter vorming van relatief goed geleidende p-type aan- en afvoerzone 32,33. Ook in dit geval maskeren ter plaatse van het tweede oppervlaktegebied 5 behalve de tweede poortelektrode 31 tevens de randdelen 17 tegen de implantatie zodat het boor zelf-registrerend op enige afstand van het kanaalgebied 34 wordt geïntroduceerd. Zowel in deze als in de voorgaande implantatiestap is de implantatie-energie voldoende hoog om de verontreiniging door het oxydelaagje 17 heen in het substraat te laten doordringen.

Nadat ook het tweede implantatiemasker 18B is verwijderd, wordt het geheel bedekt met een betrekkelijk dikke glaslaag 19, waaraan eventueel een geringe hoeveelheid fosfor al of niet in combinatie met boor is toegevoegd, om het geheel te passiveren en te planariseren. Hierna wordt een warmtestap uitgevoerd bij een temperatuur van circa 900 °C ondermeer om de dotering van de aan- en afvoerzone 32,33 van de PMOS-transistor te activeren en verder het substraat in te drijven. In tegenstelling tot de voorafgegane warmtestap voor de activering van de dotering van de aan- en afvoerzone 22,23 van de NMOS-transistor, wordt de onderhavige warmtestap uitgevoerd in een althans nagenoeg inert milieu van bijvoorbeeld stikstof of argon. Hierdoor diffundeert het boor lateraal slechts weinig uit en vallen de

grenzen van de uiteindelijke aan- en afvoerzone 32,33 praktisch samen met de randen van de tweede poortelektrode 31. De kanaallengte is in de PMOS-transistoren dan ook praktisch gelijk aan de aanvankelijke breedte w van de poortelektrode 31.

Ook de zware dotering van de NMOS-transistor wordt tijdens deze warmte-
5 stap geactiveerd en verder het substraat ingedreven. Aldus worden de aan- en afvoerzone 22,23 van de NMOS-transistor gecompleteerd met een relatief zwaar gedoteerd gedeelte waarop een deugdelijk Ohms contact kan worden gemaakt. Als gevolg van de afstand van dit deel tot het kanaalgebied 24 worden daarbij nadelige gevolgen van "hete elektronen" tegengegaan, die anders de betrouwbaarheid en
10 levensduur van de inrichting nadelig zouden kunnen beïnvloeden.

In de glaslaag 19, die gedurende de warmtestap enigszins is uitgevloeid, worden vervolgens ter plaatse van de aan- en afvoerzones 22,23,32,33 en (buiten het vlak van de tekening) de poortelektroden 21,31 contactvensters geëtst, waarna een geschikte metallisering 20 van althans hoofdzakelijk aluminium wordt aangebracht.
15 Aldus wordt de inrichting van figuur 8 verkregen, welke inrichting twee complementaire MOS-transistoren omvat die duidelijk van elkaar verschillende effectieve kanaallengten hebben zonder dat daarvoor de gebruikte lithografische maten hoeft te worden aangepast. Het verschil in kanaallengte wordt op de hiervoor beschreven wijze volledig technologisch bepaald.

20 Een voorbeeld van een voorkeursuitvoering van de werkwijze volgens de uitvinding wordt aan de hand van figuren 9 tot en met 12B beschreven. Daarbij wordt uitgaande van het stadium van figuur 4 het geheel bedekt met een laag 40 van een oxydatiewerend materiaal, zie figuur 9. In dit geval wordt daarvoor siliciumoxynitride toegepast maar ook andere materialen die silicium adequaat tegen
25 oxydatie beschermen, zoals bijvoorbeeld siliciumnitride, zijn toepasbaar. De oxynitridelaag 40 wordt vervolgens in een plasma van CHF_3 anisotroop teruggeëtst, waardoor uiteindelijk slechts een langs de zijden van de poortelektroden 21,31 gelegen randdeel 41 daarvan resteert, zie figuur 10.

Vervolgens wordt het tweede oppervlaktegebied 5 op gebruikelijke wijze met
30 een fotolakmasker 42 afgedekt en wordt een implantatie met fosfor uitgevoerd om n-type dotering 43 voor de aan- en afvoerzone van de eerste transistor aan weerszijden van de poortelektrode 21 in het eerste oppervlaktegebied 4 aan te brengen.

Nadat het fotolakmasker 42 is verwijderd, wordt het geïmplanteerde fosfor 43 volgens de uitvinding bij verhoogde temperatuur en in een oxyderend milieu verder het eerste gebied 4 in gedreven. Ook in dit voorbeeld wordt daartoe het geheel gedurende circa 25 minuten bij een temperatuur liggend tussen 900 en 1000 °C
5 blootgesteld aan een atmosfeer van zuurstof. Als gevolg daarvan wordt ondermeer het blootliggende deel van het eerste gebied 4 omgezet in siliciumoxyde, zie figuur 11, en wordt op het blootliggende silicium een circa 12,5 nm dikke siliciumoxyde-laag 44 gevormd. De zijwanden van de poortelektroden 21,31 worden daarbij door het randdeel 41 tegen het oxyderende milieu beschermt, zodat van de poortelektro-
10 den 21,31 alleen de bovenzijden worden geoxydeerd. Hierdoor wordt in het bijzonder vermeden dat de poortelektroden 21,32 aan het grensvlak met het onderliggende poortdiëlektrikum 9 worden geoxydeerd, zodat aldaar een verdere uitbreiding van het poortdiëlektrikum 9 wordt tegengegaan. Dit laatste zou anders de drempelspanning en de betrouwbaarheid van de betreffende transistor nadelig kunnen
15 beïnvloeden.

Met het oog op de bescherming van de poortelektroden 21,31 zou het randdeel 41 overigens in plaats van voor ook eerst na de fosforimplantatie kunnen worden aangebracht. De in dit voorbeeld gevolgde volgorde heeft echter als voordeel dat het randdeel 41 aldus de flanken 47,48 van de poortelektroden 21,31 afdekt
20 alvorens de implantatie wordt uitgevoerd en daardoor bij de implantatie een rol speelt. Ter verduidelijking daarvan is in figuur 12A en 12B respectievelijk een poortelektrode zonder en met een randdeel 41 als hier bedoeld weergegeven. In de praktijk zijn de flanken 47,48 van een poortelektrode nooit zuiver vlak maar in meer of mindere mate onregelmatig ten gevolge van bijvoorbeeld fluctuaties in het
25 etsproces waarmee de poortelektrode werd gevormd. In het bijzonder vertoont de poortelektrode 21 na de etstbehandeling aan de basis vaak een holte of inham 46 zoals in de figuren 12A,12B is getekend.

Gewoonlijk wordt een implantatie onder een zekere hoek α uitgevoerd om bijvoorbeeld tunneling van de geïmplanteerde verontreiniging langs de kristalassen in
30 het halfgeleiderlichaam 1 te vermijden, maar ook wanneer beoogd wordt om loodrecht te implanteren zal onvermijdelijk als gevolg van onnauwkeurigheden in de

gebruikte apparatuur en spreiding in de bundel althans een deel van de verontreiniging onder een geringe hoek α intreden.

Indien de poortelektrode aan één van beide zijden zoals in dit geval een inham vertoont of althans aan beide zijden een verschillende structuur vertoont, leidt
5 dit aan weerszijden van de poortelektrode tot een afwijkende schaduwwerking. Als gevolg daarvan zullen de doteringsprofielen aan beide zijden 47,48 ongelijk zijn. Zo strekt bijvoorbeeld in de getekende situatie de geïmplanteerde verontreiniging zich aan de aanvoerszijde 47 verder uit onder de poortelektrode 21 dan aan de afvoerszijde 48. Een dergelijk verschil in het doteringsprofiel vertaalt zich direct in in een niet
10 volledig symmetrisch elektrisch gedrag van de uiteindelijke transistor voor wat betreft de aansluiting van de aan- en afvoer, wat vaak ongewenst is.

Eén en ander wordt tegengegaan indien zoals in figuur 11B is getoond, het randdeel 41 wordt aangebracht voordat de implantatie wordt uitgevoerd. In dat geval dekt het randdeel de flanken 47,48 van de poortelektrode 21 af en vereffent daarbij
15 eventuele onregelmatigheden daarin. In het bijzonder vult het randdeel 41 de holte 46 op. Als gevolg daarvan is de schaduwwerking van de poortelektrode aan beide zijden althans nagenoeg identiek, zodat ook de doteringsprofielen aan beide zijde nagenoeg identiek zullen zijn, ongeacht de invalshoek α . De geïmplanteerde dotering 43 strekt zich dan ook aan beide zijden nagenoeg even ver uit onder de poortelektrode 21.
20

Door middel van voormelde warmtebehandeling wordt het fosfor 43 geactiveerd en verder het halfgeleiderlichaam 4 ingedreven, daarbij voortgestuwd door de groeiende oxydelaag 44. De aanzienlijke laterale diffusie van het fosfor zorgt daarbij voor een belangrijke verkleining van de effectieve kanaallengte van de transistor. Na
25 de warmtebehandeling worden de processtappen van de figuren 6-8 uitgevoerd om de inrichting af te maken. Daarbij wordt overeenkomstig de uitvinding de warmtebehandeling voor het indrijven van de p-type dotering niet in een oxyderend maar in een praktisch inert milieu uitgevoerd om uiteindelijk een reëel verschil in effectieve kanaallengte van beide typen van transistoren te bereiken. Aldus kan door middel
30 van de uitvinding een dergelijk verschil worden gerealiseerd, zonder dat daarvoor de maten van de poortelektroden of de temperatuur en duur van de warmtestappen

behoeven te worden aangepast, wat vooral vanuit procestechnisch oogpunt belangrijke voordelen biedt.

Het zal duidelijk zijn dat, hoewel de uitvinding aan de hand van slechts enkele voorbeelden nader is uiteengezet, de uitvinding geenszins tot de gegeven
5 voorbeelden is beperkt. Integendeel zijn voor de vakman binnen het kader van de uitvinding nog vele variaties en verschijningsvormen denkbaar. Zo kunnen bijvoorbeeld de gegeven geleidingstypen (alle tegelijk) worden vervangen door een tegengesteld geleidingstype. In dat geval wordt de diffusie van de p-type dotering versterkt door de oprukkende oxydelaag die tijdens de oxyderende warmtestap wordt gevormd.
10 Bovendien kan in plaats van door middel van ionenimplantatie de dotering voor de aan-en afvoerzone bijvoorbeeld ook door middel van diffusie worden aangebracht en kunnen andere doteringsstoffen worden toegepast dan de gegeven voorbeelden daarvan. In het bijzonder kunnen de doteringsstoffen zodanig worden geselecteerd dat de dotering van het eerste geleidingstype een grotere diffusiesnelheid heeft dan de dotering van het tweede geleidingstype om zo het effect van de
15 uitvinding te versterken. Ook kan het effect van de uitvinding worden versterkt door beide warmtestappen in plaats van bij eenzelfde temperatuur, zoals in de gegeven uitvoeringsvoorbeelden, bij verschillende temperaturen uit te voeren waarbij de temperatuur of tijdsduur van de warmtestap voor het indrijven van de dotering van het eerste geleidingstype groter wordt gekozen dan die van de warmtestap voor het
20 indrijven van de dotering van het tweede geleidingstype..

Verder kan de uitvinding behalve voor complementaire MOS-transistoren ook worden toegepast voor complementaire veldeffecttransistoren waarbij althans één van beide transistoren bijvoorbeeld is voorzien van een poortelektrode die met het
25 kanaalgebied een gelijkrichtende Schottky-overgang of waarbij althans een van beide transistoren een lagenveldeffecttransistor omvat. Verder dient binnen het kader van de uitvinding het begrip MOS-transistor niet beperkt te worden opgevat, maar dienen daaronder alle veldeffecttransistoren te worden verstaan met een poortelektrode die door een isolerend poortdiëlektrikum van het kanaalgebied wordt gescheiden,
30 ongeacht de specifieke samenstelling van het poortdiëlektrikum of de poortelektrode. Daarnaast is de uitvinding niet alleen toepasbaar voor het geval één van beide typen transistoren een meervoudig doteringsprofiel (LDD) vertoont voor wat betreft de

aan- en afvoerzone, maar is de uitvinding evenzeer toepasbaar wanneer beide transistoren of geen van beide transistoren een dergelijk profiel omvatten.

Conclusies:

1. Werkwijze voor het vervaardigen van een halfgeleiderinrichting omvattende een eerste veldeffecttransistor met een aan- en afvoerzone van een eerste geleidingstype die van elkaar worden gescheiden door een kanaalgebied dat is voorzien van een eerste poortelektrode en omvattende een tweede veldeffecttransistor met een aan-
5 en een afvoerzone van een tweede, tegengesteld geleidingstype die van elkaar worden gescheiden door een kanaalgebied dat is voorzien van een tweede poortelektrode, waarbij ter plaatse van een eerste oppervlakgebied van een halfgeleiderlichaam de eerste poortelektrode wordt aangebracht, ter plaatse van een tweede oppervlakgebied van het halfgeleiderlichaam de tweede poortelektrode wordt
10 aangebracht, onder maskering van de eerste poortelektrode aan weerszijden daarvan dotering van het eerste geleidingstype in het eerste oppervlakgebied wordt aangebracht voor de vorming van de aan- en afvoerzone van de eerste veldeffecttransistor, onder maskering van de tweede poortelektrode aan weerszijden daarvan dotering van het tweede geleidingstype in het tweede oppervlakgebied wordt aangebracht voor
15 de vorming van de aan- en afvoerzone van de tweede veldeffecttransistor, en waarbij de genoemde doteringen door middel van een warmtestap verder het halfgeleiderlichaam in worden gedreven, met het kenmerk dat ten behoeve van het indrijven van de genoemde doteringen afzonderlijke warmtestappen worden uitgevoerd, dat voor de dotering van het eerste geleidingstype de warmtestap wordt uitgevoerd in
20 een oxyderend milieu, waarbij aan het oppervlak een oxydelaag wordt gevormd, en dat dat voor de dotering van het tweede geleidingstype de warmtestap wordt uitgevoerd in een althans nagenoeg inert milieu.
2. Werkwijze volgens conclusie 1 met het kenmerk dat voor de dotering van het eerste geleidingstype fosfor en voor de dotering van het tweede geleidingstype boor
25 wordt gekozen.
3. Werkwijze volgens conclusie 1 of 2 met het kenmerk dat de warmtestap voor het indrijven van de dotering van het eerste geleidingstype wordt uitgevoerd in een

zuurstof-houdend milieu en dat de warmtestap voor het indrijven van de dotering van het tweede geleidingstype wordt uitgevoerd in een milieu van stikstof of argon.

4. Werkwijze volgens conclusie 1, 2 of 3 met het kenmerk dat beide warmtestappen worden uitgevoerd bij een temperatuur liggend in een gebied van 900-1000
5 °C.

5. Werkwijze volgens één der voorgaande conclusies met het kenmerk dat, nadat de dotering van het eerste geleidingstype is aangebracht en in de oxyderende warmtestap verder het halfgeleiderlichaam in is gedreven, langs de rand van beide poortelektroden op zelf-registrerende wijze een daaraan grenzend, isolerend
10 randdeel wordt aangebracht, dat onder maskering van de eerste poortelektrode en het randdeel een tweede dotering van het eerste geleidingstype in het eerste oppervlakte gebied wordt geïntroduceerd en dat onder maskering van de tweede poortelektrode en het daaraan grenzende randdeel de dotering van het tweede geleidingstype wordt aangebracht.

15 6. Werkwijze volgens één der voorgaande conclusies met het kenmerk dat een poortelektrode van gedoteerd silicium wordt toegepast en dat voordat de warmtestap voor het indrijven van de dotering van het eerste geleidingstype wordt uitgevoerd, beide genoemde poortelektroden althans zijdelings worden voorzien van een oxydatiewerend randdeel.

20 7. Werkwijze volgens conclusie 6 met het kenmerk dat de genoemde doteringen door middel van ionenimplantatie worden aangebracht, en dat bij beide genoemde poortelektroden het oxydatiewerend randdeel wordt aangebracht voordat de genoemde doteringen worden aangebracht.

8. Werkwijze volgens conclusie 6 of 7 met het kenmerk dat voor het randdeel
25 siliciumoxynitride wordt toegepast.

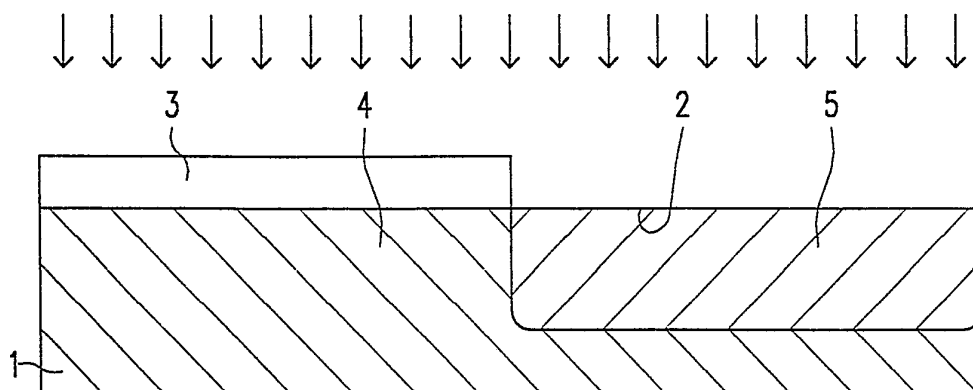
1/5¹⁷

FIG. 1

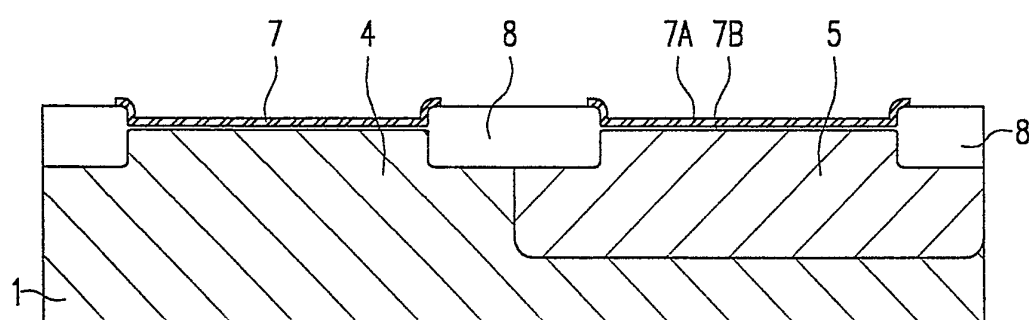


FIG. 2

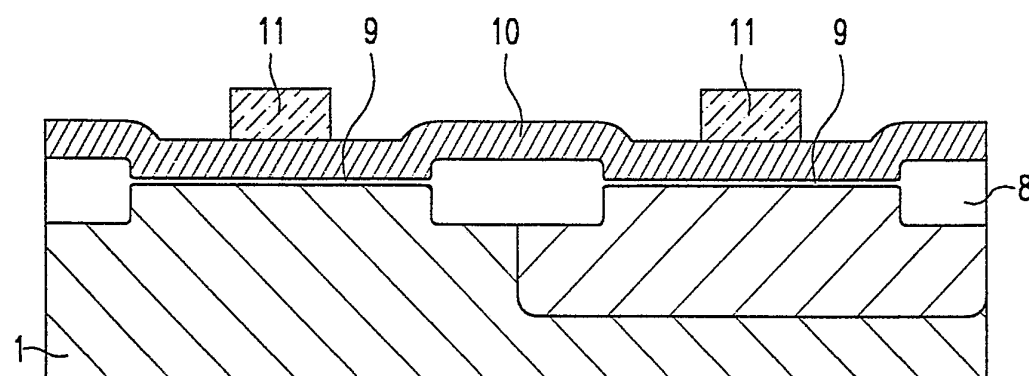
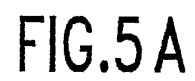
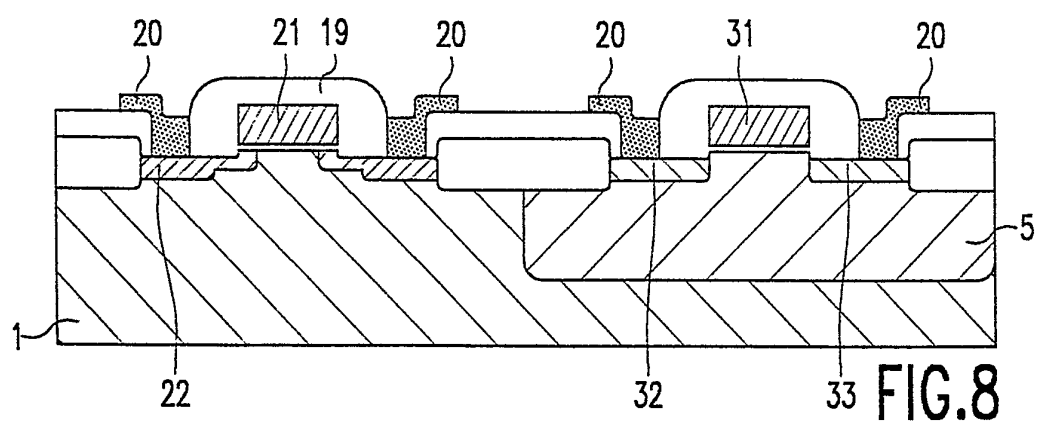
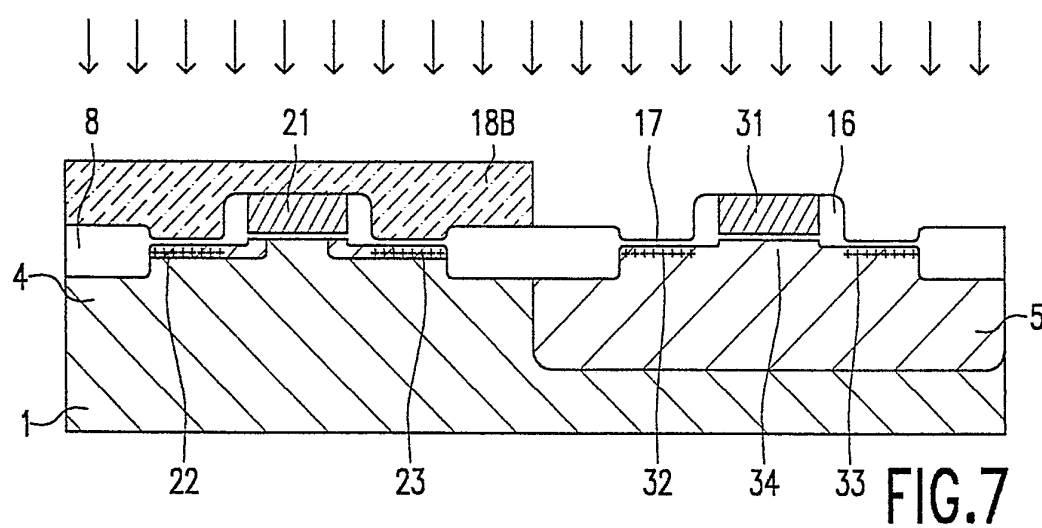
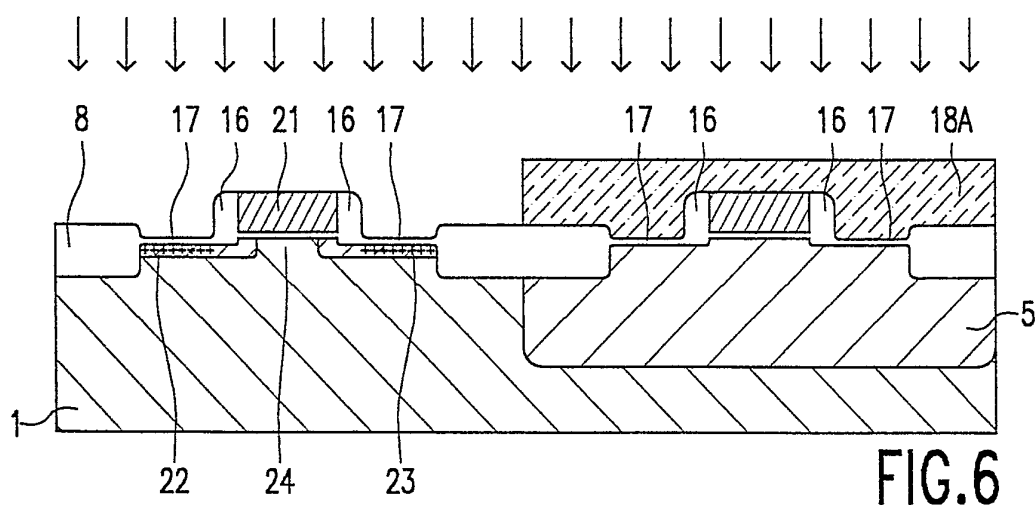


FIG. 3





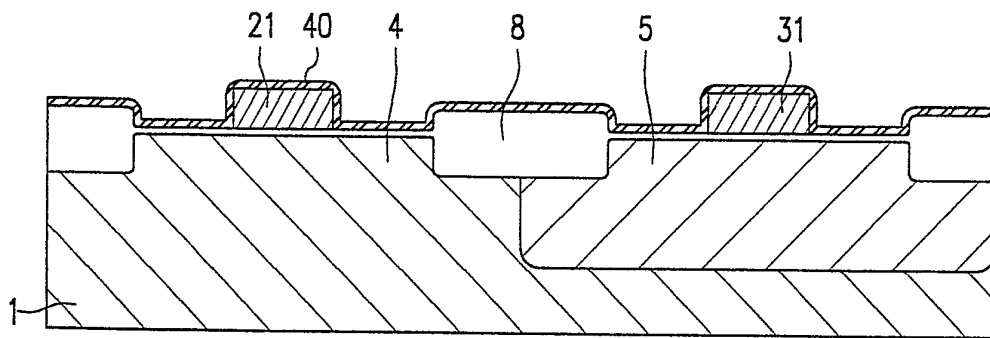


FIG. 9

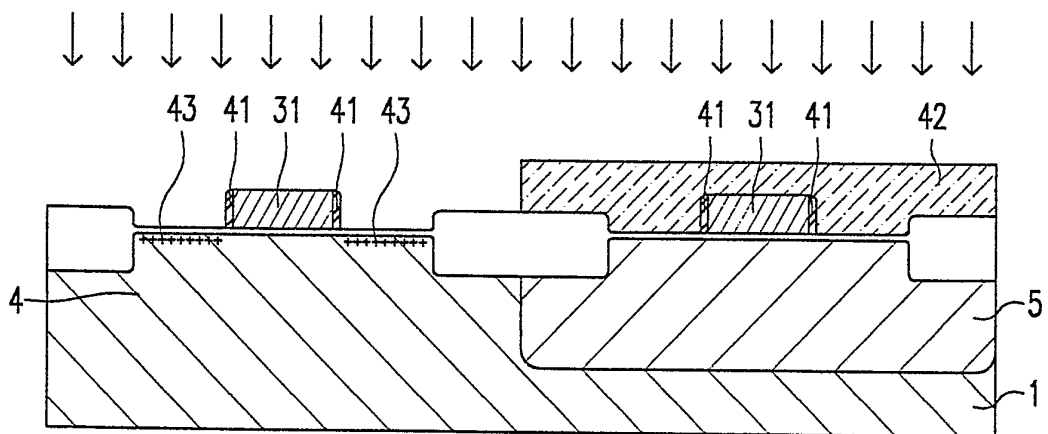


FIG. 10

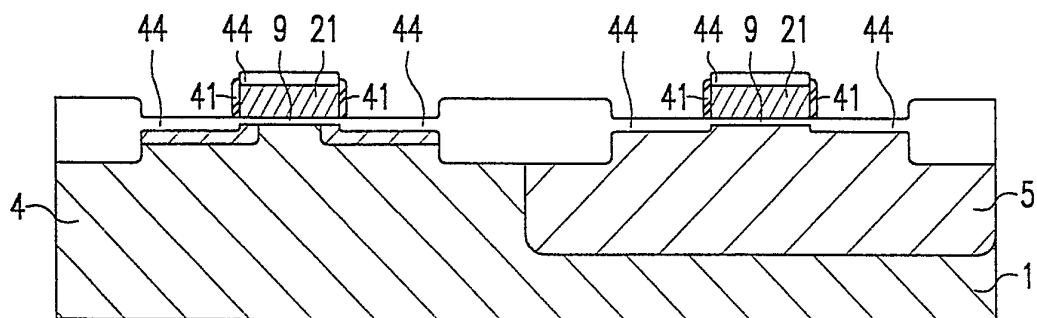


FIG. 11

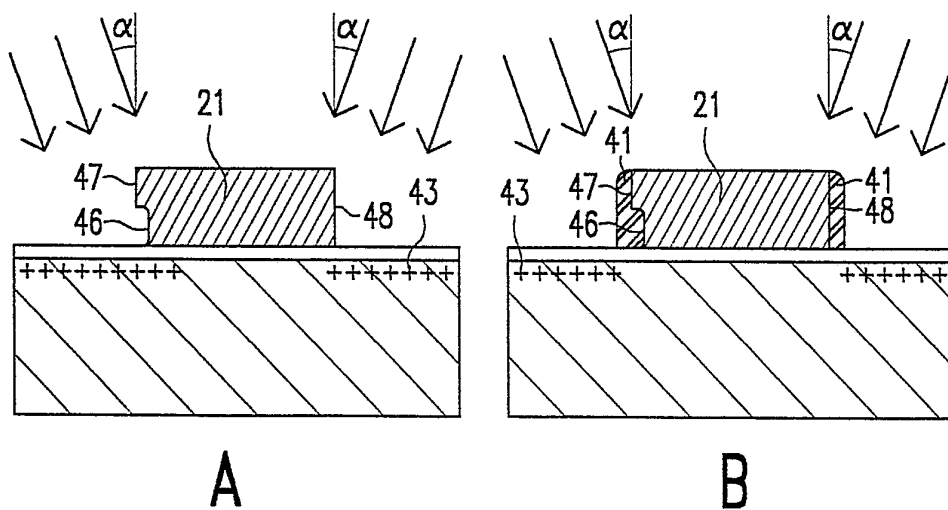


FIG. 12

SAMENWERKINGSVERDRAG INZAKE OCTROOIEN

Verslag betreffende het onderzoek van het internationale type
opgesteld krachtens artikel 21 § 9 van de Belgische wet op de
uitvindingsoctrooien van 28 maart 1984

IDENTIFIKATIE VAN DE NATIONALE AANVRAGE		KENMERK VAN DE AANVRAGER OF GEMACHTIGDE PHN 14464 BE	
Belgische nationale aanvraag nr. 9300602		Datum van indiening 15 juni 1993	
		Ingeroepen voorrangsdatum	
Aanvrager (Naam) PHILIPS ELECTRONICS N.V.			
Datum van het verzoek voor een onderzoek van internationaal type 13 oktober 1993		Door de Instantie voor Internationaal Onderzoek (ISA) aan het verzoek voor een onderzoek van internationaal type toegekend nr. SN 22418 BE	
I. CLASSIFICATIE VAN HET ONDERWERP (bij toepassing van verschillende classificaties, alle classificatiesymbolen opgeven)			
Volgens de internationale octrooi classificatie (CIB) of terzelfdertijd volgens de nationale classificatie en de CIB Int.Cl. ⁵ : H 01 L 21/82, H 01 L 21/225			
II. ONDERZOCHETE GEBIEDEN VAN DE TECHNIEK			
Onderzochte minimum documentatie			
Classificatiesysteem		Classificatiesymbolen	
Int.Cl. ⁵ :		H 01 L	
Onderzochte andere documentatie dan de minimum documentatie voor zover dergelijke documenten in de onderzochte gebieden zijn opgenomen			
III. ☐ MEN IS VAN OORDEEL DAT BEPAALDE CONCLUSIES NIET HET ONDERWERP KONDEN UITMAKEN VAN EEN ONDERZOEK (Opmerkingen op aanvullingsblad)			
IV. ☐ GEBREK AAN EENHEID VAN UITVINDING EN/OF VASTSTELLING BETREFFENDE DE OMVANG VAN HET ONDERZOEK (Opmerkingen op aanvullingsblad)			

VERSLAG VAN HET NIEUWHEIDSONDERZOEK VAN INTERNATIONAAL TYPE

Nummer van het verzoek om een nieuwheidsonderzoek
BE 9300602

A. CLASSIFICATIE VAN HET ONDERWERP
IPC 5 H01L21/82 H01L21/225

Volgens de Internationale Classificatie van octrooien (IPC) of zowel volgens de nationale classificatie als volgens de IPC.

B. ONDERZOCHETE GEBIEDEN VAN DE TECHNIEK

Onderzochte minimum documentatie (classificatie gevolgd door classificatiesymbolen)
IPC 5 H01L

Onderzochte andere documentatie dan de minimum documentatie, voor dergelijke documenten, voor zover dergelijke documenten in de onderzochte gebieden zijn opgenomen

Tijdens het internationaal nieuwheidsonderzoek geraadpleegde elektronische gegevensbestanden (naam van de gegevensbestanden en, waar uitvoerbaar, gebruikte trefwoorden)

C. VAN BELANG GEACHTE DOCUMENTEN

Categorie *	Geciteerde documenten, eventueel met aanduiding van speciaal van belang zijnde passages	Van belang voor conclusie nr.
X	US,A,4 753 898 (MOTOROLA INC) 28 Juni 1988 zie het gehele document ---	1-8
A	EP,A,0 111 099 (INTERNATIONAL BUSINESS MACHINES CORP) 20 Juni 1984 zie bladzijde 7, regel 22 - regel 28; figuren ---	1-8
A	PATENT ABSTRACTS OF JAPAN vol. 7, no. 154 (E-185)6 Juli 1983 & JP,A,58 063 146 (TOKYO SHIBAURA DENKI KK) 14 April 1983 zie samenvatting --- -/--	1-8

☒ Verdere documenten worden vermeld in het vervolg van vak C.

☒ Leden van dezelfde octrooifamilie zijn vermeld in een bijlage

* Speciale categorieën van aangehaalde documenten

- "A" document dat de algemene stand van de techniek weergeeft, maar niet beschouwd wordt als zijnde van bijzonder belang
- "E" eerder document, maar gepubliceerd op de datum van indiening of daarna
- "L" document dat het beroep op een recht van voorrang aan twijfel onderhevig maakt of dat aangehaald wordt om de publikatiedatum van een andere aanhaling vast te stellen of om een andere reden zoals aangegeven
- "O" document dat betrekking heeft op een mondelinge uiteenzetting, een gebruik, een tentoonstelling of een ander middel
- "P" document gepubliceerd voor de datum van indiening maar na de ingeroepen datum van voorrang

"T" later document, gepubliceerd na de datum van indiening of datum van voorrang en niet in strijd met de aanvraag, maar aangehaald ter verduidelijking van het principe of de theorie die aan de uitvinding ten grondslag ligt

"X" document van bijzonder belang; de uitvinding waarvoor uitsluitende rechten worden aangevraagd kan niet als nieuw worden beschouwd of kan niet worden beschouwd op inventiviteit te berusten

"Y" document van bijzonder belang; de uitvinding waarvoor uitsluitende rechten worden aangevraagd kan niet worden beschouwd als inventief wanneer het document beschouwd wordt in combinatie met één of meerdere soortgelijke documenten, en deze combinatie voor een deskundige voor de hand ligt

"&" document dat deel uitmaakt van dezelfde octrooifamilie

Datum waarop het nieuwheidsonderzoek van internationaal type werd voltooid

23 Februari 1994

Verzenddatum van het rapport van het nieuwheidsonderzoek van internationaal type

Naam en adres van de instantie

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+ 31-70) 340-3016

De bevoegde ambtenaar

Sinemus, M

VERSLAG VAN HET NIEUWHEIDSONDERZOEK VAN
INTERNATIONAAL TYPE

Nummer van het verzoek om een nieuwheidsonderzoek

BE 9300602

C.(Vervolg). VAN BELANG GEACHTE DOCUMENTEN

Categorie *	Geciteerde documenten, eventueel met aanduiding van speciaal van belang zijnde passages	Van belang voor conclusie nr.
A	PATENT ABSTRACTS OF JAPAN vol. 16, no. 259 (E-1215)11 Juni 1992 & JP,A,04 057 337 (TOSHIBA CORP) 25 Februari 1992 zie samenvatting & US,A,5 266 823 (TOSHIBA CORP) ---	1-8
A	PATENT ABSTRACTS OF JAPAN vol. 9, no. 201 (E-336)17 Augustus 1985 & JP,A,60 066 460 (SUWA SEIKOSHA KK) 16 April 1985 zie samenvatting ---	1-8
A	PATENT ABSTRACTS OF JAPAN vol. 9, no. 225 (E-342)11 September 1985 & JP,A,60 083 363 (SUWA SEIKOSHA KK) 11 Mei 1985 zie samenvatting ---	1-8
A	PATENT ABSTRACTS OF JAPAN vol. 11, no. 161 (E-509)(2608) 23 Mei 1987 & JP,A,61 295 653 (NEC CORP) 26 December 1986 zie samenvatting -----	6-8

VERSLAG VAN HET NIEUWHEIDSONDERZOEK VAN
INTERNATIONAAL TYPE

Informatie over leden van dezelfde octrooifamilie

Nummer van het verzoek om een nieuwheidsonderzoek
BE 9300602

In het rapport genoemd octrooigescrift	Datum van publicatie	Overeenkomend(e) geschrift(en)	Datum van publicatie
US-A-4753898	28-06-88	GEEN	
EP-A-0111099	20-06-84	US-A- 4480375 JP-A- 59111358	06-11-84 27-06-84
US-A-5266823	30-11-93	JP-A- 4057337	25-02-92