

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0099453

(43) 공개일자 2020년08월24일

(51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01) **H04L 25/02** (2006.01)
 (52) CPC특허분류
G11C 7/1051 (2013.01)
G11C 7/1048 (2013.01)
 (21) 출원번호 10-2019-0027914
 (22) 출원일자 2019년03월12일
 심사청구일자 2019년03월12일
 (30) 우선권주장
 1020190017166 2019년02월14일 대한민국(KR)

(71) 출원인
 고려대학교 산학협력단
 서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
 (72) 발명자
 김철우
 서울특별시 강남구 선릉로 221, 401동 1003호 (도곡동, 도곡렉슬아파트)
 박현수
 서울특별시 동대문구 한빛로 50-2 (용두동)
 심진철
 서울특별시 성북구 인촌로30길 7-9 (안암동5가)
 (74) 대리인
 이기성

전체 청구항 수 : 총 14 항

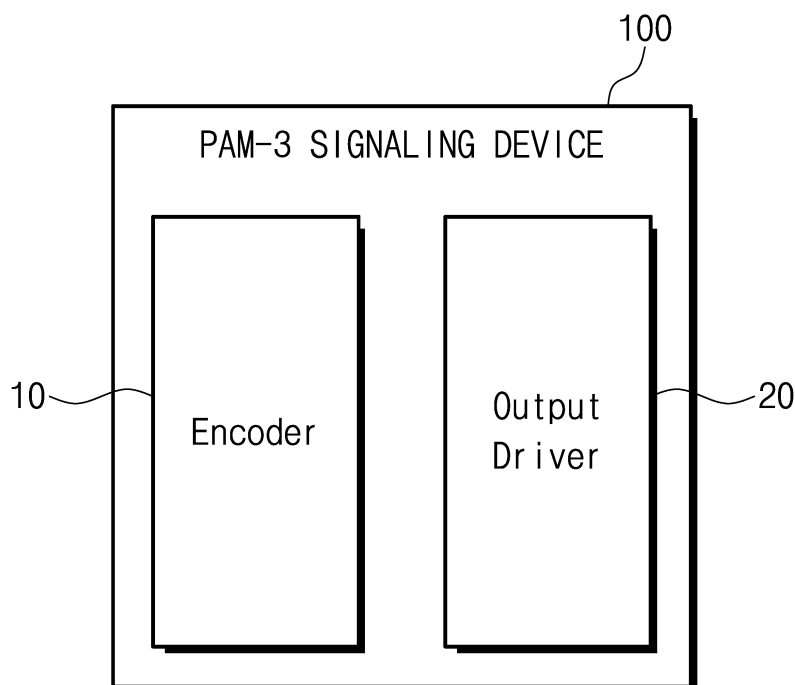
(54) 발명의 명칭 싱글 엔디드 3-레벨 펄스 진폭 변조 시그널링을 위한 장치 및 방법

(57) 요약

본 발명은 고속 송수신기 회로 설계에 관한 것이며, 보다 상세하게는 3-레벨 펄스 진폭 변조 신호법을 위한 장치 및 방법에 관한 것이다. 본 출원의 실시예에 따른 3-레벨 펄스 진폭 변조 신호법을 위한 장치는 연속되는 제1 및 제2 유닛 인터벌의 제1 내지 제9 트랜지션 중 1개를 선택하고, 상기 제1 내지 제9 트랜지션 중 선택된 상기 1개

(뒷면에 계속)

대표도 - 도1



를 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑하는 인코더; 및 상기 인코더의 출력 신호를 입력으로 받아 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 생성하는 출력 드라이버를 포함하며, 상기 3비트의 데이터는, 상기 연속되는 제1 및 제2 유닛 인터벌동안 상기 제1 내지 제3 레벨의 출력 전압을 갖는 상기 멀티 레벨 신호를 통해 수신단으로 전송된다. 본 출원의 실시예에 따른 3-레벨 펄스 진폭 변조 신호법을 위한 장치는 두 개의 유닛 인터벌동안 3비트를 송신할 수 있으며, 수신단에서 Windowing 현상을 감지할 수 있게 한다.

(52) CPC특허분류

H04L 25/0278 (2013.01)

명세서

청구범위

청구항 1

연속되는 제1 및 제2 유닛 인터벌의 제1 내지 제9 트랜지션 중 1개를 선택하고, 상기 제1 내지 제9 트랜지션 중 선택된 상기 1개를 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑하는 인코더; 및

상기 인코더의 출력 신호를 입력으로 받아 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 생성하는 출력 드라이버를 포함하며,

상기 3비트의 데이터는, 상기 연속되는 제1 및 제2 유닛 인터벌동안 상기 제1 내지 제3 레벨의 출력 전압을 갖는 상기 멀티 레벨 신호를 통해 수신단으로 전송되는, PAM-3 시그널링 장치.

청구항 2

제1항에 있어서,

상기 제1 내지 제9 트랜지션 중 선택된 상기 1개는 상기 멀티 레벨 신호를 수신하는 수신단에서의 Windowing 현상을 감지하기 위해 사용되는, PAM-3 시그널링 장치

청구항 3

제2항에 있어서,

상기 인코더는 상기 출력 드라이버의 회로 특성, 상기 멀티 레벨 신호가 송신되는 채널의 특성 및 상기 3비트의 데이터의 패턴 중 적어도 하나에 기초하여, 상기 제1 내지 제9 트랜지션 중 상기 1개를 선택하는, PAM-3 시그널링 장치

청구항 4

제3항에 있어서,

상기 멀티 레벨 신호의 상기 제1 내지 제3 레벨의 출력 전압은 각각 로우 레벨, 미들 레벨 및 하이 레벨에 해당하며,

상기 제1 내지 제9 트랜지션은, 상기 제1 유닛 인터벌에서의 상기 제1 내지 제3 레벨과 상기 제2 유닛 인터벌에서의 상기 제1 내지 제3 레벨의 조합으로 이루어지는, PAM-3 시그널링 장치.

청구항 5

제4항에 있어서,

상기 인코더는,

제1 내지 제9 트랜지션 중 상기 제1 유닛 인터벌에서의 제1 레벨에서 상기 제2 유닛 인터벌에서의 제3 레벨로의 트랜지션을 선택하고, 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑하는, PAM-3 시그널링 장치.

청구항 6

제4항에 있어서,

상기 인코더는,

제1 내지 제9 트랜지션 중 상기 제1 유닛 인터벌 및 상기 제2 유닛 인터벌에서 모두 제3 레벨인 경우의 트랜지션을 선택하고, 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑하는, PAM-3 시그널링 장치.

청구항 7

제1항에 있어서,

상기 인코더는,

선택된 상기 1개를 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑한 후, 매핑 결과를 제1 내지 제4 드라이버 신호선으로 출력하며,

상기 출력 드라이버는,

상기 제1 내지 제4 드라이버 신호선으로부터 입력되는 신호에 기초하여, 상기 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 생성하는, PAM-3 시그널링 장치.

청구항 8

제1항에 있어서,

상기 인코더 및 상기 출력 드라이버와 전기적으로 연결된 멀티플렉서를 더 포함하며,

상기 인코더는,

선택된 상기 1개를 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑한 후, 매핑 결과를 제1 내지 제8 신호선을 통해 상기 멀티플렉서로 출력하며,

상기 멀티플렉서는 상기 제1 내지 제8 신호선 중 4개를 Half-rate로 상기 출력 드라이버와 연결된 제1 내지 제4의 드라이버 신호선으로 선택적으로 출력하며,

상기 출력 드라이버는,

상기 멀티플렉서의 상기 제1 내지 제4 드라이버 신호선으로부터 입력되는 신호에 기초하여, 상기 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 생성하는, PAM-3 시그널링 장치.

청구항 9

제7항 또는 제8항에 있어서,

상기 출력 드라이버는,

상기 제1 드라이버 신호선의 신호에 응답하여 전원 및 출력 단자 사이를 전기적으로 연결하는 제1 트랜지스터 및 상기 제2 드라이버 신호선의 신호에 응답하여 출력 단자와 그라운드를 전기적으로 연결하는 제2 트랜지스터를 포함하는 제1 단 회로부; 및

상기 제3 드라이버 신호선의 신호에 응답하여 전원 및 출력 단자 사이를 전기적으로 연결하는 제3 트랜지스터 및 상기 제4 드라이버 신호선의 신호에 응답하여 출력 단자와 그라운드를 전기적으로 연결하는 제4 트랜지스터를 포함하는 제2 단 회로부를 포함하며,

상기 제1 단 회로부 및 상기 제2 단 회로부는 출력 단자를 통해 전기적으로 연결되는, PAM-3 시그널링 장치.

청구항 10

제9항에 있어서,

상기 제1 내지 제4 내지 트랜지스터의 턴온 저항은 모두 $2Z_0$ 이며,

여기서 Z_0 은 상기 멀티 레벨 신호가 송신되는 채널의 특성 임피던스이며,

상기 출력 드라이버에서, 상기 제1 내지 제4 드라이버 신호선으로부터 입력되는 신호의 모든 입력 조건에서, 상기 채널에서 상기 출력 드라이버의 출력 단자를 바라볼 때의 임피던스는 Z_0 으로 동일하게 유지되는, PAM-3 시그널링 장치.

청구항 11

제2항에 있어서,

상기 멀티 레벨 신호는, 상기 수신단에서 Half-rate 기준 비교기 4개와 디코더의 디코딩 로직을 통해 원래의 3 비트 신호로 복원되는, PAM-3 시그널링 장치.

청구항 12

제2항에 있어서,

상기 수신단에서, 상기 제1 내지 제9 트랜지션 중 선택된 상기 1개의 트랜지션에 해당하는 신호가 검출된 경우, Windowing 현상이 발생했다고 판단하는, PAM-3 시그널링 장치.

청구항 13

제11항에 있어서,

상기 수신단에서, 상기 제1 내지 제9 트랜지션 중 선택된 상기 1개의 트랜지션을 가지는 신호가 검출된 경우, 상기 4개의 비교기와 디코더의 샘플링 클럭 위상을 180도 반전시키는, PAM-3 시그널링 장치.

청구항 14

PAM-3 시그널링 방법으로서,

인코더에 의해, 연속되는 제1 및 제2 유닛 인터벌의 제1 내지 제9 트랜지션 중 1개를 선택하는 단계;

상기 인코더에 의해, 상기 제1 내지 제9 트랜지션 중 선택된 상기 1개를 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑하는 단계; 및

출력 드라이버에 의해, 상기 3비트의 데이터 매핑 결과를 입력으로 받아 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 생성하는 단계를 포함하며,

상기 3비트의 데이터는, 상기 연속되는 제1 및 제2 유닛 인터벌동안 상기 제1 내지 제3 레벨의 출력 전압을 갖는 상기 멀티 레벨 신호를 통해 수신단으로 전송되는, PAM-3 시그널링 방법.

발명의 설명

기술 분야

[0001] 본 발명은 고속 송수신기 설계에 관한 것이며, 보다 상세하게는 멀티 레벨 펄스 진폭 변조 신호법을 위한 장치 및 방법에 관한 것이다.

배경 기술

[0002] 데이터 통신을 위해서 일반적으로 두 가지 데이터 변조 레벨을 가지는 2-레벨 펄스 진폭 변조 (PULSE AMPLITUDE MODULATION-2: PAM-2) 신호법을 사용한다. 기존의 PAM-2 신호법은 송수신기의 구조를 간단하게 할 수 있다는 장점이 있다. 그러나, 1개의 유닛 인터벌(UI:Unit Interval) 동안 1비트만 전송 가능하며, 대역폭을 증가시키기 위해 클럭 주파수를 높여야 하고, 이로 인해 채널 감쇄와 클럭 품질 저하 등의 문제가 발생하였다. 클럭 품질을 향상시키기 위해서는 추가적인 회로와 전력 소모가 필요하다. 채널 감쇄를 보상하기 위해서는 Continuous Time Linear Equalizer (CTLE), decision feedback equalizer (DFE) 등의 복잡한 등화기 회로가 수신단에 필요하다.

[0003] 이에 PAM-2와 같이 1개의 UI에 1비트를 보내지만 세 가지의 데이터 변조 레벨을 가지고 이를 이용하여 채널 감쇄로 인한 영향을 줄이기 위한 듀오 바이너리 신호법(duo-binary signaling)을 사용하기도 한다. 듀오 바이너리 신호법은 하나의 데이터 변조 레벨에 데이터가 아닌 데이터의 트랜지션에 정보를 담아 로우 투 하이 또는 하이 투 로우의 트랜지션이 없어 채널의 감쇄에도 깨끗한 신호품질을 보장할 수 있는 장점이 있으나, PAM-2 신호법과 비교해 동일한 클럭 주파수를 사용해야 하고 대역폭에 있어서 이득이 없다.

[0004] 따라서, 대역폭을 증가시키기 위해 다중 펄스 진폭 변조(PAM-N)를 사용할 수 있다.

[0005] 4-레벨 펄스 진폭 변조 (PULSE AMPLITUDE MODULATION-4: PAM-4) 신호법의 경우 2비트를 1개의 UI에 전송하지만 싱글엔디드 신호법의 측면에서 Sensing Margin이 매우 작고 공급 전압 노이즈 (Supply Voltage Noise)에 매우 민감하고 신호의 선형성 (Linearity)가 매우 떨어져 구현 가능성 (Feasibility)가 매우 낮다는 단점이 있다.

[0006] 3-레벨 펄스 진폭 변조(PULSE AMPLITUDE MODULATION-3: PAM-3) 신호법은 한번에 3개의 전압레벨을 보내는 신호법으로 이론적으로 1.5개 ($\log_2 3 \approx 1.56$)의 비트를 전송할 수 있으나, 구조적인 비효율성을 가진다. PAM-3 인터

페이스는 1개의 UI에 2비트를 인코딩할 수 없고, 출력 드라이버에서 모든 입력에 대한 임피던스 매칭을 유지하기 어렵다. 따라서, 이를 해결하기 위한 효율적인 인코딩 방법과 출력 드라이버의 설계에 대한 연구가 요구된다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 효율적으로 두 개의 유닛 인터벌동안 3비트를 송신할 수 있는 PAM-3 시그널링 장치 및 그 방법을 제공함에 있다.

과제의 해결 수단

[0008] 본 출원의 실시 예에 따른 PAM-3 시그널링 장치는 연속되는 제1 및 제2 유닛 인터벌의 제1 내지 제9 트랜지션 중 1개를 선택하고, 상기 제1 내지 제9 트랜지션 중 선택된 상기 1개를 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑하는 인코더; 및 상기 인코더의 출력 신호를 입력으로 받아 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 생성하는 출력 드라이버를 포함하며, 상기 3비트의 데이터는, 상기 연속되는 제1 및 제2 유닛 인터벌동안 상기 제1 내지 제3 레벨의 출력 전압을 갖는 상기 멀티 레벨 신호를 통해 수신단으로 전송된다.

[0009] 실시 예에 있어서, 상기 제1 내지 제9 트랜지션 중 선택된 상기 1개는 상기 멀티 레벨 신호를 수신하는 수신단에서의 Windowing 현상을 감지하기 위해 사용된다.

[0010] 실시 예에 있어서, 상기 인코더는 상기 출력 드라이버의 회로 특성, 상기 멀티 레벨 신호가 송신되는 채널의 특성 및 상기 3비트의 데이터의 패턴 중 적어도 하나에 기초하여, 상기 제1 내지 제9 트랜지션 중 상기 1개를 선택한다.

[0011] 실시 예에 있어서, 상기 멀티 레벨 신호의 상기 제1 내지 제3 레벨의 출력 전압은 각각 로우 레벨, 미들 레벨 및 하이 레벨에 해당하며, 상기 제1 내지 제9 트랜지션은, 상기 제1 유닛 인터벌에서의 상기 제1 내지 제3 레벨과 상기 제2 유닛 인터벌에서의 상기 제1 내지 제3 레벨의 조합으로 이루어진다.

[0012] 실시 예에 있어서, 상기 인코더는, 제1 내지 제9 트랜지션 중 상기 제1 유닛 인터벌에서의 제1 레벨에서 상기 제2 유닛 인터벌에서의 제3 레벨로의 트랜지션을 선택하고, 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑한다.

[0013] 실시 예에 있어서, 상기 인코더는, 제1 내지 제9 트랜지션 중 상기 제1 유닛 인터벌 및 상기 제2 유닛 인터벌에서 모두 제3 레벨인 경우의 트랜지션을 선택하고, 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑한다.

[0014] 실시 예에 있어서, 상기 인코더는, 선택된 상기 1개를 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑한 후, 매핑 결과를 제1 내지 제4 드라이버 신호선으로 출력하며, 상기 출력 드라이버는, 상기 제1 내지 제4 드라이버 신호선으로부터 입력되는 신호에 기초하여, 상기 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 생성한다.

[0015] 실시 예에 있어서, 상기 인코더 및 상기 출력 드라이버와 전기적으로 연결된 멀티플렉서를 더 포함하며, 상기 인코더는, 선택된 상기 1개를 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑한 후, 매핑 결과를 제1 내지 제8 신호선을 통해 상기 멀티플렉서로 출력하며, 상기 멀티플렉서는 상기 제1 내지 제8 신호선 중 4개를 Half-rate로 상기 출력 드라이버와 연결된 제1 내지 제4의 드라이버 신호선으로 선택적으로 출력하며, 상기 출력 드라이버는, 상기 멀티플렉서의 상기 제1 내지 제4 드라이버 신호선으로부터 입력되는 신호에 기초하여, 상기 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 생성한다.

[0016] 실시 예에 있어서, 상기 출력 드라이버는, 상기 제1 드라이버 신호선의 신호에 응답하여 전원 및 출력 단자 사이를 전기적으로 연결하는 제1 트랜지스터 및 상기 제2 드라이버 신호선의 신호에 응답하여 출력 단자와 그라운드를 전기적으로 연결하는 제2 트랜지스터를 포함하는 제1 단 회로부; 및 상기 제3 드라이버 신호선의 신호에 응답하여 전원 및 출력 단자 사이를 전기적으로 연결하는 제3 트랜지스터 및 상기 제4 드라이버 신호선의 신호에 응답하여 출력 단자와 그라운드를 전기적으로 연결하는 제4 트랜지스터를 포함하는 제2 단 회로부를 포함하며, 상기 제1 단 회로부 및 상기 제2 단 회로부는 출력 단자를 통해 전기적으로 연결된다.

- [0017] 실시 예에 있어서, 상기 제1 내지 제4 내지 트랜지스터의 턴온 저항은 모두 $2Z_0$ 이며, 여기서 Z_0 은 상기 멀티 레벨 신호가 송신되는 채널의 특성 임피던스이며, 상기 출력 드라이버에서, 상기 제1 내지 제4 드라이버 신호선 으로부터 입력되는 신호의 모든 입력 조건에서, 상기 채널에서 상기 출력 드라이버의 출력 단자를 바라볼 때의 임피던스는 Z_0 으로 동일하게 유지된다.
- [0018] 실시 예에 있어서, 상기 멀티 레벨 신호는, 상기 수신단에서 Half-rate 기준 비교기 4개와 디코더의 디코딩 로직을 통해 원래의 3비트 신호로 복원된다.
- [0019] 실시 예에 있어서, 상기 수신단에서, 상기 제1 내지 제9 트랜지션 중 선택된 상기 1개의 트랜지션에 해당하는 신호가 검출된 경우, Windowing 현상이 발생했다고 판단한다.
- [0020] 실시 예에 있어서, 상기 수신단에서, 상기 제1 내지 제9 트랜지션 중 선택된 상기 1개의 트랜지션을 가지는 신호가 검출된 경우, 상기 4개의 비교기와 디코더의 샘플링 클럭 위상을 180도 반전시킨다.
- [0021] 본 출원의 실시 예에 따른 PAM-3 시그널링 방법은 인코더에 의해, 연속되는 제1 및 제2 유닛 인터벌의 제1 내지 제9 트랜지션 중 1개를 선택하는 단계; 상기 인코더에 의해, 상기 제1 내지 제9 트랜지션 중 선택된 상기 1개를 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑하는 단계; 및 출력 드라이버에 의해, 상기 3비트의 데이터 매핑 결과를 입력으로 받아 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 생성하는 단계를 포함하며, 상기 3비트의 데이터는, 상기 연속되는 제1 및 제2 유닛 인터벌동안 상기 제1 내지 제3 레벨의 출력 전압을 갖는 상기 멀티 레벨 신호를 통해 수신단으로 전송된다.

발명의 효과

- [0022] 본 발명의 일 실시예에 따른 PAM-3 시그널링 장치 및 그 방법은 보다 효율적으로 2개의 유닛 인터벌동안 3개의 비트를 송신할 수 있으며, 수신단에서 윈도우링(Windowing) 현상을 감지할 수 있게 한다. 일 실시예에 따른 출력 드라이버의 임피던스 매칭이 이루어져 신호의 무결성을 보장할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 출원의 일 실시 예에 따른 PAM-3 시그널링 장치(100)를 보여주는 블록도이다.
- 도 2a 및 도 2b는 본 출원의 일 실시예에 따른 인코더(10)의 입력 데이터 및 입력 데이터에 따른 트랜지션 매핑 결과의 일예를 보여주는 도면이다.
- 도 2c는 도 2b의 실시예와 관련된 PAM-3 데이터의 Eye-diagram이다.
- 도 3은 본 출원의 일 실시예에 따른 인코더(10_1) 및 출력 드라이버(20)를 설명하는 도면이다.
- 도 4a는 본 발명의 일 실시예에 따른 인코더(10_2)와 출력 드라이버(20)를 설명하는 도면이다.
- 도 5a 및 도 5b는 본 발명의 일 실시예에 따른 출력 드라이버(20)의 회로를 나타내는 도면이다.
- 도 6은 일 실시예에 따른 출력 드라이버(20)의 입력에 따른 출력 전압을 나타내는 도면이다.
- 도 7은 입력에 따른 출력 드라이버(20)의 동작을 설명하는 도면이다.
- 도 8은 입력에 따른 출력 드라이버(20)의 전압 분배를 설명하는 도면이다.
- 도 9는 출력 드라이버(20)의 임피던스 매칭을 보여주는 도면이다.
- 도 10은 본 발명의 일 실시예에 따라 PAM-3 시그널링 장치(100)가 생성한 멀티 레벨 신호가 수신단에서 복원되는 것을 도시하는 도면이다.
- 도 11a 내지 도 11c는 수신단에서 Windowing 현상을 해결하는 것을 설명하는 도면이다.
- 도 12는 본 발명의 실시 예에 따른 PAM-3 시그널링 방법을 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 명세서에 개시되어 있는 본 출원의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 출원의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 출원의 개념에 따른 실시

예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.

- [0025] 본 출원의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 출원의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 출원의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0026] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 출원의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수 있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.
- [0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0028] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 출원을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0030] 이하, 첨부한 도면을 참조하여 본 출원의 바람직한 실시 예를 설명함으로써, 본 출원을 상세히 설명한다.
- [0031] 도 1은 본 출원의 일 실시 예에 따른 PAM-3 시그널링 장치(100)를 보여주는 블록도이다. 본 출원의 실시예에 따른 PAM-3 시그널링 장치(100)는 싱글 엔디드 3-레벨 펄스 진폭 변조 시그널링을 지원한다.
- [0032] 도 1을 참조하면, PAM-3 시그널링 장치(100)는 인코더(10)와 출력 드라이버(20)를 포함한다.
- [0033] 인코더(10)는 연속되는 제1 및 제2 유닛 인터벌의 제1 내지 제9 트랜지션 중 1개를 선택하고, 제1 내지 제9 트랜지션 중 선택된 1개를 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑한다. 여기서, 유닛 인터벌(Unit Interval: UI)이란 전송 신호에서 유의미한 데이터가 가지는 최소한의 비트 펄스 폭이다. 예를 들어, PAM-2에서는 1개의 UI 동안 1비트를 보낼 수 있으며, PAM-4에서는 1UI동안 2비트를 보낼 수 있다. 본 출원의 일 실시예에서, 인코더(10)는 2개의 UI동안 3비트를 전송할 수 있도록 8개의 트랜지션을 이용하여 3비트를 인코딩 할 수 있다.
- [0034] 출력 드라이버(20)는 인코더(10)의 출력 신호를 입력으로 받아 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 생성한다. 본 발명의 일 실시예에 따른 출력 드라이버(20)는 3-레벨 멀티 레벨 신호를 생성할 것이다.
- [0035] 인코더(10)로 입력되는 3비트의 데이터는, 연속되는 제1 및 제2 UI동안 상기 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 통해 수신단으로 전송될 수 있다.
- [0036] 본 출원의 일 실시예에 따른 PAM-3 시그널링 장치(100)는 보다 효율적으로 2 개의 UI동안 3비트를 송신할 수 있다. 따라서, 1개의 UI에 1.5 비트를 보내는 효율을 구현할 수 있으며, 9개의 트랜지션 중 8개만을 인코딩에 사용함에 따라 1개는 인코딩에 사용하지 않아 수신단에서 에러 검출을 할 수 있게 한다.
- [0037] 또한, 싱글 엔디드 메모리 인터페이스에 적용 가능한 PAM-3 신호법을 제공함으로써 채널당 대역폭을 NRZ 신호법 대비 50% 향상 시킬 수 있으며, 동일 대역폭 기준 NRZ 신호법 대비 클락 주파수를 33% 감소시킬 수 있다.

- [0038] 한편, 상술한 것은 예시적이며, 인코더(10) 드라이버(20)는 메모리 인터페이스에 사용될 수 있다. 이 경우, 본 출원의 일 실시예에 따른 PAM-3 시그널링 장치(100)는 휘발성 메모리 및/또는 비휘발성 메모리를 더 포함할 수 있다. 실시예에 따라, PAM-3 시그널링 장치(100)는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR4(Low Power Double Data Rate4) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, LPDDR(Low Power DDR), RDRAM(Rambus Dynamic Random Access Memory) 또는 플래시 메모리(FLASH Memory)를 포함할 수 있다.
- [0039] 도 2a 및 도 2b는 본 출원의 일 실시예에 따른 인코더(10)의 입력 데이터 및 입력 데이터에 따른 트랜지션 매핑 결과의 일예를 보여주는 도면이다.
- [0040] 도 2a에 도시된 바와 같이, 출력 드라이버(20)가 생성하는 멀티 레벨 신호의 출력 전압은 로우 레벨, 미들 레벨 및 하이 레벨의 제1내지 제3 레벨을 가질 수 있다.
- [0041] 또한, 제1 내지 제9 트랜지션은 제1 유닛 인터벌에서의 제1 내지 제3 레벨과 제2 유닛 인터벌에서의 상기 제1 내지 제3레벨의 9가지 조합으로 이루어진다.
- [0042] 도 2a 및 도 2b를 참조하면, 인코더(10)는 연속되는 제1 및 제2 유닛 인터벌의 제1 내지 제9 트랜지션 중 1개를 선택하고, 선택된 상기 1개의 트랜지션은 데이터 매핑에 이용하지 않는다. 인코딩에 사용되지 않는 1개의 트랜지션은 수신단에서 에러를 검출하기 위해 사용된다.
- [0043] 2개의 UI를 이용하는 경우 1개의 UI의 shift로 인한 Windowing현상이 발생할 수 있다. 이 경우, 1 내지 제9 트랜지션 중 인코더(10)에 의해 선택된 1개의 트랜지션은 멀티 레벨 신호를 수신하는 수신단에서의 Windowing 현상을 감지하기 위해 사용될 수 있다.
- [0044] 예를 들어, 수신단에서 제1 내지 제9 트랜지션 중 선택된 1개의 트랜지션에 해당하는 신호가 검출된 경우, Windowing 현상이 발생했다고 판단할 수 있다.
- [0045] 본 출원의 일 실시예에 따른 인코더(10)는 출력 드라이버(20)의 회로 특성, 멀티 레벨 신호가 송신되는 채널의 특성 및 상기 3비트의 데이터의 패턴 등에 기초하여, 상기 제1 내지 제9 트랜지션 중 인코딩에 사용하지 않는 1개를 선택할 수 있다.
- [0046] 도 2a를 참조하면, 인코더(10)는 제1 내지 제9 트랜지션 중 제1 유닛 인터벌 및 제2 유닛 인터벌에서 모두 제3 레벨(즉, 하이 레벨)인 경우의 트랜지션(이하, H2H 트랜지션)을 선택할 수 있다. 이 경우에서, 출력 드라이버(20)의 소모 전력이 가장 큰 H2H 트랜지션을 제외하여 3비트의 데이터를 매핑함으로써, 전체적인 소모 전력을 줄일 수 있다.
- [0047] 도 2b를 참조하면, 인코더(10)는 제1 내지 제9 트랜지션 중 제1 유닛 인터벌에서의 제1 레벨(즉, 로우 레벨)에서 제2 유닛 인터벌에서의 제3 레벨(즉, 하이 레벨)로의 트랜지션(이하, L2H 트랜지션)을 선택할 수 있다. 출력 드라이버(20)의 특성에 따라 풀링 업(Pulling up) 동작이 풀링 다운(Pulling down)동작보다 느린 경우에 L2H 트랜지션이 수신단에서 에러를 발생시킬 확률이 더 크다. 예를 들어, NMOS over NMOS 구조의 구동 드라이버를 사용할 경우, 풀링 업(Pulling up) 동작이 풀링 다운(Pulling down)동작보다 느릴 수 있다. 이 경우 L2H 트랜지션을 제외하고 데이터를 매핑하여 수신단의 에러 발생 확률을 줄일 수 있으며, L2H 트랜지션을 이용하여 수신단에서 에러를 검출할 수 있다.
- [0048] 도 2c는 도 2b의 실시예와 관련된 PAM-3 데이터의 Eye-diagram이다.
- [0049] 일 실시예에서, 도 2b에서와 같이L2H 트랜지션을 제외하고 데이터를 매핑한 경우, 도 2c에서 2)와 3)으로 표시된 eye에 대해 추가적인 vertical eye와 horizontal eye를 확보하여 voltage margin을 개선함으로써 비트 에러 레이트(BER:Bit Error Rate)를 개선할 수 있다.
- [0050] 한편, 상술한 설명에서는 인코더(10)가 H2H 트랜지션이나 L2H 트랜지션을 선택하고 선택된 트랜지션은 수신단에서 windowing 현상 등을 검출하는데 사용하도록하고, 나머지 트랜지션을 이용하여 데이터 매핑을 수행하는 것을 예를 들었으나, 이는 예시적인 것이며, 본 출원의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 인코더(10)는 제3레벨에서 제1레벨로의 트랜지션을 선택할 수도 있으며, 당업자는 출력 드라이버(20)의 회로 특성, 멀티 레벨 신호가 송신되는 채널의 특성 및 상기 3비트의 데이터의 패턴 등에 기초하여 다양하게 트랜지션을 선택할 수 있다.
- [0051] 본 출원의 일 실시예에 따른 PAM-3 시그널링 장치(100)는 채널 특성, 드라이버 회로의 특성, 데이터 패턴 등에

따라 데이터 매핑에 사용하지 않는 1개를 선택할 수 있어, 수신단에서 에러 검출을 하게 할 수 있을 뿐만 아니라, 보다 효율적으로 두 개의 UI동안 3비트를 송신할 수 있으며, 비트 에러 레이트(BER)를 줄일 수 있다.

- [0052] 도 3은 본 출원의 일 실시예에 따른 인코더(10_1) 및 출력 드라이버(20)를 설명하는 도면이다.
- [0053] 도 3을 참조하면, 일 실시예에 따른 인코더(10_1)는 선택된 1개의 트랜지션을 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑한 후, 매핑 결과를 제1 내지 제4 드라이버 신호선으로 출력한다.
- [0054] 도 3에서 제1 드라이버 신호선은 V_H 로, 제2 드라이버 신호선은 V_L 로, 제3 드라이버 신호선은 V_{MH} 로, 제4 드라이버 신호선은 V_{ML} 로 나타내었다.
- [0055] 출력 드라이버(20)는 인코더(10_1)의 제1 내지 제4 드라이버 신호선으로부터 입력되는 신호에 기초하여, 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 생성한다.
- [0056] 도 4a는 본 발명의 일 실시예에 따른 인코더(10_2)와 출력 드라이버(20)를 설명하는 도면이다. 도 4a의 출력 드라이버(20)는 도3의 출력 드라이버(20)와 유사하다. 따라서, 동일하거나 유사한 구성요소는 동일하거나 유사한 참조 번호를 사용하여 설명될 것이며, 중복되는 설명은 간략한 설명을 위하여 이하 생략될 것이다.
- [0057] 도 4a에 도시된 바와 같이, 일 실시예에 따른 PAM-3 시그널링 장치(100)는 인코더(10_2) 및 출력 드라이버(20)와 전기적으로 연결된 멀티플렉서(30)를 더 포함할 수 있다.
- [0058] 도 4a에 도시된 바와 같이, 인코더(10_2)는 A,B,C의 3비트 데이터를 입력받는다.
- [0059] 인코더(10_2)는 선택된 1개의 트랜지션을 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑한 후, 매핑 결과를 제1 내지 제8 신호선을 통해 멀티플렉서(30)로 출력한다. 도 4b에서, 제1 신호선은 V_{HO} 로, 제2 신호선은 V_{HE} 로 제3 신호선은 V_{LO} 로, 제4 신호선은 V_{LE} 로 제5 신호선은 V_{MHO} 로, 제6 신호선은 V_{MHE} 로, 제7 신호선은 V_{MLO} 로, 제8 신호선은 V_{MLE} 로 나타내었다.
- [0060] 멀티플렉서(30)는 제1 내지 제8 신호선의 신호 중 4개를 Half-rate로 출력 드라이버(20)와 연결된 제1 내지 제4의 드라이버 신호선으로 선택적으로 출력한다.
- [0061] 도 4b는 본 출원의 일 실시예에 따른 인코더(10_2)의 데이터 매핑을 설명하는 도면이다. 3비트의 데이터를 8개의 출력으로 인코딩하는 데이터 매핑 방식은 여러가지 있을 수 있으며, 이하에서는 일 실시예에 따른 매핑 방식을 설명한다.
- [0062] 도 4b에서는 인코더(10_2)가 제1 내지 제9 트랜지션 중 소모 전력이 가장 큰 H2H 트랜지션을 제외하여 3비트의 데이터를 매핑한다.
- [0063] 도 4b에서 입력 데이터(Input Data)는 인코더(10_2)에 입력되는 3비트 데이터이다. 송신단 출력(TX Output)은 출력 드라이버(20)이 출력하는, 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 나타낸다.
- [0064] 도 4b에서 도시된 바와 같이, 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호는 연속되는 두 개의 제1 유닛 인터벌(ODD UI)과 제2 유닛 인터벌(EVEN UI)에서 9가지의 트랜지션을 가질 수 있다.
- [0065] 도 4b에서, 인코더(10_2)는 각 입력 데이터에 대해 제1 내지 제8 신호선에 각각 해당하는 8개의 출력으로 데이터를 매핑한다. 예를 들어, 011의 3비트 입력 데이터에 대해 제1 신호선(V_{HO}), 제3 신호선(V_{LO}), 제5 신호선(V_{MHO}) 및 제7 신호선(V_{MLO})선에는 각각 1010 을 출력하며, 제2 신호선(V_{HE}), 제4 신호선(V_{LE}), 제6 신호선(V_{MHE}) 및 제8 신호선(V_{MLE})에는 각각 0011을 출력하여 매핑을 진행한다.
- [0066] 도 4a에 도시된 바와 같이, 멀티플렉서(30)는 클락 신호에 기초하여 ODD UI에서는 제1 신호선(V_{HO}), 제3 신호선(V_{LO}), 제5 신호선(V_{MHO}) 및 제7 신호선(V_{MLO})선을 선택하여 출력 드라이버(20)로 출력하고, EVEN UI에서는 제2 신호선(V_{HE}), 제4 신호선(V_{LE}), 제6 신호선(V_{MHE}) 및 제8 신호선(V_{MLE})을 선택하여 출력 드라이버(20)로 출력한다.
- [0067] 본 출원의 일 실시예에 따른 인코더(10_2)의 인코딩 로직을 아래의 수학적 식 1과 같이 표시할 수 있다.

수학식 1

$$\begin{aligned} V_{HO} &= BC & V_{M_HO} &= BC + \overline{V_{HO}} \overline{V_{LO}} \\ V_{LO} &= A(\overline{B+C}) & V_{M_LO} &= A(\overline{B+C}) + \overline{V_{HO}} \overline{V_{LO}} \\ V_{HE} &= \overline{BC} & V_{M_HE} &= \overline{BC} + \overline{V_{HE}} \overline{V_{LE}} \\ V_{LE} &= C(A+B) & V_{M_LE} &= C(A+B) + \overline{V_{HE}} \overline{V_{LE}} \end{aligned}$$

[0068]

[0069]

다만, 수학식 1은 예시적인 것이며, 본 발명의 기술적 사상에 따른 실시예는 이에 한정되지 않는다. 즉, 본 출원의 기술적 사상에 따른 PAM-3 시그널링 장치(100)는 설계의 요구에 따라 다양한 인코딩 로직을 사용할 수 있다.

[0070]

도 5a는 본 발명의 일 실시예에 따른 출력 드라이버(20)의 회로를 나타내는 도면이다.

[0071]

본 발명의 일 실시예에 따른 출력 드라이버(20)는 제1 단 회로부(21) 및 제2 단 회로부(22)를 포함한다.

[0072]

제1 단 회로부(21)는 제1 드라이버 신호선(V_H)의 신호에 응답하여 전원(VDD) 및 출력 단자(OUT_{TX}) 사이를 전기적으로 연결하는 제1 트랜지스터 및 제2 드라이버 신호선(V_L)의 신호에 응답하여 출력 단자(OUT_{TX})와 그라운드를 전기적으로 연결하는 제2 트랜지스터를 포함한다.

[0073]

제2 단 회로부(22)는 제3 드라이버 신호선(V_{MH})의 신호에 응답하여 전원(VDD)과 출력 단자(OUT_{TX}) 사이를 전기적으로 연결하는 제3 트랜지스터 및 제4 드라이버 신호선(V_{ML})의 신호에 응답하여 출력 단자(OUT_{TX})와 그라운드를 전기적으로 연결하는 제4 트랜지스터를 포함한다.

[0074]

제1 단 회로부(21) 및 제2 단 회로부(22)는 출력 단자(OUT_{TX})를 통해 전기적으로 연결된다.

[0075]

일 실시예에서, 제1 내지 제4 내지 트랜지스터의 턴온 저항은 모두 $2Z_0$ 일 수 있다. 여기서 Z_0 은 멀티 레벨 신호가 송신되는 채널의 특성 임피던스이다.

[0076]

도 5a의 실시예에서, 출력 드라이버(20)는 NMOS의 제1 내지 제4 트랜지스터를 이용하여 설계 되었으나, 이에 한정되지는 않는다.

[0077]

예를 들어, 도 5b에 도시된 바와 같이 일 실시예에 따른 출력 드라이버(20_2)는 NMOS와 PMOS를 모두 사용하는 제1단 회로부(21_1) 및 제2 단 회로부를 포함하는 Complementary Logic을 통해 설계될 수도 있다.

[0078]

도 6은 일 실시예에 따른 출력 드라이버(20)의 입력에 따른 출력 전압을 나타내는 도면이다.

[0079]

도 6에 도시된 바와 같이, 출력 드라이버(20)는 제1 내지 제4 드라이버 신호선의 입력에 따라 제1 내지3 레벨의 출력 전압(OUT_{TX})을 갖는다. 도 6에서 0은 제1레벨, 즉 로우 레벨이며, 0.25VDD는 제2 레벨, 즉 미들 레벨이며, 0.5 VDD는 제3 레벨, 즉, 하이 레벨에 해당한다. 출력 드라이버(20)는 도면 6과 같이 3가지의 입력의 경우에 따라 제1 내지 제3 레벨 중 하나의 출력 전압을 갖는다.

[0080]

이하에서는, 도 7 및 도 8을 참조하여, 입력에 따른 드라이버(20)의 동작 및 출력 전압에 더 자세히 설명한다.

[0081]

도 7은 입력에 따른 출력 드라이버(20)의 동작을 설명하는 도면이다.

[0082]

도 8은 입력에 따른 출력 드라이버(20)의 전압 분배를 설명하는 도면이다.

[0083]

도 7을 참조하면, 하이레벨(H)의 출력전압에 대응하는 출력 드라이버(20)의 동작, 미들레벨(M)의 출력전압에 대응하는 출력 드라이버(20)의 동작 및 로우레벨(L)의 출력전압에 대응하는 출력 드라이버(20)의 동작이 각각 도시되어 있다.

[0084]

도 8을 참조하면, 하이레벨(H)의 출력전압에 대응하는 출력 드라이버(20)의 동작에 따른 전압 분배, 미들레벨(M)의 출력전압에 대응하는 출력 드라이버(20)의 동작에 따른 전압 분배 및 로우레벨(L)의 출력전압에 대응하는 출력 드라이버(20)의 동작에 따른 전압 분배가 각각 도시되어 있다.

- [0085] 먼저, 제1 내지 4 드라이버 신호선에 인가되는 전압이 도7의 H로 도시된 경우에 해당하는 경우, 제1 드라이버 신호선(V_{H1})과 제3 드라이버 신호선(V_{M1})과 각각 연결되는 제1 및 제3 트랜지스터가 턴온되고, 제2 드라이버 신호선(V_{L1})과 제4 드라이버 신호선(V_{M2})과 각각 연결되는 제2 및 제4 트랜지스터가 턴오프된다.
- [0086] 이 경우, 도 8의 H로 도시된 바와 같이 제1 및 제3 트랜지스터는 턴온되어 Z_0 을 만들어 내고, 수신단의 터미네이션 저항과의 전압 분배를 통해 0.5 VDD의 하이레벨 출력 전압을 만들어 낸다.
- [0087] 제1 내지 제4 드라이버 신호선에 인가되는 전압이 도7의 M로 도시된 경우에 해당하는 경우, 제3 드라이버 신호선(V_{M1})과 제4 드라이버 신호선(V_{M2})에 각각 연결되는 제3 및 제4 트랜지스터가 턴온되고, 제1 드라이버 신호선(V_{H1})과 제2 드라이버 신호선(V_{L1})과 각각 연결되는 제1 및 제2 트랜지스터가 턴오프된다.
- [0088] 이 경우, 도 8의 M으로 도시된 바와 같이 제3 및 제4 트랜지스터는 턴온되어 $2Z_0$ 을 만들어 내고, 수신단의 터미네이션 저항과의 전압 분배를 통해 0.25 VDD의 미들 레벨 출력 전압을 만들어 낸다.
- [0089] 제1 내지 4 드라이버 신호선에 인가되는 전압이 도7의 L로 도시된 경우에 해당하는 경우, 제2 드라이버 신호선(V_{L1})과 제4 드라이버 신호선(V_{M2})과 각각 연결되는 제2 및 제4 트랜지스터가 턴온되며, 제1 드라이버 신호선(V_{H1})과 제3 드라이버 신호선(V_{M1})과 각각 연결되는 제1 및 제3 트랜지스터가 턴오프된다.
- [0090] 이 경우, 도 8의 L로 도시된 바와 같이 제2 및 제4 트랜지스터는 턴온되어 Z_0 을 만들어 내고, 수신단의 터미네이션 저항과의 전압 분배를 통해 0 VDD의 로우 레벨 출력 전압을 만들어 낸다.
- [0091] 일 실시예에서, 출력 드라이버(20)가 출력하는 멀티 레벨 신호가 송신되는 채널의 특성 임피던스가 Z_0 일 때, 출력 드라이버(20)에서, 제1 내지 제4 드라이버 신호선으로부터 입력되는 신호의 모든 입력 조건에서, 채널에서 출력 드라이버의 출력 단자를 바라볼 때의 임피던스는 Z_0 으로 동일하게 유지된다.
- [0092] 도 9는 출력 드라이버(20)의 임피던스 매칭을 보여주는 도면이다.
- [0093] 이하에서는 도 9를 참조하여, 출력 드라이버(20)의 임피던스 매칭에 대해 보다 구체적으로 설명한다.
- [0094] 도 9를 참조하면, 하이레벨(H)의 출력전압에 대응하는 출력 드라이버(20)의 임피던스 매칭, 미들레벨(M)의 출력 전압에 대응하는 출력 드라이버(20)의 임피던스 매칭 및 로우레벨(L)의 출력전압에 대응하는 출력 드라이버(20)의 임피던스 매칭이 각각 도시되어 있다.
- [0095] 도 9의 H로 도시된 바와 같이, 즉, 출력 드라이버(20)가 0.5 VDD의 하이레벨 출력 전압을 가지는 경우 채널에서 송신단을 바라볼 때 출력 드라이버(20)는 Z_0 에 해당하는 임피던스를 가지므로 임피던스 매칭 조건을 만족한다.
- [0096] 계속하여, 도 9의 M로 도시된 경우를 참조하면, 출력 드라이버(20)가 0.25 VDD의 미들레벨 출력 전압을 가지는 경우에도 채널에서 송신단을 바라볼 때 출력 드라이버(20)는 Z_0 에 해당하는 임피던스를 가지므로 임피던스 매칭 조건을 만족한다.
- [0097] 계속하여, 도 9의 L로 도시된 경우를 참조하여, 출력 드라이버(20)가 0 VDD의 로우레벨 출력 전압을 가지는 경우에도, 채널에서 송신단을 바라볼 때 출력 드라이버(20)는 Z_0 에 해당하는 임피던스를 가지므로 임피던스 매칭 조건을 만족한다.
- [0098] 본 발명의 기술적 사상에 따른 출력 드라이버(20)는 제1 내지 제4 드라이버 신호선으로부터 입력되는 신호의 모든 입력 조건에서 임피던스 매칭 특성을 유지할 수 있어 신호 무결성(Signal Integrity)을 보장할 수 있다.
- [0099] 이하에서는, 본 발명의 일 실시예에 따라 PAM-3 시그널링 장치(100)가 생성한 멀티 레벨 신호를 이용하여 수신단에서 에러를 검출하는 구성에 대해 설명한다.
- [0100] PAM-3 시그널링 장치(100)가 생성한 멀티 레벨 신호를 수신하는 수신단은 수신한 신호를 디모듈레이션과 디코딩 등의 기능을 수행하여 원래의 신호로 복원하는 장치이다.
- [0101] PAM3 신호법에서는 2UI를 이용하기 때문에 1UI shift로 인한 Windowing현상이 발생할 수 있다. 도 2a 및 도 2b를 참조하여 설명한 바와 같이, PAM-3 시그널링 장치(100)는 연속되는 제1 및 제2 UI의 제1 내지 제9 트랜지션 중 1개를 선택하고, 선택된 1개의 트랜지션은 데이터 매핑에 이용하지 않으며, 이 선택된 1개의 트랜지션은 수

신단에서 Windowing 현상등의 에러를 검출하는 데 사용될 수 있다.

- [0102] 도 10은 본 발명의 일 실시예에 따라 PAM-3 시그널링 장치(100)가 생성한 멀티 레벨 신호가 수신단에서 복원되는 것을 도시하는 도면이다.
- [0103] 도 10을 참조하면, PAM-3 시그널링 장치(100)가 출력한 멀티 레벨 신호는 수신단에서 디모듈레이션 등을 통해 원래의 3비트 데이터(A,B,C)로 복원된다.
- [0104] 수신단은 복원한 신호 중 제1 내지 제9 트랜지션 중 선택된 1개의 트랜지션에 해당하는 신호가 검출된 경우, Windowing 현상이 발생했다고 판단할 수 있다.
- [0105] 도 11a 및 도 11b는 수신단에서 Windowing 현상을 해결하는 것을 설명하는 도면이다.
- [0106] 본 출원의 일 실시예에서, 수신단에서 복원한 신호에서 제1 내지 제9 트랜지션 중 선택된 1개의 트랜지션에 해당하는 신호가 검출한 경우 샘플링 클락의 위상을 180도 반전시켜 올바른 디코딩 동작을 수행하여 Windowing 현상을 해결할 수 있다.
- [0107] 이하에서는, 도 11a 및 도 11b를 참조하여 일 실시예에 따라 수신단에서 Windowing 현상을 해결하는 구성에 대해 설명한다.
- [0108] 일 실시예에서, 수신단에서 Half-rate 기준 비교기 4개와 디코더의 디코딩 로직을 통해 원래의 3비트 신호로 복원할 수 있다.
- [0109] 도 11a에 도시된 바와 같이, Half-rate 기준 비교기 4개는 도 11a에서 도시된 제1 비교기(Comp_H_{ODD}), 제2 비교기(Comp_L_{ODD}), 제3 비교기(Comp_H_{EVEN}), 제4 비교기(Comp_L_{EVEN})에 대응할 수 있다. Half-rate의 경우, 제1 및 제2 비교기와 제3 및 제4 비교기는 서로 180도 위상 차이를 가지는 클락으로 비교 동작을 수행한다.
- [0110] 도 11b에 도시된 바와 같이, Half-rate 기준 비교기 4개의 출력은 180도의 위상 차이를 가지며, 180도의 위상 차이는 1개의 UI의 차이에 해당된다.
- [0111] 일 실시예에서, 수신단은 인코딩에 사용되지 않은, 선택된 트랜지션의 신호가 검출되면 ODD와 EVEN 신호가 각각 반대의 위상에서 샘플링 되어 오동작 하는 것으로 판단하고 제1 내지 제4 비교기와 샘플링 클락 위상을 180도 반전시킴으로써 Windowing 현상을 해결할 수 있다.
- [0112] 이하에서는, 본 출원의 일 실시예에 따른 수신단의 디코딩 동작을 설명한다.
- [0113] 도 11b에 도시된 바와 같이, 제1 내지 제4 비교기의 출력값은 특정 타이밍에 샘플링 되어 데이터를 디코딩하는 데 사용된다. 데이터 샘플링 시 유효한 데이터 구간 동안 타이밍 마진(Timing Margin)을 가지고 샘플링해야 되기 때문에 클락 신호를 인버터 회로를 통해 일정 시간 딜레이 시키게 된다.
- [0114] 일 실시예에 따른 수신단의 디코딩 로직을 아래의 수학적 식 2과 같이 표시할 수 있다.

수학적 식 2

$$\begin{aligned} A &= \text{Comp_H}_{\text{ODD}} \cdot \overline{\text{Comp_L}_{\text{EVEN}}} + \text{Comp_L}_{\text{ODD}} \\ B &= \text{Comp_H}_{\text{ODD}} + \text{Comp_H}_{\text{EVEN}} \\ C &= \text{Comp_H}_{\text{ODD}} + \overline{\text{Comp_L}_{\text{EVEN}}} \end{aligned}$$

- [0115]
- [0116] 다만, 수학적 식 2는 예시적인 것이며, 본 발명의 기술적 사상에 따른 실시예는 이에 한정되지 않는다. 즉, 본 발명의 기술적 사상에 따른 PAM-3 시그널링 장치(100)가 생성한 멀티 레벨 신호를 수신하는 수신단은 설계의 요구에 따라 다양한 디코딩 로직을 사용할 수 있다.
- [0117] 이와 같이, 본 발명의 기술적 사상에 따른 PAM-3 시그널링 장치(100)는 수신단으로 하여금 제1 내지 제9 트랜지션 중 선택된 1개의 트랜지션에 해당하는 신호가 검출한 경우 샘플링 클락의 위상을 180도 반전시켜 하여 올바른 디코딩 동작을 수행하여 Windowing 현상을 해결하게 할 수 있다.

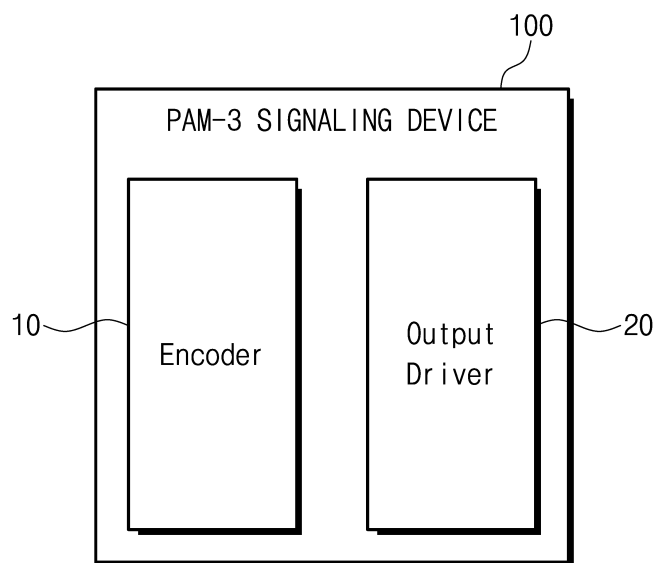
- [0118] 도 12는 본 발명의 실시 예에 따른 PAM-3 시그널링 방법을 도시한다. 본 발명의 일 실시 예에 따른 PAM-3 시그널링 방법은 도 1내지 9에 도시된 PAM-3 시그널링 장치(10)에 의해 수행될 수 있다.
- [0119] S10 단계에서, 연속되는 제1 및 제2 유닛 인터벌의 제1 내지 제9 트랜지션 중 1개를 선택한다. S10 단계는 도1의 인코더(10)에 의해 수행될 수 있다.
- [0120] S20 단계에서, 제1 내지 제9 트랜지션 중 선택된 1개를 제외한 나머지 8개의 트랜지션을 이용하여 3비트의 데이터를 매핑한다. S20 단계는 도1의 인코더(10)에 의해 수행될 수 있다.
- [0121] S30 단계에서, 3비트의 데이터 매핑 결과를 입력으로 받아 제1 내지 제3 레벨의 출력 전압을 갖는 멀티 레벨 신호를 생성한다. S30 단계는 도1의 출력 드라이버(20)에 의해 수행될 수 있다.
- [0122] S40 단계에서, 멀티 레벨 신호를 수신한 수신단에서 신호를 복원한다. 일 실시예에서, 수신단은 도 10 내지 도 11을 참조하여 설명한 바와 같이, 수신한 멀티 레벨 신호를 비교기와 디코딩 로직을 통해 복원할 수 있다.
- [0123] S50 단계에서, 수신단에서 선택된 1개의 트랜지션에 해당하는 신호가 검출되는지를 판단한다.
- [0124] 만약, 검출된 경우, S60 단계에서 수신단은 데이터 샘플링 클락의 위상을 180도 반전시킬 수 있다.
- [0125] 이상과 같이 본 발명에 대해서 예시한 도면을 참조로 하여 설명하였으나, 본 명세서에 개시된 실시예와 도면에 의해 본 발명이 한정되는 것은 아니며, 발명의 기술사상의 범위 내에서 통상의 기술자에 의해 다양한 변형이 이루어질 수 있음은 자명하다. 아울러 앞서 본 발명의 실시예를 설명하면서 본 발명의 구성에 따른 작용 효과를 명시적으로 기재하여 설명하지 않았을 지라도, 해당 구성에 의해 예측 가능한 효과 또한 인정되어야 함은 당연하다.

부호의 설명

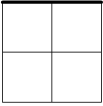
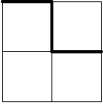
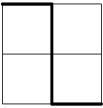
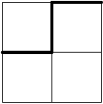
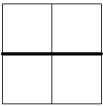
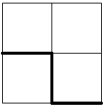
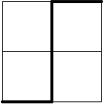
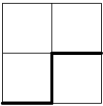
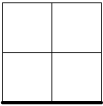
- [0126] 100: PAM-3 시그널링 장치
- 10: 인코더
- 20: 출력 드라이버
- 21: 제1 단 회로부
- 22: 제2 단 회로부
- 30: 멀티플렉서

도면

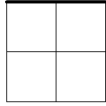
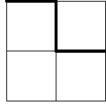
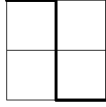
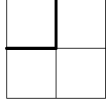
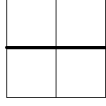
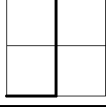
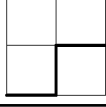
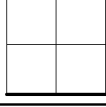
도면1



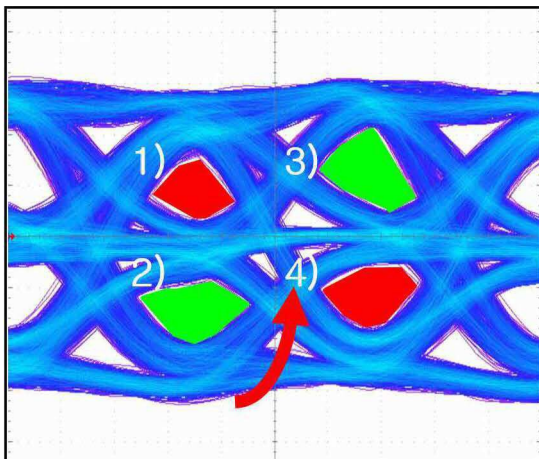
도면2a

Input Data			Transitions
A	B	C	
Not Assigned			
0	1	1	
1	1	1	
0	1	0	
0	0	0	
0	0	1	
1	1	0	
1	0	0	
1	0	1	

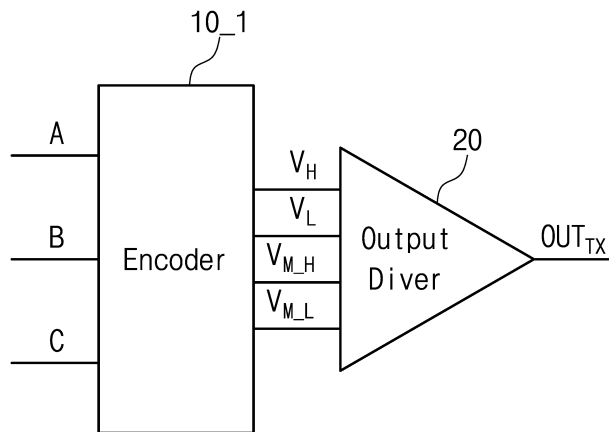
도면2b

Input Data			Transitions
A	B	C	
0	0	0	
0	0	1	
0	1	1	
1	0	0	
1	0	1	
1	1	1	
Not Assigned			
0	1	0	
1	1	0	

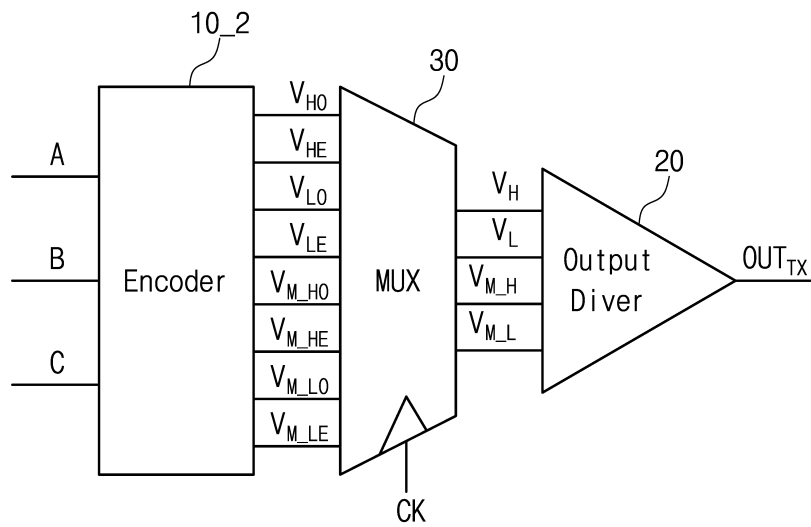
도면2c



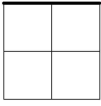
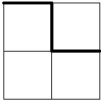
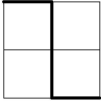
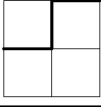
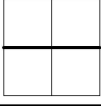
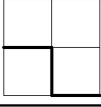
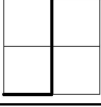
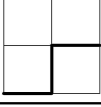
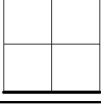
도면3



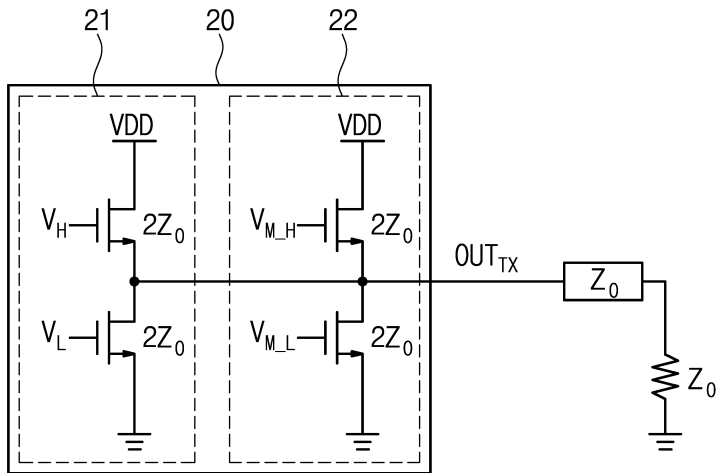
도면4a



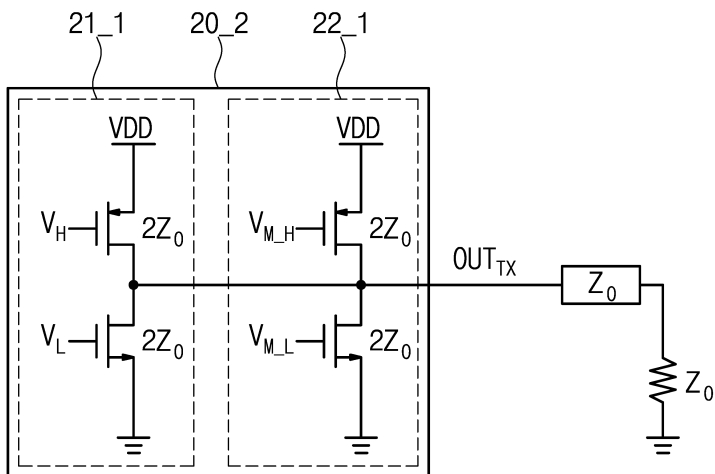
도면4b

Input Data			Encoder Data(ODD)				Encoder Data(EVEN)				TX Output (ODD+EVEN)
A	B	C	V _{H0}	V _{L0}	V _{M_H0}	V _{M_L0}	V _{HE}	V _{LE}	V _{M_HE}	V _{M_LE}	
Not Assigned			Not Assigned				Not Assigned				
0	1	1	1	0	1	0	0	0	1	1	
1	1	1	1	0	1	0	0	1	0	1	
0	1	0	0	0	1	1	1	0	1	0	
0	0	0	0	0	1	1	0	0	1	1	
0	0	1	0	0	1	1	0	1	0	1	
1	1	0	0	1	0	1	1	0	1	0	
1	0	0	0	1	0	1	0	0	1	1	
1	0	1	0	1	0	1	0	1	0	1	

도면5a



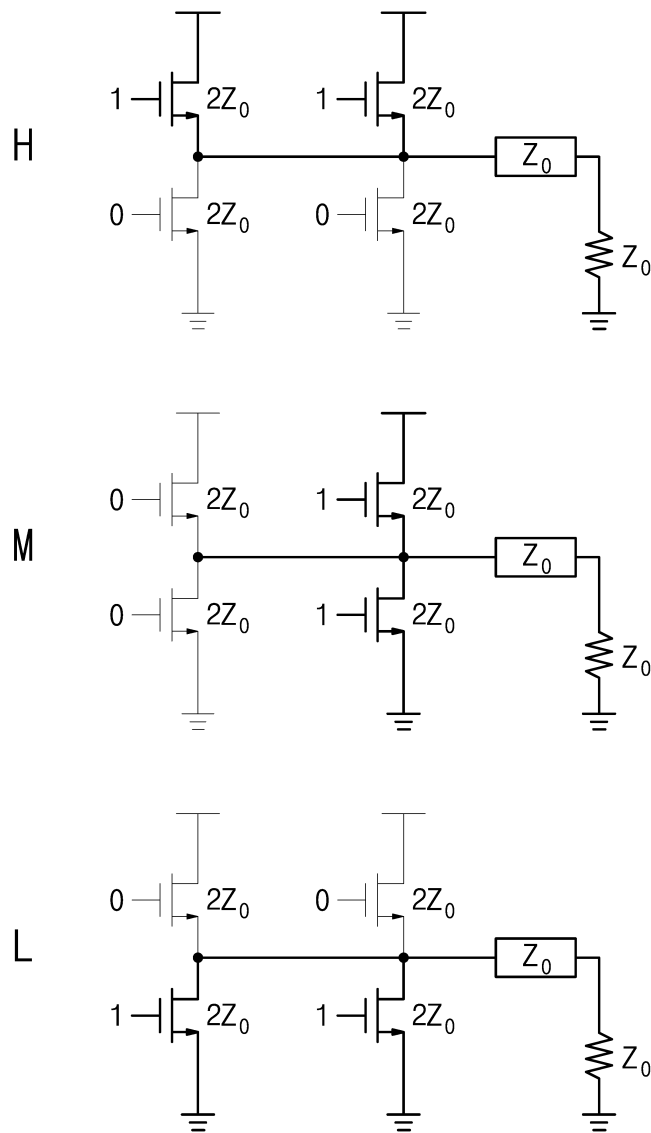
도면5b



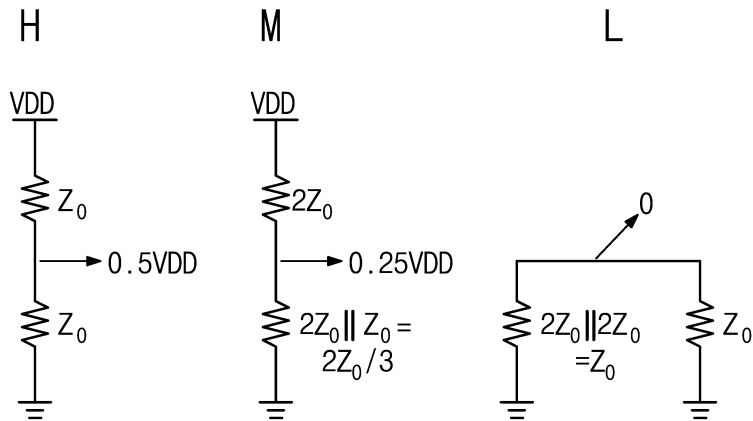
도면6

V _H	V _L	V _{M_H}	V _{M_L}	OUT _{TX}
1	0	1	0	0.5VDD
0	0	1	1	0.25VDD
0	1	0	1	0

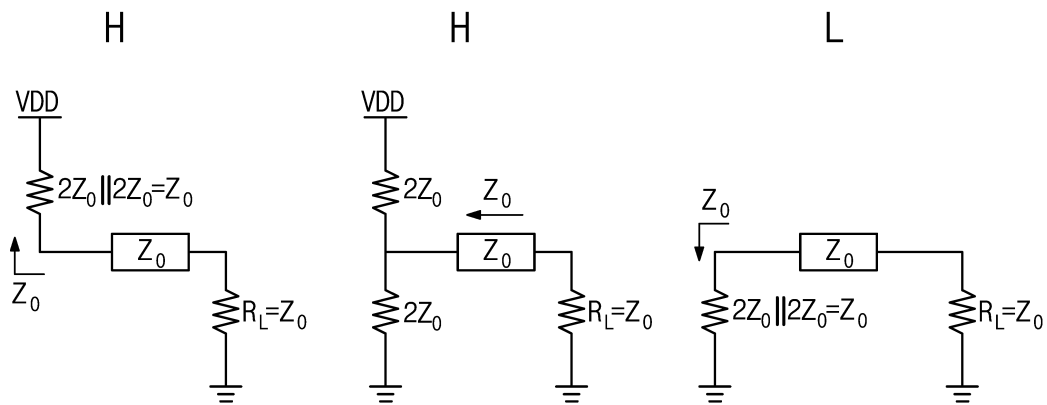
도면7



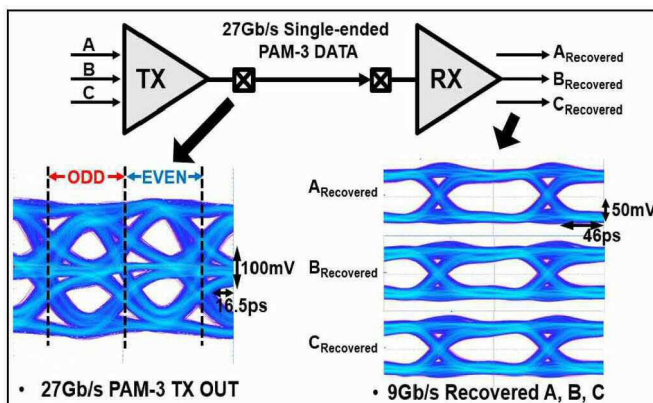
도면8



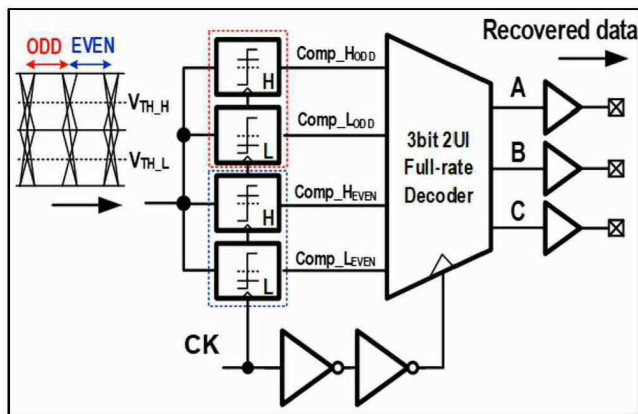
도면9



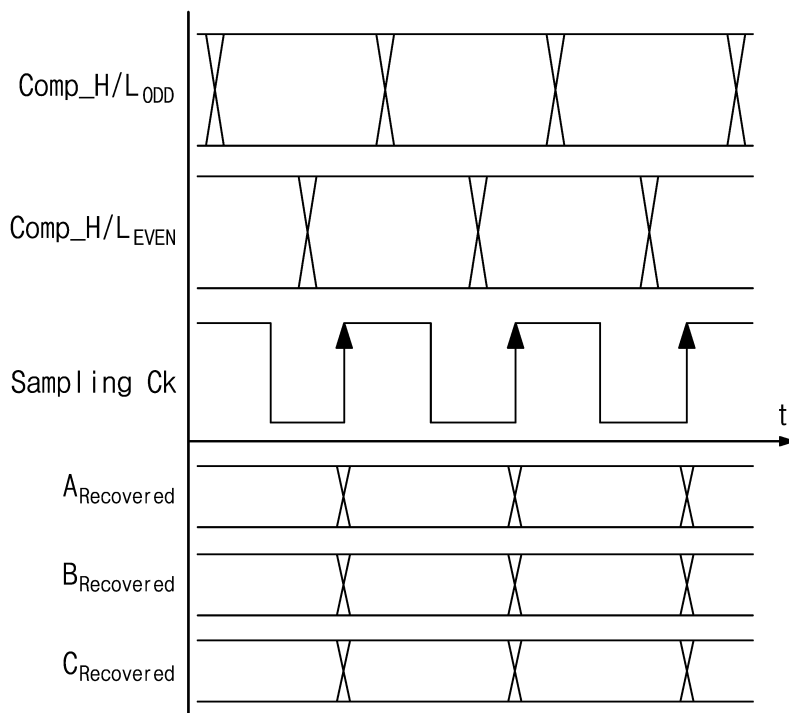
도면10



도면11a



도면11b



도면12

