

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-295183

(P2006-295183A)

(43) 公開日 平成18年10月26日(2006.10.26)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 25/18 (2006.01)	HO 1 L 25/08	Z
HO 1 L 25/07 (2006.01)		
HO 1 L 25/065 (2006.01)		

審査請求 未請求 請求項の数 27 O L 外国語出願 (全 33 頁)

(21) 出願番号	特願2006-108295 (P2006-108295)	(71) 出願人	506123069
(22) 出願日	平成18年4月11日 (2006. 4. 11)		スタッツ チップパック リミテッド
(31) 優先権主張番号	60/670, 443		STATS ChipPAC Ltd.
(32) 優先日	平成17年4月11日 (2005. 4. 11)		シンガポール 569059, アン モ
(33) 優先権主張国	米国 (US)		キオ ストリート 65-10 テック
(31) 優先権主張番号	11/394, 363		ポイント #05-17/20
(32) 優先日	平成18年3月30日 (2006. 3. 30)	(74) 代理人	100074332
(33) 優先権主張国	米国 (US)		弁理士 藤本 昇
		(74) 代理人	100114421
			弁理士 薬丸 誠一

最終頁に続く

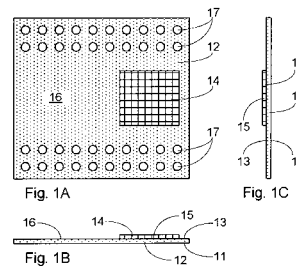
(54) 【発明の名称】 非対称に配置されたダイとモールド体とを具備するスタックされたパッケージを備えるマルチパッケージモジュール。

(57) 【要約】 (修正有)

【課題】 制限を越えてパッケージを可能な限り薄くすることができる半導体チップパッケージを提供する。

【解決手段】 半導体チップパッケージは、各基板 1 2 に非対称に配置されたダイ 1 4 を備える。相補的な配置を備える2つのそのようなパッケージは、2のダイ 1 4 が2つの基板 1 2 の間のスペースにて並んだ配置となるように、一方が他方に対して逆向きにスタックされる。また、マルチパッケージモジュールは、スタックされたパッケージを備え、それぞれが基板 1 2 上で非対称に配置されたダイ 1 4 を有する。隣接するスタックされたパッケージは、2のダイ 1 4 が2つの基板 1 2 の間のスペースにて並んだ配置となるように、スタックに際して一方のパッケージが他方に対して逆向きにされ、ダイ 1 4 の相補的且つ非対称な配置を有する。また、製造方法は、パッケージを形成する工程とスタックパッケージモジュールを形成する工程とによって明らかにされる。

【選択図】 図 1



【特許請求の範囲】

【請求項1】

ダイ実装面とランド面とを有する基板を備えてなり、ダイ実装面はダイ取付領域と空領域とを備え、ダイは、基板のダイ実装面のダイ取付領域に取り付けられることを特徴とする半導体チップパッケージ。

【請求項2】

ダイは、ダイのアクティブ面を基板に対して外側に向くように方向付けられて接着剤を用いてダイ取付領域に貼り付けられ、ダイのアクティブ面のダイパッドと基板のボンドパッドとの間でワイヤによって電氣的に接続されることを特徴とする請求項1に記載の半導体チップパッケージ。

10

【請求項3】

モールド体は、ワイヤと少なくともダイのアクティブ面のダイパッドとを囲むことを特徴とする請求項2に記載の半導体チップパッケージ。

【請求項4】

ダイは、基板に面するアクティブ面で貼り付けられ、ダイのアクティブ面のダイパッドと基板の相互接続サイトとの間でフリップチップ相互接続によってダイ取付領域と電氣的に接続されることを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項5】

ダイのアクティブ面と基板のダイ取付領域との間にアンダーフィルを更に備えることを特徴とする請求項4に記載の半導体チップパッケージ。

20

【請求項6】

基板のダイ実装面上のボールパッドにマウントされるZ相互接続はんだボールを更に備えることを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項7】

基板のランド面上のボールパッドにマウントされるZ相互接続はんだボールを更に備えることを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項8】

ダイ実装面とランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第1基板と、

第1基板のダイ実装面のダイ取付領域にダイが取付けられた第1パッケージと、

30

第1基板のダイ実装面上のボールパッドにマウントされた第1Z相互接続はんだボールと、

を具備する第1半導体チップパッケージと；

ダイ実装面とランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第2基板と、

第1基板のダイ実装面のダイ取付領域にダイが取付けられた第2パッケージと、

を具備する第2半導体チップパッケージとを備え；

第1パッケージは、第1パッケージのダイ実装面が第2パッケージのダイ実装面に面するように第2パッケージにスタックされ、第1パッケージのダイ取付領域は、第2パッケージの空領域と位置合わせされ、第1パッケージの第1Z相互接続はんだボールは、第2基板のダイ実装面上のボールパッドに接触するように構成されていることを特徴とする相補的なパッケージペアユニット。

40

【請求項9】

Z相互接続はんだボールは、第1基板のダイ実装面上のボールパッドと第2基板のダイ実装面上の接触ボールパッドとの間のZレベル相互接続を形成するためにリフローされることを特徴とする請求項8に記載の相補的なパッケージペアユニット。

【請求項10】

第2基板のランド面上のボールパッドにマウントされた第2Z相互接続はんだボールを更に備えることを特徴とする請求項9に記載の相補的なパッケージペアユニット。

【請求項11】

50

請求項9に記載の相補的なパッケージペアユニットと第1及び第2パッケージの間のポリウムにおけるモジュールカプセル体とを備えることを特徴とするマルチパッケージモジュール。

【請求項12】

請求項10記載の第1の相補的なパッケージペアユニットと；

ダイ実装面とランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第3基板と、

第1基板のダイ実装面のダイ取付領域にダイが取付けられた第3パッケージと、

第1基板のダイ実装面上のボールパッドにマウントされた第3Z相互接続はんだボールと；

を具備する第3半導体チップパッケージと、

ダイ実装面とランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第4基板と、

第1基板のダイ実装面のダイ取付領域にダイが取付けられた第4パッケージと、

を具備する第4半導体チップパッケージと；

を有する第2の相補的なパッケージペアユニットとを備え；

第3パッケージは、第3パッケージのダイ実装面が第4パッケージのダイ実装面に面するように第4パッケージにスタックされ、第3パッケージのダイ取付領域は、第4パッケージの空領域と位置合わせされ、第3パッケージの第3Z相互接続はんだボールは、第4基板のダイ実装面上のボールパッドに接触し、更に、第1の相補的なパッケージペアユニットは、第2の相補的なパッケージペアユニットにスタックされ、第2パッケージの第2Z相互接続はんだボールは、第3パッケージ基板のランド面上のボールパッドに接触するように構成されていることを特徴とするマルチパッケージモジュール。

【請求項13】

第1及び第2パッケージの間のポリウムにおけるモジュールカプセル体を更に備えることを特徴とする請求項12に記載のマルチパッケージモジュール。

【請求項14】

第3及び第4パッケージの間のポリウムにおけるモジュールカプセル体を更に備えることを特徴とする請求項13に記載のマルチパッケージモジュール。

【請求項15】

第2及び第3パッケージの間のポリウムにおけるモジュールカプセル体を更に備えることを特徴とする請求項14に記載のマルチパッケージモジュール。

【請求項16】

第1及び第2面を備え、第1面に第1の模様付けられた金属層を備え第2面に第2の模様付けられた金属層を備えるパッケージ基板を形成するパッケージ基板形成工程と、

ダイのアクティブ面上にダイパッドを備える半導体ダイを形成するダイ形成工程と、

基板の第1面のダイ取付領域にダイをマウントするダイ実装工程と第1の模様付けられた金属層ボンダパッドにダイを電氣的に相互接続する相互接続工程と、を備えることを特徴とする半導体チップパッケージの製造方法。

【請求項17】

ダイ実装工程は、基板に対して外側を向いているダイのアクティブ面にてダイ取付領域にダイを貼り付けるダイ貼付工程を備え、相互接続工程は、ボンダパッドにてダイパッドのワイヤボンダ相互接続を形成するワイヤボンダ相互接続形成工程を備えることを特徴とする請求項16記載の半導体チップパッケージの製造方法。

【請求項18】

ダイ実装工程と相互接続工程とは、基板に対して外側を向いているダイのアクティブ面にてダイ取付領域にダイを位置決めするダイ位置決め工程と、ボンダパッドにてダイパッドのフリップチップ相互接続を形成するフリップチップ相互接続工程とを備えることを特徴とする請求項16記載の半導体チップパッケージの製造方法。

【請求項19】

10

20

30

40

50

ダイとワイヤボンドとをカプセル化するカプセル化工程を更に備えることを特徴とする請求項17記載の半導体チップパッケージの製造方法。

【請求項20】

ダイと基板との間にアンダーフィルを形成するアンダーフィル形成工程を更に備えることを特徴とする請求項18記載の半導体チップパッケージの製造方法。

【請求項21】

請求項1に記載の第1及び第2半導体チップパッケージを形成する第1及び第2半導体チップパッケージ形成工程と；

第1パッケージ基板の第1面上のボールパッドに第1Z相互接続はんだボールをマウントするはんだボール実装工程と；

各パッケージ基板の第1面が他のパッケージ基板の第1面に面し、各パッケージ基板のダイ取付領域が他のパッケージ基板の空領域に一致するように、第1及び第2パッケージを互いに関連付けて位置合わせする位置合わせ工程と；

第2パッケージ基板の第1面上のボールパッドにて第1Z相互接続はんだボールが接触するはんだボール接触工程と；

第2パッケージ基板の第1面上のボールパッドと電気的な接続関係をもたらすために第1Z相互接続はんだボールをリフローするリフロー工程と、
を備えることを特徴とするマルチパッケージモジュールの製造方法。

【請求項22】

パッケージ間のモジュールカプセル体を形成する工程を更に備えることを特徴とする請求項21に記載のマルチパッケージモジュールの製造方法。

【請求項23】

第2パッケージ基板の第2面に第2Z相互接続はんだボールをマウントする工程を更に備えることを特徴とする請求項21に記載のマルチパッケージモジュールの製造方法。

【請求項24】

請求項1に記載の第1及び第2パッケージを形成する第1及び第2パッケージ形成工程と；

第1パッケージ基板の第1面上のボールパッドに第1Z相互接続はんだボールをマウントするはんだボール実装工程と；

互いに面するパッケージのダイ実装面と他方のパッケージ基板の空領域に位置合わせされた各パッケージのダイ取付領域とによって、第2パッケージの上に第1パッケージをスタックする第1パッケージスタック工程と；

第2パッケージ基板の第1面上のボールパッドと電気的な接続関係をもたらすために第1Z相互接続はんだボールをリフローするリフロー工程と、
を備えることを特徴とするマルチパッケージモジュールの製造方法。

【請求項25】

パッケージ間のモジュールカプセル体を形成する工程を更に備えることを特徴とする請求項24に記載のマルチパッケージモジュールの製造方法。

【請求項26】

第2パッケージ基板の第2面に第2Z相互接続はんだボールをマウントする工程を更に備えることを特徴とする請求項24に記載のマルチパッケージモジュールの製造方法。

【請求項27】

請求項12に記載のマルチパッケージモジュールを備え、電子機器の基礎的な電気回路と電気的に接続されていることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

関連した出願とのクロスリファレンスとして、本出願は、2005年4月11日にファイルされた米国仮出願No.60/670,443の利点を主張する。これはその全体を参照することによってここに組み込まれる。

【0002】

10

20

30

40

50

本発明は、半導体チップパッケージに関し、特に、スタックパッケージモジュールに関する。

【背景技術及び発明が解決しようとする課題】

【0003】

半導体チップパッケージにおいて、半導体の機能密度を増大させることに対する一つの手法としては、パッケージ基板にダイを(一方を他方に)スタックするという手法がある。スタックされたダイの電気的な相互接続は、例えばワイヤボンディングによる、ダイとダイ、及び/又は、ダイと基板とで形成されていてもよい。スタックされたダイパッケージにおいて、アセンブリに優先してダイをテストすることは、技術的に難しく、従ってコストがかかる。そして、供給においては、複数の「悪い」ダイが予期される。スタックされたダイパッケージの1つの悪いダイは、パッケージ全体を悪くする可能性があり、それに
10 応じて、特により多くのダイがパッケージにスタックされる場合、スタックされたダイパッケージの製造において、素材の大幅な浪費と製造時間とが必然的に結果として生じ得る。4、5、又は6つものダイを有するスタックされたダイパッケージが使用されている。隣接したダイの間のスペーサーが必要とされている場合でさえ、スタックされたダイパッケージは、非常に薄く形成されることがある。

【0004】

半導体チップパッケージにおいて、半導体の機能密度を増大させることに対する別の手法としては、スタックパッケージモジュールを形成するためにパッケージ(一方を他方に)をスタックする手法がある。モジュールの各パッケージは、基板に取り付けられて電気的に相互接続された少なくとも1つのダイを含む。スタックする際のパッケージは、例えば
20 ワイヤボンドによってそれぞれのパッケージ基板のボンドサイト間で電気的に相互接続される。これには、パッケージがスタックにて組み立てられる前に完全にテストされ得るとい
いう利点がある。即ち、「悪い」パッケージは処分され、「よい」とテストしているパッケージだけがモジュールにて使われる。

【0005】

いくつかの要素は、典型的なスタックパッケージモジュールの厚さに寄与している。最小でも、それぞれの基板とダイとダイ取付接着剤との厚さが関係している。更に、各パッケージのダイがモールドされる(又は、カプセル化される)場合には、一般に、モールドキャップは、ダイの厚さよりも大きい厚さを有し、ダイが基板にワイヤボンドされている場
30 合には、モールドキャップは、ワイヤに加えてワイヤループの高さのバリエーションの差を完全にカバーするために、十分厚くなければならない。そして、一般に、パッケージスタックもまた、モジュールモールド体によってモールドされる又はカプセル化される。それは、更に厚さを追加する。

【0006】

例えば、携帯電話、PDA、デジタルカメラ、及び様々な消費者電子機器などのモバイル機器のように、パッケージ面積とパッケージ厚さとの両方に制限が課される製品において、パッケージ(又はモジュール)を制限を越えて面積を増大させることなく可能な限り薄く
40 することが望ましい。

【発明の開示】

【課題を解決するための手段】

【0007】

1つの一般的な形態において、本発明は非対称に配置されたダイを備える半導体チップパッケージを特徴とする。相補的な配置を有する2つのそのようなパッケージは、2つのダイが2つの基板の間のスペースに並んだ配置となるように、一方が他方に対して逆向きにスタックされる。ある形態においては、ダイは、接着剤を使ってそれぞれの基板に貼り付けられ、そして、ワイヤボンディングによって基板と電気的に相互接続される。そして、ある形態においては、ダイは、それぞれの基板の上にフリップチップ相互接続によって設置される。ダイは、モールドされてもよい。

【0008】

10

20

30

40

50

他の形態において、本発明は、それぞれが非対称にダイを配置して、スタックされたパッケージを有するマルチパッケージモジュールを特徴とする。パッケージは、2つのダイが2つの基板の間のスペースに並んだ配置となるように、スタックに際して一方のパッケージが他方のパッケージに対して逆向きにされて相補的且つ非対称な配置となる。隣接したパッケージ間のZ相互接続は、はんだボールによって成され、そして、はんだボールの高さは、ダイのためのスペースを形成するのに十分なものとなっている。ダイは並べて配置されているので、モジュールの厚さは低減される。

【0009】

他の形態において、本発明は、パッケージの製造方法とスタックパッケージモジュールの製造方法とを特徴とする。

10

【0010】

本発明にかかるスタック可能な相補的なパッケージは、現在入手可能な製造機器と素材と従来の表面実装技術とを用いて製造される。組立工程は、一方が他方の上にスタックされたパッケージを備えるモジュールについての組立工程よりも複雑でないようにすることができ、結果的な厚さプロフィールは、より小さくすることができる。本発明によれば、2つの結合された相補的なパッケージの2つのダイが基板と追加のダイとの間のスペースを占有することと、ダイ取付けとモールドキャップとの厚さが抑制されることという事実の効果によって、モジュールアセンブリにおけるスタックの厚さは低減される。本発明によれば、スタックされた相補的なパッケージの位置合わせの後に、アセンブリ全体に対して1つのはんだボールリフローだけを実行することによって、製造コストは低減される。個々のパッケージは完全に検証可能である。

20

【0011】

本発明にかかる半導体チップパッケージは、ダイ実装面とランド面とを有する基板を備えてなり、ダイ実装面はダイ取付領域と空領域とを備え、ダイは、基板のダイ実装面のダイ取付領域に取り付けられることを特徴とする。

【0012】

また、請求項1に記載の半導体チップパッケージにおいて、ダイは、ダイのアクティブ面を基板に対して外側に向くように方向付けられて接着剤を用いてダイ取付領域に貼り付けられ、ダイのアクティブ面のダイパッドと基板のボンドパッドとの間でワイヤによって電氣的に接続されていることが好ましい。

30

【0013】

更に、請求項2に記載の半導体チップパッケージにおいて、モールド体は、ワイヤと少なくともダイのアクティブ面のダイパッドとを囲むことが好ましい。

【0014】

また、請求項1に記載の半導体チップパッケージにおいて、ダイは、基板に面するアクティブ面で貼り付けられ、ダイのアクティブ面のダイパッドと基板の相互接続サイトとの間でフリップチップ相互接続によってダイ取付領域と電氣的に接続されることが好ましい。

【0015】

更に、請求項4に記載の半導体チップパッケージにおいて、ダイのアクティブ面と基板のダイ取付領域との間にアンダーフィルを備えることが好ましい。

40

【0016】

また、請求項1に記載の半導体チップパッケージにおいて、基板のダイ実装面上のボールパッドにマウントされるZ相互接続はんだボールを更に備えることが好ましい。

【0017】

更に、請求項1に記載の半導体チップパッケージにおいて、基板のランド面上のボールパッドにマウントされるZ相互接続はんだボールを備えることが好ましい。

【0018】

また、本発明にかかる相補的なパッケージペアユニットは、

ダイ実装面とランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第

50

1基板と、

第1基板のダイ実装面のダイ取付領域にダイが取付けられた第1パッケージと、

第1基板のダイ実装面上のボールパッドにマウントされた第1Z相互接続はんだボールと、

を具備する第1半導体チップパッケージと；

ダイ実装面とランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第2基板と、

第1基板のダイ実装面のダイ取付領域にダイが取付けられた第2パッケージと、

を具備する第2半導体チップパッケージとを備え；

第1パッケージは、第1パッケージのダイ実装面が第2パッケージのダイ実装面に面するように第2パッケージにスタックされ、第1パッケージのダイ取付領域は、第2パッケージの空領域と位置合わせされ、第1パッケージの第1Z相互接続はんだボールは、第2基板のダイ実装面上のボールパッドに接触するように構成されていることを特徴とする。

10

【0019】

また、請求項8に記載の相補的なパッケージペアユニットにおいて、Z相互接続はんだボールは、第1基板のダイ実装面上のボールパッドと第2基板のダイ実装面上の接触ボールパッドとの間のZレベル相互接続を形成するためにリフローされることが好ましい。

【0020】

更に、請求項9に記載の相補的なパッケージペアユニットにおいて、第2基板のランド面上のボールパッドにマウントされた第2Z相互接続はんだボールを備えることが好ましい

20

【0021】

また、マルチパッケージモジュールは、請求項9に記載の相補的なパッケージペアユニットと第1及び第2パッケージの間のボリウムにおけるモジュールカプセル体とを備えることを特徴とする。

【0022】

また、マルチパッケージモジュールは、

請求項10記載の第1の相補的なパッケージペアユニットと；

ダイ実装面とランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第3基板と、

30

第1基板のダイ実装面のダイ取付領域にダイが取付けられた第3パッケージと、

第1基板のダイ実装面上のボールパッドにマウントされた第3Z相互接続はんだボールと；

を具備する第3半導体チップパッケージと、

ダイ実装面とランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第4基板と、

第1基板のダイ実装面のダイ取付領域にダイが取付けられた第4パッケージと、

を具備する第4半導体チップパッケージと；

を有する第2の相補的なパッケージペアユニットとを備え；

第3パッケージは、第3パッケージのダイ実装面が第4パッケージのダイ実装面に面するように第4パッケージにスタックされ、第3パッケージのダイ取付領域は、第4パッケージの空領域と位置合わせされ、第3パッケージの第3Z相互接続はんだボールは、第4基板のダイ実装面上のボールパッドに接触し、更に、第1の相補的なパッケージペアユニットは、第2の相補的なパッケージペアユニットにスタックされ、第2パッケージの第2Z相互接続はんだボールは、第3パッケージ基板のランド面上のボールパッドに接触するように構成されていることを特徴とする。

40

【0023】

また、請求項12に記載のマルチパッケージモジュールにおいて、第1及び第2パッケージの間のボリウムにおけるモジュールカプセル体を更に備えることが好ましい。

【0024】

50

更に、請求項13に記載のマルチパッケージモジュールにおいて、第3及び第4パッケージの間のボリュームにおけるモジュールカプセル体を備えることが好ましい。

【0025】

更に、請求項14に記載のマルチパッケージモジュールにおいて、第2及び第3パッケージの間のボリュームにおけるモジュールカプセル体を備えることが好ましい。

【0026】

また、本発明にかかる半導体チップパッケージの製造方法は、

第1及び第2面を備え、第1面に第1の模様付けられた金属層を備え第2面に第2の模様付けられた金属層を備えるパッケージ基板を形成するパッケージ基板形成工程と、

ダイのアクティブ面上にダイパッドを備える半導体ダイを形成するダイ形成工程と、

基板の第1面のダイ取付領域にダイをマウントするダイ実装工程と第1の模様付けられた金属層ボンダパッドにダイを電氣的に相互接続する相互接続工程と、を備えることを特徴とする。

【0027】

また、請求項16記載の半導体チップパッケージの製造方法において、ダイ実装工程は、基板に対して外側を向いているダイのアクティブ面にてダイ取付領域にダイを貼り付けるダイ貼付工程を備え、相互接続工程は、ボンダパッドにてダイパッドのワイヤボンダ相互接続を形成するワイヤボンダ相互接続形成工程を備えることが好ましい。

【0028】

更に、請求項16記載の半導体チップパッケージの製造方法において、ダイ実装工程と相互接続工程とは、基板に対して外側を向いているダイのアクティブ面にてダイ取付領域にダイを位置決めするダイ位置決め工程と、ボンダパッドにてダイパッドのフリップチップ相互接続を形成するフリップチップ相互接続工程とを備えることが好ましい。

【0029】

更に、請求項17記載の半導体チップパッケージの製造方法において、ダイとワイヤボンダとをカプセル化するカプセル化工程を備えることが好ましい。

【0030】

更に、請求項18記載の半導体チップパッケージの製造方法において、ダイと基板との間にアンダーフィルを形成するアンダーフィル形成工程を備えることが好ましい。

【0031】

また、マルチパッケージモジュールの製造方法は、

請求項1に記載の第1及び第2半導体チップパッケージを形成する第1及び第2半導体チップパッケージ形成工程と；

第1パッケージ基板の第1面上のボールパッドに第1Z相互接続はんだボールをマウントするはんだボール実装工程と；

各パッケージ基板の第1面が他のパッケージ基板の第1面に面し、各パッケージ基板のダイ取付領域が他のパッケージ基板の空領域に一致するように、第1及び第2パッケージを互いに関連付けて位置合わせする位置合わせ工程と；

第2パッケージ基板の第1面上のボールパッドにて第1Z相互接続はんだボールが接触するはんだボール接触工程と；

第2パッケージ基板の第1面上のボールパッドと電氣的な接続関係をもたらすために第1Z相互接続はんだボールをリフローするリフロー工程と、を備えることを特徴とする。

【0032】

また、請求項21に記載のマルチパッケージモジュールの製造方法において、パッケージ間のモジュールカプセル体を形成する工程を備えることが好ましい。

【0033】

更に、請求項21に記載のマルチパッケージモジュールの製造方法において、第2パッケージ基板の第2面に第2Z相互接続はんだボールをマウントする工程を備えることが好ましい。

10

20

30

40

50

【0034】

また、マルチパッケージモジュールの製造方法は、
請求項1に記載の第1及び第2パッケージを形成する第1及び第2パッケージ形成工程と；
第1パッケージ基板の第1面上のボールパッドに第1Z相互接続はんだボールをマウント
するはんだボール実装工程と；

互いに面するパッケージのダイ実装面と他方のパッケージ基板の空領域に位置合わせさ
れた各パッケージのダイ取付領域とによって、第2パッケージの上に第1パッケージをスタ
ックする第1パッケージスタック工程と；

第2パッケージ基板の第1面上のボールパッドと電気的な接続関係をもたらすために第1
Z相互接続はんだボールをリフローするリフロー工程と、
を備えることを特徴とする。

10

【0035】

更に、請求項24に記載のマルチパッケージモジュールの製造方法において、パッケージ
間のモジュールカプセル体を形成する工程を備えることが好ましい。

【0036】

また、請求項24に記載のマルチパッケージモジュールの製造方法において、第2パッケ
ージ基板の第2面に第2Z相互接続はんだボールをマウントする工程を備えることが好まし
い。

【0037】

また、電子機器は、請求項12に記載のマルチパッケージモジュールを備え、電子機器の
基礎的な電気回路と電気的に接続されていることを特徴とする。

20

【発明を実施するための最良の形態】

【0038】

本発明は、図面を参照することによって、さらに詳しく説明される。各図面は本発明の
択一的な形態を示している。各図面は、本発明の特徴と他の特徴及び構成との関係を示す
概略図であり、一定の比率ではない。説明を明瞭にするため、本発明の形態を示す各図面
において、他の図面で示される要素に対応する要素は、すべて容易に同一視できるが、す
べてについて特に同じ番号を付しているわけではない。また、本発明についての理解に必
要でない箇所において、説明を明瞭にするためにある特徴が示されていない場合にも同様
である。例えば、基板表面に模様付けされた金属層は示されず、そして基板へのダイの相
互接続(ワイヤまたはボンディング)は示されない。

30

【0039】

本発明の1形態によると、パッケージは、基板に非対称に配置されたダイを備える。即
ち、ダイは、ダイ取付領域の基板のエッジの方に、基板の反対側のエッジ付近に空領域を
残すようにして取り付けられる(取り付けられてワイヤボンディングされる、或いは、フリッ
プチップ方式でマウントされるかの何れかにて取り付けられる)。第1の形態において、
相互接続はんだボールは、基板のダイ実装面にマウントされる；そして、相補的な第2の
形態において、はんだボールは、基板のダイ実装面の反対側にマウントされる。パッケ
ージの相補的なペアは一方が他方に対して逆向きとなるようにスタックされ、それぞれのパ
ッケージ基板は、その基板のダイ実装面にはんだボールを備えるパッケージのはんだボール
によって電気的に相互接続される。はんだボールの高さは、ダイ(そしてダイ取り付け)
の厚さを適合させる基板間のスタンドオフを得るために十分に高く、そして、第1パッケ
ージのダイが第2パッケージ基板の空領域のパッケージ基板間のスペースに配置されるよ
うに、パッケージは方向付けられる。

40

【0040】

図1(A)、(B)、及び(C)には、本発明にかかる基板12のダイ実装面13上のダイ取付領域15
に非対称にマウントされたダイ14が示されている。ダイ取付領域15は、基板のエッジの方
に設けられ、基板の反対側のエッジの方に設けられたダイ実装面13の空領域16を残してい
る。パッケージ基板12は、好ましくは、誘電層の間に少なくとも2つの模様付けられた金
属層を有するラミネート基板である。即ち、好ましいラミネート基板は、少なくとも、ダ

50

イ実装面13に第1「upper」模様付け金属層を、ダイ実装面の反対側の面11(「ランド」面)に第2「lower」模様付け金属層を具備する。種々の金属層は、適切なトレース回路を形成するために模様付けられ、そして、誘電層を通るビアは、層間の接続を果たす。上下の模様付け金属層上の保護層は、ダイの電気接続のためのトレース上のサイトを露出し、はんだボールをマウントするためのボールパッド(ダイ実装面で列又は配列の17にて示される)を露出している開口によって模様付けられている。ダイは、基板に対して外側を向いているダイのアクティブ面にてダイ取付接着剤(ダイ取付エポキシ樹脂やフィルムなど)を用いたダイ取付領域に取り付けられ、そして、基板のダイパッド(図示しない)とボンドパッド(図示しない)との間のワイヤボンドによって電氣的に相互接続されてもよい。或いは、ダイは、基板に面しているダイのアクティブ面にてフリップチップアタッチメント(図示しない)によって基板の上にマウントされ、導電性バンプ又はボールを用いた基板のボンドサイトに電氣的に相互接続されてもよい。

10

【0041】

その場合、ダイは、図2(A)、(B)、及び(C)に示すようにモールドされる。ダイがワイヤボンディングによって相互接続される場合、その後のステップ間でのワイヤへのダメージを防止するために、モールド体を必要としてもよい。モールド体24は、ダイとワイヤボンド(ワイヤボンド相互接続が用いられる場合)とを覆い、そして、実質的に平坦な「upper」表面25を備えるために成形される。ダイがフリップチップ相互接続によって設置される場合には、ダイと基板との間のバンプスタンドオフスペースを満たすと共に相互接続を機械的に安定させるため、アンダーフィルが望ましいが、モールド体は必要としなくてもよい。

20

【0042】

その場合、図3(A)、(B)、及び(C)に示すように、Z相互接続はんだボール37は、基板12のダイ実装面13上のボールパッドにマウントされる。図に示す以外のボールパッドとはんだボールとの配置は、例えば、基板のダイ実装面13の空領域16を閉ざさないような配置であれば何れの配置であっても採用できる。そして、ボールパッドとはんだボールとは、それらが相補的なパッケージに対し第1のパッケージに逆向きにマウントされるよう安定した支持をもたらすように配置される。相補的なパッケージが結合されてはんだボールがリフローした場合には、ダイ(そして、この場合はモールド体)を適合させるためボール高さが隣接した基板の間のクリアランスとなるように、はんだボールは設定される。はんだボールをマウントすると、第1のパッケージ30が完成し、その状態で、はんだボールは基板のダイ実装面にマウントされる。高く評価されるべきことは、はんだボールが2つの相補的なパッケージを結合するためにリフローの間に崩れた場合であっても、モールド体24の上面25は、更なるはんだボールの崩れを抑制して相補的なパッケージ基板の空領域に接触していることである。

30

【0043】

はんだボールが基板のランド面にマウントされる本発明の形態にかかる相補的なパッケージ60は、図4(A)乃至図6(C)に示すように製造することができる。

【0044】

図4(A)、(B)、及び(C)には、本発明にかかる基板42のダイ実装面43上のダイ取付領域45に非対称にマウントされたダイ44が示されている。ダイ取付領域45は、基板のエッジの方に設けられ、基板の反対側のエッジに設けられたダイ実装面43の空領域46を残している。パッケージ基板42は、好ましくは、誘電層の間に少なくとも2つの模様付けられた金属層を有するラミネート基板である。即ち、好ましいラミネート基板は、少なくとも、ダイ実装面43の第1「upper」模様付け金属層とダイ実装面の反対側の面41(「ランド」面)の第2「lower」模様付け金属層とを含む。種々の金属層は、適切なトレース回路を形成するために模様付けられ、そして、誘電層を通るビアは、層間の接続を果たす。上下の模様付け金属層上の保護層は、ダイの電気接続のためのトレース上のサイトを露出し、はんだボールをマウントするためのボールパッド(ダイ実装面で列又は配列の47にて示される)を露出している開口によって模様付けられている。ダイは、基板に対し外側を向いているダイの

40

50

アクティブ面にてダイ取付接着剤（ダイ取付エポキシ樹脂やフィルムなど）を用いているダイ取付領域に取り付けられ、そして、基板のダイパッド（図示しない）とボンドパッド（図示しない）との間のワイヤボンドによって電氣的に相互接続されてもよい。或いは、ダイは、基板に面しているダイのアクティブ面にてフリップチップアタッチメント（図示しない）によって基板の上にマウントされ、導電性バンプ又はボールを用いた基板のボンドサイトに電氣的に相互接続されてもよい。

【0045】

その場合、ダイは、図5(A)、(B)、及び(C)に示すようにモールドされる。ダイがワイヤボンディングによって相互接続される場合、その後のステップ間でのワイヤへのダメージを防止するために、モールド体を必要としてもよい。モールド体54は、ダイとワイヤボンド（ワイヤボンド相互接続が用いられる場合）とを覆い、そして、実質的に平坦な「upper」表面55を備えるために成形される。ダイがフリップチップ相互接続によって設置される場合には、ダイと基板との間のバンプスタンドオフスペースを満たすと共に相互接続を機械的に安定させるため、アンダーフィルが望ましいが、モールド体は必要としなくてもよい。

10

【0046】

その場合、図6(A)、(B)、及び(C)に示すように、Z相互接続はんだボール67は、基板42のランド面41上のボールパッドにマウントされる。図に示す以外のボールパッドとはんだボールとの配置は、以下で説明するように、例えば、マザーボード上、又は追加のアセンブリ上、又は別のサポート上へのアセンブリのマウントに対して安定した支持を供給するような配置であれば何れの配置であっても採用できる。はんだボールをマウントすると、第2パッケージ60が完成する。その状態で、はんだボールは、基板のランド側にマウントされる。

20

【0047】

本発明にかかるマルチパッケージモジュールにおける相補的なパッケージのアセンブリは、図7(A)乃至図9(B)及び図10(A)乃至図12(B)に例示されている。

【0048】

結合された相補的なパッケージ30と60とのユニットの構成は、図7(A)乃至図8(B)の平面図に例示される。図7(A)（側面図）と図7(B)（正面図）とにおいて、第1パッケージ30は、第2パッケージに対して逆向きとされ、第1パッケージ基板12のダイ実装面のはんだボール37が第2パッケージ基板42のダイ実装面のボールパッド（図示しない）と位置合わせされるように、そして第1パッケージ30のモールドキャップ表面25が第2基板42のダイ実装面の空領域46と位置合わせされるように、更に第2パッケージ60のモールドキャップ表面55が第1基板30のダイ実装面の空領域16と位置合わせされるように、位置合わせされて示されている。パッケージの取り扱いは、従来のパッケージアセンブリ機器を用いてなされてもよい。例えば、第2パッケージ60は、サポートに配置することができ、そして、第1パッケージは、ピック・アンド・プレイスツールを用いて、適切な位置に操作されることができる。一度位置合わせされると、第1パッケージ30のはんだボールが第2パッケージ基板46のパッドに接触するまで、図の矢印で示すように、相補的なパッケージは接合される。この時点で、相補的なパッケージペアユニットは完全である。ユニットは、はんだボール37を再び溶かし、パッケージのペアの電氣的な相互接続を形成するために熱せられてもよい。ボールは、図8(A)及び(B)のユニットアセンブリ80において崩れた後に再び溶かしたものとなる。そのとき、ダイ25と55とはんだボール37との周囲の基板12と42との間のスペースを、図9(A)及び(B)にて示す95で満たすように、アセンブリはカプセル化され得る。これによって、2つの相補的なパッケージを有するモジュール90が完成する。モジュールは、「upper」表面91を有し、図9(A)と図9(B)とにおいて97で示す第2パッケージのはんだボールは、例えばマザーボードのようなモバイル・コンピューティングまたは通信製品において使用されるデバイスを備えるモジュール90の電氣的な相互接続を形成する。

30

40

【0049】

図8(A)及び(B)に示すユニット80のような相補的なパッケージペアユニットは、4つ以上

50

のパッケージを有するモジュールを形成するためにスタックされる。図10(A)乃至図12(B)は、2つの相補的なパッケージペアユニット80, 80'を、一方を他方の上にスタックすることによるモジュール120の構成を例示する。図10(A)及び(B)において、例えば図7(A)乃至図8(B)に示すような構成の相補的なパッケージペアユニット80, 80'は、パッケージユニット80'の相互接続はんだボール67'がパッケージユニット80のパッケージ30の基板12のランド面11のボールパッド(図示しない)と位置合わせされるようにして位置合わせされる。図の矢印で示すように、はんだボール67'がパッドに接触するまで、ユニットは接合される。これは、4パッケージアセンブリを形成する。アセンブリは、はんだボール67'をリフローするように熱せられて、2つのユニット80, 80'間の電気的な相互接続を形成する。

10

ボールは、図11(A)及び(B)の4パッケージアセンブリ110において崩れた後に再び溶かしたものとなる。そのとき、ダイとはんだボールとの周囲の基板の間のスペースを、図12(A)及び(B)にて示す125で満たすように、アセンブリはカプセル化され得る。これによって、2つの相補的なパッケージを有するモジュール120が完成する。モジュールは、「upper」表面121を有し、図11(A)及び(B)において127で示す最下パッケージのはんだボールは、例えばマザーボードのようなモバイル・コンピューティング又は通信機器において使用されるデバイスを備えるモジュール120の電気的な相互接続を形成する。はんだ再溶解は、単一の再溶解ステップにおけるすべてのはんだボール相互接続について実行できる。

【0050】

他の形態は本発明の範囲にある。例えば、相補的なパッケージ上のそれぞれのダイが、ほぼ同じ寸法であるとして図に示されているが、それぞれのダイは、他の形態において異なる厚さ又は面積を有してもよく、特に、ダイは異なる機能を有してもよい。そして、例えば、相補的なパッケージのそれぞれの基板が、同じ長さと同幅とを有するとして図に説明されているけれども、それぞれの基板は、他の形態において異なる面積を有してもよい。何れにしても、各基板のダイ実装面の空領域は、十分に大きくなければならず、しかもダイ又は相補的なパッケージにおけるダイ上のモールド体の表面の長さと同幅とを適合させるように設定されなければならない。

20

【0051】

マルチパッケージモジュールは、さまざまな電子機器の何れにも有益であり、高いデバイス密度が望ましい場合、及び、デバイスアセンブリの寸法(面積、厚さ)を適合させるために製品内に制限されたスペースがある場合に、特に有益である。そのような製品には、例えば、携帯電話とパーソナル携帯情報端末、ラップトップ・コンピュータ、デジタルカメラ、及び電子エンターテインメント製品などのポータブル通信デバイスが含まれる。

30

【図面の簡単な説明】

【0052】

【図1】(A)は、本発明の第1の形態にかかる基板に非対称にマウントされたダイを示す平面図である。(B)と(C)とは、(A)の基板に非対称にマウントされたダイを示す側面図と正面図である。

【図2】(A)は、非対称にマウントされたダイが本発明の形態に従ってモールドされる様子を示す平面図である。(B)と(C)とは、(A)に示す基板に非対称にマウントされたダイをモールドする様子を示す側面図と正面図である。

40

【図3】(A)は、本発明の第1の形態に係る、スタック可能なパッケージを完成するために、2相互接続はんだボールが基板の上のはんだ相互接続パッドにマウントされる様子を示す平面図である。(B)と(C)とは、(A)の完成したスタック可能なパッケージを示す側面図と正面図である。

【図4】(A)は、本発明の第2の形態にかかる、基板に非対称にマウントされたダイを示す平面図である。(B)と(C)とは、(A)の基板に非対称にマウントされたダイを示す側面図と正面図である。

【図5】(A)は、本発明の第2の形態に従って、非対称に配置されたダイがモールドされる様子を示す平面図である。(B)と(C)とは、(A)の基板に非対称にマウントされたダイをモ

50

ールドする様子を示す側面図と正面図である。

【図6】(A)は、本発明の第2の形態にかかる、スタック可能なパッケージを完成するために、Z相互接続はんだボールが基板の上のはんだ相互接続パッドにマウントされる様子を示す平面図である。(B)と(C)とは、(A)の完成したスタック可能なパッケージを示す側面図と正面図である。

【図7】(A)及び(B)は、本発明の形態にかかる、スタックマルチパッケージモジュールの構築における2つのスタックされたパッケージを備えるステップを示す側面図と正面図である。

【図8】(A)及び(B)は、本発明の形態にかかる、スタックマルチパッケージモジュールの構築における2つのスタックされたパッケージを備えるステップを示す側面図と正面図である。

10

【図9】(A)及び(B)は、本発明の形態にかかる、スタックマルチパッケージモジュールの構築における2つのスタックされたパッケージを備えるステップを示す側面図と正面図である。

【図10】(A)及び(B)は、本発明の形態にかかる、スタックマルチパッケージモジュールの構築における4つのスタックされたパッケージを備えるステップを示す側面図と正面図である。

【図11】(A)及び(B)は、本発明の形態にかかる、スタックマルチパッケージモジュールの構築における4つのスタックされたパッケージを備えるステップを示す側面図と正面図である。

20

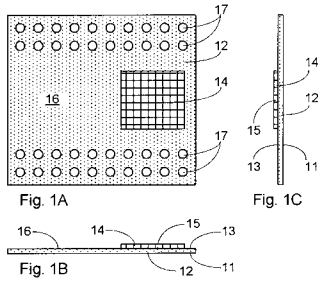
【図12】(A)及び(B)は、本発明の形態にかかる、スタックマルチパッケージモジュールの構築における4つのスタックされたパッケージを備えるステップを示す側面図と正面図である。

【符号の説明】

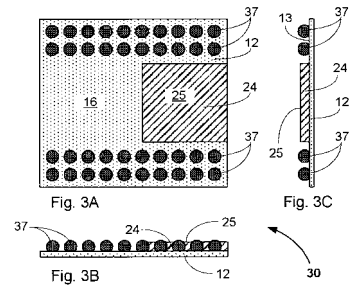
【0053】

12,42...基板、13,43...ダイ実装面、14,44...ダイ、15,45...ダイ取付領域、16,46...空領域、24,54...モールド体

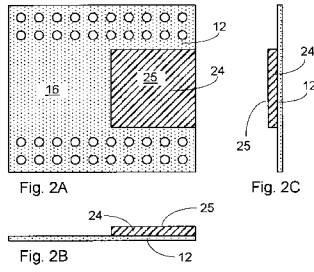
【 図 1 】



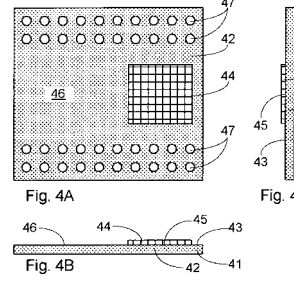
【 図 3 】



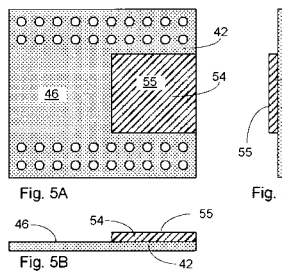
【 図 2 】



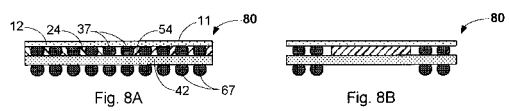
【 図 4 】



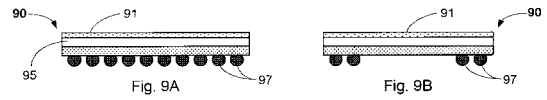
【 図 5 】



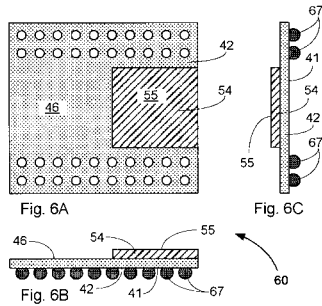
【 図 8 】



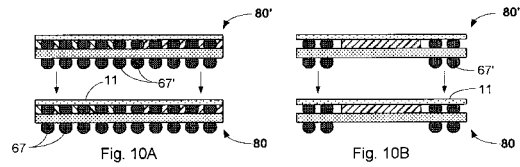
【 図 9 】



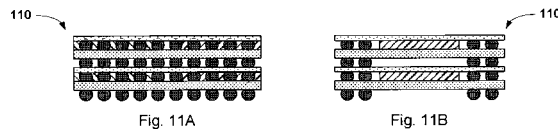
【 図 6 】



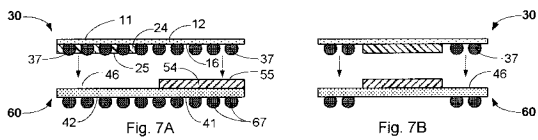
【 図 10 】



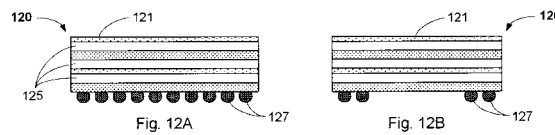
【 図 11 】



【 図 7 】



【 図 12 】



フロントページの続き

(74)代理人 100114432

弁理士 中谷 寛昭

(74)代理人 100117204

弁理士 岩田 徳哉

(72)発明者 クオン, ヒョグ チャン

大韓民国 ソウル, ソチョ - グ, バンベ - 1 ドン 9 2 5 - 2

【 外国語明細書 】

**MULTIPACKAGE MODULE HAVING STACKED PACKAGES
WITH ASYMMETRICALLY ARRANGED DIE AND MOLDING**

CROSS-REFERENCE TO RELATED APPLICATION

5 [0001] This application claims the benefit of U.S. Provisional Application No. 60/670,443, filed April 11, 2005, which is hereby incorporated by reference in its entirety.

BACKGROUND

[0002] This invention relates to semiconductor chip packaging and, particularly, to stacked package modules.

10 [0003] One approach to increasing the density of semiconductor functionality in semiconductor chip packages is to stack die, one over another, on a package substrate . Electrical interconnection of the stacked die may be die -to-die and/or die-to-substrate, for example by wire bonding. It is technically difficult and therefore costly to test die prior to assembly in the stacked die package, and some number of “bad” die are expected in the supply. One bad die in a stacked die package can render the entire package bad and,
15 accordingly, significant waste of materials and manufacturing time can inevitably result in the manufacture of stacked die packages, particularly where a larger number of die are stacked in the package. Stacked die packages having as many as four, five or six die are in use. Stacked die packages can be made very thin, even where spacers between adjacent die are required.

20 [0004] Another approach to increasing the density of semiconductor functionality in semiconductor chip packages is to stack packages, one over the other, to form a stacked package module. Each package in the module includes at least one die , affixed to and electrically interconnected with, a substrate. The packages in the stack are electrically interconnected, for example by wire bonds between bond sites on the respective package substrates. This has the advantage that the packages can be fully tested before they are
25 assembled in the stack; “bad” packages are discarded, and only packages testing as “good” are used in the module.

[0005] Several elements contribute to the thickness of a typical stacked package module. At a minimum, the thicknesses of the respective substrates and die, and die attach adhesive, contribute. Additionally, where the die in each package are molded (or encapsulated) the mold
30 cap has a thickness typically greater than that of the die, and where the die is wire bonded to the substrate the mold cap must be thick enough to completely cover the wires, plus a tolerance for variation in wire loop height. And typically the package stack is also molded or encapsulated with a module molding, which may add additional thickness.

35 [0006] In products where a limit is imposed on both package footprint and package thickness, such as for example in mobile devices such as cellular telephones, PDAs, digital cameras,

and various consumer electronic devices, it is desirable to make packages (or modules) as thin as possible without increasing the footprint beyond the limits.

SUMMARY

5 **[0007]** In one general aspect the invention features semiconductor chip packages having asymmetrically arranged die. Two such packages having complementary arrangements can be stacked, one inverted with respect to the other, such that the two die are situated side -by-side in the space between the two substrates. In some embodiments the die is affixed to its respective substrate using an adhesive, and is electrically interconnected to the substrate by wire bonding; and in some embodiments the die is mounted onto the respective substrate by
10 flip-chip interconnection. The die may be molded.

[0008] In another general aspect the invention features multipackage modules including stacked packages, each having asymmetrically arranged die. The packages have complementary asymmetrical arrangements, and one package is inverted with respect to the other in the stack, such that the two die are situated side -by-side in the space between the
15 two substrates. The z-interconnection between adjacent packages is by solder balls, and the solder ball height is sufficient to provide space for the die. Because the die are situated side -by side, the module thickness is reduced.

[0009] In another general aspect the invention features methods for making the packages and for making the stacked package modules .

20 **[0010]** The stackable complementary packages according to the invention can be made using currently available manufacturing equipment and materials and conventional surface mount technologies. The assembly process can be less complex than for modules having packages stacked one over the other, and the resulting thickness profile can be less. Stack thickness in module assemblies is reduced according to the invention, by virtue of the fact that the two die
25 on the two joined complementary packages share the space between the substrates and an additional die and die attach and mold cap thickness is avoided . Manufacturing costs can be reduced according to the invention by performing only a single solder ball reflow for the entire assembly, following alignment of the stacked complementary packages. The individual packages are fully testable.

30 **[0011]** According to the present invention, there is provided a semiconductor chip package comprising a substrate having a die mount side and a land side, the die mount side including a die attach region and an unoccupied region, and a die attached in the die attach region of the die mount side of the substrate.

35 **[0012]** The package of claim 1 wherein the die is oriented with an active side of the die facing away from the substrate and affixed to the die attach region with using an adhesive, and is

electrically connected by wires between die pads in the active side of the die and bond pads in the substrate.

[0013] The package of claim 2 wherein a molding encloses the wires and at least the die pads in the active side of the die.

5 **[0014]** The package of claim 1 wherein the die is affixed with an active side of the side facing toward the substrate, and is electrically connected to the die attach region by flip chip interconnection between die pads in the active side of the die and interconnect sites in the substrate.

10 **[0015]** The package of claim 4, further comprising an underfill between the active side of the die and the die attach region of the substrate.

[0016] The package of claim 1, further comprising z-interconnection solder balls mounted on ball pads on the die mount side of the substrate.

[0017] The package of claim 1, further comprising z-interconnection solder balls mounted on ball pads on the land side of the substrate.

15 **[0018]** According to the present invention, there is also provided a complementary package pair unit, comprising:

 a first semiconductor chip package, comprising

 a first substrate having a die mount side and a land side, the die mount side including a die attach region and an unoccupied region,

20 a first package die attached in the die attach region of the die mount side of the first substrate, and

 first z-interconnection solder balls mounted on ball pads on the die mount side of the first substrate; and

 a second semiconductor chip package, comprising

25 a second substrate having a die mount side and a land side, the die mount side including a die attach region and an unoccupied region,

 a second package die attached in the die attach region of the die mount side of the first substrate;

30 wherein the first package is stacked on the second package, the die mount side of the first package facing the die mount side of the second package, wherein the die attach region of the first package is aligned with the unoccupied region of the second package, and wherein the first z-interconnection solder balls on the first package contact ball pads on the die mount side of the second substrate.

35 **[0019]** The complementary package pair unit of claim 8 wherein the z-interconnection solder balls are reflowed to form z-level interconnection between the ball pads on the die mount side of the first substrate and the contact ball pads on the die mount side of the second substrate.

[0020] The complementary package pair unit of claim 9, further comprising second z-interconnection solder balls mounted on ball pads on the land side of the second substrate

[0021] A multipackage module comprising the complementary package pair unit of claim 9 and a module encapsulation in the volume between the first and second packages.

5 **[0022]** A multipackage module, comprising:

a first complementary package pair unit as recited in claim 10; and

a second complementary package pair unit, comprising:

a third semiconductor chip package, comprising

10 a third substrate having a die mount side and a land side, the die mount side including a die attach region and an unoccupied region,

a third package die attached in the die attach region of the die mount side of the first substrate, and

third z-interconnection solder balls mounted on ball pads on the die mount side of the first substrate; and

15 a fourth semiconductor chip package, comprising

a fourth substrate having a die mount side and a land side, the die mount side including a die attach region and an unoccupied region,

a fourth package die attached in the die attach region of the die mount side of the first substrate;

20 wherein the third package is stacked on the fourth package, the die mount side of the third package facing the die mount side of the fourth package, wherein the die attach region of the third package is aligned with the unoccupied region of the fourth package, and wherein the third z-interconnection solder balls on the third package contact ball pads on the die mount side of the fourth substrate;

25 wherein the first complementary package pair unit is stacked on the second complementary package pair unit, and wherein the second z-interconnection solder balls on the second package contact ball pads on the land side of the third package substrate.

[0023] The multipackage module of claim 12, further comprising a module encapsulation in the volume between the first and second packages.

30 **[0024]** The multipackage module of claim 13, further comprising a module encapsulation in the volume between the third and fourth packages.

[0025] The multipackage module of claim 14, further comprising a module encapsulation in the volume between the second and third packages.

35 **[0026]** According to the present invention, there is also provided a method for making a semiconductor chip package, comprising

providing a package substrate having first and second sides and having a first patterned metal layer at the first side and a second patterned metal layer at the second side, the first side comprising a die attach region and an unoccupied region;

providing a semiconductor die having die pads on an active side thereof; and

5 mounting the die on the die attach region of the first side of the substrate and electrically interconnecting the die to bond pads of the first patterned metal layer.

[0027] The method of claim 16 wherein mounting the die comprises affixing the die on the die attach region with the active side of the die facing away from the substrate, and wherein electrically connecting the die comprises forming wire bond interconnection of the die pads with the bond pads.

[0028] The method of claim 16 wherein mounting and electrically interconnecting the die comprises positioning the die on the die attach region with the active side facing toward the substrate, and forming flip chip interconnection of the die pads with the bond pads.

[0029] The method of claim 17, further comprising encapsulating the die and wire bonds.

15 **[0030]** The method of claim 18, further comprising forming an underfill between the die and the substrate.

[0031] A method for making a multipackage module, comprising:

making first and second semiconductor chip packages, each according to the method recited in claim 1;

20 mounting first z-interconnect solder balls on ball pads on the first side of the first package substrate;

positioning the first and second packages in relation to one another such that the first side of each package substrate faces toward the first side of the other package substrate, and such that the die attach region of each package substrate is aligned with the unoccupied region of the other package substrate;

25 contacting the first z-interconnect solder balls with ball pads on the first side of the second package substrate; and

reflowing the first z-interconnect solder balls to effect electrical connection with ball pads on the first side of the second package substrate.

30 **[0032]** The method of claim 21, further comprising forming a module encapsulation between the packages.

[0033] The method of claim 21, further comprising mounting second z-interconnect solder balls on the second side of the second package substrate.

35 **[0034]** A method for making a multipackage module, comprising providing first and second packages, each as recited in claim 1;

mounting first z-interconnect solder balls on ball pads on the first side of the first package substrate;

stacking the first package upon the second package, with the die mount sides of the packages facing one another and with the die attach region of each package aligned with the unoccupied region of the other package substrate; and

5 reflowing the first z-interconnect solder balls to effect electrical connection with ball pads on the first side of the second package substrate.

[0035] The method of claim 24, further comprising forming a module encapsulation between the packages.

[0036] The method of claim 24, further comprising mounting second z-interconnect solder balls on the second side of the second package substrate.

10 [0037] An electronic device, comprising a multipackage module according to claim 12, electrically connected to underlying circuitry in the device.

BRIEF DESCRIPTION OF THE DRAWINGS

[0038] FIG. 1A is a diagrammatic sketch in a plan view showing a die mounted asymmetrically on a substrate according to a first embodiment of the invention.

15 [0039] FIGs. 1B and 1C are diagrammatic sketches in side and front elevational views showing the die mounted asymmetrically on the substrate as in FIG. 1A.

[0040] FIG. 2A is a diagrammatic sketch in a plan view as in FIG. 1A, in which the asymmetrically placed die has been molded according to an embodiment of the invention.

20 [0041] FIGs. 2B and 2C are diagrammatic sketches in side and front elevational views showing the molded asymmetrically mounted die on the substrate as in FIG. 2A.

[0042] FIG. 3A is a diagrammatic sketch in a plan view as in FIG. 2A, in which z-interconnection solder balls have been mounted onto solder interconnect pads on the substrate to complete a stackable package according to a first embodiment of the invention .

25 [0043] FIGs. 3B and 3C are diagrammatic sketches in side and front elevational views showing the completed stackable package as in FIG. 3A.

[0044] FIG. 4A is a diagrammatic sketch in a plan view showing a die mounted asymmetrically on a substrate according to a second embodiment of the invention.

[0045] FIGs. 4B and 4C are diagrammatic sketches in side and front elevational views showing the die mounted asymmetrically on the substrate as in FIG. 4A.

30 [0046] FIG. 5A is a diagrammatic sketch in a plan view as in FIG. 4A, in which the asymmetrically placed die has been molded according to the second embodiment of the invention.

[0047] FIGs. 5B and 5C are diagrammatic sketches in side and front elevational views showing the molded asymmetrically mounted die on the substrate as in FIG. 5A.

35 [0048] FIG. 6A is a diagrammatic sketch in a plan view as in FIG. 5A, in which z-interconnection solder balls have been mounted onto solder interconnect pads on the

substrate to complete the stackable package according to the second embodiment of the invention.

[0049] FIGs. 6B and 6C are diagrammatic sketches in side and front elevational views showing the completed stackable package as in FIG. 6A.

5 [0050] FIGs. 7A - 9B are diagrammatic sketches in side and front elevational views showing steps in the construction of a stacked multipackage module, having two stacked packages, according to an embodiment of the invention .

[0051] FIGs. 8A - 12B are diagrammatic sketches in side and front elevational views showing steps in the construction of a stacked multipackage module, having four stacked packages,
10 according to an embodiment of the invention.

DETAILED DESCRIPTION

[0052] The invention will now be described in further detail by reference to the drawings, which illustrate alternative embodiments of the invention. The drawings are diagrammatic, showing features of the invention and their relation to other features and structures, and are
15 not made to scale. For improved clarity of presentation, in the FIGS. illustrating embodiments of the invention, elements corresponding to elements shown in other drawings are not all particularly renumbered, although they are all readily identifiable in all the FIGS. Also for clarity of presentation certain features are not shown in the FIGS., where not necessary for an understanding of the invention. For example, the patterned metal layers at the substrate
20 surface are not shown, and the interconnections (wires or bumps) of the die to the substrate are not shown.

[0053] According to one aspect of the invention, packages have the die asymmetrically arranged on the substrate. That is, the die is attached (either affixed and wire bonded or mounted in a flip-chip fashion) on a die attach region toward an edge of the substrate, leaving
25 an unoccupied region near the opposite edge of the substrate. In a first configuration, interconnect solder balls are mounted on the die mount side of the substrate; and in a complementary second configuration, solder balls are mounted on the side of the substrate opposite the die mount side. Complementary pairs of packages are stacked, one inverted with respect to the other, and the respective package substrates are electrically interconnected by
30 the solder balls on the package that has solder balls on the die mount side of its substrate. The solder ball height is great enough to provide a standoff between the substrates to accommodate the thickness of the die (and die attach), and the packages are oriented so that the die on the first package is situated in the space between the package substrates over the unoccupied region of the second package substrate.

35 [0054] Turning now to FIGs. 1A, 1B and 1C there is shown a die 14 mounted asymmetrically on a die attach region 15 on a die mount surface 13 of a substrate 12 according to the

invention. The die attach region **15** is situated toward an edge of the substrate, leaving an unoccupied region **16** of the die mount surface **13** situated toward the opposite edge of the substrate. The package substrate **12** is preferably a laminate substrate having at least two patterned metal layers with dielectric layers between, that is, it includes at least a first "upper" patterned metal layer at the die mount surface **13**, and a second "lower" patterned metal layer at the surface (the "land" side) **11** opposite the die mount side. The various metal layers are patterned to provide suitable trace circuitry, and vias through the dielectric layers serve for connection between the layers. A passivation layer over the upper and lower patterned metal layers is patterned with openings exposing sites on the traces for electrical connection of the die, and exposing ball pads (shown at **17** in rows or arrays, at the die mount surface) for mounting solder balls. The die may be affixed to the die attach region using a die attach adhesive (such as a die attach epoxy or film) with the active side of the die facing away from the substrate, and electrically interconnected by wire bonds between die pads (not shown in the FIGs.) and bond pads on the substrate (not shown). Or, the die may be mounted onto the substrate by flip chip attachment (not shown) with the active side of the die facing toward the substrate and electrically interconnected with bond sites on the substrate using conductive bumps or balls.

[0055] The die can then be molded, as shown in FIGs. **2A**, **2B**, and **2C**. Where the die is interconnected by wire bonding, molding may be necessary, to prevent damage to the wires during subsequent steps. The molding **24** covers the die and wire bonds (where wire bond interconnection is used), and is formed to have a substantially planar "upper" surface **25**. Where the die is mounted by flip-chip interconnection, a molding may not be required, although an underfill may be desirable, to fill the bump standoff space between the die and the substrate and to mechanically stabilize the interconnection.

[0056] Then, as shown in FIGs. **3A**, **3B**, and **3C**, z-interconnection solder balls **37** are mounted on the ball pads on the die mount surface **13** of the substrate **12**. Arrangements of ball pads and solder balls other than illustrated in the Figs. can be employed; in any event they are arranged so as not to occlude the unoccupied region **16** of the die mount surface **13** of the substrate. And they are arranged so that they provide a stable support for the complementary package to be inverted and mounted over the first package. The solder balls are dimensioned such that, when the complementary packages are joined and the solder balls reflowed, the ball height provides clearance between the adjacent substrates to accommodate the die (and, where present, the molding). Mounting the solder balls completes the first package **30**, in which the solder balls are mounted on the die mount side of the substrate. As may be appreciated, as the solder balls collapse during the reflow to join the two complementary packages, the upper surface **25** of the molding **24** may contact the

unoccupied region of the complementary package substrate, limiting further collapse of the solder balls.

[0057] A complementary package 60 according to an embodiment of the invention, in which the solder balls are mounted on the land side of the substrate, can be made as shown in FIGs.

5 4A – 6C.

[0058] Turning now to FIGs. 4A, 4B and 4C there is shown a die 44 mounted asymmetrically on a die attach region 45 on a die mount surface 43 of a substrate 42 according to the invention. The die attach region 45 is situated toward an edge of the substrate, leaving an unoccupied region 46 of the die mount surface 43 situated toward the opposite edge of the substrate. The package substrate 42 is preferably a laminate substrate having at least two patterned metal layers with dielectric layers between, that is, it includes at least a first “upper” patterned metal layer at the die mount surface 43, and a second “lower” patterned metal layer at the surface (the “land” side) 41 opposite the die mount side. The various metal layers are patterned to provide suitable trace circuitry, and vias through the dielectric layers serve for connection between the layers. A passivation layer over the upper and lower patterned metal layers is patterned with openings exposing sites on the traces for electrical connection of the die, and exposing ball pads (shown at 47 in rows or arrays, at the die mount surface) for mounting solder balls. The die may be affixed to the die attach region using a die attach adhesive (such as a die attach epoxy or film), and electrically interconnected by wire bonds between die pads (not shown in the FIGs.) and bond pads on the substrate (not shown). Or, the die may be mounted onto and electrically interconnected with the substrate by flip chip attachment.

[0059] The die can then be molded, as shown in FIGs. 5A, 5B, and 5C. Where the die is interconnected by wire bonding, molding may be necessary, to prevent damage to the wires during subsequent steps. The molding 54 covers the die and wire bonds (where wire bond interconnection is used), and is formed to have a substantially planar “upper” surface 55. Where the die is mounted by flip-chip interconnection, a molding may not be required, although an underfill may be desirable, to fill the bump standoff space between the die and the substrate and to mechanically stabilize the interconnection.

[0060] Then, as shown in FIGs. 6A, 6B, and 6C, z-interconnection solder balls 67 are mounted on the ball pads on the land surface 41 of the substrate 42. Arrangements of ball pads and solder balls other than illustrated in the Figs. can be employed; in any event they are arranged so that they provide a stable support for mounting the assembly onto a mother board, or onto an additional assembly, or onto another support, as described below. Mounting the solder balls completes the second package 60, in which the solder balls are mounted on the land side of the substrate.

[0061] Assembly of complementary packages into multipackage modules according to the invention is shown by way of example in FIGs. 7A – 9B and in FIGs. 10A – 12B.

[0062] Formation of a unit of joined complementary packages 30 and 60 is shown by way of example in elevational views in FIGs. 7A – 8B. In FIGs. 7A (side elevation) and 7B (front elevation) a first package 30 is shown inverted with respect to a second package 60, and aligned so that the solder balls 37 on the die mount side of the first package substrate 12 are aligned with the ball pads (not shown in this view) on the die mount side of the second package substrate 42, and so that the surface 25 of the mold cap on the first package 30 is aligned with the unoccupied region 46 of the die mount side of the second substrate 42 and the surface 55 of the mold cap on the second package 60 is aligned with the unoccupied region 16 of the die mount side of the first package 30. The manipulation of the packages can be done using conventional package assembly equipment. For example, the second package 60 can be placed on a support, and the first package can be manipulated into the appropriate position using a pick-and-place tool. Once aligned, the complementary packages are brought together, as suggested by the broken arrows in the FIGs., until the solder balls on the first package 30 contact the pads on the second package substrate 46. At this point the complementary package pair unit is complete. The unit can be heated to remelt the solder balls 37 and make the electrical interconnection of the package pair. The balls are shown collapsed following remelt in the unit assembly 80 in FIGs. 8A and 8B. Then the assembly can be encapsulated, as shown at 95 in FIGs. 9A and 9B to fill in the space between the substrates 12 and 42 around the die 25 and 55 and the solder balls 37. This completes a module 90 having two complementary packages. The module has an “upper” surface 91, and the solder balls on the second package, numbered 97 in Figs. 9A and 9B, serve for electrical interconnection of the module 90 with a device in which it is employed, such as a motherboard, for example, in a mobile computing or communications product.

[0063] Complementary package pair units, such as unit 80 in FIGs. 8A and 8B, can be stacked to form modules having four or more packages. FIGs. 10A – 12B illustrate for example the construction of a module 120 by stacking two complementary package pair units 80, 80' one over the other. In FIGs. 10A and 10B, complementary package pair units 80, 80', constructed for example as described with reference to FIGs. 7A – 8B, are shown aligned so that the interconnect solder balls 67' on package unit 80' are aligned with the ball pads (not shown in this view) on the land side 11 of substrate 12 of package 30 of package unit 80. The units are brought together, as suggested by the broken arrows, until the solder balls 67' contact the pads. This forms a four-package assembly. The assembly is heated to reflow the solder balls 67' and make electrical interconnection between the two units 80, 80'. The balls are shown collapsed following remelt in the four-package assembly 110 in FIGs. 11A and 11B. Then the assembly can be encapsulated, as shown at 125 in FIGs. 12A and 12B to fill in the

space between the substrates around the die and the solder balls. This completes a module **120** having two complementary packages. The module has an “upper” surface **121**, and the solder balls on the lowermost package, numbered **127** in Figs. **11A** and **11B**, serve for electrical interconnection of the module **120** with a device in which it is employed, such as a motherboard, for example, in a mobile computing or communications product. The solder remelt can be performed for all the solder ball interconnections in a single remelt step.

[0064] Other embodiments are within the scope of the invention. For example, although the respective die on the complementary packages are illustrated in the FIGs. as having about the same dimensions, the respective die may in other embodiments have different thicknesses or footprints, particularly where the die have different functionalities. And, for example, although the respective substrates in the complementary packages are illustrated in the FIGs. as having the same length and width, the respective substrates may in other embodiments have different footprints. In any event, the unoccupied region of the die mount side of each substrate must be sufficiently large, and must be configured, to accommodate the length and width of the surface of the die or of the molding over the die in the complementary package.

[0065] The multipackage modules can be useful in any of a variety of electronic devices, and they can be particularly useful in products where a high device density is desirable, and where there may be limited space within the product to accommodate the dimensions (footprint, thickness) of the device assemblies. Such products include, for example, portable communications devices such as cellular telephones and personal digital assistants, laptop computers, digital cameras, and electronic entertainment products.

CLAIMS

What is claimed is:

1. A semiconductor chip package comprising a substrate having a die mount side and a land side, the die mount side including a die attach region and an unoccupied region, and a die attached in the die attach region of the die mount side of the substrate.
2. The package of claim 1 wherein the die is oriented with an active side of the die facing away from the substrate and affixed to the die attach region with using an adhesive, and is electrically connected by wires between die pads in the active side of the die and bond pads in the substrate.
3. The package of claim 2 wherein a molding encloses the wires and at least the die pads in the active side of the die.
4. The package of claim 1 wherein the die is affixed with an active side of the side facing toward the substrate, and is electrically connected to the die attach region by flip chip interconnection between die pads in the active side of the die and interconnect sites in the substrate.
5. The package of claim 4, further comprising an underfill between the active side of the die and the die attach region of the substrate.
6. The package of claim 1, further comprising z-interconnection solder balls mounted on ball pads on the die mount side of the substrate.
7. The package of claim 1, further comprising z-interconnection solder balls mounted on ball pads on the land side of the substrate.

8. A complementary package pair unit, comprising :
- a first semiconductor chip package, comprising
 - a first substrate having a die mount side and a land side, the die mount side including a die attach region and an unoccupied region,
 - a first package die attached in the die attach region of the die mount side of the first substrate, and
 - first z-interconnection solder balls mounted on ball pads on the die mount side of the first substrate; and
 - a second semiconductor chip package , comprising
 - a second substrate having a die mount side and a land side, the die mount side including a die attach region and an unoccupied region,
 - a second package die attached in the die attach region of the die mount side of the first substrate ;
- wherein the first package is stacked on the second package, the die mount side of the first package facing the die mount side of the second package, wherein the die attach region of the first package is aligned with the unoccupied region of the second package, and wherein the first z-interconnection solder balls on the first package contact ball pads on the die mount side of the second substrate .
9. The complementary package pair unit of claim 8 wherein the z -interconnection solder balls are reflowed to form z-level interconnection between the ball pads on the die mount side of the first substrate and the contact ball pads on the die mount side of the second substrate.
10. The complementary package pair unit of claim 9, further comprising second z-interconnection solder balls mounted on ball pads on the land side of the second substrate
11. A multipackage module comprising the complementary package pair unit of claim 9 and a module encapsulation in the volume between the first and second packages.

12. A multipackage module, comprising:
a first complementary package pair unit as recited in claim 10; and
a second complementary package pair unit, comprising:
a third semiconductor chip package, comprising
a third substrate having a die mount side and a land side, the die mount side including a die attach region and an unoccupied region,
a third package die attached in the die attach region of the die mount side of the first substrate, and
third z-interconnection solder balls mounted on ball pads on the die mount side of the first substrate; and
a fourth semiconductor chip package, comprising
a fourth substrate having a die mount side and a land side, the die mount side including a die attach region and an unoccupied region,
a fourth package die attached in the die attach region of the die mount side of the first substrate;
wherein the third package is stacked on the fourth package, the die mount side of the third package facing the die mount side of the fourth package, wherein the die attach region of the third package is aligned with the unoccupied region of the fourth package, and wherein the third z-interconnection solder balls on the third package contact ball pads on the die mount side of the fourth substrate;
wherein the first complementary package pair unit is stacked on the second complementary package pair unit, and wherein the second z-interconnection solder balls on the second package contact ball pads on the land side of the third package substrate.
13. The multipackage module of claim 12, further comprising a module encapsulation in the volume between the first and second packages.
14. The multipackage module of claim 13, further comprising a module encapsulation in the volume between the third and fourth packages.
15. The multipackage module of claim 14, further comprising a module encapsulation in the volume between the second and third packages.

16. A method for making a semiconductor chip package, comprising
providing a package substrate having first and second sides and having a first patterned metal layer at the first side and a second patterned metal layer at the second side, the first side comprising a die attach region and an unoccupied region;
providing a semiconductor die having die pads on an active side thereof; and
mounting the die on the die attach region of the first side of the substrate and electrically interconnecting the die to bond pads of the first patterned metal layer.
17. The method of claim 16 wherein mounting the die comprises affixing the die on the die attach region with the active side of the die facing away from the substrate, and wherein electrically connecting the die comprises forming wire bond interconnection of the die pads with the bond pads.
18. The method of claim 16 wherein mounting and electrically interconnecting the die comprises positioning the die on the die attach region with the active side facing toward the substrate, and forming flip chip interconnection of the die pads with the bond pads.
19. The method of claim 17, further comprising encapsulating the die and wire bonds.
20. The method of claim 18, further comprising forming an underfill between the die and the substrate.
21. A method for making a multipackage module, comprising:
making first and second semiconductor chip packages, each according to the method recited in claim 1;
mounting first z-interconnect solder balls on ball pads on the first side of the first package substrate;
positioning the first and second packages in relation to one another such that the first side of each package substrate faces toward the first side of the other package substrate, and such that the die attach region of each package substrate is aligned with the unoccupied region of the other package substrate;
contacting the first z-interconnect solder balls with ball pads on the first side of the second package substrate; and
reflowing the first z-interconnect solder balls to effect electrical connection with ball pads on the first side of the second package substrate .

22. The method of claim 21, further comprising forming a module encapsulation between the packages.

23. The method of claim 21, further comprising mounting second z-interconnect solder balls on the second side of the second package substrate.

24. A method for making a multipackage module, comprising providing first and second packages, each as recited in claim 1 ;

mounting first z-interconnect solder balls on ball pads on the first side of the first package substrate;

stacking the first package upon the second package, with the die mount sides of the packages facing one another and with the die attach region of each package aligned with the unoccupied region of the other package substrate; and

reflowing the first z-interconnect solder balls to effect electrical connection with ball pads on the first side of the second package substrate.

25. The method of claim 24, further comprising forming a module encapsulation between the packages.

26. The method of claim 24, further comprising mounting second z-interconnect solder balls on the second side of the second package substrate.

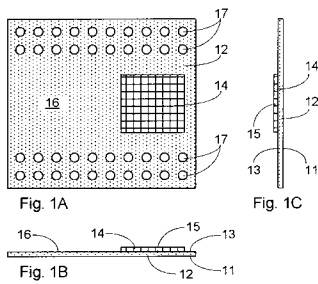
27. An electronic device, comprising a multipackage module according to claim 12, electrically connected to underlying circuitry in the device.

ABSTRACT

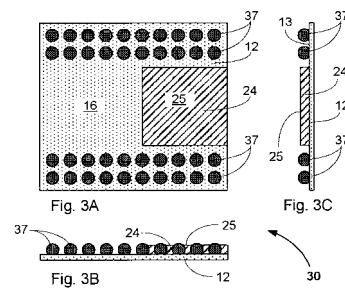
MULTIPACKAGE MODULE HAVING STACKED PACKAGES WITH ASYMMETRICALLY ARRANGED DIE AND MOLDING

Semiconductor chip packages have die asymmetrically arranged on the respective substrates. Two such packages having complementary arrangements can be stacked, one inverted with respect to the other, such that the two die are situated side-by-side in the space between the two substrates. Also, multipackage modules include stacked packages, each having the die asymmetrically arranged on the substrate. Adjacent stacked packages have complementary asymmetrical arrangements of the die, and one package is inverted with respect to the other in the stack, such that the two die are situated side-by-side in the space between the two substrates. Also, methods are disclosed for making the packages and for making the stacked package modules.

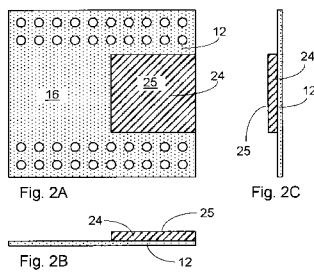
【 F i g 1 】



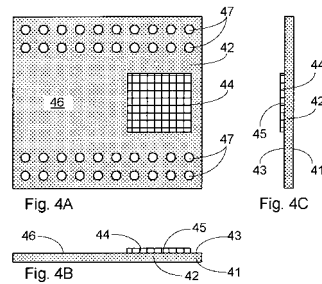
【 F i g 3 】



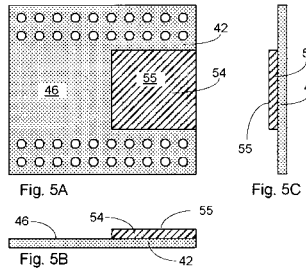
【 F i g 2 】



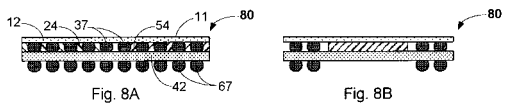
【 F i g 4 】



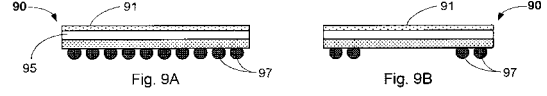
【 F i g 5 】



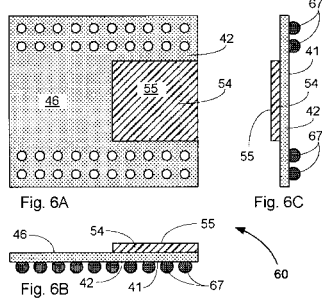
【 F i g 8 】



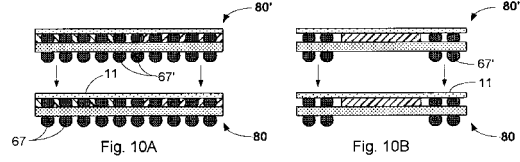
【 F i g 9 】



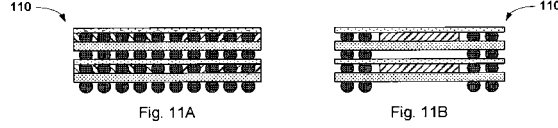
【 F i g 6 】



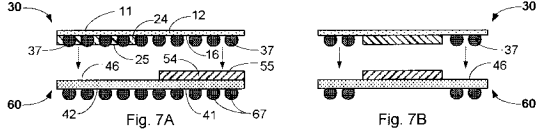
【 F i g 1 0 】



【 F i g 1 1 】



【 F i g 7 】



【 F i g 1 2 】

