



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 965006

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 16.03.81 (21) 3261327/18-09

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.10.82. Бюллетень № 37

Дата опубликования описания 07.10.82

(51) М. Кл.³

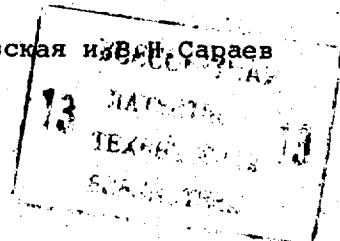
Н 04 L 7/08

(53) УДК 621.394.
.662.2
(088.8)

(72) Авторы
изобретения

С.П. Вольфбейн, Е.А. Каплинская, М.А. Луговская и В.Н. Сараев

(71) Заявитель



(54) УСТРОЙСТВО ЦИКЛОВОГО ФАЗИРОВАНИЯ АППАРАТУРЫ ПЕРЕДАЧИ ДВОИЧНЫХ СИГНАЛОВ

Изобретение относится к технике передачи дискретной информации, а именно к устройствам синхронизации по циклам передающей и приемной частей аппаратуры передачи двоичных сигналов при использовании распределенной синхрокомбинации.

Известно устройство циклового фазирования аппаратуры передачи двоичных сигналов, содержащее последовательно соединенные входной блок стробирования, блок коррекции, дешифратор и блок памяти, выход которого подсоединен к объединенным вторым входам блока коррекции и дешифратора, а также решающий блок [1].

В этом устройстве в процессе вхождения в синхронизм осуществляется параллельный поиск синхрокомбинации (СК) на всех возможных местах ее размещения в цикле, но требуется запоминание значительно меньшего объема информации.

Такое устройство обеспечивает малое время вхождения в синхронизм, однако точность фазирования невелика.

Цель изобретения - повышение точности фазирования.

Поставленная цель достигается тем, что устройство циклового фазирования

аппаратуры передачи двоичных сигналов, содержащее последовательно соединенные входной блок стробирования, блок коррекции, дешифратор и блок памяти, выход которого подсоединен к объединенным вторым входам блока коррекции и дешифратора, а также решающий блок, введены последовательно соединенные блок контроля синхронизма, элемент И и сумматор, первый выход которого через решающий блок подсоединен к первому входу блока контроля синхронизма, ко второму входу которого, объединенному со вторым входом элемента И, подключен второй выход дешифратора, первый вход которого подсоединен ко второму входу сумматора, к третьему входу которого подсоединен выход блока контроля синхронизма, четвертый вход сумматора объединен со вторым входом дешифратора, а второй выход сумматора подсоединен ко второму входу блока памяти.

На чертеже изображена структурно-электрическая схема устройства.

Устройство циклового фазирования содержит входной блок 1 стробирования, блок 2 коррекции, дешифратор 3, сумматор 4, решающий блок 5, блок 6 па-

мяти, блок 7 контроля синхронизма и элемент И 8.

Устройство работает следующим образом.

Приходящие на вход символы стробируются в блоке 1 стробирования и поступают далее в блок 2 коррекции. На оперативный вход блока 2 коррекции заведен выход блока 6 памяти, по которому в параллельном двоичном коде поступают определенные двоичные числа. Каждое такое число определяет порядковый номер символа СК, с которым блок 2 коррекции сравнивает очередной принятый информационный символ.

В случае совпадения информационного символа с соответствующим символом СК на операционном выходе дешифратора 3 по сигналу из блока 2 коррекции устанавливается двоичное число, на единицу большее того, которое было в данном тактовом интервале на выходе блока 6 памяти. Следующим тактом это число записывается в блок 6 памяти и появится на его выходе через r тактов ($r = \frac{N}{l}$, где N - число бит в цикле, l - число бит цикла, отведенных для СК).

В устройстве в пределах одного цикла параллельно и независимо обрабатываются все r групп символов, в которых возможно размещение СК. К концу цикла по крайней мере в одной из групп символов будет обнаружена СК. В это же время на управляющем выходе дешифратора 3 появится импульс, который подается на первый вход элемента И 8 и второй вход блока 7 контроля синхронизма.

На первый вход блока 7 контроля синхронизма с дополнительного выхода решающего блока 5 поступает управляющий сигнал - "метка", которая отмечает в цикле группу позиций, на которых в предыдущих циклах размещалась СК. Если импульс с управляющего выхода дешифратора 3 совпадает во времени с указанной "меткой", то блок 7 контроля синхронизма остается в состоянии "Наличие синхронизма" (или переходит в него). В этом состоянии с выхода блока 7 контроля синхронизма на первый вход элемента И 8 поступает сигнал логического нуля, благодаря чему на входе первого слагаемого сумматора 4 будет нуль. Кроме того, сигнал логического нуля поступает на управляющий вход сумматора 4, и последний записывает во все связанные с ней ячейки блока 6 памяти двоичные числа 00...0.

Если на позициях цикла, отмечаемых сигналом с дополнительного выхода решающего блока 5, не обнаружена СК, т.е. "метка" из решающего блока 5 не совпадает во времени с импульсом на выходе дешифратора 3, то блок

7 контроля синхронизма переходит в состояние "Возможное отсутствие синхронизма".

В этом состоянии блок 7 контроля синхронизма подает постоянную логическую единицу на первый вход элемента И 8, разрешая тем самым прохождение в сумматор 4 импульсов из дешифратора 3, а также на управляющий вход сумматора 4, обеспечивая ему возможность выполнения операции суммирования. На вход второго слагаемого сумматора 4 из блока 6 памяти поступают двоичные числа, и, если на управляющем выходе дешифратора 3 в данном тактовом интервале появляется импульс, то через элемент И 8 он поступает на вход первого слагаемого сумматора 4.

Сумматор 4, получая такой импульс, увеличивает на единицу двоичное число, поступившее на его вход второго слагаемого, и результат следующим тактом записывается в ячейку блока 6 памяти. Таким образом осуществляется подсчет обнаруженных СК для каждой группы позиций в цикле в течение n циклов подряд. Подсчет продолжается до тех пор, пока в сумматоре 4 для какой-то одной из групп позиций не будет получено число n . Тогда из сумматора 4 в решающий блок 5 поступает соответствующий сигнал, по которому последний вырабатывает сигнал подстройки аппаратуры, означающий, что состояние синхронизма по циклам зафиксировано.

Если в какой-либо из групп позиций в цикле в процессе поиска было зафиксировано несовпадение очередного информационного символа с соответствующим символом СК, то блок 2 коррекции вырабатывает управляющий сигнал, которым уменьшается двоичное число на операционном выходе дешифратора 3, а также обнуляются выходы сумматора 4 для данной группы позиций. В этом случае подсчет СК в данной группе позиций начинается заново.

Предлагаемое устройство позволяет существенно повысить точность фазирования, а также уменьшить долю СК в групповом сигнале.

Формула изобретения

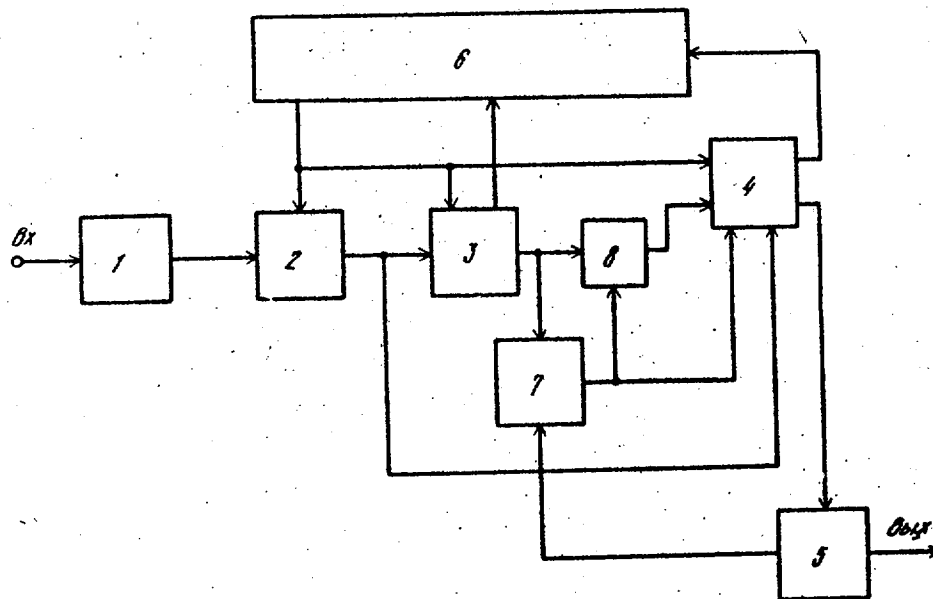
Устройство циклового фазирования аппаратуры передачи двоичных сигналов, содержащее последовательно соединенные входной блок стробирования, блок коррекции, дешифратор и блок памяти, выход которого подсоединен к объединенным вторым входам блока коррекции и дешифратора, а также решающий блок, отличающееся тем, что, с целью повышения точности фазирования, введены последо-

вательно соединенные блок контроля синхронизма, элемент И и сумматор, первый выход которого через решающий блок подсоединен к первому входу блока контроля синхронизма, ко второму входу которого, объединенному со вторым входом элемента И, подключен второй выход дешифратора, первый вход которого подсоединен ко второму входу сумматора, к третьему входу которого подсоединен выход блока

контроля синхронизма, четвертый вход сумматора объединен со вторым входом дешифратора, а второй выход сумматора подсоединен ко второму входу блока памяти.

5

Источники информации,
принятые во внимание при экспертизе
1. Авторское свидетельство СССР
№ 651494, кл. Н 04 Н 7/08, 1977 (про-
тотип).



Составитель Т.Поддубняк
Редактор Л.Авраменко Техред М.Гергель

Корректор А.Ференц

Заказ 7690/47

Тираж 688

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4