

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2021年4月22日(22.04.2021)



(10) 国際公開番号

WO 2021/075064 A1

- (51) 国際特許分類:  
H03F 3/217 (2006.01)
- (21) 国際出願番号: PCT/JP2019/042558
- (22) 国際出願日: 2019年10月30日(30.10.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2019-188936 2019年10月15日(15.10.2019) JP
- (71) 出願人: 株式会社京三製作所(KYOSAN ELECTRIC MFG. CO., LTD.) [JP/JP]; 〒2300031 神奈川県横浜市鶴見区平安町2丁目29番地の1 Kanagawa (JP).
- (72) 発明者: 國玉 博史 (KUNITAMA Hiroshi); 〒2300031 神奈川県横浜市鶴見区平安町2丁目

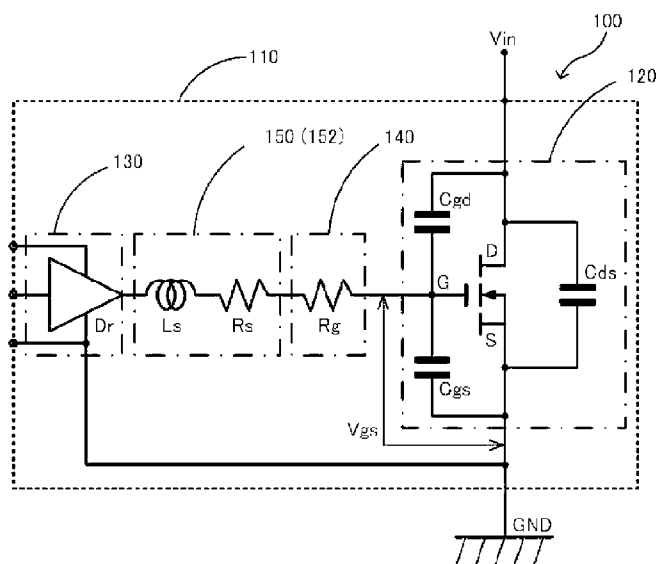
29番地の1 株式会社京三製作所内 Kanagawa (JP). 吉田 卓矢(YOSHIDA Takuya); 〒2300031 神奈川県横浜市鶴見区平安町2丁目29番地の1 株式会社京三製作所内 Kanagawa (JP).

(74) 代理人: あいわ特許業務法人(AIWA INTERNATIONAL PATENT AGENCY); 〒1040045 東京都中央区築地一丁目12番22号 コンビル4階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SWITCHING MODULE

(54) 発明の名称: スイッチングモジュール



(57) Abstract: This switching module has mounted, on a substrate thereof, a MOSFET and a driver circuit for applying drive voltage to a gate electrode of the MOSFET. In the switching module according to the present invention, the driver circuit is electrically connected to the MOSFET via a damping adjustment element and a bonding wire between the gate electrode and the driver circuit.

(57) 要約: MOSFETと、このMOSFETのゲート電極に駆動電圧を印加するドライバ回路と、を基板上に実装したスイッチングモジュールである。本発明によるスイッチングモジュールは、ドライバ回路が、ゲート電極との間にダンピング調整素子及びボンディングワイヤを介して、MOSFETと電氣的に接続されている。



WO 2021/075064 A1

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

## 明 細 書

発明の名称：スイッチングモジュール

### 技術分野

[0001] 本発明は、D級増幅器等に適用されるスイッチングモジュールに関し、特に、高周波電源の増幅器に適用されるMOSFETと、このMOSFETのゲート電極に駆動電圧を印加するドライバ回路と、を含むスイッチングモジュールに関する。

### 背景技術

[0002] 高周波電源は、超音波発振や誘導電力の発生あるいはプラズマの発生等の電源として適用されており、D級増幅器によるスイッチング動作により、直流を高周波交流に変換する機能を有する電源である。このようなスイッチング動作を行うD級増幅器は、電力効率が高く、発熱量が少ないことが特徴であり、そのスイッチング動作を行うモジュールとして、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transmitter) を用いたものが知られている。

[0003] このようなMOSFETを用いたスイッチングモジュールとして、例えば特許文献1及び特許文献2には、MOSFETと、このMOSFETのゲート電極にゲート駆動電圧を印加するドライバ回路と、を基板上に実装したスイッチングモジュールが開示されている。これらのスイッチングモジュールによれば、高周波電源に適し、電源変換効率をさらに向上できるとされている。そして、これらのスイッチングモジュールにおいては、ドライバの出力端子とMOSFETのゲート電極との間をボンディングワイヤで直接接続する構造が採用されている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2006-25567号公報  
特許文献2：特開2008-228304号公報

## 発明の概要

### 発明が解決しようとする課題

- [0005] MOSFETのスイッチング動作は、ゲート電極へのゲート駆動電圧の印加のオン・オフで行われる。オン制御では、ドライバ回路からMOSFETのゲート電極に印加されたゲート駆動電圧によりゲート・ソース電圧が所定値を超えるとMOSFETはオン状態となる。一方、オフ制御では、ゲート駆動電圧の印加を停止し、ゲート・ソース電圧を所定値よりも低電圧とすることによりMOSFETはオフ状態となる。
- [0006] このオフ制御において、ドライバ回路とMOSFETとの間で構成される共振回路による共振現象が生じ、共振電圧は内部成分により振動しながらの所定の時定数で振幅が減衰する。以下、この電圧をダンピング電圧として説明する。
- [0007] オフ制御において、MOSFETのゲート・ソース電圧はダンピング電圧により振動する。このとき、ダンピング電圧の振動により、ゲート・ソース電圧がMOSFETをオン状態とするしきい値（スレッシュホールド値）を超えると、MOSFETはオン指令信号が入力されたとしてオン状態となり、本来はオフ状態であるべきときにオン状態となる誤動作（誤点弧）が発生するという問題点がある。
- [0008] また、特許文献1あるいは特許文献2に示されるような従来のスイッチングモジュールでは、ドライバの出力端子とMOSFETのゲート電極との間をボンディングワイヤで直接接続する構造が採用されている。この構成では、ドライバ回路とMOSFETの間には、ボンディングワイヤの浮遊インダクタンスや内部抵抗、及びMOSFETのゲート・ソース容量によりRLC直列共振回路が形成される。RLC直列共振回路の直列共振で生じるダンピング電圧の減衰率（ダンピング定数）は、ボンディングワイヤの電気的特性やワイヤの長さに依存して変化する。
- [0009] しかしながら、スイッチングモジュールに搭載するMOSFETを交換した場合にダンピング電圧による誤作動を発生させないようにするには、ボン

ディングワイヤの線路長やドライバ回路のドライバICの内部出力段の内部抵抗等を変える必要があり、これには多くの手間がかかってしまうことになる。また、MOSFETのチップを交換した場合、数MHz～数十MHz帯のMOSFETの寄生容量 $C_{iss}$ はおよそ10倍程度の幅で異なるため、周波数共振により異常発振現象が発生するおそれがある。さらに、スイッチングモジュールに搭載するドライバ回路及びMOSFETのパターンを共通化した場合、ボンディングワイヤの線路長は固定長となるため、ボンディングワイヤの線路長及び抵抗成分も固定値となる。

[0010] 本発明は、上記した従来の問題点を解決するためになされたものであって、MOSFETを交換する、あるいは使用する周波数を変更した場合であっても、MOSFETとドライバ回路との接続回路においてダンピング電圧による誤作動が生じるのを抑制することができるスイッチングモジュールを提供することを目的とする。

#### 課題を解決するための手段

[0011] 上記の課題を解決するために、本発明の代表的な態様の1つは、MOSFETと、このMOSFETのゲート電極にゲート駆動電圧を印加するドライバ回路と、を基板上に実装したスイッチングモジュールであって、前記ドライバ回路は、前記ゲート電極との間にダンピング調整素子及びボンディングワイヤを介して、前記MOSFETと電気的に接続されていることを特徴とする。

[0012] このような構成を備えた本発明によれば、ドライバ回路とMOSFETとの間にゲート・ソース電圧のダンピング電圧の減衰率（ダンピング定数）を調整できるダンピング調整素子を配置し、このダンピング調整素子を介してドライバ回路とMOSFETとを電気的に接続する構成とすることにより、MOSFETの交換、あるいは使用周波数の変更等のスイッチングモジュールの仕様変更に伴って生じるダンピング電圧による誤作動の発生を抑制することができる。

#### 図面の簡単な説明

[0013] [図1]本発明の代表的な一例である実施例1によるスイッチングモジュールの概要を示す側面図である。

[図2]実施例1によるスイッチングモジュールを高周波電源装置の増幅器に適用した際のモジュール近傍における等価接続回路を示す回路図である。

[図3]図1に示したダンピング調整素子の典型的な一例とその変形例を示す斜視図である。

[図4]実施例1によるスイッチングモジュールを用いてゲート電極にゲートパルスを入力した際の電圧の時間変化を示すグラフである。

[図5]実施例2によるスイッチングモジュールを高周波電源装置の増幅器に適用した際のモジュール近傍における等価接続回路を示す回路図である。

[図6]実施例2の変形例によるスイッチングモジュールを高周波電源装置の増幅器に適用した際のモジュール近傍における等価接続回路を示す回路図である。

### 発明を実施するための形態

[0014] 以下、本発明によるスイッチングモジュールの代表的な具体例を図1～図6を用いて説明する。

[0015] <実施例1>

図1は、本発明の代表的な一例である実施例1によるスイッチングモジュールの概要を示す側面図である。ここで、本願明細書において示すスイッチングモジュールは、半導体製造装置向けの高周波電源等に適用できる。このとき、増幅器の出力が1kW以上で、出力周波数が0.3MHz以上のものが例示できる。

[0016] 図1に示すように、実施例1によるスイッチングモジュール100は、基板110と、この基板110上に搭載されたMOSFET120、ドライバ回路130及びダンピング調整素子140と、これらの素子を電氣的に接続するボンディングワイヤ150、152と、を含む。なお、図1ではMOSFET120のゲート電極Gに接続する経路のみを示し、増幅器の一部を構成するためにドレイン電極Dやソース電極Sに接続される経路については、

図示を省略する。

- [0017] 基板110は、その一例として、MOSFET120、ドライバ回路130及びダンピング調整素子140を上面に搭載する平板状の部材として形成される。基板110は、酸化ベリリウム(BeO)又は窒化アルミニウム(AlN)等の熱伝導性の良い材料で形成される。これにより、モジュールを駆動した際に発生した熱を効果的に放散あるいは排出することができる。
- [0018] MOSFET120は、電界効果トランジスタ(Field Effect Transistor)の一種であって、例えばシリコン等の基板上に絶縁層としての酸化膜とゲート電極Gとを積層し、さらに高濃度の不純物をイオン注入してドレイン電極Dとソース電極Sとを形成した半導体素子として構成されたものを用いる。本発明では、一般にp型あるいはn型と称されるいずれのMOSFET素子でも適用できる。
- [0019] ドライバ回路130は、図示しない駆動電源とスイッチング機構とを含む構造であって、スイッチング機構のオン・オフ動作により、MOSFET120のゲート電極Gに対して所定のゲート駆動電圧を印加するように構成されている。ドライバ回路130としては、トランジスタやMOSFETで構成されたプッシュプル回路を出力段に持つICチップが例示できる。
- [0020] ダンピング調整素子140は、基板110上でMOSFET120とドライバ回路130との間に配置され、MOSFET120及びドライバ回路130とボンディングワイヤ150、152を介してそれぞれ電氣的に接続される。実施例1においては、ダンピング調整素子140は例えばゲート抵抗 $R_g$ として構成される。
- [0021] このようなダンピング調整素子140は、これに含まれるゲート抵抗 $R_g$ の抵抗値を、後述するようにMOSFET120の寄生容量に基づいて選択することにより、ゲート電極Gから印加されるゲート・ソース電圧 $V_{gs}$ のダンピング電圧(戻り電圧) $V_{gs1}$ が所定のしきい値を超えないような値として設定される。すなわち、ダンピング調整素子140のゲート抵抗 $R_g$ の抵抗値を適宜調整することにより、ドライバ回路130の出力電圧に対する

ダンピング電圧（戻り電圧） $V_{gs1}$ の減衰率を制御する。

[0022] ボンディングワイヤ150、152は、例えば金、銅又はアルミニウム製のワイヤが適用される。ここで、図1に示すボンディングワイヤ150、152と各素子との接合は、ボールボンディングあるいはウェッジボンディング等の公知の手法で行われる。また、ダンピング調整素子140は、MOSFET120の種類や使用する出力周波数に応じて付け替え自在に取り付けられる。

[0023] 図2は、実施例1によるスイッチングモジュールを高周波電源装置の増幅器に適用した際のモジュール近傍における等価接続回路を示す回路図である。ここで、図2では、MOSFET120に電圧入力 $V_{in}$ とアースGNDを接続した場合を例示しているが、高周波電源装置の他の構成による等価接続回路については図示及び説明を省略する。

[0024] 図2に示すように、基板110には、MOSFET120と、ドライバ回路130と、が搭載されており、両者の間には、ダンピング調整素子140とボンディングワイヤ150、152とが電氣的に接続配置されて、ドライバ回路130からMOSFET120に至る接続回路が形成されている。ここで、上述のとおり、図1に示したダンピング調整素子140はゲート抵抗 $R_g$ として模擬され、ボンディングワイヤ150、152は一体で浮遊インダクタンス $L_s$ と抵抗成分 $R_s$ とを内部に含む構成として模擬される。

[0025] ドライバ回路130はドライバDrを含み、このドライバDrがボンディングワイヤ150、152に接続されるとともにアースGNDとも接続されている。そして、ドライバ回路130からの出力電圧により、MOSFET120のゲート電極Gとソース電極Sとの間に、上記したスイッチング機構の動作に応じたゲート・ソース電圧 $V_{gs}$ が印加される。

[0026] 図3は、図1に示したダンピング調整素子の典型的な一例とその変形例を示す斜視図である。図3(a)に示すように、ダンピング調整素子140は、その一例として、厚さ $H_1$ 、素子の配列方向の長さ $L_1$ 及び幅 $W_1$ を有する金属部材142からなる。このとき、長さ $L_1$ を固定しつつ金属部材14

2の厚さH1及び幅W1を変更することにより、各素子との間隔及びボンディングワイヤ150、152の長さを一定とした上で、ダンピング調整素子140のゲート抵抗Rgを調整することができる。なお、金属部材142に代えて、市販の電気抵抗器を用いてもよい。

[0027] また、図3(b)に示すように、ダンピング調整素子140の変形例として、ベース部材144の一面に厚さH2、素子の配列方向の長さL2及び幅W2の抵抗体146を積層し、これらを保護体148で一体化した高電力チップ抵抗や薄膜印刷抵抗等を適用することも可能である。これらの構成においても、長さL2を固定しつつ抵抗体146の厚さH2及び幅W2を変更することにより、各素子との間隔及びボンディングワイヤ150、152の長さを一定とした上で、ダンピング調整素子140のゲート抵抗Rgを調整することができる。

[0028] 図1及び図2に示した構成を備えたスイッチングモジュール100において、ダンピング調整素子140のゲート抵抗Rgの抵抗値は、その一例として、MOSFET120の寄生容量に基づいて以下のような手順で決定される。

[0029] 上述のとおり、MOSFET120には寄生容量が存在する。そして、この寄生容量のうち、入力容量Cissは、ゲート・ソース間容量Cgsとゲート・ドレイン間容量Cgdとを用いて、以下の式1のように定義される。

### 式1

[0030] 
$$C_{iss} = C_{gs} + C_{gd}$$

[0031] また、上述のとおり、図2に示した等価回路において、ドライバ回路130からボンディングワイヤ150、152及びダンピング調整素子140を介してMOSFET120に至る接続回路が形成されると、ボンディングワイヤ150、152の浮遊インダクタンスLs、抵抗成分Rs、ダンピング調整素子140のゲート抵抗Rg及びMOSFET120のゲート・ソース間容量Cgsが直列共振回路を構成する。この直列共振回路において直列共振が発生すると、ゲート・ソース電圧Vgsは、以下の式2で表されるダン

ピング定数 $\zeta$ に基づいてその振幅が減衰することが知られている。

## 式 2

[0032]

$$\zeta = \frac{K_{gs} + K_{gd}}{2} \sqrt{\frac{C_{gs}}{L_{gs}}}$$

[0033] 一方、MOSFET 120は、ゲート・ソース電圧 $V_{gs}$ が印加されてその電圧値が所定値を超えたときにオン状態となるが、ドライバ回路130のスイッチング制御がオフになった場合でも、ゲート・ソース電圧 $V_{gs}$ が瞬時に切り替わることはなく、いわゆるダンピング電圧（戻り電圧）が生じる。このとき、ドライバ回路130からのゲート・ソース電圧 $V_{gs}$ がターンオフした後の、1周期後のゲート・ソース電圧 $V_{gs1}$ は、ドライバ回路130の出力電圧を $V_{dr}$ とすると、以下の式3から算出できる。

## 式 3

[0034]

$$V_{gs1} = \frac{V_{dr}}{\sqrt{1-\zeta^2}} e^{-\frac{2\pi}{\zeta}}$$

[0035] そして、上記した $V_{gs1}$ がMOSFET 120をオン状態にする所定のしきい値（スレッシュホールド値） $V_{th}$ を超えると、MOSFET 120はオン指令の信号が入力したものとしてオン状態となり、本来はオフであるべき時にオンとなる誤作動（誤点弧）が発生することとなる。そこで、このようなMOSFET 120の誤点弧を防止するためには、1周期後のゲート・ソース電圧 $V_{gs1}$ が、上記した所定のしきい値（MOSFET 120がオンとなるスレッシュホールド電圧） $V_{th}$ よりも小さいことが求められる。すなわち、式3に示す $V_{gs1}$ がしきい値 $V_{th}$ より小さくなるダンピング定数 $\zeta$ となるように、ゲート抵抗 $R_g$ の抵抗値を定めればよい。

[0036] 図4は、実施例1によるスイッチングモジュールを用いてゲート電極にゲートパルスを入力した際の電圧の時間変化を示すグラフである。図4に示すように、横軸を時間、縦軸をゲート・ソース電圧としたときに、ドライバ回路130内のゲートパルスによる出力電圧 $V_{dr}$ は点線で示され、実際にゲート電極Gにかかるゲート・ソース電圧 $V_{gs}$ は実線で示されるとおりとな

る。

[0037] このとき、パルスオフの後の振動により、時刻  $t_1$  で1周期後のゲート・ソース電圧、すなわちダンピング電圧（戻り電圧） $V_{gs1}$ が発生する。ここで、上述のとおり、時刻  $t_1$  におけるゲート・ソース電圧  $V_{gs1}$  が所定のしきい値  $V_{th}$  を超えないようにゲート抵抗  $R_g$  の抵抗値を設定することにより、MOSFET120が誤点弧を起こすことが抑制される。つまり、ゲート抵抗  $R_g$  の抵抗値を調整することにより、ダンピング定数  $\zeta$  を調整できるため、結果として、ダンピング電圧（戻り電圧） $V_{gs1}$  の減衰率を制御することもできる。

[0038] 上記のような構成を備えることにより、実施例1によるスイッチングモジュール100は、ドライバ回路130とMOSFET120との間を、ボンディングワイヤ150、152に加えてダンピング調整素子140を介して電氣的に接続したため、MOSFET120の交換や、あるいは使用する周波数を変更した場合に、ダンピング調整素子140のゲート抵抗  $R_g$  によりゲート・ソース電圧のダンピング電圧（戻り電圧） $V_{gs1}$  を調整することができ、結果として、MOSFETとドライバ回路との接続回路においてダンピング電圧による誤作動が生じるのを抑制することができる。

[0039] <実施例2>

一般に、MOSFETにおいては、ゲート電極Gとその他の電極（ドレイン電極D及びソース電極S）との間は酸化膜で絶縁されており、その酸化膜の静電容量により寄生容量が存在することが知られている。この寄生容量は、使用するMOSFETの周波数との間で、その適用範囲が反比例する関係（すなわち、MOSFETの周波数が大きくなると寄生容量が小さい方が望ましい）にあり、このため、増幅器の設計においては、出力する周波数に合わせてこれに適したMOSFETを選択することとなる。

[0040] このとき、MOSFETを搭載したスイッチングモジュールの等価接続回路において、ドライバとMOSFETとを接続するボンディングワイヤは浮遊インダクタンス  $L_s$  と抵抗成分  $R_s$  を有する。これら浮遊インダクタンス

$L_s$  及び抵抗成分  $R_s$  は、上記した寄生容量のうちのゲート・ソース間容量  $C_{gs}$  との間で  $RLC$  直列回路を形成して直列共振を生じることがあり、これに起因して回路に過剰な電流が流れてしまうという問題がある。

[0041] 図5は、実施例2によるスイッチングモジュールを高周波電源装置の増幅器に適用した際のモジュール近傍における等価接続回路を示す回路図である。ここで、実施例2によるスイッチングモジュール200において、実施例1と同一あるいは同様の構成を備えるものについては、実施例1と同一の符号を付して再度の説明を省略する。

[0042] 図5に示すように、実施例2によるスイッチングモジュール200において、基板110には、MOSFET120と、ドライバ回路130と、が搭載されており、両者の間には、ダンピング調整素子240とボンディングワイヤ150、152とが電氣的に接続配置されて、ドライバ回路130からMOSFET120に至る接続回路が形成されている。また、図5では、実施例1の場合と同様に、MOSFET120に電圧入力 $V_{in}$ とアースGNDを接続した場合を例示し、高周波電源装置の他の構成による等価接続回路については図示及び説明を省略する。

[0043] 図5に示すスイッチングモジュール200において、ダンピング調整素子240は、ゲート抵抗 $R_g$ とゲートインダクタンス $L_g$ とが並列に接続された $RL$ 並列回路からなる振動抑制回路として構成されている。ここで、図5に示すゲート抵抗 $R_g$ は、実施例1で用いたものと同様の構成のものが適用される。このような構成のダンピング調整素子240は、ゲート抵抗 $R_g$ によるダンピング電圧を制御する機能に加えて、ゲートインダクタンス $L_g$ を通して $RL$ 並列回路の共振周波数 $\omega_0$  ( $\omega_0 = R_g / L_g$ ) より低い低周波数成分（直流分）の電流を後段のMOSFET120に流すとともに、ゲート抵抗 $R_g$ を通して $RL$ 並列回路の共振周波数 $\omega_0$  より高い高周波数成分をMOSFET120に流す機能を有する。

[0044] すなわち、図5に示すダンピング調整素子240において、例えば、ゲートインダクタンス $L_g$ の巻数を変更することによりそのインダクタンス値が

変化する。このとき、ドライバ回路130からMOSFET120に至る接続回路の共振周波数は上記のとおりゲート抵抗 $R_g$ とゲートインダクタンス $L_g$ との関数で表されるため、ゲートインダクタンス $L_g$ のインダクタンス値が変化すると、接続回路の共振周波数も変化する。これにより、接続回路における共振周波数を自由に調整できるため、ドライバ回路130からMOSFET120に至る接続回路が構成するRLC直列回路における直列共振を抑制することができる。

[0045] 図6は、実施例2の変形例によるスイッチングモジュールを高周波電源装置の増幅器に適用した際のモジュール近傍における等価接続回路を示す回路図である。ここで、図5の場合と同様に、図6に示すスイッチングモジュール200において、実施例1と同一あるいは同様の構成を備えるものについては、実施例1と同一の符号を付して再度の説明を省略する。

[0046] 図6に示す変形例において、ダンピング調整素子240は、ゲート抵抗 $R_g$ とゲートキャパシタ $C_g$ とが直列に接続されたRC直列回路からなる振動抑制回路として構成されている。このようなRC直列回路は、ボンディングワイヤ150、152に含まれる浮遊インダクタンス $L_s$ とともに振動吸収回路を構成する。ここで、図6に示すゲート抵抗 $R_g$ についても、実施例1で用いたものと同様の構成のものが適用される。このような構成のダンピング調整素子240は、ゲート抵抗 $R_g$ によるダンピング電圧を制御する機能に加えて、ゲート抵抗 $R_g$ の抵抗値とゲートキャパシタ $C_g$ の静電容量値とに応じて、それぞれの素子の両端にかかる電圧が変化する機能を有する。

[0047] すなわち、図6に示すダンピング調整素子240において、例えば、ゲートキャパシタ $C_g$ の電極版の面積や間隔を変更することにより静電容量値が変化する。このとき、ドライバ回路130からMOSFET120に至る接続回路の共振周波数は、浮遊インダクタンス $L_s$ とゲートキャパシタ $C_g$ との関数で表されるため、ゲートキャパシタ $C_g$ の静電容量値が変化すると、接続回路の共振周波数も変化する。これにより、図5に示した場合と同様に

、接続回路における共振周波数を自由に調整できるため、ドライバ回路130からMOSFET120に至る接続回路が構成するRLC直列回路における直列共振を抑制することができる。

[0048] 上記のような構成を備えることにより、実施例2によるスイッチングモジュール200は、ダンピング調整素子240、240'を、ゲート抵抗 $R_g$ を内部に含む振動抑制回路として構成したことにより、ゲート抵抗 $R_g$ と並列あるいは直列に配置されるゲートインダクタンス $L_g$ 又はゲートキャパシタ $C_g$ の値を変化させることにより、ダンピング調整素子240、240'にゲート抵抗 $R_g$ によるダンピング抵抗としての機能を持たせるとともに、ドライバ回路130からMOSFET120に至る接続回路における共振周波数を自在に調整する機能をも有することが可能となる。

[0049] なお、上記した実施の形態及びこれらの変形例における記述は、本発明に係るスイッチングモジュールの一例であって、本発明は各実施の形態に限定されるものではない。また、当業者であれば、本発明の趣旨を逸脱することなく種々の変形を行うことが可能であり、これらを本発明の範囲から排除するものではない。

## 符号の説明

- [0050] 100 スイッチングモジュール  
110 基板  
120 MOSFET  
130 ドライバ回路  
140 ダンピング調整素子  
142 金属部材  
144 ベース部材  
146 抵抗体  
148 保護体  
150、152 ボンディングワイヤ  
200 スイッチングモジュール

240、240' ダンピング調整素子

G ゲート電極

D ドレイン電極

S ソース電極

D r ドライバ

R g ゲート抵抗

L g ゲートインダクタンス

C g ゲートキャパシタ

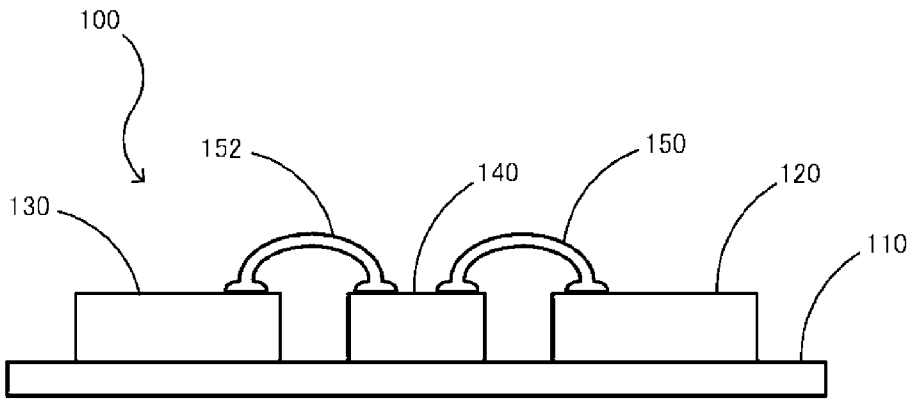
V g s ゲート・ソース電圧

V g s 1 ダンピング電圧 (戻り電圧)

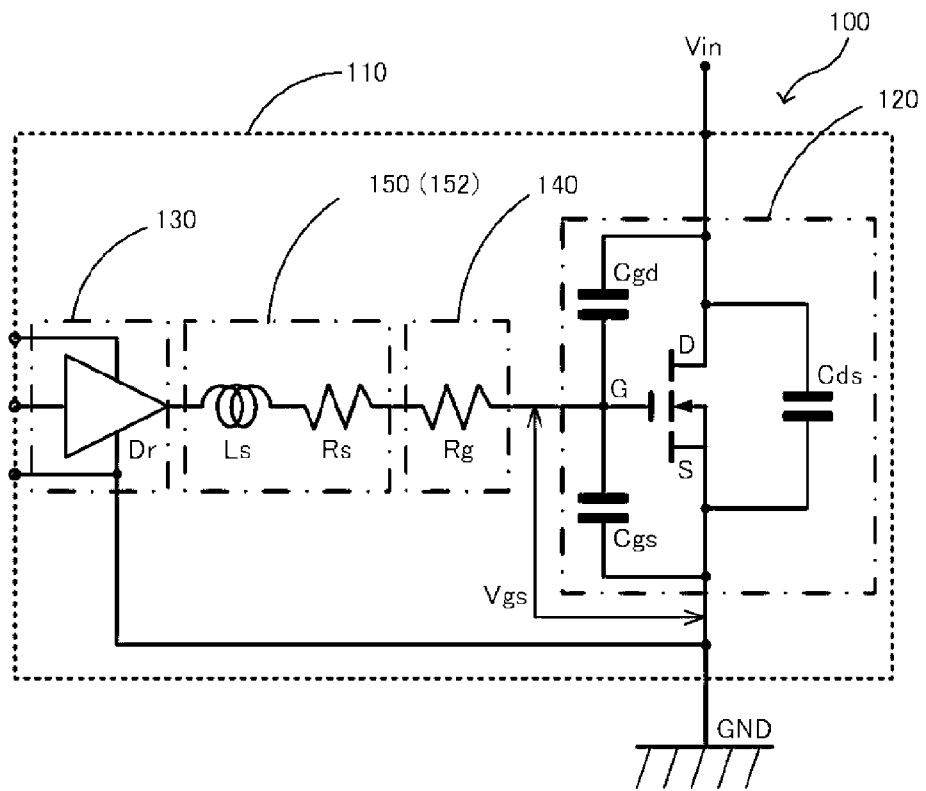
## 請求の範囲

- [請求項1] MOSFETと、このMOSFETのゲート電極にゲート駆動電圧を印加するドライバ回路と、を基板上に実装したスイッチングモジュールであって、
- 前記ドライバ回路は、前記ゲート電極との間にダンピング調整素子及びボンディングワイヤを介して、前記MOSFETと電氣的に接続されていることを特徴とするスイッチングモジュール。
- [請求項2] 前記ダンピング調整素子は、前記MOSFETの寄生容量に基づいてその抵抗値が設定されたゲート抵抗であることを特徴とする請求項1に記載のスイッチングモジュール。
- [請求項3] 前記ゲート抵抗は、高電力チップ抵抗又は薄膜抵抗器であることを特徴とする請求項2に記載のスイッチングモジュール。
- [請求項4] 前記ゲート抵抗の抵抗値は、前記ドライバ回路からのゲート駆動電圧の印加が終了した後の戻り電圧がしきい値を超えないように設定されることを特徴とする請求項2又は3に記載のスイッチングモジュール。
- [請求項5] 前記基板は、酸化ベリリウム又は窒化アルミニウムにより形成されていることを特徴とする請求項1～4のいずれか1項に記載のスイッチングモジュール。

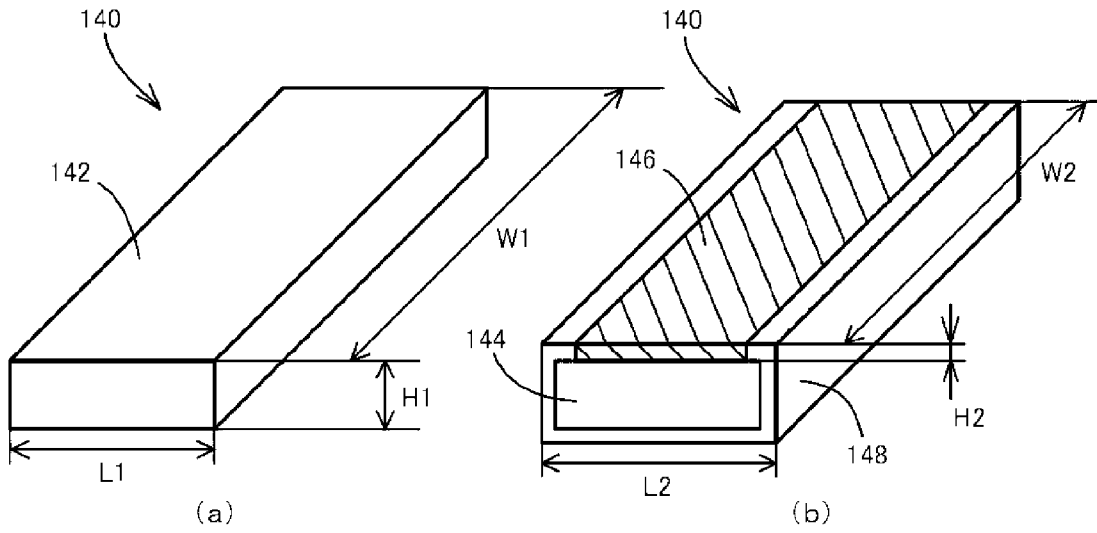
[図1]



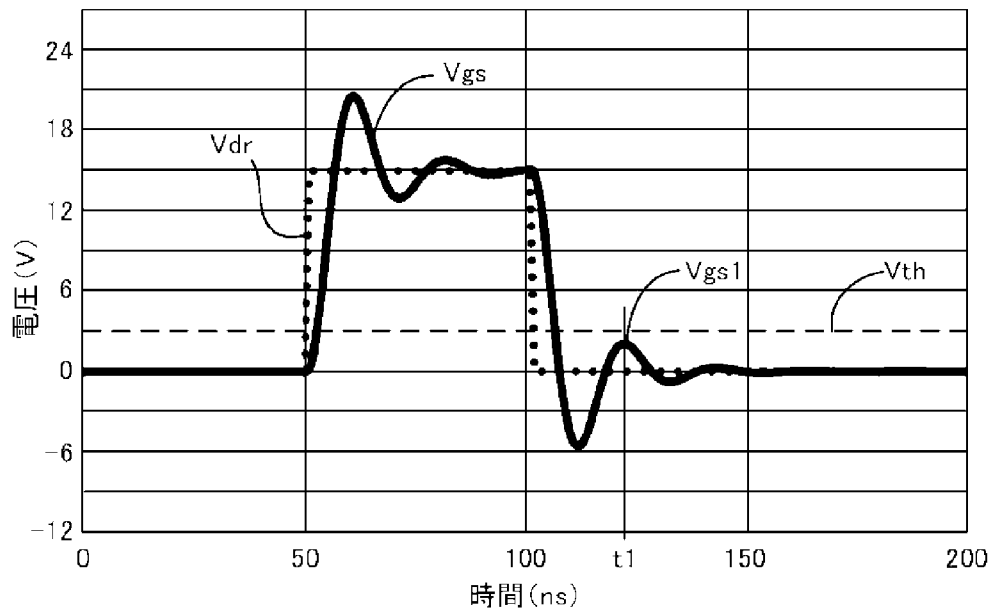
[図2]



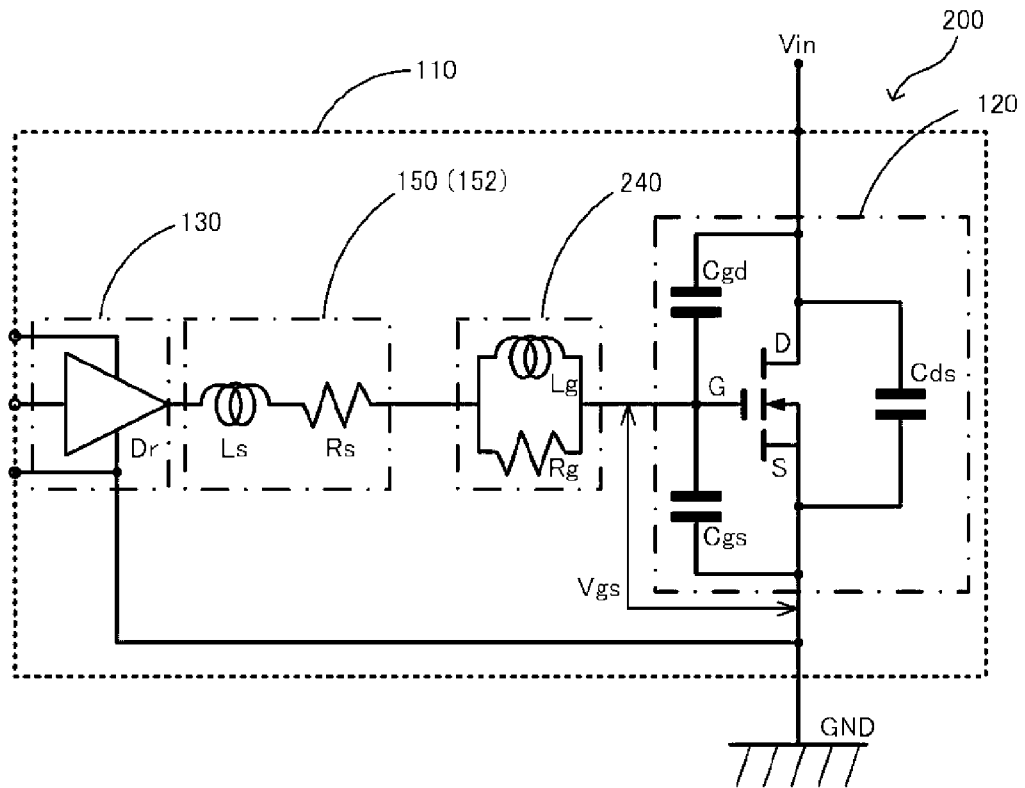
[圖3]



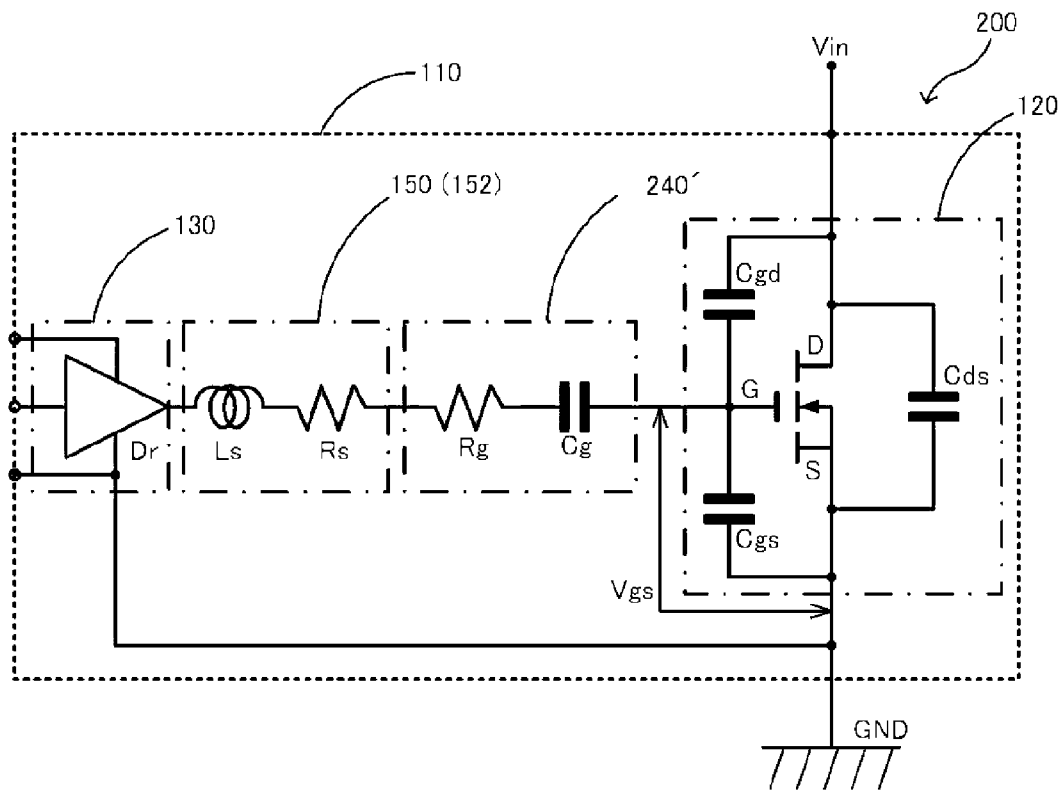
[圖4]



[図5]



[図6]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2019/042558

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl. H03F3/217 (2006.01) i  
FI: H03F3/217

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl. H03F3/217

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2018-107494 A (RENESAS ELECTRONICS CORP.) 05.07.2018 (2018-07-05), paragraphs [0028], [0029], [0042]-[0047], fig. 14, 15	1-5
A	JP 2017-92057 A (KONICA MINOLTA, INC.) 25.05.2017 (2017-05-25), paragraphs [0034]-[0036], fig. 4	1-5

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance  
 “E” earlier application or patent but published on or after the international filing date  
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 “O” document referring to an oral disclosure, use, exhibition or other means  
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 “&” document member of the same patent family

Date of the actual completion of the international search  
21.01.2020

Date of mailing of the international search report  
28.01.2020

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer  
  
Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/JP2019/042558

JP 2018-107494 A	05.07.2018	US 2018/0183432 A1 paragraphs [0050], [0051], [0064]-[0069], fig. 14, 15 EP 3340446 A1 KR 10-2018-0073474 A CN 108336910 A TW 201838336 A
JP 2017-92057 A	25.05.2017	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H03F 3/217(2006.01)i FI: H03F3/217		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03F3/217 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査でを使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-107494 A (ルネサスエレクトロニクス株式会社) 05.07.2018 (2018-07-05) 段落[0028]、[0029]、[0042]-[0047]、図14-15	1-5
A	JP 2017-92057 A (コニカミノルタ株式会社) 25.05.2017 (2017-05-25) 段落[0034]-[0036]、図4	1-5
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日	21.01.2020	国際調査報告の発送日 28.01.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  工藤 一光 5W 9274  電話番号 03-3581-1101 内線 3576	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号  
 PCT/JP2019/042558

引用文献	公表日	パテントファミリー文献	公表日
JP 2018-107494 A	05.07.2018	US 2018/0183432 A1 段落[0050]、[0051]、[0064]-[0069]、図14-15 EP 3340446 A1 KR 10-2018-0073474 A CN 108336910 A TW 201838336 A	
JP 2017-92057 A	25.05.2017	(ファミリーなし)	