

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7612609号
(P7612609)

(45)発行日 令和7年1月14日(2025.1.14)

(24)登録日 令和6年12月27日(2024.12.27)

(51)国際特許分類		F I			
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 3 0	
G 0 2 F	1/1368(2006.01)	G 0 9 F	9/30	3 3 8	
		G 0 2 F	1/1368		

請求項の数 15 (全16頁)

(21)出願番号	特願2021-568951(P2021-568951)	(73)特許権者	510280589
(86)(22)出願日	令和2年9月23日(2020.9.23)		京東方科技集團股 ぶん 有限公司
(65)公表番号	特表2023-503204(P2023-503204 A)		BOE TECHNOLOGY GROU P CO., LTD.
(43)公表日	令和5年1月27日(2023.1.27)		中華人民共和國100015北京市朝陽區酒仙橋路10號
(86)国際出願番号	PCT/CN2020/117039		No.10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2021/103785	(73)特許権者	517000346
(87)国際公開日	令和3年6月3日(2021.6.3)		重慶京東方光電科技有限公 司
審査請求日	令和5年9月22日(2023.9.22)		CHONGQING BOE OPTOE LECTRONICS TECHNOL
(31)優先権主張番号	201911212220.X		最終頁に続く
(32)優先日	令和1年11月28日(2019.11.28)		
(33)優先権主張国・地域又は機関	中国(CN)		

(54)【発明の名称】 表示基板、表示パネルおよび電子機器

(57)【特許請求の範囲】

【請求項1】

ベース基板と、

ベース基板に設けられる表示領域と表示領域の周辺に位置する周辺領域と、を含み、
前記周辺領域にダミー画素ユニットとダミーデータラインとが設置され、前記ダミー画素ユニットは薄膜トランジスタを含み、前記薄膜トランジスタは第1の電極と第2の電極とを含み、前記第1の電極はソースとドレインとの一方であり、前記第2の電極は前記ソースとドレインとの他方であり、前記第1の電極は前記ダミーデータラインに電氣的に接続され、前記第2の電極は第1の切れ目によって仕切りられた第1の部分および第2の部分

を有し、
共通電極をさらに含み、前記周辺領域に電極拡張層がさらに設けられ、

前記電極拡張層は前記共通電極に電氣的に接続され、

前記電極拡張層は、前記第1の電極、前記第2の電極及び前記ダミーデータラインと同一の材料で同一層に配置され、前記電極拡張層は、前記ダミーデータラインに電氣的に接続される、

表示基板。

【請求項2】

前記ダミー画素ユニットは、画素電極をさらに含み、前記第2の電極の前記第2の部分は、前記画素電極に電氣的に接続され、

前記薄膜トランジスタは、アクティブ層およびゲートをさらに含み、

同一の薄膜トランジスタにおいて、ベース基板への前記ゲートの正投影は、ベース基板へのアクティブ層の正投影と、少なくとも部分的に重なり、かつ、ベース基板への前記第2の電極の前記第1の部分の正投影と、少なくとも部分的に重なる

請求項1に記載の表示基板。

【請求項3】

同一の薄膜トランジスタにおいて、ベース基板への前記アクティブ層の正投影は、ベース基板への前記第2の電極の第1の部分の正投影と、少なくとも部分的に重なり、ベース基板への前記第2の電極の第2の部分の正投影と重ならず、ベース基板への前記第1の切れ目の正投影は、ベース基板への前記アクティブ層の正投影と重ならず、ベース基板への前記ゲートの正投影とも重ならない

請求項2に記載の表示基板。

【請求項4】

同一の薄膜トランジスタにおいて、ベース基板への前記アクティブ層の正投影は、ベース基板への前記第2の電極の第1の部分の正投影と、少なくとも部分的に重なり、ベース基板への前記第2の電極の第2の部分の正投影と、少なくとも部分的に重なり、ベース基板への前記第1の切れ目の正投影は、ベース基板への前記アクティブ層の正投影とベース基板への前記ゲートの正投影に落ち込む

請求項2に記載の表示基板。

【請求項5】

同一の薄膜トランジスタにおいて、ベース基板への前記第2の電極の第1の部分の前記第1の切れ目に近いエッジの正投影は、ベース基板への前記ゲートの正投影の一つのエッジと面一である

請求項2に記載の表示基板。

【請求項6】

同一の薄膜トランジスタにおいて、ベース基板への前記ゲートの正投影は、ベース基板への前記第2の電極の第1の部分の正投影を完全に覆う

請求項2に記載の表示基板。

【請求項7】

同一の薄膜トランジスタにおいて、ベース基板への前記ゲートの正投影は、ベース基板への前記第2の電極の第2の部分の正投影と、部分的に重なっている

請求項2に記載の表示基板。

【請求項8】

前記第2の電極は、第2の切れ目によって前記第2の部分と仕切りられる第3の部分をさらに有し、

ベース基板への第1の切れ目及び第2の切れ目の各々の正投影は、ベース基板へのゲートの正投影と重ならず、ベース基板へのアクティブ層の正投影と重ならず、ベース基板への第2の電極の第1の部分及び第3の部分の少なくとも一方の正投影は、ベース基板へのゲートの正投影と、少なくとも部分的に重なり、ベース基板へのアクティブ層の正投影と、少なくとも部分的に重なり、前記第2の電極の前記第2の部分は、第1のビア構造によって前記画素電極に電氣的に接続される

請求項2に記載の表示基板。

【請求項9】

同一のダミーデータラインの両端は、前記同一のダミーデータラインおよび電極拡張層を通る導電ループを形成するように、前記電極拡張層に電氣的に接続される

請求項1に記載の表示基板。

【請求項10】

__接続層をさらに含み、__

__前記接続層は、前記画素電極と同一の材料で同一層に設けられ、前記接続層は、第2のビア構造を介して共通電極に電氣的に接続されると共に、第3のビア構造を介して前記電極拡張層に電氣的に接続される

10

20

30

40

50

請求項 2 ~ 8 のいずれか一項に記載の表示基板。

【請求項 1 1】

前記共通電極は、互いに接続された第 1 の共通電極延長部及び第 2 の共通電極延長部を含み、前記第 1 の共通電極延長部の延長方向と前記第 2 の共通電極延長部の延長方向は互いに交差し、ベース基板への前記接続層の正投影は、ベース基板への前記第 2 の共通電極延長部の正投影と少なくとも部分的に重なり、

ベース基板への前記第 1 の共通電極延長部の正投影は、ベース基板への画素電極の正投影と少なくとも部分的に重なり合っている

請求項 1 0 に記載の表示基板。

【請求項 1 2】

ゲートラインをさらに含み、

前記ゲートラインは前記ゲートと同一の材料で同一層に配置され、ベース基板への前記ゲートラインの正投影と、ベース基板への前記電極拡張層の正投影とは、重なる領域を有する

請求項 2 ~ 8 のいずれか一項に記載の表示基板。

【請求項 1 3】

前記電極拡張層は、中空領域を含み、ベース基板への前記中空領域の正投影は、ベース基板への前記ゲートラインの正投影と少なくとも部分的に重なる

請求項 1 2 に記載の表示基板。

【請求項 1 4】

請求項 1 ~ 1 3 のいずれか一項に記載の表示基板を含む表示パネル。

【請求項 1 5】

請求項 1 ~ 1 3 のいずれか一項に記載の表示基板または請求項 1 4 に記載の表示パネルを含む電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

[関連出願に対する相互参照]

本出願は、2020年9月23日に提出された、名称は「表示基板、表示パネルおよび電子機器」であり、国際出願番号は、PCT/CN2020/117039である国際出願の日本国家階段であり、2019年11月28日に中国特許庁に出願された、出願番号が201911212220.Xである中国特許出願の権利を主張し、その内容全体を参照により本明細書に援引する。

【0002】

本開示は、表示分野に関し、特に、表示基板、表示パネル及び電子機器に関する。

【背景技術】

【0003】

薄膜トランジスタ型液晶表示パネル(TFT-LCD)の設計においては、表示領域周辺のTFT部品と表示領域中央のTFT部品とのプロセス環境が異なるため、表示不均一という問題を発生させる可能性がある。このため、実際には、フレームの空間が許す場合には、表示領域の周囲に一定数のダミー画素(Dummy Pixel)を設計することになる。

【発明の概要】

【課題を解決するための手段】

【0004】

本開示の実施例は、ベース基板と、ベース基板に設けられる表示領域と表示領域の周辺に位置する周辺領域と、を含み、前記周辺領域にダミー画素ユニットとダミーデータラインとが設置され、前記ダミー画素ユニットは薄膜トランジスタを含み、前記薄膜トランジ

10

20

30

40

50

スタは第1の電極と第2の電極とを含み、前記第1の電極はソースとドレインとの一方であり、前記第2の電極は前記ソースとドレインとの他方であり、前記第1の電極は前記ダミーデータラインに電氣的に接続され、前記第2の電極は第1の切れ目によって仕切りられた第1の部分および第2の部分を有する表示基板が提供されている。

【0005】

いくつかの実施例では、前記ダミー画素ユニットは、画素電極をさらに含み、前記第2の電極の前記第2の部分は、前記画素電極に電氣的に接続され、前記薄膜トランジスタは、アクティブ層およびゲートをさらに含み、同一の薄膜トランジスタにおいて、ベース基板への前記ゲートの正投影は、ベース基板へのアクティブ層の正投影と、少なくとも部分的に重なり、かつ、ベース基板への前記第2の電極の前記第1の部分の正投影と、少なくとも部分的に重なる。

10

【0006】

いくつかの実施例では、同一の薄膜トランジスタにおいて、ベース基板への前記アクティブ層の正投影は、ベース基板への前記第2の電極の第1の部分の正投影と、少なくとも部分的に重なり、ベース基板への前記第2の電極の第2の部分の正投影と重ならず、ベース基板への前記第1の切れ目の正投影は、ベース基板への前記アクティブ層の正投影と重ならず、ベース基板への前記ゲートの正投影とも重ならない。

【0007】

いくつかの実施例では、同一の薄膜トランジスタにおいて、ベース基板への前記アクティブ層の正投影は、ベース基板への前記第2の電極の第1の部分の正投影と、少なくとも部分的に重なり、ベース基板への前記第2の電極の第2の部分の正投影と、少なくとも部分的に重なり、ベース基板への前記第1の切れ目の正投影は、ベース基板への前記アクティブ層の正投影とベース基板への前記ゲートの正投影に落ち込む。

20

【0008】

いくつかの実施例では、同一の薄膜トランジスタにおいて、ベース基板への前記第2の電極の第1の部分の前記第1の切れ目に近いエッジの正投影は、ベース基板への前記ゲートの正投影の一つのエッジと面一である。

【0009】

いくつかの実施例では、同一の薄膜トランジスタにおいて、ベース基板への前記ゲートの正投影は、ベース基板への前記第2の電極の第1の部分の正投影を完全に覆う。

30

【0010】

同一の薄膜トランジスタにおいて、ベース基板への前記ゲートの正投影は、ベース基板への前記第2の電極の第2の部分の正投影と、部分的に重なっている。

【0011】

いくつかの実施例では、前記第2の電極は、第2の切れ目によって前記第2の部分と仕切りられる第3の部分をさらに有し、ベース基板への第1の切れ目及び第2の切れ目の各々の正投影は、ベース基板へのゲートの正投影と重ならず、ベース基板へのアクティブ層の正投影と重ならず、ベース基板への第2の電極の第1の部分及び第3の部分の少なくとも一方の正投影は、ベース基板へのゲートの正投影と、少なくとも部分的に重なり、ベース基板へのアクティブ層の正投影と、少なくとも部分的に重なり、前記第2の電極の前記第2の部分は、第1のピア構造によって前記画素電極に電氣的に接続される。

40

【0012】

いくつかの実施例では、前記表示基板は、共通電極をさらに含み、前記周辺領域に電極拡張層がさらに設けられ、前記電極拡張層は前記共通電極に電氣的に接続され、前記電極拡張層は、前記第1の電極、前記第2の電極及び前記ダミーデータラインと同一の材料で同一層に配置され、前記電極拡張層は、前記ダミーデータラインに電氣的に接続される。

【0013】

いくつかの実施例では、同一のダミーデータラインの両端は、前記同一のダミーデータラインおよび電極拡張層を通る導電ループを形成するように、前記電極拡張層に電氣的に接続される。

50

【0014】

いくつかの実施例では、前記表示基板は、共通電極及び接続層をさらに含み、前記周辺領域に、前記共通電極に電氣的に接続される電極拡張層がさらに設けられ、前記接続層は、前記画素電極と同一の材料で同一層に設けられ、前記接続層は、前記第2のビア構造を介して共通電極に電氣的に接続されると共に、第3のビア構造を介して前記電極拡張層に電氣的に接続される。

【0015】

いくつかの実施例では、前記共通電極は、互いに接続された第1の共通電極延長部及び第2の共通電極延長部を含み、前記第1の共通電極延長部の延長方向と前記第2の共通電極延長部の延長方向は互いに交差し、ベース基板への前記接続層の正投影は、ベース基板への前記第2の共通電極延長部の正投影と少なくとも部分的に重なり、ベース基板への前記第1の共通電極延長部の正投影は、ベース基板への画素電極の正投影と少なくとも部分的に重なり合っている。

10

【0016】

いくつかの実施例では、前記表示基板は、共通電極及びゲートラインをさらに含み、前記周辺領域に前記共通電極に電氣的に接続される電極拡張層がさらに設けられ、前記電極拡張層は前記第1の電極、第2の電極及びダミーデータラインと同一の材料で同一層に配置され、前記ゲートラインは前記ゲートと同一の材料で同一層に配置され、ベース基板への前記ゲートラインの正投影と、ベース基板への前記電極拡張層の正投影とは、重なる領域を有する。

20

【0017】

いくつかの実施例では、前記電極拡張層は、中空領域を含み、ベース基板への前記中空領域の正投影は、ベース基板への前記ゲートラインの正投影と少なくとも部分的に重なる。

【0018】

本開示の実施例は、上記いずれか1つの実施例に記載の表示基板を含む表示パネルも提供されている。

【0019】

本開示の実施例は、上記いずれか1つの実施例に記載の表示基板または表示パネルを含む電子機器も提供されている。

【0020】

本開示の実施例の技術案をより明確に説明するために、以下に実施例の図面を簡潔に説明するが、以下に説明する図面は、本開示の限定ではなく、本開示のいくつかの実施例にのみ関連している。

30

【図面の簡単な説明】

【0021】

【図1A】図1Aは、本開示の実施例に係る表示基板の概略図を示している。

【図1B】図1Bは、図1Aにおける破線枠P内の部分概略図を示している。

【図2】図2は、本開示の実施例に係る表示基板における表示領域の薄膜トランジスタの構造概略図を示している。

【図3】図3は、本開示のいくつかの実施例に係る表示基板の周辺領域のダミー薄膜トランジスタの構造概略図を示している。

40

【図4】図4は、本開示の別のいくつかの実施例に係る表示基板の周辺領域のダミー薄膜トランジスタの構造概略図を示している。

【図5】図5は、本開示のさらに別のいくつかの実施例に係る表示基板の周辺領域のダミー薄膜トランジスタの構造概略図を示している。

【図6】図6は、本開示のさらに他のいくつかの実施例に係る表示基板の周辺領域の部分構造概略図を示している。

【図7】図7は、図6の線AAに沿った断面図を示している。

【図8】図8は、図6の線BBに沿った断面図を示している。

【図9】図9は、図6の線CCに沿った断面図を示している。

50

【図10】図10は、本開示の実施例に係る表示基板を含む電子装置を概略的に示している。

【発明を実施するための形態】

【0022】

本開示の目的、技術案、および利点をより明確に説明するために、本開示の実施例が、添付の図面とともに以下で詳細に説明される。以下の実施例の説明は、本開示の一般的な概念を説明および例示することを意図しており、本開示を限定するものと解釈すべきではないことを理解されたい。なお、本明細書及び図面において、同一又は類似の符号は、同一又は類似の部品又は構成要素を表している。図面は、明瞭にするために必ずしも一定の縮尺で描かれておらず、いくつかの周知の部品および構造は、図面において省略され得る。

10

【0023】

特に定義されない限り、本開示で使用される技術用語または科学用語は、当業者によって理解される通常の意味である。本開示で使用される「第1の」、「第2の」および類似語は、任意の順序、数量、または重要性を意味せず、異なる構成要素を区別するために使用されるだけである。「一」又は「1つ」という表現は、複数を除外しない。「含む」または「含有する」などの類似語は、この単語を出現する前の素子または物体が、この単語後に出現する素子または物体およびその等価物を包含する又は同等し、他の素子または物体を除外しない。「接続される」または「連続される」などの用語は、物理的または機械的接続に限定されず、直接的または間接的を問わず、電氣的接続を含むことができる。「上」、「下」、「左」、「右」、「頂」または「底」などは、単に、相対的位置関係を示し、記述対象の絶対的位置が変化すると、その相対的位置関係が相応的に変化する可能性がある。また、層、膜、領域、ベース基板などの素子が他の素子の「上」または「下」に位置するとしたとき、他の素子の「上」または「下」に直接に位置する場合があります、中間素子が存在する場合もある。

20

【0024】

本開示の実施例によれば、表示基板100が提供される。図1Aは、この表示基板100の模式的な平面図を示す。図1Aには、表示領域20と周辺領域30とが示されている。図1Bは、図1Aの右下の破線枠の一部を詳細に示す。図1Bには、分かりやすくするために、表示領域20と周辺領域30との境界を一点鎖線で示している。この表示基板100は、ベース基板10（図7乃至図9の断面図を参照）と、ベース基板10に設けられる表示領域20及び周辺領域30と、を備える。この周辺領域30は、表示領域20の周辺に設けられている。表示領域20は、画像を表示するためのものであり、例えば、複数の画素ユニット21と、データラインやゲートライン等の構成とが設けられている。周辺領域30は、画像を表示するものではなく、例えば、配線を設置するものである。前記周辺領域30には、ダミー画素ユニット31とダミーデータライン32とが配置されることができる。ダミー画素ユニット31およびダミーデータライン32は、構造的には、表示領域20の画素ユニット21およびデータライン22と類似し、これにより、表示領域20の周辺領域30に近い画素ユニット21に、表示領域20の周辺領域30から遠い画素ユニット21と類似する環境を提供することができる。前記ダミー画素ユニット31は、薄膜トランジスタ40を含むことができる。

30

40

【0025】

図面の都合上、図1Aおよび図1Bには、表示領域20における薄膜トランジスタ40及び周辺領域30における薄膜トランジスタ40の具体的な構造を示していない。これらの具体的な構成の例示について、図2～図6を参照することができる。

【0026】

図3乃至図5に示すように、前記薄膜トランジスタ40は、ダミーデータライン32に電氣的に接続された第1の電極41と、切れ目（以下、その後の実施例と区分するために、第1の切れ目43と呼ぶことができる）によって仕切られた第1の部分421及び第2の部分422を有する第2の電極42と、を含む。以下の例示では、前記第1の電極41がソースであり、第2の電極42がドレインである場合を例に挙げる。しかし、本開示の

50

実施例がこれに限定されるものではなく、例えば、第1の電極41がドレインであり、第2の電極42がソースであってもよいことは、当業者に理解されるところである。第1の電極41及び第2の電極42（第1の電極41及び第2の電極42の一方がソースであり、他方がドレインである）の他に、前記薄膜トランジスタ40は、アクティブ層44およびゲート45を含んでもよく、ゲート45がゲートライン52に電氣的に接続される。

【0027】

本開示の実施例では、ダミー画素ユニット31中の薄膜トランジスタ40のソースまたはドレインを、切れ目により切断される。この場合、ダミーデータライン32に信号が入力されても、薄膜トランジスタ40は、ダミーデータライン32と画素電極51とを連通することができないので、薄膜トランジスタ40のゲート45に電氣的に接続されるゲートライン52の負荷を低減できる。これにより、ダミー画素ユニット31による消費電力を低減しつつ、輝度の均一性を高めることができる。上述したように、ダミー画素ユニット31およびダミーデータライン32は、表示領域20中の周辺領域30に近い画素ユニット21が、表示領域20の周辺領域30から遠い画素ユニット21と類似するプロセス環境を具備することを確保するためのものであり、具体的な画像表示機能を実現する必要はない。したがって、薄膜トランジスタ40のソースまたはドレインが切れ目（例えば、第1の切れ目43）によって切断される場合、ダミーデータライン32とダミー画素ユニット31との接続も切断され、このように、ダミーデータライン32も、例えばテスト信号の送信、共通電極の接続などの独立の機能を実現することに使用されることができる。本開示の実施例において、ゲートライン52は、対応的な薄膜トランジスタ40のゲート45に電氣的に接続され、ベース基板10へのゲートライン52の正投影は、ベース基板10へのダミーデータライン32の正投影とが互いに交差してもよい。

【0028】

また、薄膜トランジスタ40のソースまたはドレインの切断は、切れ目（例えば、第1の切れ目43）のみによって実現され、ダミー画素ユニット31の層構造全体のレイアウトに与える影響は小さく、これにより、層構造的には、ダミー画素ユニット31は、表示領域20の各画素ユニット21と非常に類似することができ、表示領域20の各画素ユニット21に類似なプロセス環境を提供するという目的に到達する。これは、表示領域20の表示輝度の均一性を保つために有益である。

【0029】

図2は、表示領域20の画素ユニット21における薄膜トランジスタ40'の一例を示している。図示するように、この薄膜トランジスタ40'では、第1の電極41'がデータライン22に電氣的に接続され、第2の電極42'は、切れ目を含まずにベタである。これに対して、図3～図5は、周辺領域30のダミー画素ユニット31における薄膜トランジスタ40の3つの例示をそれぞれ示している。これらの3つの例示では、第1の電極41は、いずれも、ダミーデータライン32に電氣的に接続されているが、第1の切れ目43の位置は異なっている。図3に示す例示および図4に示す例示では、ベース基板への第1の切れ目43の正投影は、ベース基板10へのゲート45の正投影と重ならず、かつ、ベース基板10へのアクティブ層44の正投影と重ならない。しかし、図3に示す例示では、ベース基板10への第2の電極42の第1の部分421の正投影の一部は、ベース基板10へのゲート45の正投影内に落ち込み、他の部分は、ベース基板10へのゲート45の正投影からはみ出る。一方、図4に示された例示では、ベース基板10への第2の電極42の第1の部分421の正投影は、ベース基板10へのゲート45の正投影に完全に落ち込む。図5に示される例示では、ベース基板10への第1の切れ目43の正投影は、ベース基板10へのゲート45の正投影およびベース基板10へのアクティブ層44の正投影に落ち込み、ベース基板10への第2の電極42の第2の部分422の一部の正投影は、ベース基板10へのゲート45の正投影およびベース基板10へのアクティブ層44の正投影に落ち込む。

【0030】

本開示の実施例では、ベース基板10への第1の切れ目43の正投影が、ベース基板1

10

20

30

40

50

0 へのゲート 4 5 の正投影およびベース基板 1 0 へのアクティブ層 4 4 の正投影に落ち込む場合、第 2 の電極 4 2 の第 2 の部分 4 2 2 の一部が、ゲート 4 5 およびアクティブ層 4 4 と多少重なり合う可能性がある。この場合、ベース基板 1 0 への第 1 の切れ目 4 3 の正投影が、ベース基板 1 0 へのゲート 4 5 およびアクティブ層 4 4 の正投影の外に落ち込む場合に比べて、ゲートライン 5 2 への負荷が大きくなる可能性がある。したがって、ベース基板 1 0 への第 1 の切れ目 4 3 の正投影が、ベース基板 1 0 へのゲート 4 5 およびアクティブ層 4 4 の正投影の外に落ち込む例示の方と比較して有利である。また、ダミー画素ユニット 3 1 の構造が表示領域 2 0 の画素ユニット 2 1 の構造とできるだけ類似するように、第 1 の切れ目 4 3 の幅ができるだけ狭いことが望ましい。これは、負荷の軽減や表示の均一性の向上に寄与する。

10

【 0 0 3 1 】

いくつかの実施例では、同じ薄膜トランジスタにおいて、図 3 ~ 6 に示すように、ベース基板 1 0 への前記ゲート 4 5 の正投影は、ベース基板 1 0 へのアクティブ層 4 4 の正投影と少なくとも部分的に（部分的または全体的に）重なり、ベース基板 1 0 への前記第 2 の電極 4 2 の前記第 1 の部分 4 2 1 の正投影と少なくとも部分的に（部分的または全体的に）重なる。

【 0 0 3 2 】

一方、他の実施例において、同一の薄膜トランジスタにおいて、図 3 及び図 4 に示すように、ベース基板 1 0 への前記アクティブ層 4 4 の正投影は、ベース基板 1 0 への前記第 2 の電極 4 2 の第 1 の部分 4 2 1 の正投影と少なくとも部分的に（部分的または全体的に）重なり、ベース基板 1 0 への前記第 2 の電極 4 2 の第 2 の部分 4 2 2 の正投影と重ならない。

20

【 0 0 3 3 】

いくつかの実施例では、同一の薄膜トランジスタにおいて、図 5 に示すように、ベース基板 1 0 への前記アクティブ層 4 4 の正投影は、ベース基板 1 0 への前記第 2 の電極 4 2 の第 1 の部分 4 2 1 の正投影と少なくとも部分的に（部分的または全体的に）重なり、ベース基板 1 0 への前記第 2 の電極 4 2 の第 2 の部分 4 2 2 の正投影と少なくとも部分的に（部分的または全体的に）重なる。

【 0 0 3 4 】

いくつかの実施例では、同一の薄膜トランジスタにおいて、図 3 ~ 6 に示すように、ベース基板 1 0 への前記ゲート 4 5 の正投影は、ベース基板 1 0 への前記第 2 の電極 4 2 の第 1 の部分 4 2 1 の正投影と少なくとも部分的に（部分的にまたは完全に）重なる。

30

【 0 0 3 5 】

いくつかの実施例では、同一の薄膜トランジスタにおいて、図 4 に示すように、ベース基板 1 0 への前記第 2 の電極 4 2 の第 1 の部分 4 2 1 の前記第 1 の切れ目 4 3 に近いエッジ 4 3 1 の正投影は、ベース基板 1 0 への前記ゲート 4 5 の正投影の一つのエッジ 4 5 1 と面一である。これによって、第 2 の電極 4 2 の第 2 の部分 4 2 2 がゲート 4 5 と重なり合わず、第 1 の切れ目 4 3 の幅をできるだけ小さくすることができる。

【 0 0 3 6 】

いくつかの実施例では、同一の薄膜トランジスタにおいて、図 4 および図 5 に示すように、ベース基板 1 0 への前記ゲート 4 5 の正投影は、ベース基板 1 0 への前記第 2 の電極 4 2 の第 1 の部分 4 2 1 の正投影を完全にカバーする。これにより、第 2 の電極 4 2 の第 1 の部分 4 2 1 が過度に延長されることを防止することができる。

40

【 0 0 3 7 】

他の実施例において、同一の薄膜トランジスタにおいて、図 5 に示すように、ベース基板 1 0 への前記ゲート 4 5 の正投影は、ベース基板 1 0 への前記第 2 の電極 4 2 の第 2 の部分 4 2 2 の正投影と部分的に重なる。

【 0 0 3 8 】

本開示のいくつかの実施例では、同一の薄膜トランジスタにおいて、ベース基板 1 0 へのゲート 4 5 の正投影は、ベース基板 1 0 へのアクティブ層 4 4 の正投影を覆う。しかし

50

、本開示の実施例は、これに限定されない。

【0039】

図6は、本開示のさらに他の実施例に係る表示基板中の周辺領域30の部分概略構成図である。2つのダミー画素ユニット31と1本のダミーデータライン32が示されている。なお、上記図3～図5に示した例示では、1つの薄膜トランジスタ40の構造のみを示す。しかし、本開示の実施例では、1つのダミー画素ユニット31に1つの薄膜トランジスタだけでなく、複数の薄膜トランジスタが含まれてもよい。また、同一の薄膜トランジスタをより複雑な構造とすることも可能である。図6に示す例示において、前記ダミー画素ユニット31中の薄膜トランジスタ40'は、ゲート45、アクティブ層44、第1の電極41及び第2の電極42を含んでもよい。この薄膜トランジスタ40'には、第1の切れ目43および第2の切れ目43'という2つの切れ目が設けられている。第1の電極41は、ダミーデータライン32に電氣的に接続される。第2の電極42は、第1の部分421、第2の部分422、及び第3の部分421'を有する。第1の部分421及び第2の部分422とは、第1の切れ目43によって仕切りられ、第2の部分422及び第3の部分421'は、第2の切れ目43'によって仕切りられる。同一の薄膜トランジスタ40'において、第3の部分421'は、例えば、第1の電極41に接続されたダミーデータライン32から第1の部分421よりも離れていてもよい。いくつかの実施例において、第2の電極42の第3の部分421'の延長方向は、第2の電極42の第1の部分421の延長方向と平行であることができる。

【0040】

いくつかの実施例では、ベース基板10への第1の切れ目43の正投影は、ベース基板10へのゲート45の正投影と重ならず、かつベース基板10へのアクティブ層44の正投影と重ならない。同様に、いくつかの実施例では、ベース基板への第2の切れ目43'の正投影は、ベース基板10へのゲート45の正投影とも重ならず、ベース基板10へのアクティブ層44の正投影とも重ならない。一方、ベース基板10への第2の電極42の第1の部分421及び第3の部分421'のうちの少なくとも一方の正投影は、ベース基板10へのゲート45の正投影と一部重なり、ベース基板10へのアクティブ層44の正投影と一部重なることができる。

【0041】

いくつかの実施例では、第2の電極42の第2の部分422は、第1の切れ目43に隣接する第1のセクション427と、第2の切れ目43'に隣接する第2のセクション428とを含むことができる。いくつかの実施例において、第2の電極42の第1の部分421の延伸方向（例えば、図6のy方向）において、第1のセクション427の幅は、第2のセクション428の幅よりも大きく、これにより、第2の電極42の第2の部分422のベース基板10への投影全体は、「L」字状となる。第1のセクション427は、幅が広く、第1のセクション427内にビア構造を設置して他の導電層（例えば、画素電極51）に電氣的に接続することが容易である。

【0042】

いくつかの実施例では、前記薄膜トランジスタ40'の第1の電極41は、互いに電氣的に接続された第1の延長部411、第2の延長部412、及び第3の延長部413を有することができる。この3つの延長部の延長方向は、第2の電極42の第1の部分421または第3の部分421'の延長方向と平行であることができる。図6に示すように、第1の延長部411は、第2の電極42の第1の部分421と第3の部分421'との間に位置し、第2の延長部412は、第2の電極42の第1の部分421における第2の電極42の第3の部分421'から遠い側に位置し、第3の延長部413は、第2の電極42の第3の部分421'における第2の電極42の第1の部分421から遠い側に位置する。いくつかの実施例では、図6に示すように、ダミー画素ユニット31は、画素電極51をさらに含み、前記第2の電極42の前記第2の部分422は、前記画素電極51に電氣的に接続されることができる。このような薄膜トランジスタ40'の構成が、図3に示した薄膜トランジスタの構成に比べて、ゲートラインの負荷能力を向上させることができる。

【 0 0 4 3 】

本開示の実施例において、前記第 1 の切れ目 4 3 及び第 2 の切れ目 4 3 ' の幅は、例えば、 $2\ \mu\text{m} \sim 5\ \mu\text{m}$ であることができる。

【 0 0 4 4 】

図 7 は、図 6 の線 A A に沿った断面図である。図 7 から、薄膜トランジスタ 4 0 ' ' の膜層構造がより明確に分かる。図 7 に示すように、表示基板 1 0 0 は、第 1 の絶縁層 7 1 及び第 2 の絶縁層 7 2 を含むことができる。第 1 の絶縁層 7 1 は、例えばゲート絶縁層であり、前記ゲート 4 5 とアクティブ層 4 4 との間に位置している。第 2 の絶縁層 7 2 は、例えば平坦化層や層間誘電体層であり、画素電極 5 1 が位置する層と薄膜トランジスタ 4 0 との間に位置している。一例として、第 1 の電極 4 1 と第 2 の電極 4 2 の第 1 の部分 4 2 1、第 2 の部分 4 2 2、及び第 3 の部分 4 2 1 ' は、同一の材料（例えば、チタンアルミニウムなどの金属又は合金材料）で形成され、同一層に配置されることができる。第 1 の切れ目 4 3 は、第 2 の電極 4 2 の第 1 の部分 4 2 1 と第 2 の部分 4 2 2 とを分離する。アクティブ層 4 4 は、第 1 の電極 4 1 及び第 2 の電極 4 2 が位置する層と第 1 の絶縁層 7 1 との間に位置している。画素電極 5 1 は、例えば、第 1 のビア構造 5 1 1 を介して、第 2 の電極 4 2 の第 2 の部分 4 2 2 に電氣的に接続されることができる。第 1 のビア構造 5 1 1 は、第 2 の絶縁層 7 2 に貫通孔を形成した後、この貫通孔に導電層をコーティングすることにより形成することができる。図 7 に示すように、第 1 のビア構造 5 1 1 の導電層（例えば、金属層）は、画素電極 5 1 と同じ材料で作製し、同じ層に配置されることができる。第 1 のビア構造 5 1 1 は、第 2 の絶縁層 7 2 を貫通して第 2 の電極 4 2 の第 2 の部分 4 2 2 と接触することができる。図 6 に示すように、表示基板 1 0 0 は共通電極 5 3 をさらに含む。共通電極 5 3 は、画素電極 5 1 と共に画素ユニットに必要な電圧を印加して表示機能を実現することができる。いくつかの実施例では、周辺領域 3 0 内に電極拡張層 3 3 がさらに設けられ、前記電極拡張層 3 3 は前記共通電極 5 3 に電氣的に接続される。この電極拡張層 3 3 は、信号の安定性を向上させるために共通電極 5 3 の面積を増加させることができる。電極拡張層 3 3 は、例えば、図 6 に示すように、大きな導電層として配置されてもよい。いくつかの実施例において、前記電極拡張層 3 3 は、プロセスを単純化するために、前記第 1 の電極 4 1、第 2 の電極 4 2、およびダミーデータライン 3 2 と同一の材料で同一層に配置されることができる。

【 0 0 4 5 】

いくつかの実施例において、共通電極 5 3 と電極拡張層 3 3 との電氣的接続を容易にするために、接続層 3 4 をさらに設置してもよい。前記接続層 3 4 は、前記画素電極 5 1 と同一材料で同一層に形成され、前記接続層 3 4 は、第 2 のビア構造 6 1 により共通電極 5 3 に電氣的に接続され、第 3 のビア構造 6 2 により前記電極拡張層 3 3 に電氣的に接続されている。第 2 のビア構造 6 1 は、第 1 の絶縁層 7 1 と第 2 の絶縁層 7 2 を貫通する貫通孔を形成した後、当該貫通孔に導電層（例えば、金属層）をコーティングすることにより形成することができる。第 3 のビア構造 6 2 は、第 2 の絶縁層 7 2 を貫通する貫通孔を形成した後、当該貫通孔に導電層をコーティングすることにより形成することができる。図 8 から明らかなように、第 2 のビア構造 6 1 の導電層は、接続層 3 4 と同じ材料で、同じ層に設けられることができる。第 2 のビア構造 6 1 は、第 1 の絶縁層 7 1 と第 2 の絶縁層 7 2 を貫通して共通電極 5 3 と接触することができる。同様に、第 3 のビア構造 6 2 は、接続層 3 4 と同じ材料で、同じ層に設けられることもできる。第 3 のビア構造 6 2 は、第 2 の絶縁層 7 2 を貫通して電極拡張層 3 3 と接触することができる。しかし、本開示の実施例がこれに限定されることはなく、例えば、共通電極 5 3 と電極拡張層 3 3 とが接続層 3 4 を介さずに直接に電氣的に接続されていてもよい。

【 0 0 4 6 】

いくつかの実施例において、図 6 に示すように、共通電極 5 3 は、互いに接続された第 1 の共通電極延長部 5 3 1 及び第 2 の共通電極延長部 5 3 2 を含むことができる。第 2 のビア構造 6 1 は、第 2 の共通電極延長部 5 3 2 に形成され、第 2 の共通電極延長部 5 3 2 と接続層 3 4 とを電氣的に接続する。第 2 の共通電極延長部 5 3 2 は、第 2 のビア構造 6

1をよりよく配置するために、電極拡張層33のエッジに沿って設置することができ、特に、第2のビア構造61が複数設けられた場合に有利である。共通電極53の第1の共通電極延長部531は、第2の共通電極延長部532からゲートライン52と略並列に延長することができる。これは、共通電極53の第1の共通電極延長部531の延長方向が必ずゲートライン52の延長方向と平行であることを意味するものではなく、例えば、図6に示すように、第1の共通電極延長部531がトランジスタ等の構造を迂回するように蛇行して延長されていてもよい。例えば、第1の共通電極延長部531は、ダミーデータライン32と交差し得る。例示として、第1の共通電極延長部531の第2の共通電極延長部532からの全体の延長方向を第1の方向(図6のx方向)とし、第2の共通電極延長部532の延長方向を第2の方向(図6のy方向)として定義することができる。図6に示す例示では、第1の方向と第2の方向とが略90度をなしており、共通電極53の第1の共通電極延長部531及び第2の共通電極延長部532は、L字型の形状を構成している。このような構成の設計により、共通電極53と接続層34との電氣的な接続が容易となる。しかし、本開示の実施例は、これに限定されず、例えば、第1の共通電極延長部531の全体延長方向と、第2の共通電極延長部532の延長方向とは、垂直でなくてもよい。

10

【0047】

いくつかの実施例では、図6に示すように、ベース基板10への接続層34の正投影は、ベース基板10への第2の共通電極延長部532の正投影と少なくとも部分的に重なり、例えば、ベース基板10への接続層34の正投影は、ベース基板10への第2の共通電極延長部532の正投影を完全に覆う。これにより、第2のビア構造61の配置に有利する。ベース基板10への第1の共通電極延長部532の正投影とベース基板10への画素電極51の正投影とが少なくとも部分的に重なり合っているもよい。いくつかの実施例において、ベース基板10への前記第1の共通電極延長部531の正投影と、ベース基板10への前記ダミーデータライン32の正投影とは、互いに交差する。

20

【0048】

いくつかの実施例では、電極拡張層33は、ダミーデータライン32に電氣的に接続される。これにより、ダミーデータライン32も共通電極53に電氣的に接続されることになり、共通電極53の実面積がさらに増加し、信号の安定性が向上する。

【0049】

図6に示すように、いくつかの実施例において、同一のダミーデータライン32の両端がいずれも前記電極拡張層33に電氣的に接続されて前記同一のダミーデータライン32と電極拡張層33を通る導電ループが形成されることができる。このような構成により、共通電極53上の電位分布をより均一にすることができる。例えば、ダミーデータライン32が切れ、電極拡張層33と導電ループを形成することができない場合、ダミーデータライン32の切れ目の両端に比較的大きな電位差が生じる可能性がある。同じダミーデータライン32と電極拡張層33とで導電ループを形成することにより、このような過大な電位差をできるだけ弱め、表示領域20内の表示画素の輝度均一性を実現するのに有益である。

30

【0050】

いくつかの実施例において、図6乃至図8に示すように、第1の絶縁層71は前記共通電極53のベース基板10から遠い側、及び前記電極拡張層33のベース基板10に向かう側に位置し、第2の絶縁層72は前記電極拡張層33と前記接続層34との間に位置し、前記アクティブ層44のベース基板10から遠い側に位置する。

40

【0051】

いくつかの実施例において、図6に示すように、表示基板100にゲートライン52が形成され、前記電極拡張層33と前記第1の電極41、第2の電極42及びダミーデータライン32と同一の材料で同一層に配置され、前記ゲートライン52は前記ゲート45と同一の材料で同一層に配置される。ベース基板10への前記ゲートライン52の正投影とベース基板10への前記電極拡張層33の正投影とが重なる領域を有する。電極拡張層3

50

3はゲートライン52と重なり合っていることで、表示基板100上の配線に有利し、電極拡張層33にできるだけ広い面積を具備させ、信号安定性を向上させることができる。

【0052】

いくつかの実施例においては、図9に示すように、電極拡張層33は、中空領域35を備える。ベース基板10への中空領域35の正投影と、ベース基板10への前記ゲートライン52の正投影とは少なくとも部分的に（部分的に又は完全に）重なる。中空領域35において、電極拡張層33の導電層部分が除去されている。ゲートライン52と電極拡張層33との重なり合っている部分に1つまたは複数の中空領域35が設けられ、電極拡張層33（例えば第1の電極41及び第2の電極42が位置する層）とゲートライン52が位置する層との間の寄生容量を減少させることができ、電極拡張層33による導電層の面積増加に起因する寄生容量の大幅の増大を回避し、寄生容量の差分による輝度の不均一を防止することができる。

10

【0053】

図6に2つのダミー画素ユニット31のみを示したが、本開示の実施例はこれに限定されず、表示基板100にさらに多くのダミー画素ユニットが含まれてもよいことは、当業者にとって自明である。

【0054】

本開示の実施例は、上述いずれかの実施例に記載の表示基板100を含む表示パネルをさらに提供している。本開示の実施例の表示基板及び表示パネルによって、薄膜トランジスタ型の液晶表示装置だけでなく、有機発光ダイオード（OLED：Organic Light Emitting Diode）などの他の種類の表示装置にも適用することができる。本開示の実施例の表示パネルは、例えば薄膜トランジスタ型の液晶表示パネルであってもよいし、有機発光ダイオード（OLED）表示パネル等の本分野に既知されるいずれか他の表示パネルであってもよい。なお、本開示の実施例における表示装置は、電子ペーパー、携帯電話、タブレットコンピュータ、テレビ、ノートパソコン、デジタルフォトフレーム、カーナビゲーション等の表示機能を有するいかなる製品または部品であってもよい。

20

【0055】

本開示の実施例は、図10に示すように、上記いずれかの実施例に記載の表示基板100を含む電子機器200をさらに提供している。この電子機器は、例えば、スマートフォン、ウェアラブルスマートウォッチ、スマートグラス、タブレットコンピュータ、テレビ、ディスプレイ、ノートパソコン、デジタルフォトフレーム、ナビゲーション、車載ディスプレイ、電子ブックなどのものでないが、一つの表示装置であってもよい。

30

【0056】

本開示にかかる「同一層設置」とは、係る層が同一のプロセス工程で同時に形成されることを意味し、これらの層が断面視で同じ厚さや高さを有することを意味するものではない。「同一層設置」という設計により、表示基板及び表示パネルの作製プロセスを簡略化することができる。

【0057】

本開示の実施例における各導電層は、導電性金属から作製されてもよいし、非金属導電性材料から作製されてもよい。

40

【0058】

添付図面を組み合わせる本開示を説明したが、添付図面に開示された実施例は、本開示の実施例を例示的に説明することを意図しており、本開示を限定することを理解することができない。図面における寸法比率は、例示的なものであり、本開示を限定するものと理解すべきではない。

【0059】

上記の実施例は、本開示の原理及び構成を例示的に説明するに過ぎず、本開示を限定するものではない。当業者は、本開示の一般的思想から逸脱することなく、本開示に対する如何なる変更及び改良が、本開示の範囲内にあることを理解するであろう。本開示の保護

50

範囲は、本出願の特許請求の範囲によって定義される範囲に準ずるべきである。

【図面】

【図 1 A】

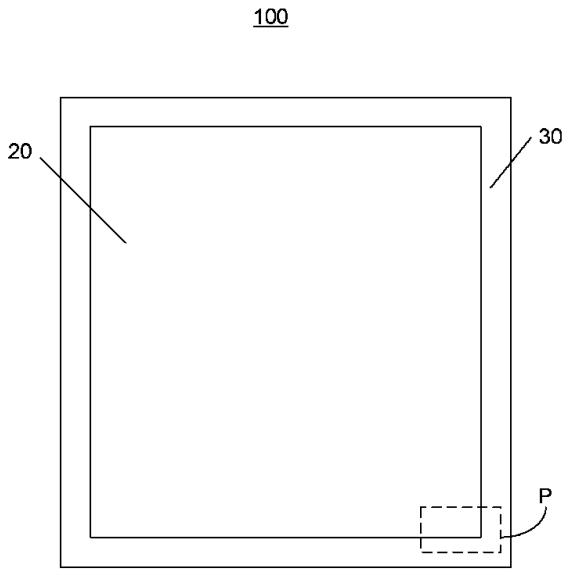


图 1A

【図 1 B】

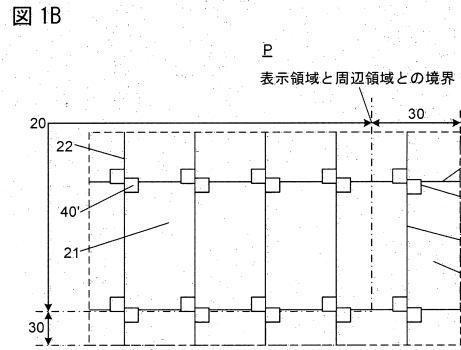


图 1B

【図 2】

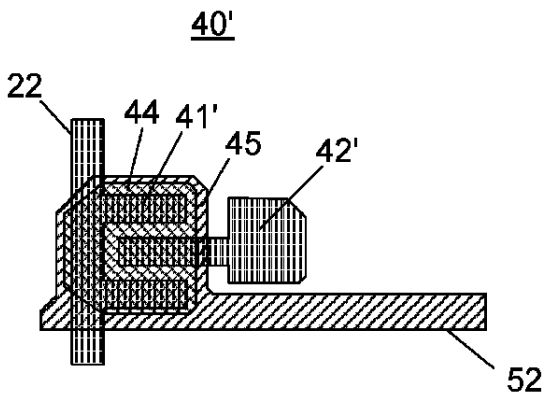


图 2

【図 3】

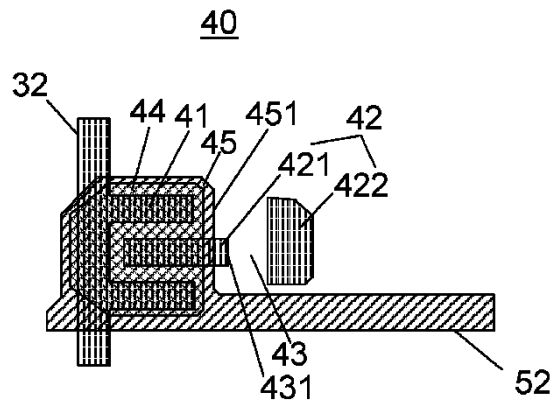


图 3

10

20

30

40

50

【图 8】

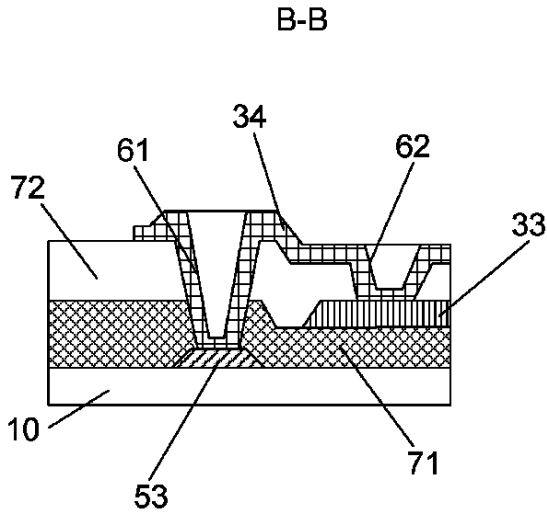


图 8

【图 9】

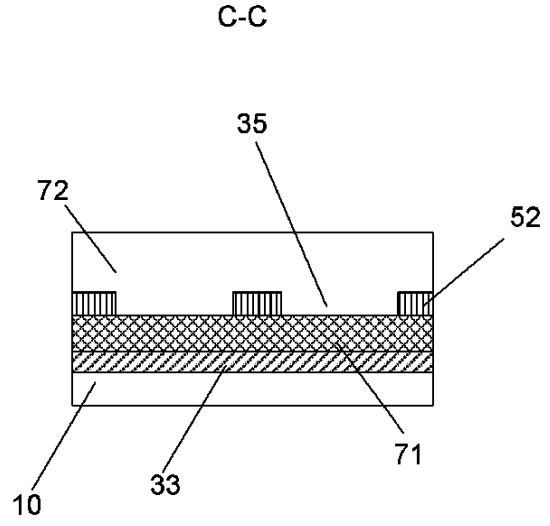


图 9

【图 10】

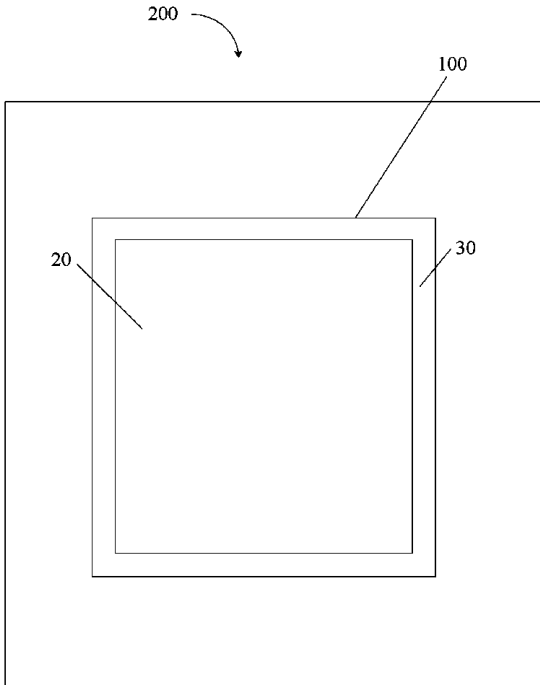


图 10

10

20

30

40

50

フロントページの続き

OGY CO., LTD.

中華人民共和国400714重慶市北碚区水土高新技術産業園雲漢大道7号

No. 7 Yunhan Rd., Shuitu Hi-tech Industrial Zone, Beibei District, Chongqing, 400714, P.R. CHINA

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 王 武

中華人民共和国100176北京市北京經濟技術開発区地澤路9号

(72)発明者 姜 美存

中華人民共和国100176北京市北京經濟技術開発区地澤路9号

(72)発明者 王 小元

中華人民共和国100176北京市北京經濟技術開發区地澤路9号

(72)発明者 畢 瑞琳

中華人民共和国100176北京市北京經濟技術開發区地澤路9号

(72)発明者 馮 文龍

中華人民共和国100176北京市北京經濟技術開發区地澤路9号

審査官 新井 重雄

(56)参考文献 特開2004-069993(JP, A)

米国特許出願公開第2018/0188616(US, A1)

特開2001-215532(JP, A)

米国特許出願公開第2008/0068364(US, A1)

韓国公開特許第10-2008-0024278(KR, A)

特開2006-030627(JP, A)

中国特許出願公開第103969859(CN, A)

韓国公開特許第10-2016-0129397(KR, A)

(58)調査した分野 (Int.Cl., DB名)

G09F 9/30

G02F 1/1368