



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0078899
(43) 공개일자 2020년07월02일

(51) 국제특허분류(Int. Cl.)
H01L 27/108 (2006.01) G11C 11/40 (2006.01)
(52) CPC특허분류
H01L 27/108 (2013.01)
G11C 11/40 (2013.01)
(21) 출원번호 10-2018-0168205
(22) 출원일자 2018년12월24일
심사청구일자 없음

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경
희대학교 국제캠퍼스내)
(72) 발명자
전우진
경기도 화성시 동탄지성로 42, 228동 1001호
(74) 대리인
김홍석

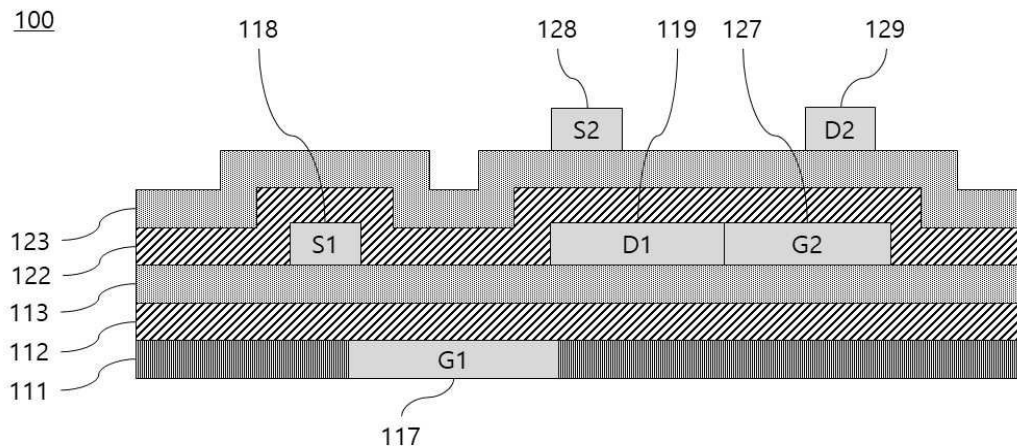
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 메모리 소자 및 상기 메모리 소자의 정보 저장 방법

(57) 요약

메모리 소자 및 메모리 소자의 정보 저장 방법에 관한 것으로, 메모리 소자는, 제1 게이트 및 상기 제1 게이트에 전압이 인가되면 전하를 수신하는 제1 드레인을 포함하는 제1 트랜지스터 및 상기 제1 드레인에 전기적으로 연결되고 상기 제1 드레인이 수신한 전하에 대응하는 전압이 인가되는 제2 게이트를 포함하고, 상기 제2 게이트에 전압이 인가에 따라서 온 상태로 전이하는 제2 트랜지스터를 포함할 수 있다.

대표도 - 도1



110: 111~113, 117~119

120: 121~123, 127~129

이 발명을 지원한 국가연구개발사업

과제고유번호 2018R1C1B5045854

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 개인기초연구(과기정통부)

발 연구과제명 차세대 인공지능경망 컴퓨팅 및 Wearable Device 구현을 위한 멤리스터 용 재료 및 공정 개

기 여 율 1/1

주관기관 경희대학교(국제캠퍼스)

연구기간 2018.03.01 ~ 2020.02.29

명세서

청구범위

청구항 1

제1 게이트 및 상기 제1 게이트에 전압이 인가되면 전하를 수신하는 제1 드레인을 포함하는 제1 트랜지스터; 및
상기 제1 드레인에 전기적으로 연결되고 상기 제1 드레인이 수신한 전하에 대응하는 전압이 인가되는 제2 게이트를 포함하고, 상기 제2 게이트에 전압이 인가에 따라서 온 상태로 전이하는 제2 트랜지스터;를 포함하는 메모리 소자.

청구항 2

제1항에 있어서,

상기 제1 트랜지스터는,

상기 제1 게이트에 전압이 인가되면, 이에 응하여 전하를 출력하여 상기 제1 드레인에 전달하는 제1 소스;를 더 포함하는 메모리 소자.

청구항 3

제1항에 있어서,

상기 제1 트랜지스터는,

일 면에 상기 제1 소스 및 상기 제1 드레인이 설치되고, 상기 제1 소스에서 출력된 전하가 상기 제1 드레인으로 이동하는 제1 채널 층;을 더 포함하는 메모리 소자.

청구항 4

제3항에 있어서,

상기 제2 게이트는 상기 제1 채널 층의 상기 일 면에 설치되는 메모리 소자.

청구항 5

제3항에 있어서,

상기 제1 트랜지스터는,

상기 제1 채널 층의 타 면에 형성되고, 일 면에 상기 제1 게이트가 설치되는 제1 절연 층;을 더 포함하는 메모리 소자.

청구항 6

제3항에 있어서,

상기 제2 트랜지스터는,

상기 제2 게이트에 인가된 전압에 대응하여 전하를 출력하는 제2 소스; 및

상기 제2 소스에서 출력된 전하를 수신하는 제2 드레인;을 더 포함하는 메모리 소자.

청구항 7

제6항에 있어서,

상기 제2 트랜지스터는,

일 면에 상기 제2 소스 및 상기 제2 드레인이 설치되고, 상기 제2 소스에서 출력된 전하가 상기 제2 드레인으로

이동하는 제2 채널 층;을 더 포함하는 메모리 소자.

청구항 8

제7항에 있어서,

상기 제2 트랜지스터는,

상기 제1 채널 층과 상기 제2 채널 층 사이에 형성되는 제2 절연 층;을 더 포함하는 메모리 소자.

청구항 9

제1항에 있어서,

상기 제1 드레인 및 상기 제2 게이트는 일체적으로 형성되거나, 또는 상호 물리적으로 직접 연결되어 있는 메모리 소자.

청구항 10

제1항에 있어서,

상기 제2 트랜지스터의 온/오프 상태를 기반으로 데이터를 저장하는 메모리 소자.

청구항 11

제1 게이트;

상기 제1 게이트에 전압이 인가되면, 이에 응하여 전하를 출력하는 제1 소스;

상기 제1 소스에서 출력된 전하를 수신하는 제1 드레인;

상기 제1 드레인과 직접 물리적으로 연결되고 상기 제1 드레인이 수신한 전하에 대응하는 전압이 인가되는 제2 게이트;

상기 제2 게이트에 인가된 전압에 대응하여 전하를 출력하는 제2 소스; 및

상기 제2 소스에서 출력된 전하를 수신하는 제2 드레인;을 포함하는 메모리 소자.

청구항 12

제11항에 있어서,

상기 제2 소스 및 상기 제2 드레인 사이의 전하의 이동을 기반으로 데이터를 저장하는 메모리 소자.

청구항 13

메모리 소자의 정보 저장 방법에 있어서,

상기 메모리 소자의 제1 게이트에 전압이 인가되는 단계;

상기 제1 게이트에 전압이 인가되면, 이에 응하여 상기 메모리 소자의 제1 소스가 전하를 출력하는 단계;

상기 메모리 소자의 제1 드레인이 상기 제1 소스에서 출력된 전하를 수신하는 단계; 및

상기 메모리 소자의 제2 게이트에 상기 제1 드레인이 수신한 전하에 대응하는 전압이 인가되되, 상기 제2 게이트는 상기 제1 드레인과 전기적으로 연결된 단계;를 포함하는 메모리 소자의 정보 저장 방법.

청구항 14

제13항에 있어서,

상기 메모리 소자는 제1 채널 층을 포함하되, 상기 제1 채널 층의 일 면에 상기 제1 소스, 상기 제1 드레인 및 상기 제2 게이트가 설치되는 메모리 소자의 정보 저장 방법.

청구항 15

제14항에 있어서,

상기 제1 채널 층의 타 면에 제1 절연 층이 더 설치되되, 상기 제1 절연 층에는 상기 제1 채널 층의 타 면에 대향하여 상기 제1 게이트가 설치되는 메모리 소자의 정보 저장 방법.

청구항 16

제13항에 있어서,

상기 메모리 소자의 제2 소스가 상기 제2 게이트에 인가된 전압에 대응하여 전하를 출력하고, 상기 메모리 소자의 제2 드레인이 상기 제2 소스에서 출력된 전하를 수신하는 단계;를 더 포함하는 메모리 소자의 정보 저장 방법.

청구항 17

제16항에 있어서,

상기 메모리 소자는 제2 채널 층을 포함하되, 상기 제2 채널 층의 일 면에 상기 제2 소스 및 상기 제2 드레인이 설치되는 메모리 소자의 정보 저장 방법.

청구항 18

제17항에 있어서,

상기 제2 채널 층과 상기 제2 게이트 사이에는 제2 절연 층이 더 설치되는 메모리 소자의 정보 저장 방법.

청구항 19

제16항에 있어서,

상기 제2 소스의 전하 출력 여부 및 상기 제2 드레인의 전하 수신 여부 중 적어도 하나를 기반으로 저장된 데이터 값을 결정하는 단계;를 더 포함하는 메모리 소자의 정보 저장 방법.

발명의 설명

기술 분야

[0001] 메모리 소자 및 상기 메모리 소자의 정보 저장 방법에 관한 것이다.

배경 기술

[0002] 전자 장치 등은, 그의 동작을 위해서 전달되는 신호(정보 또는 데이터 등)를 일시적 또는 비일시적으로 저장/기록하기 위한 메모리 장치를 필요로 한다. 근자에는 이와 같은 메모리 장치로 반도체 메모리 장치가 제시되고 있다. 이와 같은 반도체 메모리 장치로는, 롬(ROM)과 램(RAM)이 있다. 롬은 정보를 일 회 기록 가능한 메모리 장치이고, 램은 전자 장치가 자유롭게 기록하고 내용을 독출하며 내용을 삭제할 수 있는 메모리 장치다

[0003] 여기서, 램으로는 에스램(SRAM, Static Random Access Memory) 및 디램(DRAM, Dynamic Random Access Memory) 등이 존재한다. 이 중 디램은 전원의 인가가 종료되면 데이터가 상실되는 휘발성 메모리 장치로, 컴퓨터 장치 등의 주 기억 장치로 널리 이용되고 있다.

[0004] 기존 디램 소자의 경우, 스위치 기능을 수행하는 하나의 트랜지스터와 전하를 저장하는 하나의 커패시터로 구성되어 있었다. 하지만 제조 공정의 미세화에 따라 커패시터의 설치 면적은 축소되었고, 이에 따라 커패시터의 정전 용량이 저하되어 소자 동작 신뢰성이 열화되는 문제점이 발생하였다.

[0005] 그러므로, 이를 해결하기 위해, 종래의 디램(900)은, 도 7에 도시된 바와 같이, 커패시터(907)의 높이를 높여 그 면적을 증가시키려고 하였다. 도 7은 종래의 메모리 소자를 설명하기 위한 도면이다. 구체적으로 기판(904) 위에 소스(901)와 드레인(903)을 설치하고, 게이트(902) 및 게이트(902)가 설치된 게이트 옥사이드(905)를 소스(901)와 드레인(903) 사이에 설치하고, 드레인(903)의 위에 높은 커패시터(907)를 설치하여 구현하였다. 또한, 이외에도 고유전율의 유전체를 채용하여 정전 용량을 확보하기도 하였다. 그러나, 이와 같은 종래의 구조는, 커패시터(907)의 종횡비가 100:1 이상이 되어 그 공정 난도가 매우 높고, 또한 읽기 동작 시 커패시터(907)에 저장된 전하의 일부가 트랜지스터를 통해 누설되는 문제점이 있었다. 이에 따라 동작의 신뢰성이 열화되었다. 또

한, 커패시터(907)에 저장된 전하를 읽을 때 전하의 일부가 손실되기 때문에 주기적인 리프레쉬 동작을 필요로 하는데, 이것 역시 신뢰성을 열화시키는 원인이 되었다.

발명의 내용

해결하려는 과제

[0006] 간단한 구조를 가져 공정 난도 절감 및 신뢰성 개선을 획득할 수 있는 메모리 소자 및 상기 메모리 소자의 정보 저장 방법을 제공하는 것을 해결하고자 하는 과제로 한다.

과제의 해결 수단

- [0007] 상술한 과제를 해결하기 위하여 메모리 소자 및 상기 메모리 소자의 정보 저장 방법이 제공된다.
- [0008] 메모리 소자는, 제1 게이트 및 상기 제1 게이트에 전압이 인가되면 전하를 수신하는 제1 드레인을 포함하는 제1 트랜지스터 및 상기 제1 드레인에 전기적으로 연결되고 상기 제1 드레인이 수신한 전하에 대응하는 전압이 인가되는 제2 게이트를 포함하고, 상기 제2 게이트에 전압이 인가에 따라서 온 상태로 전이하는 제2 트랜지스터를 포함할 수 있다.
- [0009] 상기 제1 트랜지스터는, 상기 제1 게이트에 전압이 인가되면, 이에 응하여 전하를 출력하여 상기 제1 드레인에 전달하는 제1 소스를 더 포함할 수 있다.
- [0010] 상기 제1 트랜지스터는, 일 면에 상기 제1 소스 및 상기 제1 드레인이 설치되고, 상기 제1 소스에서 출력된 전하가 상기 제1 드레인으로 이동하는 제1 채널 층을 더 포함할 수 있다.
- [0011] 상기 제2 게이트는 상기 제1 채널 층의 상기 일 면에 설치될 수 있다.
- [0012] 상기 제1 트랜지스터는, 상기 제1 채널 층의 타 면에 형성되고, 일 면에 상기 제1 게이트가 설치되는 제1 절연 층을 더 포함할 수 있다.
- [0013] 상기 제2 트랜지스터는, 상기 제2 게이트에 인가된 전압에 대응하여 전하를 출력하는 제2 소스 및 상기 제2 소스에서 출력된 전하를 수신하는 제2 드레인을 더 포함할 수 있다.
- [0014] 상기 제2 트랜지스터는, 일 면에 상기 제2 소스 및 상기 제2 드레인이 설치되고, 상기 제2 소스에서 출력된 전하가 상기 제2 드레인으로 이동하는 제2 채널 층을 더 포함할 수 있다.
- [0015] 상기 제2 트랜지스터는, 상기 제1 채널 층과 상기 제2 채널 층 사이에 형성되는 제2 절연 층을 더 포함할 수 있다.
- [0016] 상기 제1 드레인 및 상기 제2 게이트는 일체적으로 형성되거나, 또는 상호 물리적으로 직접 연결되어 있을 수 있다.
- [0017] 메모리 소자는, 상기 제2 트랜지스터의 온/오프 상태를 기반으로 데이터를 저장할 수 있다.
- [0018] 메모리 소자는, 제1 게이트, 상기 제1 게이트에 전압이 인가되면, 이에 응하여 전하를 출력하는 제1 소스, 상기 제1 소스에서 출력된 전하를 수신하는 제1 드레인, 상기 제1 드레인과 직접 물리적으로 연결되고 상기 제1 드레인이 수신한 전하에 대응하는 전압이 인가되는 제2 게이트, 상기 제2 게이트에 인가된 전압에 대응하여 전하를 출력하는 제2 소스 및 상기 제2 소스에서 출력된 전하를 수신하는 제2 드레인을 포함할 수 있다.
- [0019] 메모리 소자는, 상기 제2 소스 및 상기 제2 드레인 사이의 전하의 이동을 기반으로 데이터를 저장할 수 있다.
- [0020] 메모리 소자의 정보 저장 방법은, 상기 메모리 소자의 제1 게이트에 전압이 인가되는 단계, 상기 제1 게이트에 전압이 인가되면, 이에 응하여 상기 메모리 소자의 제1 소스가 전하를 출력하는 단계, 상기 메모리 소자의 제1 드레인이 상기 제1 소스에서 출력된 전하를 수신하는 단계 및 상기 메모리 소자의 제2 게이트에 상기 제1 드레인이 수신한 전하에 대응하는 전압이 인가되되, 상기 제2 게이트는 상기 제1 드레인과 전기적으로 연결된 단계를 포함할 수 있다.
- [0021] 상기 메모리 소자는 제1 채널 층을 포함하되, 상기 제1 채널 층의 일 면에 상기 제1 소스, 상기 제1 드레인 및 상기 제2 게이트가 설치될 수 있다.
- [0022] 상기 제1 채널 층의 타 면에 제1 절연 층이 더 설치되되, 상기 제1 절연 층에는 상기 제1 채널 층의 타 면에 대

향하여 상기 제1 게이트가 설치될 수 있다.

- [0023] 메모리 소자의 정보 저장 방법은, 상기 메모리 소자의 제2 소스가 상기 제2 게이트에 인가된 전압에 대응하여 전하를 출력하고, 상기 메모리 소자의 제2 드레인이 상기 제2 소스에서 출력된 전하를 수신하는 단계를 더 포함할 수 있다.
- [0024] 상기 메모리 소자는 제2 채널 층을 포함하되, 상기 제2 채널 층의 일 면에 상기 제2 소스 및 상기 제2 드레인이 설치될 수 있다.
- [0025] 상기 제2 채널 층과 상기 제2 게이트 사이에는 제2 절연 층이 더 설치될 수 있다.
- [0026] 메모리 소자의 정보 저장 방법 상기 제2 소스의 전하 출력 여부 및 상기 제2 드레인의 전하 수신 여부 중 적어도 하나를 기반으로 저장된 데이터 값을 결정하는 단계를 더 포함할 수 있다.

발명의 효과

- [0027] 상술한 메모리 소자 및 상기 메모리 소자의 정보 저장 방법에 의하면, 메모리 소자를 간단한 구조로 제작할 수 있게 되어, 메모리 소자 제작 공정의 난도 감소 효과 및 메모리 소자의 데이터 저장 신뢰성 개선 효과를 얻을 수 있게 된다.
- [0028] 상술한 메모리 소자 및 상기 메모리 소자의 정보 저장 방법에 의하면, 복잡한 구조의 커패시터 없이도 디램 소자를 용이하게 구현할 수 있어 디램 제작 공정의 난도를 크게 감소시킬 수 있는 효과를 얻을 수 있다.
- [0029] 상술한 메모리 소자 및 상기 메모리 소자의 정보 저장 방법에 의하면, 저장된 정보를 전하의 손실 없이 독출할 수 있게 되어, 누설 전류의 증가나 커패시터의 전하 독출 시의 전하 상실 등에 기인한 신뢰성 열화의 문제를 차단할 수 있게 되는 효과도 얻을 수 있다.
- [0030] 상술한 메모리 소자 및 상기 메모리 소자의 정보 저장 방법에 의하면, 종래 디램 소자 기술 개발의 가장 큰 기술적 난제인 커패시터를 대체할 수 있게 되므로, 디램 소자 기술의 발전에 긍정적인 영향을 끼칠 수도 있다.

도면의 간단한 설명

- [0031] 도 1은 메모리 소자의 일 실시예에 대한 단면도이다.
- 도 2는 메모리 소자의 동작의 일 실시예에 대한 흐름도이다.
- 도 3은 메모리 소자의 동작의 일 실시예를 설명하기 위한 제1 도이다.
- 도 4는 메모리 소자의 동작의 일 실시예를 설명하기 위한 제2 도이다.
- 도 5는 메모리 소자의 동작의 일 실시예를 설명하기 위한 제3 도이다.
- 도 6은 메모리 소자의 동작의 일 실시예를 설명하기 위한 제4 도이다.
- 도 7은 종래의 메모리 소자를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하 명세서 전체에서 동일 참조 부호는 특별한 사정이 없는 한 동일 구성요소를 지칭한다. 이하에서 사용되는 '부'가 부가된 용어는, 소프트웨어 또는 하드웨어로 구현될 수 있으며, 실시예에 따라 '부'가 하나의 부품으로 구현되거나, 하나의 '부'가 복수의 부품들로 구현되는 것도 가능하다.
- [0033] 명세서 전체에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 어떤 부분과 다른 부분에 따라서 물리적 연결을 의미할 수도 있고, 또는 전기적으로 연결된 것을 의미할 수도 있다. 또한, 어떤 부분이 다른 부분을 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 부분 이외의 또 다른 부분을 제외하는 것이 아니며, 설계자의 선택에 따라서 또 다른 부분을 더 포함할 수 있음을 의미한다.
- [0034] 제 1 이나 제 2 등의 용어는 하나의 부분을 다른 부분으로부터 구별하기 위해 사용되는 것으로, 특별한 기재가 없는 이상 이들이 순차적인 표현을 의미하는 것은 아니다. 단수의 표현은 문맥상 명백하게 예외가 있지 않는 한, 복수의 표현을 포함할 수 있다.
- [0035] 이하 도 1 내지 도 6을 참조하여 메모리 소자 및 메모리 소자의 동작의 일 실시예에 대해서 설명하도록 한다.

- [0036] 도 1은 메모리 소자의 일 실시예에 대한 단면도이다.
- [0037] 도 1에 도시된 바에 의하면, 메모리 소자(100)는, 일 실시예에 있어서, 상호 적층된 두 개의 트랜지스터(110, 120)를 포함할 수 있다. 이하 상대적으로 하 방향에 배치되는 트랜지스터(110)를 제1 트랜지스터라 지칭하고, 상대적으로 상 방향에 배치되는 트랜지스터(120)를 제2 트랜지스터라 지칭하도록 한다. 여기서, 상 방향 및 하 방향은 설명의 편의를 위해 도면을 기준으로 정의한 것으로, 그 방향은 설계자의 선택에 따라 임의적으로 정의될 수 있음은 자명하다.
- [0038] 제1 트랜지스터(110)는, 스위칭 기능을 수행할 수 있도록 마련된다. 구체적으로 제1 트랜지스터(110)는, 외부로부터 전압이 인가될 수 있는 제1 게이트(G1, 117)와, 제1 게이트(117)에 인가된 전압에 따라서 전하를 방출하는 제1 소스(S1, 118)와, 제1 소스(118)에서 방출된 전하를 수신하는 제1 드레인(D1)을 포함할 수 있다. 또한, 제1 트랜지스터(111)는, 일 실시예에 있어서, 적어도 하나의 제1 게이트(들)(117)를 격리시키기 위한 격리층(111)과, 제1 소스(118) 및 제1 드레인(119) 사이에서 유동하는 전하의 격리층(111) 방향으로의 이동을 차단하는 제1 절연 층(112)과, 제1 소스(118) 및 제1 드레인(119) 사이에서 유동하는 전하의 이동 통로를 제공하는 제1 채널 층(113)을 더 포함할 수 있다.
- [0039] 보다 구체적으로 예를 들어, 제1 트랜지스터(110)는 최하단에는 제1 게이트(117)가 존재하는 격리층(111)이 형성된다. 격리층(111)은, 일 면은 외부에 노출되고, 일 면에 대향하는 타 면은 제1 절연 층(112)에 방향을 향하도록 마련된다. 격리층(111)의 타 면에는 제1 절연 층(112)이 형성된다. 제1 절연 층(112)은 일 면이 격리층(111)의 타 면에 접하거나 근접하고, 일 면에 대향하는 타 면은 제1 채널 층(113) 방향을 향하도록 마련된다. 제1 채널 층(113)은 일 면은 제1 절연 층(112)의 타 면에 접하거나 근접한다. 일 면에 대향하는 제1 채널 층(113)의 타 면에는 제1 소스(118) 및 제1 소스(118)에 대응하는 제1 드레인(119)이 설치될 수 있다. 제1 소스(118) 및 제1 드레인(119)은 제1 게이트(117)가 설치된 위치에 대응하는 위치에 설치될 수 있다. 또한, 제1 채널 층(113)의 타 면에는 제2 게이트(G2, 127)가 더 설치될 수도 있다.
- [0040] 다시 말해서, 제1 채널 층(113)의 타 면에는 제1 드레인(119)과 제2 게이트(127)가 함께 설치될 수 있다. 이 경우, 제1 드레인(119)과 제2 게이트(127)는 상호 전기적으로 연결되도록 제1 채널 층(113)에 설치된다. 일 실시예에 의하면, 제1 드레인(119) 및 제2 게이트(127)는 각각 별도로 제작된 후, 제1 채널 층(113)의 타 면에 각각 설치될 수 있다. 이 경우, 예를 들어, 제1 드레인(119) 및 제2 게이트(127)는 서로 인접하여 제1 채널 층(113)에 설치될 수도 있다. 다시 말해서 제1 드레인(119) 및 제2 게이트(127)는 물리적으로 직접 접할 수 있다. 또한, 다른 예를 들어, 제1 드레인(119) 및 제2 게이트(127)는 서로 일정 거리 이상 이격되도록 설치될 수도 있다. 후자의 경우 제1 드레인(119) 및 제2 게이트(127) 사이에는 이들의 전기적 연결을 위한 금속선 등이 1 채널 층(113) 등에 더 설치될 수도 있다. 다른 실시예에 의하면, 제1 드레인(119) 및 제2 게이트(127)는 일체형으로 제작될 수도 있다. 다시 말해서, 하나의 소자(도 3의 121)를 이용해서 제1 드레인(119) 및 제2 게이트(127)를 구현하는 것도 가능하다.
- [0041] 제2 트랜지스터(120)는 제1 트랜지스터(110)의 상단에 설치되며 전하 저장 기능을 수행할 수 있도록 마련된다. 구체적으로 제2 트랜지스터(120)는, 일 실시예에 있어서, 외부로부터 전압이 인가될 수 있는 제2 게이트(127)와, 제2 게이트(127)에 인가된 전압에 대응하여 전하를 외부로 방출하는 제2 소스(S2, 128)와, 제2 소스(128)에서 방출된 전하를 수신하는 제2 드레인(D2)을 포함할 수 있다. 또한, 제2 트랜지스터(121)는, 제2 소스(128) 및 제2 드레인(129) 사이에서 유동하는 전하가 제1 트랜지스터(110) 방향으로 이동하는 것을 차단하는 제2 절연 층(122)과, 제2 소스(128) 및 제2 드레인(129) 사이에 전하의 이동 통로를 제공하는 제2 채널 층(123)을 더 포함할 수 있다.
- [0042] 상세한 실시예에 따르면, 제2 트랜지스터(120)의 제2 절연 층(122)은, 제1 소스(118), 제1 드레인(119), 제2 게이트(127) 및 제1 채널 층(113)의 전부 또는 일부와 접하거나 근접하여 설치된다. 제2 절연 층(122)은 대략 평판의 형상을 가질 수도 있으나, 제1 소스(118), 제1 드레인(119) 및/또는 제2 게이트(127)의 설치 위치에 따라서 일부 지점에서 상 방향으로 돌출되어 있을 수도 있다. 제2 절연 층(122)의 상 방향 타면에는 제2 채널 층(123)이 형성될 수 있다. 제2 채널 층(123)은 일 면이 제2 절연 층(122)과 접하거나 또는 근접하여 설치된다. 제2 채널 층(123)의 타 면에는 제2 소스(128) 및 제2 드레인(129)이 설치된다. 제2 소스(128) 및 제2 드레인(129)은, 제1 드레인(119) 및 제2 게이트(127)가 설치된 위치에 대응하여 설치된다. 예를 들어, 제2 소스(128) 및 제2 드레인(129)은, 제1 드레인(119) 및 제2 게이트(127)가 설치된 위치 바로 상단에 형성된 제2 채널 층(123) 위에 설치될 수도 있다.
- [0043] 도 1에는 메모리 소자(100)의 격리층(111), 제1 절연 층(112), 제1 채널 층(113), 제2 절연 층(122) 및 제2 채널

널 층(123)이 순차적으로 적층된 구조가 도시되어 있으나, 이들 층(111, 112, 113, 122, 123)이 적층된 구조는 도 1에 도시된 바에 한정되는 것은 아니다. 예를 들어, 실시예에 따라서, 각 층(111, 112, 113, 122, 123) 사이에 도 1에 도시되지 않은 다른 추가적인 층(들)(layer)이 더 설치/형성되는 것도 가능하다.

[0044] 이하 도 2 내지 도 6을 참조하여, 메모리 소자(100)를 기반으로 정보를 저장하는 방법에 대해 설명하도록 한다.

[0045] 도 2는 메모리 소자의 동작의 일 실시예에 대한 흐름도이고, 도 3은 메모리 소자의 동작의 일 실시예를 설명하기 위한 제1 도이다. 도 4는 메모리 소자의 동작의 일 실시예를 설명하기 위한 제2 도이며, 도 5는 메모리 소자의 동작의 일 실시예를 설명하기 위한 제3 도이다. 도 6은 메모리 소자의 동작의 일 실시예를 설명하기 위한 제4 도이다. 이하 메모리 소자(100)의 동작을 설명함에 있어서, 제1 드레인(119)과 제2 게이트(127)가 하나의 소자(121, 이하 조합체)로 구현된 일 실시예를 기반으로 설명하도록 하나, 도 1에 도시된 바와 같이 제1 드레인(119)과 제2 게이트(127)가 각각 별도로 구현된 경우에도 후술하는 과정은 동일하게 또는 일부 변형된 방법으로 수행될 수 있다.

[0046] 먼저 도 2 및 도 3에 도시된 바와 같이 메모리 소자(100)의 제1 게이트(117)에 전압이 인가된다(201). 여기서, 제1 게이트(117)에 인가되는 전압은, 제1 트랜지스터(110)의 문턱 전압 이상의 전압을 포함한다. 이와 같이 제1 게이트(117)에 문턱 전압 이상의 전압이 인가되면, 제1 트랜지스터(110)는 온(ON) 상태로 전이한다.

[0047] 제1 게이트(117)에 문턱 전압 이상의 전압이 인가된 상태에서, 제1 소스(118)에 동작 전압이 인가되면, 도 4에 도시된 바와 같이, 제1 소스(118)에서 조합체(121, 또는 제1 드레인(119))로 전하가 이동하게 된다(202). 전하의 이동은 제1 채널 층(113)을 통하여 수행된다.

[0048] 제1 소스(118)에서 출력된 전하는, 조합체(121)에 집중되고, 이에 따라서, 도 5에 도시된 바와 같이, 조합체(121)에는 소정의 전압이 인가되게 된다. 상술한 바와 같이 조합체(121)는 제2 게이트(127)의 기능도 수행하므로, 이는 제2 트랜지스터(120)의 제2 게이트(127)에는 소정 크기의 전압이 인가되는 것과 실질적으로 동일하게 된다(203).

[0049] 시간의 경과에 따라 조합체(121)가 수신한 전하가 누적되어 증가하면, 조합체(121)에 인가되는 전압도 이에 대응하여 증가하게 된다. 조합체(121)에 인가되는 전압이 제2 트랜지스터(120)의 문턱 전압을 초과하면, 이에 응하여 제2 트랜지스터(120)는 온 상태가 된다(205).

[0050] 반대로 도 2에 도시된 바와 반대로 제1 게이트(117)에 어떠한 전압도 인가되지 않았다면, 상술한 과정은 발생하지 않으며, 제2 트랜지스터(120)는 온 상태가 전이되지 않는다. 다시 말해서, 제2 트랜지스터(120)는 오프 상태를 유지하게 된다.

[0051] 제2 트랜지스터(120)의 온/오프 여부는 제2 소스(128) 및 제2 드레인(129)를 기반으로 측정될 수 있다(205). 구체적으로 예를 들어, 온 상태 하에서 전하는 제2 소스(128)로부터 제2 드레인(129)으로 이동하게 된다. 그러므로 제2 소스(128) 및 제2 드레인(129) 사이의 전하의 유동 여부를 측정함으로써 제2 트랜지스터(120)의 온/오프 여부가 판단될 수 있다. 예를 들어, 제2 소스(128) 및 제2 드레인(129) 사이의 전류를 측정하거나 또는 제2 드레인(129)의 전압을 측정하여 제2 트랜지스터(120)의 온/오프 여부를 판단할 수 있다.

[0052] 제2 트랜지스터(120)의 온/오프 여부는, 이진 데이터의 저장에 이용될 수 있다. 다시 말해서, 제2 트랜지스터(120)의 온 상태인 경우를 1이라 정의하고, 제2 트랜지스터(120)가 오프 상태인 경우를 0이라 정의하면, 제2 트랜지스터(120)의 온/오프 여부에 따라서 저장된 데이터가 1인지 또는 0인지 여부를 구별할 수 있게 된다. 다시 말해서, 제1 게이트(117)에 소정의 전압(문턱 전압 이상의 전압)이 인가된 경우라면, 제2 트랜지스터(120)는 1의 값을 저장하고, 전압이 인가되지 않은 경우라면 제2 트랜지스터(120)는 0의 값을 저장하게 된다. 물론 실시예에 따라서 제2 트랜지스터(120)의 온 상태인 경우를 0이라 정의하고, 제2 트랜지스터(120)가 오프 상태인 경우를 1이라 정의하는 것도 가능할 것이다.

[0053] 그러므로, 상술한 메모리 소자(100)는 제1 게이트(117)에의 전압(문턱 전압 이상의 전압)의 인가 여부에 따라서 0 또는 1의 값을 저장할 수 있게 되며, 메모리 소자(100)와 연결된 다른 장치는 제2 트랜지스터(120)의 온/오프 여부를 기반으로 메모리 소자(100)에 저장된 데이터를 독출할 수 있게 된다.

[0054] 상술한 실시예에 따른 메모리 소자(100)는, 도 7에 도시된 종래의 디램과 비교하였을 때 복잡한 구조나 높은 중형비의 커패시터를 필요로 하지 않으며 또한 상대적으로 단순한 구조를 갖는다. 그러므로, 보다 간단하게 디램 소자를 구현할 수 있게 된다. 이런 이유로 디램 소자의 공정 난도의 현저한 감소를 획득할 수 있게 된다. 또한, 커패시터에 전하를 저장하지 않고 제2 트랜지스터(120)의 온/오프를 기반으로 저장된 정보를 획득하며, 제1

드레인(119), 제2 게이트(127) 또는 이들의 조합체(121)로부터 전류의 유출이 발생하지 않으므로, 종래의 디램 소자와는 달리 전하의 손실이 발생하지 않게 된다. 따라서, 소자의 데이터 저장의 신뢰성도 향상될 수 있게 된다.

[0055] 또한, 실시예에 따른 메모리 소자(100)의 구조의 단순함에 따라서, 삼차원 구조 메모리 소자 구현 역시 상대적으로 용이하고 편리하게 될 수도 있다.

[0056] 상술한 실시예에 따른 메모리 소자(100)는 다양한 분야에서 이용될 수 있다. 예를 들어, 상술한 실시예에 따른 메모리 소자(100)는, 프로세서나 통신 모듈 및/또는 프로세서나 통신 모듈의 동작을 보조하기 위한 메모리 소자로 이용될 수 있다. 여기서, 프로세서는, 중앙 처리 장치(CPU, Central Processing Unit), 마이크로 컨트롤러 유닛(MCU, Micro Controller Unit), 마이컴(Micom, Micro Processor), 애플리케이션 프로세서(AP, Application Processor), 전자 제어 유닛(ECU, Electronic Controlling Unit) 및/또는 각종 연산 처리 및 제어 신호의 생성이 가능한 다른 전자 장치 등을 포함할 수 있다.

[0057] 또한, 상술한 실시예에 따른 메모리 소자(100)는, 각종 전자 장치에도 이용될 수 있다. 각종 전자 장치는, 예를 들어, 가전 기기, 디스플레이 장치, 셋톱 박스, 데스크톱 컴퓨터, 랩톱 컴퓨터, 음향 재생 장치, 현금 자동 입출금기(ATM, Automated Teller Machine) 또는 이외 부호의 입력 및 수정이 가능한 다양한 장치 중 적어도 하나를 포함할 수 있다. 여기서, 가전 기기는, 예를 들어, 냉장고, 마이크로 웨이브, 전기 오븐, 식기세척기, 세탁기, 인덕션 가열 장치, 가열 포트, 진공 청소기, 로봇 청소기 및/또는 이외택내 등에서 이용되는 다양한 전자 장치를 포함할 수 있다. 또한, 디스플레이 장치는, 예를 들어, 스마트폰, 태블릿 피씨, 전자 책, 스마트 시계나 두부 장착형 디스플레이(HMD, Head Mounted Display), 디지털 텔레비전, 모니터 장치, 내비게이션 장치, 휴대용 게임기, 개인용 디지털 보조기(PDA, Personal Digital Assistant), 전자 칠판, 전자 광고판 및/또는 이외 소정의 화상을 표시할 수 있는 다양한 장치를 포함할 수 있다.

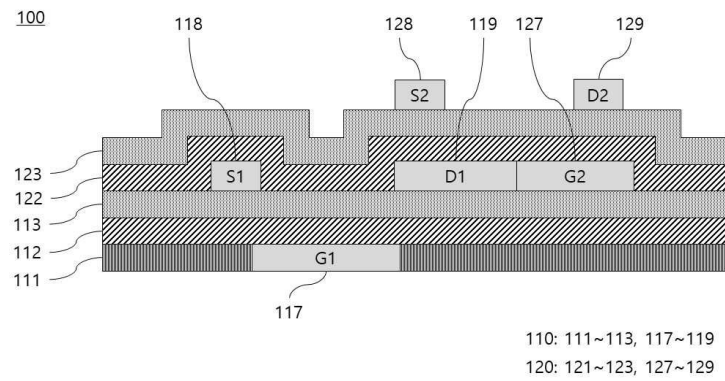
[0058] 이상 메모리 소자 및 상기 메모리 소자의 정보 저장 방법의 여러 실시예에 대해 설명하였으나, 메모리 소자 및 상기 메모리 소자의 정보 저장 방법은 오직 상술한 실시예에 한정되는 것은 아니다. 해당 기술 분야에서 통상의 지식을 가진 자가 상술한 실시예를 기초로 수정 및 변형하여 구현 가능한 다양한 장치나 방법 역시 상술한 장치 및 방법의 일례가 될 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성 요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나 다른 구성 요소 또는 균등물에 의하여 대치되거나 또는 치환되더라도 상술한 메모리 소자 및 상기 메모리 소자의 정보 저장 방법의 일 실시예가 될 수 있다.

부호의 설명

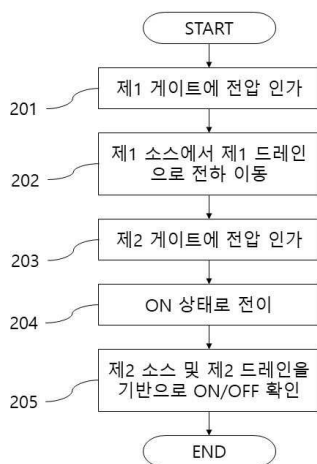
[0059] 100: 메모리 소자 110: 제1 트랜지스터
111: 격리층 112: 제1 절연 층
113: 제1 채널 층 117: 제1 게이트
118: 제1 소스 119: 제1 드레인
120: 제2 트랜지스터
121: 제1 드레인 및 제2 게이트의 조합체
122: 제2 절연 층 123: 제2 채널 층
127: 제2 게이트 128: 제2 소스
129: 제3 소스

도면

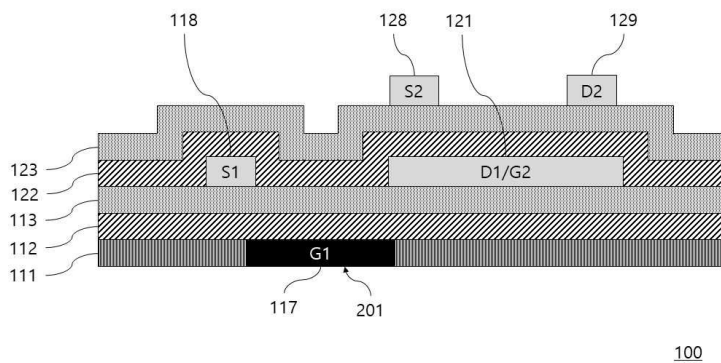
도면1



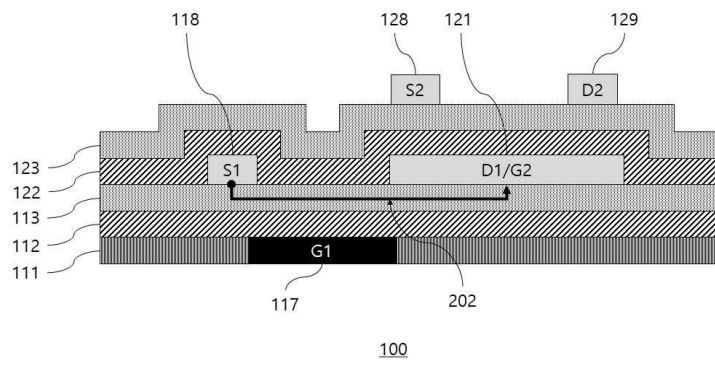
도면2



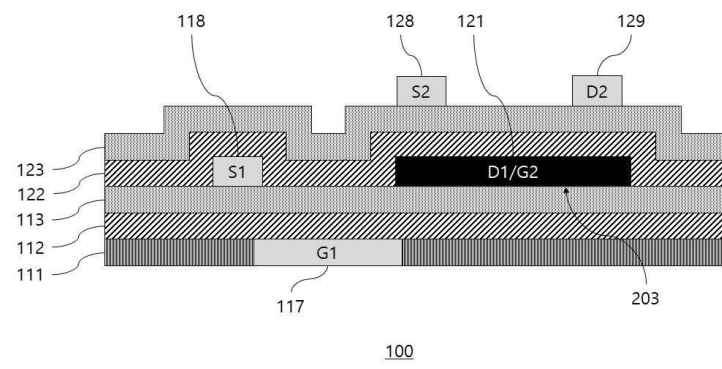
도면3



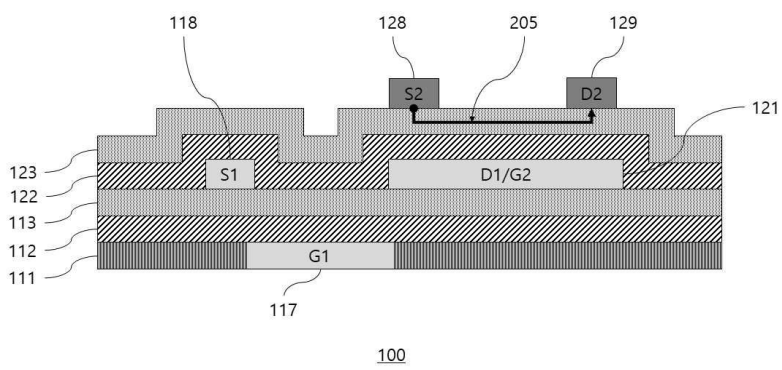
도면4



도면5



도면6



도면7

