



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2010년05월19일
 (11) 등록번호 10-0958282
 (24) 등록일자 2010년05월10일

(51) Int. Cl.

H05B 33/00 (2006.01)

(21) 출원번호 10-2002-0072252
 (22) 출원일자 2002년11월20일
 심사청구일자 2007년11월19일
 (65) 공개번호 10-2003-0043674
 (43) 공개일자 2003년06월02일

(30) 우선권주장

JP-P-2001-00358444 2001년11월22일 일본(JP)

(56) 선행기술조사문헌

JP04000772 A
 JP2000101136 A
 JP03205788 A
 KR1020000075335 A

전체 청구항 수 : 총 27 항

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키순페이

일본국가나가와Ken아쓰기시하세398가부시키가이샤
한도오따이에네루기켄큐쇼나이

세오사토시

일본국가나가와Ken아쓰기시하세398가부시키가이샤
한도오따이에네루기켄큐쇼나이

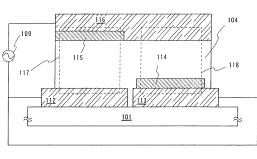
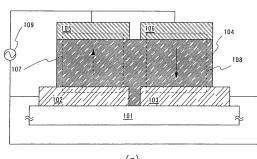
(74) 대리인

권태복, 김홍두, 이화의

심사관 : 이윤직

(54) 발광장치 및 그 제작방법**(57) 요 약**

본 발명은, 발광장치의 구동방법으로서 교류구동을 사용함과 동시에, 극성이 다른 전압이 교대로 인가되는 경우 항상 발광을 얻을 수 있는 발광소자 및 그 제작방법을 제공한다. 양극, 유기화합물층 및 음극으로 이루어지는 제1 발광소자 및 제2 발광소자가 형성된다. 이 발광소자들은, 동일한 유기화합물층을 사이에 끼워 형성되고, 제1 발광소자의 양극과 제2 발광소자의 양극 및 제1 발광소자의 음극과 제2 발광소자의 음극은, 유기화합물층을 사이에 끼워 반대측에 형성되어 있다. 또한, 교류구동에 의해 역극성의 전압이 교대로 인가되기 때문에, 제1 발광소자와 제2 발광소자 중 어느 한쪽을 항상 발광시킬 수 있다.

대 표 도 - 도1

특허청구의 범위

청구항 1

제 1 화소전극, 유기화합물층 및 제 1 대향전극을 갖는 제 1 발광소자와,

제 2 화소전극, 상기 유기화합물층 및 제 2 대향전극을 갖는 제 2 발광소자를 구비한 발광장치로서,

상기 제 1 화소전극 및 상기 제 2 화소전극은 제 1 표면상에 형성되고,

상기 제 1 대향전극 및 상기 제 2 대향전극은 제 2 표면상에 형성되며,

상기 제 1 화소전극과 상기 제 2 대향전극을 포함한 전극들이 양극들인 경우, 상기 제 2 화소전극과 상기 제 1 대향전극을 포함한 전극들은 음극들이고,

상기 제 1 화소전극과 상기 제 2 대향전극을 포함한 상기 전극들이 음극들인 경우, 상기 제 2 화소전극과 상기 제 1 대향전극을 포함한 상기 전극들은 양극들인 것을 특징으로 하는 발광장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

절연표면 상에 형성된 제 1 TFT와

상기 절연표면 상에 형성된 제 2 TFT와,

상기 제 1 TFT 및 상기 제 2 TFT 위에 형성된 제 1 절연막과,

상기 제 1 절연막상에 형성된 제 1 화소전극과,

상기 제 1 절연막상에 형성된 제 2 화소전극과,

상기 제 1 화소전극과 상기 제 1 TFT 사이의 접속부, 및 제 2 화소전극과 상기 제 2 TFT 사이의 접속부를 덮어 형성된 제 2 절연막과,

상기 제 1 화소전극 및 상기 제 2 화소전극 상에 형성된 유기화합물층과,

상기 유기화합물층 상에 형성된 제 1 대향전극과,

상기 유기화합물층 상에 형성된 제 2 대향전극을 구비한 발광장치로서,

상기 제 1 화소전극과 상기 제 2 대향전극을 포함한 전극들이 양극들인 경우, 상기 제 2 화소전극과 상기 제 1 대향전극을 포함한 전극들은 음극들이고,

상기 제 1 화소전극과 상기 제 2 대향전극을 포함한 상기 전극들이 음극들인 경우, 상기 제 2 화소전극과 상기 제 1 대향전극을 포함한 상기 전극들은 양극들인 것을 특징으로 하는 발광장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

절연표면 상에 형성된 제 1 TFT와,

상기 절연표면 상에 형성된 제 2 TFT와,

상기 제 1 TFT 및 상기 제 2 TFT 위에 형성된 제 1 절연막과,

상기 제 1 절연막 상에 형성된 제 1 화소전극 및 제 2 화소전극과,

상기 제 1 화소전극과 상기 제 1 TFT 사이의 접속부, 및 제 2 화소전극과 상기 제 2 TFT 사이의 접속부를 덮어 형성된 제 2 절연막과,

상기 제 1 화소전극 및 상기 제 2 화소전극 상에 형성된 유기화합물층과,

상기 유기화합물층 상에 형성된 제 1 대향전극과,

상기 유기화합물층 상에 형성된 제 2 대향전극을 구비한 발광장치로서,

상기 제 1 TFT 및 상기 제 2 TFT는, 소스영역 및 드레인영역을 각각 갖고,

상기 제 1 화소전극은 제 1 전극을 갖고,

상기 제 2 화소전극은 제 2 전극 및 보조전극을 가지며,

상기 제 1 전극은, 상기 제 1 절연막에 형성된 제 1 개구부에서, 상기 제 1 TFT의 상기 소스영역 및 상기 드레인영역 중 한쪽과 전기적으로 접속되고,

상기 제 2 전극은, 상기 제 1 절연막에 형성된 제 2 개구부에서, 상기 제 2 TFT의 상기 소스영역 및 상기 드레인영역 중 한쪽과 전기적으로 접속되고,

상기 제 1 화소전극 및 상기 제 2 대향전극을 포함한 전극들은, 양극들 또는 음극들이고,

상기 제 2 화소전극 및 상기 제 1 대향전극을 포함한 전극들은, 양극들 또는 음극들이고,

상기 제 1 화소전극과 상기 제 2 대향전극을 포함한 상기 전극들이 양극들인 경우, 상기 제 2 화소전극과 상기 제 1 대향전극을 포함한 상기 전극들은 음극들이고,

상기 제 1 화소전극과 상기 제 2 대향전극을 포함한 상기 전극들이 음극들인 경우, 상기 제 2 화소전극과 상기 제 1 대향전극을 포함한 상기 전극들은 양극들인 것을 특징으로 하는 발광장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

절연표면 상에 형성된 제 1 TFT와,

상기 절연표면 상에 형성된 제 2 TFT와,

상기 제 1 TFT 및 상기 제 2 TFT 위에 형성된 제 1 절연막과,
상기 제 1 절연막 상에 형성된 제 1 화소전극과,
상기 제 1 절연막 상에 형성된 제 2 화소전극과,
상기 제 1 화소전극과 상기 제 1 TFT 사이의 접속부, 및 상기 제 2 화소전극과 상기 제 2 TFT 사이의 접속부를 덮어 형성된 제 2 절연막과,
상기 제 1 화소전극 및 상기 제 2 화소전극 상에 형성된 유기화합물층과,
상기 유기화합물층 상에 형성된 제 1 대향전극과,
상기 유기화합물층 상에 형성된 제 2 대향전극을 구비한 발광장치로서,
상기 제 1 대향전극은 보조전극과 제 1 전극을 갖고,
상기 제 2 대향전극은 제 2 전극을 갖고,
상기 제 1 화소전극 및 상기 제 2 대향전극을 포함한 전극들은 양극들 또는 음극들이고,
상기 제 2 화소전극 및 상기 제 1 대향전극을 포함한 전극들은 양극들 또는 음극들이고,
상기 제 1 화소전극과 상기 제 2 대향전극을 포함한 상기 전극들이 양극들인 경우, 상기 제 2 화소전극과 상기 제 1 대향전극을 포함한 상기 전극들은 음극들이고,
상기 제 1 화소전극과 상기 제 2 대향전극을 포함한 상기 전극들이 음극들인 경우, 상기 제 2 화소전극과 상기 제 1 대향전극을 포함한 상기 전극들은 양극들인 것을 특징으로 하는 발광장치.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

절연표면 상에 제 1 전극 및 제 2 전극을 형성하는 단계와,
상기 제 2 전극 상에 제 1 보조전극을 형성하는 단계와,
상기 제 1 전극, 상기 제 2 전극 및 상기 제 1 보조전극 위에 유기화합물층을 형성하는 단계와,
상기 유기화합물층 위에, 상기 제 1 전극과 겹치는 위치에 제 2 보조전극을 형성하는 단계와,
상기 유기화합물층 및 상기 제 2 보조전극 위에 제 3 전극을 형성하는 단계를 포함한 발광장치의 제작방법으로서,
상기 제 1 전극을 포함하는 제 1 화소전극과, 상기 유기화합물층과, 상기 제 2 보조전극 및 상기 제 3 전극을 포함하는 제 1 대향전극을 포함하는, 제 1 발광소자와,
상기 제 2 전극 및 상기 제 1 보조전극을 포함하는 제 2 화소전극과, 상기 유기화합물층과, 상기 제 3 전극을 포함하는 제 2 대향전극을 포함하는, 제 2 발광소자를 갖는 것을 특징으로 하는 발광장치의 제작방법.

청구항 19

삭제

청구항 20

절연표면상에 제 1 TFT 및 제 2 TFT를 형성하는 단계와,
 상기 제 1 TFT 및 상기 제 2 TFT 위에 제 1 절연층을 형성하는 단계와,
 상기 제 1 절연층 위에 제 1 전극 및 제 2 전극을 형성하는 단계와,
 상기 제 2 전극 상에 제 1 보조전극을 형성하는 단계와,
 상기 제 1 전극과 상기 제 1 TFT 사이의 접속부, 및 제 2 전극과 상기 제 2 TFT 사이의 접속부를 덮어 제 2 절연층을 형성하는 단계와,
 상기 제 1 전극, 상기 제 2 전극 및 상기 제 1 보조전극 위에 유기화합물층을 형성하는 단계와,
 상기 유기화합물층 위에, 상기 제 1 전극과 겹치는 위치에 제 2 보조전극을 형성하는 단계와,
 상기 유기화합물층 및 상기 제 2 보조전극 상에 제 3 전극을 형성하는 발광장치의 제작방법으로서,
 상기 제 1 전극을 포함하는 제 1 화소전극과, 상기 유기화합물층과, 상기 제 2 보조전극 및 상기 제 3 전극을 포함하는 제 1 대향전극을 포함하는, 제 1 발광소자와,
 상기 제 2 전극 및 상기 제 1 보조전극을 포함하는 제 2 화소전극과, 상기 유기화합물층과, 상기 제 3 전극을 포함하는 제 2 대향전극을 포함하는, 제 2 발광소자를 갖는 것을 특징으로 하는 발광장치의 제작방법.

청구항 21

제 20 항에 있어서,

상기 제 1 TFT 및 상기 제 2 TFT는 소스영역 및 드레인영역을 각각 갖고, 상기 제 1 전극 및 상기 제 2 전극은, 상기 제 1 절연층에 형성된 개구부에서, 상기 소스영역 및 상기 드레인영역 중 어느 한쪽과 전기적으로 접속되는 것을 특징으로 하는 발광장치의 제작방법.

청구항 22

제 18 항 또는 제 20 항에 있어서,

상기 제 1 화소전극 및 상기 제 2 대향전극은 양극 및 음극 중 어느 한쪽이고, 상기 제 2 화소전극 및 상기 제 1 대향전극은 상기 양극 및 상기 음극 중 나머지 한쪽인 것을 특징으로 하는 발광장치의 제작방법.

청구항 23

삭제

청구항 24

제 1 화소전극, 유기화합물층 및 제 1 대향전극을 갖는 제 1 발광소자와,
 제 2 화소전극, 상기 유기화합물층 및 제 2 대향전극을 갖는 제 2 발광소자를 구비한 발광장치로서,
 상기 제 1 화소전극 및 상기 제 2 화소전극은 제 1 표면상에 형성되고,
 상기 제 1 대향전극 및 상기 제 2 대향전극은 제 2 표면상에 형성되며,
 상기 제 1 화소전극은 제 1 전극을 포함하고,
 상기 제 2 화소전극은 제 2 전극과 보조전극을 포함하고,
 상기 제 1 화소전극과 상기 제 2 대향전극을 포함한 전극들이 양극들인 경우, 상기 제 2 화소전극과 상기 제 1 대향전극을 포함한 전극들은 음극들이고,
 상기 제 1 화소전극과 상기 제 2 대향전극을 포함한 상기 전극들이 음극들인 경우, 상기 제 2 화소전극과 상기 제 1 대향전극을 포함한 상기 전극들은 양극들인 것을 특징으로 하는 발광장치.

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

제 1 화소전극, 유기화합물층 및 제 1 대향전극을 갖는 제 1 발광소자와,

제 2 화소전극, 상기 유기화합물층 및 제 2 대향전극을 갖는 제 2 발광소자를 구비한 발광장치로서,

상기 제 1 화소전극 및 상기 제 2 화소전극은 제 1 표면상에 형성되고,

상기 제 1 대향전극 및 상기 제 2 대향전극은 제 2 표면상에 형성되며,

상기 제 1 대향전극은 보조전극과 제 1 전극을 포함하고,

상기 제 2 대향전극은 제 2 전극을 포함하고,

상기 제 1 화소전극과 상기 제 2 대향전극을 포함한 전극들이 양극들인 경우, 상기 제 2 화소전극과 상기 제 1 대향전극을 포함한 전극들은 음극들이고,

상기 제 1 화소전극과 상기 제 2 대향전극을 포함한 상기 전극들이 음극들인 경우, 상기 제 2 화소전극과 상기 제 1 대향전극을 포함한 상기 전극들은 양극들인 것을 특징으로 하는 발광장치.

청구항 30

제 1 항, 제 5 항, 제 9항, 제 14 항, 제 24항 또는 제 29 항 중 어느 한 항에 있어서,

상기 유기화합물층은, 바이폴라 특성을 갖는 것을 특징으로 하는 발광장치.

청구항 31

제 1 항, 제 5 항, 제 9항, 제 14 항, 제 24항 또는 제 29 항 중 어느 한 항에 있어서,

상기 유기화합물층은, 정공수송성 재료 및 전자수송성 재료로 이루어진 것을 특징으로 하는 발광장치.

청구항 32

삭제

청구항 33

제 9 항, 제 14 항, 제 24 항 또는 제 29 항 중 어느 한 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극을 포함한 전극들은 양극 또는 음극을 형성하는 재료로 이루어지고, 상기 보조전극은 상기 양극 또는 상기 음극 중 나머지 한쪽을 형성하는 재료로 이루어진 것을 특징으로 하는 발광장치.

청구항 34

스트라이프 형태로 배치된 양극용 재료로 이루어진 제 1 전극과,

상기 제 1 전극에 수직하게 스트라이프 형태로 배치된 상기 양극용 재료로 이루어진 제 2 전극과,

상기 제 1 전극과 상기 제 2 전극 사이에 유기화합물을 포함한 층을 포함하고,

상기 제 1 전극의 일부와 상기 제 2 전극의 일부는 음극들로서 기능하는 것을 특징으로 하는

발광장치.

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

스트라이프 형태로 배치된 제 1 전극과,

상기 제 1 전극 위에 형성되고, 상기 제 1 전극의 일부에 직접 설치되고 그 일부와 전기접촉되는 제 1 보조전극과,

상기 제 1 보조전극 위에 형성되고, 상기 제 1 전극과 상기 제 1 보조전극에 설치된 유기화합물을 포함한 층과,

상기 유기화합물을 포함한 층 위에 형성되고, 상기 유기화합물을 포함한 층 위에 설치되고 상기 제 1 전극의 또 다른 일부 위에 설치되는, 제 2 보조전극과,

상기 제 2 보조전극 위에 형성되고, 상기 제 1 전극과 수직하게 스트라이프 형태로 배치되고, 상기 유기화합물을 포함한 층 위에 설치되고, 상기 제 2 보조전극에 직접 설치 및 전기접촉되는, 제 2 전극을 포함한 것을 특징으로 하는 발광장치.

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

스트라이프 형태로 배치된 양극용 재료로 이루어진 제 1 전극과,

상기 제 1 전극에 수직하게 상기 제 1 전극의 일부에 스트라이프 형태로 배치된 음극용 재료로 이루어진 제 1 보조전극과,

상기 제 1 전극과 상기 제 1 보조전극 위에 유기화합물을 포함한 층과,

상기 유기화합물을 포함한 층 위와, 상기 제 1 전극에 수직하게 상기 제 1 전극의 또 다른 부분 위에, 스트라이프 형태로 배치된 음극용 재료로 이루어진 제 2 보조전극과,

상기 유기화합물을 포함한 층과 상기 제 2 보조전극 위에 부분적으로 상기 제 1 전극에 수직하게 스트

라이프 형태로 배치된 양극용 재료로 이루어진 제 2 전극을 포함한 것을 특징으로 하는 발광장치.

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

스트라이프 형태로 배치된 제 1 전극과,

상기 제 1 전극에 수직하게 스트라이프 형태로 배치된 제 2 전극과,

상기 제 1 전극과 상기 제 2 전극 사이에 유기화합물을 포함한 층을 구비한 발광장치로서,

상기 제 1 전극과 상기 제 2 전극의 교차 부분의 제 1 부분에서의 상기 제 1 전극의 제 1 부분은 상기 유기화합물을 포함한 층과 접촉하고,

제 1 보조전극은 상기 제 1 전극과 상기 제 2 전극의 교차 부분의 제 1 부분에서의 상기 제 2 전극의 제 1 부분과, 상기 유기화합물을 포함한 층 사이에 삽입되고,

상기 제 1 전극과 상기 제 2 전극의 교차 부분의 제 2 부분에서의 상기 제 2 전극의 제 2 부분은 상기 유기화합물을 포함한 층과 접촉하고,

제 2 보조전극은 상기 제 1 전극과 상기 제 2 전극의 교차 부분의 상기 제 2 부분에서의 상기 제 1 전극의 제 2 부분과, 상기 유기화합물을 포함한 층 사이에 삽입된 것을 특징으로 하는 발광장치.

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

스트라이프 형태로 배치된 제 1 전극과,

상기 제 1 전극 위에 형성되고, 상기 제 1 전극의 일부에 직접 설치되고 그 일부와 전기접촉되는 제 1 보조전극과,

상기 제 1 보조전극 위에 형성되고, 상기 제 1 전극 및 상기 제 1 보조전극 위에 설치된 발광층과,

상기 발광층 위에 형성되고, 상기 발광층 위와 상기 제 1 전극의 또 다른 부분 위에 설치되는 제 2 보조전극과,

상기 제 2 보조전극 위에, 상기 제 1 전극에 수직하게 스트라이프 형태로 배치되고, 상기 발광층 위에 설치되고, 상기 제 2 보조전극에 직접 설치 및 전기접촉되게 설치된 제 2 전극을 포함한 것을 특징으로 하는 발광장치.

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

스트라이프 형태로 배치된 제 1 전극과,

상기 제 1 전극 위에 형성되고, 상기 제 1 전극의 일부에 직접 설치되고 그 일부와 전기접촉되는 제 1 보조전극과,

상기 제 1 보조전극 위에 형성되고, 상기 제 1 전극 및 상기 제 1 보조전극 위에 접촉하여 설치된 유기화합물을 포함한 층과,

상기 유기화합물을 포함한 층 위에 형성되고, 상기 유기화합물을 포함한 층 위에 접촉하여 설치되고 상기 제 1 전극의 또 다른 부분 위에 설치되는 제 2 보조전극과,

상기 제 2 보조전극 위에 형성되고, 상기 제 1 전극에 수직하게 스트라이프 형태로 배치되고, 상기 유기화합물을 포함한 층 위에 설치되고, 상기 제 2 보조전극에 직접 설치 및 전기접촉되게 설치된 제 2 전극을 포함한 것을 특징으로 하는 발광장치.

청구항 63

제 34 항, 제 38 항, 제 44 항, 제 50 항 또는 제 62 항 중 어느 한 항에 있어서,

상기 유기화합물을 포함한 층은, 바이폴라 특성을 갖는 것을 특징으로 하는 발광장치.

청구항 64

제 34 항, 제 38 항, 제 44 항, 제 50 항 또는 제 62 항 중 어느 한 항에 있어서,

상기 유기화합물을 포함한 층은, 정공수송성 재료 및 전자수송성 재료로 이루어진 것을 특징으로 하는 발광장치.

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

스트라이프 형태로 배치된 제 1 전극과,

상기 제 1 전극 위에 형성되고, 상기 제 1 전극의 일부에 직접 설치되고 그 일부와 전기접촉되는 제 1 보조전극과,

상기 제 1 보조전극 위에 형성되고, 상기 제 1 전극 및 상기 제 1 보조전극 위에 설치되고 상기 제 1 전극 및 상기 제 1 보조전극과 전기접촉된 발광층과,

상기 발광층 위에 형성되고, 상기 발광층 위에 설치되고 이 발광층과 전기접촉되고, 상기 제 1 전극의 또 다른 부분 위에 설치되는 제 2 보조전극과,

상기 제 2 보조전극 위에 형성되고, 상기 제 1 전극에 수직하게 스트라이프 형태로 배치되고, 상기 발광층 위에 설치되고, 상기 제 2 보조전극에 직접 설치 및 전기접촉되게 설치된 제 2 전극을 포함한 것을 특징으로 하는 발광장치.

청구항 69

제 56 항 또는 제 68 항에 있어서,

상기 발광층은, 바이폴라 특성을 갖는 것을 특징으로 하는 발광장치.

청구항 70

제 56 항 또는 제 68 항에 있어서,

상기 발광층은, 정공수송성 재료 및 전자수송성 재료로 이루어진 것을 특징으로 하는 발광장치.

청구항 71

제 1 항, 제 5 항, 제 9 항, 제 14 항, 제 24 항, 제 29 항, 제 34 항, 제 38 항, 제 44 항, 제 50 항, 제 56 항, 제 62 항 또는 제 68 항 중 어느 한 항에 있어서,

상기 발광장치는, 표시장치, 디지털 스틸 카메라, 노트북형 퍼스널 컴퓨터, 모바일 컴퓨터, 기록매체를 구비한 휴대형 화상재생장치, 고글형 디스플레이, 비디오 카메라 및 휴대전화로부터 선택된 하나인 것을 특징으로 하는 발광장치.

청구항 72

제 38 항, 제 44 항, 제 50 항, 제 56 항, 제 62 항 또는 제 68 항 중 어느 한 항에 있어서,

상기 제 1 보조전극은, 상기 제 1 전극에 수직하게 스트라이프 형태로 배치된 것을 특징으로 하는 발광장치.

청구항 73

제 38 항, 제 44 항, 제 50 항, 제 56 항, 제 62 항 또는 제 68 항 중 어느 한 항에 있어서,

상기 제 2 보조전극은, 상기 제 1 전극에 수직하게 스트라이프 형태로 배치된 것을 특징으로 하는 발광장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0023]

본 발명은, 한 쌍의 전극 사이에 유기화합물을 포함하는 막(이하, 「유기화합물층」이라 칭함)을 설치한 소자에 전계를 가함으로써, 형광 또는 인광을 얻을 수 있는 발광소자를 사용한 발광장치 및 그 제작방법에 관한 것이다. 또한, 본 명세서에서의 발광장치란, 화상표시장치, 발광장치 또는 광원을 나타낸다. 또한, 발광소자에 커넥터, 예컨대 FPC(Flexible printed circuit) 또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)가 설치된 모듈, TAB 테이프나 TCP의 텁에 프린트 배선판이 설치된 모듈, 및 발광소자에 COG(Chip On Glass)방식에 의해 IC(집적회로)가 직접 실장된 모듈도 모두 발광장치에 포함하는 것으로 한다.

[0024]

본 발명에서의 발광소자란, 전계를 가함으로써 발광하는 소자이다. 그 발광메커니즘은, 전극 사이에 유기화합물층을 삽입하여 전압을 인가함으로써, 음극에서 주입된 전자 및 양극에서 주입된 정공이 유기화합물층에서 재결합하여, 여기상태의 문자(이하, 「문자 여기자」라 칭함)를 형성하고, 그 문자 여기자가 기저상태로 되돌아갈 때에 에너지를 방출하여 발광한다는 것이다.

[0025]

이와 같은 발광소자에서, 통상, 유기화합물층은 $1\mu\text{m}$ 미만의 박막으로 형성된다. 또한, 발광소자는, 유기화합물층 그 자체가 빛을 방출하는 자발광형 소자이므로, 종래의 액정디스플레이에 사용된 백라이트도 필요하지 않다. 따라서, 발광소자는 매우 박형 및 경량형으로 제작할 수 있는 큰 이점이 있다.

[0026]

또한, 예컨대 100~200nm 정도의 유기화합물층에서, 캐리어를 주입하고 나서 재결합에 도달하기까지의 시간은, 유기화합물층의 캐리어 이동도를 생각하면 수십나노초 정도이다. 캐리어의 재결합으로부터 발광까지의 과정을 포함해서도 마이크로초 정도 이내로 발광한다. 따라서, 대단히 응답속도가 빠른 것도 특징 중 하나이다.

[0027]

또한, 발광소자는 캐리어주입형 발광소자이므로, 직류전압에 의해 구동이 가능하고, 노이즈가 생기기 어렵다. 구동전압에 관해서는, 우선 유기화합물층의 두께를 100nm 정도의 균일한 초박막으로 하고, 또한, 유기화합물층에 대한 캐리어 주입장벽을 작게 하는 전극재료를 선택하고, 또한 혜테로구조(2층 구조)를 도입한다. 따라서, 5.5V에서 $100\text{cd}/\text{m}^2$ 의 충분한 휙도가 달성되었다는 보고가 있다(문헌 1 : C. W. Tang and S. A. VanSlyke, "Organic electroluminescent diodes", Applied Physics Letters, vol. 51, No.12, 913-915(1987)).

[0028]

이러한 박형, 경량, 고속응답성, 직류 저전압 구동 등의 특성으로부터, 발광소자는, 차세대의 평판 패널 디스플레이 소자로서 주목되고 있다. 또한, 자발광형이며 시야각이 넓은 것으로, 시감도도 비교적 양호하다. 그래서, 발광소자는, 전기기구의 표시화면에 사용하는 소자로서 유효하다고 생각된다.

발명이 이루고자 하는 기술적 과제

[0029]

그러나, 이러한 형태의 발광소자에서, 유기화합물층에 항상 일정 방향의 바이어스가 인가되는 직류구동을 사용하는 경우에는, 유기화합물층에 전하가 축적되기 때문에, 휙도가 저하한다고 하는 문제가 생긴다.

[0030]

이것에 관하여, 양극과 정공수송층과의 사이에 정공주입층을 삽입하고, 또한 직류구동이 아니라 구형파의 교류구동을 이용함으로써, 휙도의 저하를 억제할 수 있다는 보고가 있다((문헌 1 : S. A. VanSlyke, C. H. Chen, and C. W. Tang, "Organic electroluminescent devices with improved stability", Appl.Phys.Lett., 69, (15)2160-2162(1996)).

[0031]

이것은, 정공주입층을 삽입하는 것에 의한 에너지 장벽의 완화와, 극성이 다른 전압이 교대로 인가되기 때문이다. 따라서, 유기화합물층의 내부에 전하의 축적이 완화되고, 휙도의 저하를 억제할 수 있다는 실험적인 뒷받침이 있다. 발광소자의 소자수명을 향상시키는데, 교류구동이 적합하다는 것을 제안하는 것이다.

[0032]

그러나, 교류구동에 의한 발광소자를 형성하는 경우에서, 발광소자는 통상, 양극, 유기화합물층 및 음극으로 이루어지는 적층구조를 가지고 있으므로 양극측으로부터 정의 전압(순바이어스)이 인가되고, 음극측에 부의 전압

(역바이어스)이 인가되었을 때만 전류가 흘러, 발광을 얻을 수 있다. 즉, 교류구동을 사용한 경우에, 역바이어스가 인가되었을 때에는, 발광소자는 발광하지 않게 된다.

[0033] 이와 같이 유효 발광시간이 짧아지는 경우 휘도가 어두워지기 때문에, 소정의 휘도를 유지하려고 높은 전압을 인가하면, 발광소자의 열화가 진행한다는 문제가 생긴다.

[0034] 그래서, 본 발명에서는, 발광장치의 구동방법으로서 교류구동을 사용함과 동시에, 극성이 다른 전압이 교대로 인가된 경우에도 항상 발광을 얻을 수 있는 발광소자 및 그 제작방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

[0035] 본 발명에서는, 양극, 유기화합물층 및 음극으로 이루어진 제 1 발광소자 및 제 2 발광소자가 형성된다. 이 발광소자들은, 동일한 유기화합물층을 사이에 끼워, 양극 및 음극이 형성된다. 제 1 발광소자의 양극과 제 2 발광소자의 양극 및 제 1 발광소자의 음극과 제 2 발광소자의 음극은, 유기화합물층을 사이에 끼워 각각 반대측에 형성된다. 제 1 발광소자 및 제 2 발광소자 중 어느 한쪽에 의해, 하나의 계조표시를 수행한다.

[0036] 또한, 본 발명의 발광장치는, 교류구동에 의해 발광소자를 발광시키는 것이고, 제 1 발광소자와 제 2 발광소자에 역극성의 전압이 교대로 인가된다. 그리고, 정의 극성의 전압(순바이어스)이 인가된 한쪽의 발광소자가 발광하고, 부의 극성의 전압(역바이어스)이 인가된 다른 쪽의 발광소자는 발광하지 않는다. 즉, 2개의 발광소자가 인가되는 전압의 극성에 따라 교대로 발광하므로, 발광소자를 항상 발광시킬 수 있다.

[0037] 본 발명에서의 발광장치는, 교류구동에 의해 유기화합물층에서의 전하의 축적을 완화할 수 있으므로, 휘도의 저하를 억제하고, 소자수명을 향상시킬 수 있다. 또한, 본 발명에서의 발광장치는, 교류구동을 사용하는 경우에도 항상 화소 발광소자를 발광시킬 수 있으므로, 직류구동으로 인한 소자열화를 방지할 수 있는 한편, 직류구동의 경우와 동일한 계조표시가 가능하게 된다.

[0038] 본 발명에 개시된 발명의 구성은, 제 1 화소전극, 유기화합물층 및 제 1 대향전극을 갖는 제 1 발광소자와, 제 2 화소전극, 유기화합물층 및 제 2 대향전극을 갖는 제 2 발광소자를 구비한 발광장치에 있어서, 상기 제 1 화소전극 및 상기 제 2 대향전극은, 양극 및 음극 중 어느 한쪽이고, 상기 제 2 화소전극 및 상기 제 1 대향전극은, 양극 및 음극 중 나머지 한쪽인 것을 특징으로 하는 발광장치이다.

[0039] 또한, 다른 발명의 구성은, 절연표면상에 형성된 제 1 TFT와, 절연표면상에 형성된 제 2 TFT와, 상기 제 1 TFT 및 상기 제 2 TFT상에 형성된 충간절연막과, 상기 충간절연막상에 형성된 제 1 화소전극과, 상기 충간절연막상에 형성된 제 2 화소전극과, 상기 제 1 화소전극과 상기 제 1 TFT 사이의 접속부 및 제 2 화소전극과 상기 제 2 TFT 사이의 접속부를 덮어 형성된 절연막과, 상기 제 1 화소전극 및 상기 제 2 화소전극 상에 형성된 유기화합물층과, 상기 유기화합물층상에 형성된 제 1 대향전극과, 상기 유기화합물층상에 형성된 제 2 대향전극을 갖는 발광장치에 있어서, 상기 제 1 화소전극 및 상기 제 2 대향전극은, 양극 및 음극 중 어느 한쪽이고, 상기 제 2 화소전극 및 상기 제 1 대향전극은, 양극 및 음극 중 나머지 한쪽인 것을 특징으로 하는 발광장치이다.

[0040] 또한, 상기 각 구성에서, 절연표면상에 형성된 제 1 TFT와, 절연표면상에 형성된 제 2 TFT와, 상기 제 1 TFT 및 상기 제 2 TFT 상에 형성된 충간절연막과, 제 1 전극과, 상기 충간절연막상에 형성된 제 1 화소전극과, 제 2 전극과, 제 1 보조전극과, 상기 충간절연막상에 형성된 제 2 화소전극과, 상기 제 1 화소전극과 상기 제 1 TFT 사이의 접속부 및 제 2 화소전극과 상기 제 2 TFT 사이의 접속부를 덮어 형성된 절연막과, 상기 제 1 화소전극 및 상기 제 2 화소전극상에 형성된 유기화합물층과, 상기 유기화합물층상에 형성된 제 1 대향전극과, 상기 유기화합물층상에 형성된 제 2 대향전극을 갖는 발광장치에 있어서, 상기 제 1 TFT 및 상기 제 2 TFT는, 소스영역 및 드레인영역을 각각 가지며, 제 1 화소전극은 제 1 전극으로 이루어지고, 제 2 화소전극은 제 2 전극 및 제 1 보조전극으로 이루어지며, 상기 제 1 전극 및 상기 제 2 전극은, 상기 충간절연막에 형성된 개구부에서, 상기 소스영역 또는 상기 드레인영역 중 어느 한쪽과 전기적으로 접속되고, 상기 제 1 화소전극 및 상기 제 2 대향전극은, 양극 및 음극 중 어느 한쪽이며, 상기 제 2 화소전극 및 상기 제 1 대향전극은, 양극 및 음극 중 나머지 한쪽인 것을 특징으로 하는 발광장치이다.

[0041] 또한, 상기 각 구성에서, 절연표면상에 형성된 제 1 TFT와, 절연표면상에 형성된 제 2 TFT와, 상기 제 1 TFT 및 상기 제 2 TFT 상에 형성된 충간절연막과, 제 1 전극과, 상기 충간절연막상에 형성된 제 1 화소전극과, 제 2 전극과, 제 1 보조전극과, 상기 충간절연막상에 형성된 제 2 화소전극과, 상기 제 1 화소전극과 상기 제 1 TFT 사이의 접속부 및 제 2 화소전극과 상기 제 2 TFT 사이의 접속부를 덮어 형성된 절연막과, 상기 제 1 화소전극 및

상기 제 2 화소전극상에 형성된 유기화합물층과, 상기 유기화합물층상에 형성된 제 1 대향전극과, 상기 유기화합물층상에 형성된 제 2 대향전극을 갖는 발광장치에 있어서, 상기 제 1 TFT 및 상기 제 2 TFT는, 소스영역 및 드레인영역을 각각 가지며, 제 1 화소전극은 제 1 전극으로 이루어지고, 제 2 화소전극은 제 2 전극 및 제 1 보조전극으로 이루어지며, 상기 제 1 전극 및 상기 제 2 전극은, 상기 충간절연막에 형성된 개구부에서, 상기 소스영역 또는 상기 드레인영역 중 어느 한쪽과 전기적으로 접속되고, 상기 제 1 전극 및 상기 제 2 전극은, 양극 및 음극 중 어느 한쪽을 형성하는 재료로 이루어지며, 상기 제 1 보조전극은, 양극 및 음극 중 나머지 한쪽을 형성하는 재료로 이루어진 것을 특징으로 하는 발광장치이다.

[0042] 또한, 상기 각 구성에서, 절연표면상에 형성된 제 1 TFT와, 절연표면상에 형성된 제 2 TFT와, 상기 제 1 TFT 및 상기 제 2 TFT 상에 형성된 충간절연막과, 제 1 전극과, 상기 충간절연막상에 형성된 제 1 화소전극과, 제 2 전극과, 상기 충간절연막상에 형성된 제 2 화소전극과, 제 2 보조전극과, 제 3 전극과, 상기 제 1 화소전극과 상기 제 1 TFT 사이의 접속부 및 제 2 화소전극과 상기 제 2 TFT 사이의 접속부를 덮어 형성된 절연막과, 상기 제 1 화소전극 및 상기 제 2 화소전극상에 형성된 유기화합물층과, 상기 유기화합물층상에 형성된 제 1 대향전극과, 상기 유기화합물층상에 형성된 제 2 대향전극을 갖는 발광장치에 있어서, 제 1 대향전극은 제 2 보조전극 및 제 3 보조전극으로 이루어지고, 제 2 대향전극은 제 3 전극으로 이루어지며, 상기 제 1 화소전극 및 상기 제 2 화소전극은, 양극 및 음극 중 어느 한쪽이고, 상기 제 2 화소전극 및 상기 제 1 대향전극은, 양극 및 음극 중 나머지 한쪽인 것을 특징으로 하는 발광장치이다.

[0043] 또한, 상기 각 구성에서, 절연표면상에 형성된 제 1 TFT와, 절연표면상에 형성된 제 2 TFT와, 상기 제 1 TFT 및 상기 제 2 TFT 상에 형성된 충간절연막과, 제 1 전극과, 상기 충간절연막상에 형성된 제 1 화소전극과, 제 2 전극과, 상기 충간절연막상에 형성된 제 2 화소전극과, 상기 제 1 화소전극과 상기 제 1 TFT 사이의 접속부 및 제 2 화소전극과 상기 제 2 TFT 사이의 접속부를 덮어 형성된 절연막과, 상기 제 1 화소전극 및 상기 제 2 화소전극상에 형성된 유기화합물층과, 상기 유기화합물층상에 형성된 제 1 대향전극과, 상기 유기화합물층상에 형성된 제 2 대향전극을 갖는 발광장치에 있어서, 제 1 대향전극은 제 2 보조전극 및 제 3 보조전극으로 이루어지고, 상기 제 3 전극은, 양극 및 음극 중 어느 한쪽을 형성하는 재료로 이루어지고, 상기 제 2 보조전극은, 양극 및 음극 중 나머지 한쪽을 형성하는 재료로 이루어진 것을 특징으로 하는 발광장치이다.

[0044] 또한, 상기 각 구성에서, 유기화합물층은, 정공수송성 및 전자수송성을 갖는 바이폴라성 재료로 이루어진 것을 특징으로 한다.

[0045] 또한, 본 발명의 발광장치의 제작에서, 제 1 전극 및 제 2 전극을 형성하고, 제 2 전극상에만 제 1 보조전극을 증착법에 의해 형성한다. 그 후, 이것들의 전극상에 동일한 재료로, 동일한 층으로 이루어진 유기화합물층을 형성할 수 있다.

[0046] 또한, 본 발명의 또 다른 구성은, 절연표면상에 제 1 전극 및 제 2 전극을 형성하고, 상기 제 2 전극상에 제 1 보조전극을 형성하며, 상기 제 1 전극, 상기 제 2 전극 및 상기 제 1 보조전극상에 유기화합물층을 형성하고, 상기 유기화합물층상에서, 상기 제 1 전극과 겹치는 위치에 제 2 보조전극을 형성하고, 상기 유기화합물층 및 상기 제 2 보조전극상에 제 3 전극을 형성하는 발광장치의 제작방법에 있어서, 상기 제 1 전극으로 이루어진 제 1 화소전극과, 상기 유기화합물층과, 상기 제 2 보조전극 및 상기 제 3 전극으로 이루어진 제 1 대향전극을 갖는 제 1 발광소자와, 상기 제 2 전극 및 상기 제 1 보조전극으로 이루어진 제 2 화소전극과, 상기 유기화합물층과, 상기 제 3 전극으로 이루어진 제 2 대향전극을 갖는 제 2 발광소자를 형성하는 것을 특징으로 하는 발광장치의 제작방법이다.

[0047] 또한, 본 발명의 또 다른 구성은, 절연표면상에 제 1 TFT 및 제 2 TFT를 형성하고, 상기 제 1 TFT 및 상기 제 2 TFT 상에 충간절연막을 형성하며, 상기 충간절연막상에 제 1 전극 및 제 2 전극을 형성하고, 상기 제 2 전극상에 제 1 보조전극을 형성하며, 상기 제 1 전극과 상기 제 1 TFT 사이의 접속부 및 제 2 전극과 상기 제 2 TFT 사이의 접속부를 덮어 절연막을 형성하고, 상기 제 1 전극, 상기 제 2 전극 및 상기 제 1 보조전극상에 유기화합물층을 형성하며, 상기 유기화합물층상에서, 상기 제 1 전극과 겹치는 위치에 제 2 보조전극을 형성하고, 상기 유기화합물층 및 상기 제 2 보조전극상에 제 3 전극을 형성하는 발광장치의 제작방법에 있어서, 상기 제 1 전극으로 이루어진 제 1 화소전극과, 상기 유기화합물층과, 상기 제 2 보조전극 및 상기 제 3 전극으로 이루어진 제 1 대향전극을 갖는 제 1 발광소자와, 상기 제 2 전극 및 상기 제 1 보조전극으로 이루어진 제 2 화소전극과, 상기 유기화합물층과, 상기 제 3 전극으로 이루어진 제 2 대향전극을 갖는 제 2 발광소자를 형성하는 것을 특징으로 하는 발광장치의 제작방법이다.

[0048] 또한, 상기 구성에서, 상기 제 1 TFT 및 상기 제 2 TFT는, 소스영역 및 드레인영역을 각각 가지며, 상기 제 1

전극 및 상기 제 2 전극은, 상기 층간절연막에 형성된 개구부에서, 상기 소스영역 및 상기 드레인영역 중 어느 한쪽과 전기적으로 접속되는 것을 특징으로 한다.

[0049] 또한, 상기 각 구성에서, 상기 제 1 화소전극 및 상기 제 2 대향전극은, 양극 및 음극 중 어느 한쪽이고, 상기 제 2 화소전극 및 상기 제 1 대향전극은, 양극 및 음극 중 나머지 한쪽인 것을 특징으로 한다.

[0050] 또한, 본 발명의 발광장치에서 얻어지는 발광은, 단일항 여기상태 및 3중항 여기상태 중 어느 한쪽, 또는 그 양자에 의한 발광을 포함하는 것으로 한다.

[0051] [발명의 실시예]

(실시형태)

[0053] 본 발명의 실시형태에 대하여, 도 1a, 1b를 사용하여 설명한다. 또한, 도 1a에는, 본 발명에서, 각 화소가 갖는 발광소자의 소자구조에 대하여 나타낸다.

[0054] 도 1a에 나타낸 것처럼, 기판(101)상에 양극(102) 및 음극(103)의 2종류의 전극이 형성된다. 이것들의 전극(102, 103)과 접하여 유기화합물층(104)이 형성되며, 유기화합물층(104)과 접하여 음극(105) 및 양극(106)이 형성된다. 즉, 공통의 유기화합물층(104)을 삽입하여 양측에 음극 및 양극이 각각 형성되는 구조를 갖는다. 다른 방법을 말하면, 양극(102), 유기화합물층(104) 및 음극(105)을 갖는 제 1 발광소자(107)와, 음극(103), 유기화합물층(104) 및 양극(106)을 갖는 제 2 발광소자(108)가 형성되어 있다.

[0055] 또한, 본 명세서에서는, 유기화합물층을 형성하기 전에 형성되는 전극을 화소전극이라고 부르기로 한다. 구체적으로는, 양극(102) 및 음극(103)을 각각 화소전극(1) 및 화소전극(2)이라고 부르기로 한다.

[0056] 한편, 유기화합물층을 형성한 후에 형성되는 전극을 대향전극이라 부르기로 한다. 구체적으로는, 음극(105) 및 양극(106)을 각각 대향전극 1 및 대향전극 2이라고 부르기로 한다.

[0057] 이때, 이것들의 발광소자에서, 음극에 양극보다도 낮은 전압이 인가되고, 양극에 음극보다도 높은 전압이 인가되면, 즉, 순바이어스가 인가되면, 음극에서 유기화합물층으로 전자가 주입된다. 양극에서는 유기화합물층에 정공이 주입됨으로써, 유기화합물층에 전류가 흐른다. 또한, 유기화합물층(104)에서, 정공과 전자가 재결합함으로써 발광이 얻어진다.

[0058] 이때, 본 발명에서 유기화합물층(104)은, 바이폴라성을 갖는다. 또한, 바이폴라성이란, 캐리어인 전자 및 정공 중 어느 것에 대해서도 수송성을 갖는 것을 말한다.

[0059] 본 발명에서의 2종류의 발광소자(107, 108)는, 교류전원(109)에 접속된다. 그리고, 2종류의 발광소자(107, 108) 중 한쪽에 교대로 순바이어스가 인가되고, 그 발광소자(107, 108) 중 다른쪽에 교대로 역바이어스가 인가된다.

[0060] 또한, 본 명세서에서는, 발광소자에 순바이어스가 인가되고, 전류가 흐르는 상태가 되는 것을 발광소자가 기능한다 부르기로 한다. 즉, 발광소자에 역바이어스가 인가된 경우에는, 발광소자는 기능하지 않게 된다.

[0061] 도 1b에는 본 발명의 발광소자를 형성하는 경우의 구체적인 방법에 대하여 설명한다.

[0062] 기판(101)상에 도전재료를 사용하여 제 1 전극(112) 및 제 2 전극(113)을 형성한다. 이때, 본 실시형태에서는, 제 1 전극(112) 및 제 2 전극(113)이 양극이 될 수 있는 재료로 형성되는 경우에 대하여 설명한다. 여기서 사용하는 도전재료로서는, 일함수가 4.5eV 이상의 큰 재료를 사용할 수 있다. 구체적으로는, ITO(indium tin oxide), IZO(indium zinc oxide), 또는 In_2O_3-ZnO 계 재료 등의 투광성 도전막 이외, 금(Au), 백금(Pt), 니켈(Ni), 텉스텐(W), 티타늄(Ti) 등 장주기형의 주기율표에서의 3~11족에 속하는 원소를 도전재료로서 사용할 수 있다. 이때, 여기서 형성된 전극(112, 113)으로부터 광을 투과시키는 소자구조의 경우에는, 투광성 도전재료를 사용하여 형성한다.

[0063] 다음에 제 2 전극(113)상에 음극이 될 수 있는 도전재료를 사용하여 제 1 보조전극(114)을 형성한다. 또한, 제 1 보조전극(114)에 사용하는 일함수가 작은(구체적으로는, 일함수가 3.8eV 이하) 재료로서는, 원소 주기율표의 1족 또는 2족에 속하는 원소, 즉 알칼리 금속 및 알칼리토류 금속 및 이들을 포함하는 합금이나 화합물의 다른, 희토류 금속을 포함하는 천이금속을 사용할 수 있다. 제 1 보조전극(114)은, 증착법 또는 스퍼터링법에 의해 형성할 수 있다.

- [0064] 다음에, 제 1 전극(112) 및 제 1 보조전극(114)상에 바이폴라성을 갖는 유기화합물층(104)을 형성한다. 이때, 유기화합물층(104)을 형성하는 재료로서는, 저분자계의 재료이어도 되고, 고분자계의 재료이어도 된다.
- [0065] 저분자계의 재료를 사용하는 경우에는, 정공수송성의 유기화합물과, 전자수송성의 유기화합물을 중량비가 1:1이 되도록 동시 증착함으로써 형성할 수 있다.
- [0066] 구체적으로는, 정공수송성의 성질을 갖는 4, 4'-비스(bis)[N-(1-나프틸)-N-페닐-아미노]-비페닐(이하, α -NPD라 나타냄)과 전자수송성의 성질을 갖는 트리스(8-퀴노리네이트) 알루미늄(이하, Alq₃이라 나타냄)을 동시 증착함으로써 형성할 수 있다. 또한, 유기화합물층의 일부에 도우펀트가 되는 재료를 도핑함으로써 발광영역을 한정할 수 있다.
- [0067] 고분자계의 재료를 사용하는 경우에는, 정공수송성의 유기화합물과, 전자수송성의 유기화합물을 용매중에 소정의 몰비로 혼합함으로써 형성할 수 있다.
- [0068] 구체적으로는, 정공수송성의 성질을 갖는 폴리비닐 카바졸(이하, PVK라 나타냄)과 전자수송성의 성질을 갖는 1, 3, 4-옥사디아졸 유도체인 (2-(4-비페닐)-5-(4-t-부틸페닐)-1, 3, 4-옥사디아졸(이하, PBD라 나타냄)을 톨루엔 중에 혼합하여 형성한 도포액을 도포함으로써 형성할 수 있다. 또한, 도우펀트가 되는 재료를 도포액 내에 혼합시켜도 된다.
- [0069] 다음에, 유기화합물층(104)상에, 제 1 전극(112)과 겹치는 위치에 음극이 되는 도전재료를 사용하여, 제 2 보조전극(115)을 형성한다. 또한, 여기서 사용하는 도전재료로서는, 먼저 제 1 보조전극(114)을 형성할 때에 사용한 것과 동일한 재료를 사용할 수 있다. 그러나, 여기서 형성된 제 2 보조전극(115)은, 유기화합물층(104)상에 형성되기 때문에, 증착법에 의해 형성되는 것이 바람직하다.
- [0070] 마지막으로, 유기화합물층(104) 및 제 2 보조전극(115)을 덮어 제 3 전극(116)이 형성된다. 이때, 제 3 전극(116)을 형성하는 재료로서는, 양극을 형성할 수 있는 도전재료를 사용하지만, 먼저 제 1 전극(112) 및 제 2 전극(113)을 형성할 때에 사용한 것과 동일한 재료를 사용할 수 있다. 그러나, 여기서 형성된 제 3 전극(116)은, 유기화합물층(104)상에 형성되기 때문에, 증착법에 의해 형성되는 것이 바람직하다.
- [0071] 이상에 의해, 제 1 전극(112), 유기화합물층(104), 제 2 보조전극(115) 및 제 3 전극으로 이루어진 제 1 발광소자(117)와, 제 2 전극(113), 제 1 보조전극(114), 유기화합물층(104) 및 제 3 전극(116)으로 이루어진 제 2 발광소자(118)를 형성할 수 있다.
- [0072] 또한, 제 1 발광소자(117)에서, 양극이 될 수 있는 도전재료로 이루어진 제 1 전극(112)이, 도 1a에서의 양극(102), 즉 화소전극(1)이다. 반대로, 음극이 될 수 있는 도전재료로 이루어진 제 2 보조전극(115)이 일함수의 관점에서 음극이 될 수 있다. 그러나, 초박막으로 형성되기 때문에 문제가 되는 막 저항을 제 3 전극(116)과의 적층에 의해 낮게 할 수 있으므로, 여기서는, 제 2 보조전극(115)과 제 3 전극(116)을 적층한 것을, 도 1a에서의 음극(105), 즉 대향전극(1)으로 한다.
- [0073] 또한, 제 2 발광소자(118)에서, 제 2 전극(113)상에 음극이 될 수 있는 도전재료로 이루어진 제 1 보조전극(114)이 일함수의 관점에서 음극이 될 수 있다. 그러나, 초박막으로 형성되기 때문에 문제가 되는 막 저항을 제 2 전극(113)상에 적층함으로써 감소시킬 수 있으므로, 여기서는, 제 2 전극(113)과 제 1 보조전극(114)을 함께 적층한다. 이 적층은, 대향전극(2)인 도 1a에서의 음극(103)으로 한다. 한편, 양극이 될 수 있는 도전재료로 이루어진 제 3 전극(116)이, 도 1a에서의 양극(106)이고, 이것이 대향전극(2)이다.
- [0074] (실시예)
- [0075] 이하에, 본 발명의 실시예들에 대하여 설명한다.
- [0076] (실시예 1)
- [0077] 본 실시예 1에서는, TFT(박막트랜지스터)와 발광소자가 전기적으로 접속된, 액티브 매트릭스형을 설명한다. 발광소자의 화소전극이 투광성 재료로 형성되고, 유기화합물층에서 생긴 광을 화소전극으로부터 추출하는 구조(소위, 하방 출사형)의 경우에 대하여 설명한다.
- [0078] 도 2a에서, 발광장치의 화소부를 형성하는 화소의 단면도를 나타낸다. 기판(201)상에는, 2종류의 TFT(전류제어용 TFT)가 형성되어 있고, TFT1(202)에는, 배선(204)을 통해 제 1 전극(205)이 전기적으로 접속되며,

TFT2(203)에는, 배선(206)을 통해 제 2 전극(2)(207)이 전기적으로 접속되어 있다. 이때, 본 실시예의 경우에는, TFT1(202)은 p채널형 TFT로 형성되고, TFT2(203)는, n채널형 TFT로 형성되어 있다.

[0079] 또한, 배선(204)과 제 1 전극(205)의 접속부 및 배선(206)과 제 2 전극(207)의 접속부는, 절연재료로 이루어진 절연층(214)에 의해 덮여 있다. 또한, 절연층(214)의 형성에서, 산화실리콘, 질화실리콘 및 산화질화실리콘 등의 실리콘을 포함하는 재료 이외, 폴리아미드, 아크릴(감광성 아크릴을 포함함), BCB(벤조시클로부텐)의 유기수지막을 사용하거나, 실리콘산화막으로서, 도포 실리콘 산화막(SOG:Spin On Glass)을 사용하여 절연막을 형성한다. 또한, 막두께는, 0.1~2 μ m로 형성할 수 있지만, 특히 산화실리콘, 질화실리콘 및 산화질화실리콘 등의 실리콘을 포함하는 재료를 사용하는 경우에는 0.1~0.3 μ m의 막두께로 형성하는 것이 바람직하다.

[0080] 그리고, 이 절연막의 제 1 전극(205) 및 제 2 전극(207)과 대응하는 위치에 개구부를 형성하여, 절연층(214)이 형성된다.

[0081] 구체적으로는, 감광성 아크릴을 사용하여 1 μ m의 절연막을 형성하고, 포토리소그래피법에 의해 패터닝을 한다. 그 후, 식각처리를 함으로써 절연층(214)을 형성한다.

[0082] 제 1 전극(205)상에는, 유기화합물층(209)과, 제 2 보조전극(210)과, 제 3 전극(211)이 적층되어, 제 1 발광소자(212)가 형성된다. 또한, 제 2 전극(207)상에는, 제 1 보조전극(208)과, 유기화합물층(209)과, 제 3 전극(211)이 적층되고, 제 2 발광소자(213)가 형성되어 있다.

[0083] 이때, 제 1 전극(205), 제 2 전극(207) 및 제 3 전극(211)은, 양극이 될 수 있는 일함수가 큰 재료로 형성되고, 제 1 보조전극(208) 및 제 2 보조전극(210)은, 음극이 될 수 있는 일함수가 작은 재료로 형성되어 있다. 그 때문에, 제 1 발광소자(212)에서는, 도 2b에 도시된 것처럼, 제 1 전극(205)이 제 1 화소전극(양극)(217)이 되고, 제 2 보조전극(210) 및 제 3 전극(211)의 적층된 것이 제 1 대향전극(음극)(218)이 된다. 또한, 제 2 발광소자(213)에서는, 도 2b에 도시된 것처럼, 제 2 전극(207) 및 제 1 보조전극(208)의 적층된 것이, 제 2 화소전극(음극)(219)이 되고, 제 3 전극(211)이 제 2 대향전극(양극)(220)이 된다.

[0084] 제 1 발광소자(212) 및 제 2 발광소자(213)의 구체적인 소자구성에 대하여 도 2b에 나타내고, 이것들의 제작방법에 대하여 이하에 설명한다.

[0085] 그러나, 기판상에 형성되는 TFT 및 배선의 형성까지는, 후의 실시예에서 상세히 설명하므로 본 실시예에서는 생략하고, 본 실시예 1에서는, 배선형성 후에 형성되는 발광소자의 제작에 대하여 설명한다.

[0086] 우선, 배선 204에 접하여 제 1 전극(205), 배선 206에 접하여 제 2 전극(207)이 형성된다. 또한, 본 실시예 1에서의 제 1 전극(205) 및 제 2 전극(207)은, 발광전극이 되므로, 투광성이다. 구체적으로는, ITO, IZO, 또는 In₂O₃-ZnO계 재료를 사용할 수 있다. 여기서는 ITO를 스퍼터링법에 의해 100nm의 막두께로 형성한 후, 패터닝하여 전극들을 형성한다.

[0087] 또한, 제 2 전극(207)상에 제 1 보조전극(208)을 형성한다. 이때, 제 1 보조전극(208)도 투광성 재료로 형성되어 있다. 본 실시예 1에서의 제 1 보조전극(208)의 재료로서는, 플루오르화바륨(BaF₂), 플루오르화칼슘(CaF), 플루오르화세슘(CsF) 등을 사용할 수 있지만, 막두께를 1nm 정도로 형성할 필요가 있다. 또한, 세슘(Cs), 바륨(Ba), 칼슘(Ca), 마그네슘 합금(Mg:Ag) 및 란탄족 재료를 사용할 수 있다. 이때, 이 경우에는, 20nm 이하의 막두께로 형성하면 된다. 여기서는, 플루오르화바륨(BaF₂)을 1nm의 막두께로 막형성하고, 제 1 보조전극(208)을 형성한다. 또한, 금속마스크를 사용하여 증착함으로써, 제 2 전극(207)상에만 제 1 보조전극(208)을 형성할 수 있다.

[0088] 다음에, 유기화합물층(209)이 형성된다. 본 실시예 1에서는, 유기화합물층을 정공수송성의 유기화합물과 전자수송성의 유기화합물을 중량비가 1:1이 되도록 동시 증착함으로써 형성할 수 있다. 또한, 본 실시예 1에서의 유기화합물층(209)의 막두께는, 100nm이다.

[0089] 구체적으로는, 그 유기화합물층(209)은, 정공수송성의 성질을 갖는 4, 4'-비스[N-(1-나프틸)-N-페닐-아미노]-비페닐(이하, α -NPD라 나타냄)과 전자수송성의 성질을 갖는 트리스(8-퀴노리네이트)알루미늄(이하, Alq₃이라 나타냄)을 중량비가 1:1이 되도록 동시 증착함으로써 형성할 수 있다. 여기서 형성된 층을 바이폴라층(215)이라 부르기로 한다.

[0090] 또한, 본 실시예 1에서는, 이 바이폴라층(215)을 형성하는 동안에, 도우펀트가 되는 4-디시아노메틸렌-2-메틸-6-(쥬로리딘(julolidine)-4-일-비닐)-4H-페란(이하, DCM2라 나타냄)을 도핑함으로써 발광영역이 되는 도핑된 영

역(216)을 형성한다. 또한, 이때의 도핑된 영역(216)에서의 중량비가, (α -NPD):(Alq₃):(DCM)=50:50:1이 되도록 동시에 증착하여 형성할 수 있다.

[0091] 그리고, 도핑된 영역(216)상에 다시 바이폴라층(215)을 형성함으로써 유기화합물층(209)에서의 발광영역을 한정 할 수 있다. 이때, 이와 동일한 재료에 의해 유기화합물층(209)을 형성한 경우에는, 적색발광을 나타낸 유기화 합물층을 형성할 수 있다.

[0092] 또한, 녹색발광을 나타낸 유기화합물층을 형성하는 경우에는, 바이폴라층(215)을 동일한 재료(α -NPD와 Alq₃)로 형성하고, 도핑된 영역(216)에 디메틸 퀴나크리돈(quinacridon)을 도핑함으로써 형성할 수 있다. 이때, 도핑된 영역(216)에서의 중량비가, (α -NPD):(Alq₃):(퀴나크리돈)=50:50:1이 되도록 동시에 증착하여 형성할 수 있다.

[0093] 또한, 청색발광을 나타낸 유기화합물층을 형성하는 경우에는, 바소큐프로닌(vasocupronin)(이하, BCP라 나타냄)과, 4, 4', 4'''-트리스[N-(3-메틸페닐)-N-페닐아미노]-트리페닐아민(이하, MTDATA라 나타냄)을 중량비가 1:1이 되도록 동시에 증착함으로써 바이폴라층(215)을 형성한다. 그리고, 도핑된 영역(216)에 페릴렌(perylen)을 도핑함으로써 형성할 수 있다. 이때, 도핑된 영역(216)에서의 중량비가, (BCP):(MTDATA):(페릴렌)=50:50:5가 되도록 동시에 증착하여 형성할 수 있다.

[0094] 또한, 이것들의 도핑된 영역(216)은 20~30nm의 막두께로 형성된다.

[0095] 전술한 바와 같은 적색발광을 나타낸 유기화합물층, 녹색발광을 나타낸 유기화합물층, 청색발광을 나타낸 유기화합물층(209)을 갖는 화소가 화소부에 형성됨으로써, 폴 칼라 표시가 가능하게 된다.

[0096] 또한, 본 실시예 1에서 나타낸 유기화합물층(209)은, 도핑된 영역(216)이 발광영역으로 되어 있지만, 도핑된 영역(216)을 설치하지 않고 완전히 다른 재료로 이루어진 발광층을 바이폴라층(215)의 사이에 형성할 수 있다. 이 경우에, 바이폴라층(215)을 형성하는 재료로서는, 상술한 것을 사용하여도 되고, 발광층을 형성하는 재료로서는, 4, 4'-비스(2, 2-디페닐-비닐)-비페닐(이하, DPVBi라 나타냄) 등을 들 수 있다.

[0097] 한편, 고분자계의 재료를 사용하는 경우에는, PVK 및 PBD를 톨루엔 내에 1:0.3의 몰비로 혼합하고, 도우펀트인 트리스(2-페닐 피리딘)이리듐(이하, Ir(ppy)₃이라 나타냄)을 PVK 및 PBD의 전체 몰수에 대하여 3mol%의 몰비가 되도록 혼합함으로써 도포액을 형성한다. 그 후, 그 층을 도포에 의해 형성한다.

[0098] 다음에, 유기화합물층(209)상에 제 2 보조전극(210)을 형성한다. 이때, 제 2 보조전극(210)도 제 1 보조전극(208)과 동일한 재료로 형성할 수 있지만, 여기서는, 바륨(Ba)을 20nm의 막두께로 형성하고, 제 2 보조전극(210)을 형성한다. 또한, 금속마스크를 사용하여 증착함으로써, 제 1 전극(205)상에만 제 2 보조전극(210)을 형성할 수 있다.

[0099] 마지막으로, 제 3 전극(211)을 형성한다. 또한, 제 3 전극(211)을 형성하는 도전재료로서는, 일함수가 4.5eV 이상인 큰 재료를 사용한다. 또한, 본 실시예 1에서, 발광소자의 발광효율을 저하시키지 않기 위해 제 3 전극(211)으로부터 광이 출사되지 않는 구조로 하는 것이 바람직하므로, 차광성의 재료를 사용하여 형성한다. 구체적으로는, 금(Au), 백금(Pt), 니켈(Ni), 텉스텐(W), 티타늄(Ti) 등의 장주기형의 주기율표에서 3~11족에 속하는 원소를 도전재료로서 사용할 수 있다. 이때, 본 실시예 1에서는, 금(Au)을 100nm의 막두께로 형성하여 제 3 전극(211)을 형성한다.

[0100] 이상에 의해, 하나의 화소내에 제 1 발광소자(212) 및 제 2 발광소자(213)를 구비하고, 어느 쪽의 발광소자에서도, 화소전극층으로부터 광을 출사할 수 있는 하면출사형의 발광장치를 형성할 수 있다.

[0101] (실시예 2)

[0102] 본 실시예 2에서는, 실시예 1과 다르고, 대향전극이 투광성의 재료로 형성되며, 유기화합물층에서 생긴 광을 대향전극으로부터 추출하는 구조(소위, 상방 출사형)의 경우에 대하여 설명한다.

[0103] 도 3a에서, 발광장치의 화소부를 형성하는 화소의 단면도를 나타낸다. 기판(301)상에는, 2종류의 TFT(전류제어용 TFT)가 형성되어 있고, TFT1(302)에는, 배선(304)을 통해 제 1 전극(305)이 전기적으로 접속되고, TFT2(303)에는, 배선(306)을 통해 제 2 전극(2)(307)이 전기적으로 접속되어 있다. 이때, 본 실시예의 경우에는, TFT1(302)은, p채널형 TFT로 형성되고, TFT2(303)는, n채널형 TFT로 형성되어 있다.

[0104] 이때, 배선(304)과 제 1 전극(305)의 접속부, 및 배선(306)과 제 2 전극(307)의 접속부는, 실시예 1과 동일하게 절연재료로 이루어진 절연층(314)에 의해 덮여 있다. 이때, 절연층(314)을 형성하는 재료로서는, 실시예 1에서

나타낸 것과 동일한 것을 사용하면 된다. 또한, 동일하게, 이 절연막의 제 1 전극(305) 및 제 2 전극(307)과 대응하는 위치에 개구부를 형성하여, 절연층(314)이 형성된다.

[0105] 제 1 전극(305)상에는, 유기화합물층(309)과, 제 2 보조전극(310)과, 제 3 전극(311)이 적층되고, 제 1 발광소자(312)가 형성되어 있다. 또한, 제 2 전극(307)상에는, 제 1 보조전극(308)과, 유기화합물층(309)과, 제 3 전극(311)이 적층되어, 제 2 발광소자(313)가 형성되어 있다.

[0106] 이때, 제 1 전극(305), 제 2 전극(307) 및 제 3 전극(311)은, 양극이 될 수 있는 일함수가 큰 재료로 형성되고, 제 1 보조전극(308) 및 제 2 보조전극(310)은, 음극이 될 수 있는 일함수가 작은 재료로 형성되어 있다. 그 때문에, 제 1 발광소자(312)에서는, 도 3b에 도시된 것처럼, 제 1 전극(305)이 제 1 화소전극(양극)(317)이 되고, 제 2 보조전극(310) 및 제 3 전극(311)의 적층된 것이 제 1 대향전극(음극)(318)이 된다. 또한, 제 2 발광소자(313)에서는, 도 3b에 도시된 것처럼, 제 2 전극(307) 및 제 1 보조전극(308)의 적층된 것이 제 2 화소전극(음극)(319)이 되고, 제 3 전극(311)이 제 2 대향전극(양극)(320)이 된다.

[0107] 제 1 발광소자(312) 및 제 2 발광소자(313)의 구체적인 소자구성에 대하여 도 3b에 나타내고, 이 발광소자들의 제작방법에 대하여 이하에 설명한다.

[0108] 그러나, 기판상에 형성되는 TFT 및 배선의 형성까지는, 나중의 실시예에서 상세히 설명하므로, 여기서는 생략하고, 본 실시예 2에서는, 배선형성 후에 형성되는 발광소자의 제작에 대하여 설명한다.

[0109] 우선, 배선 304에 접하는 제 1 전극(305), 배선 306에 접하는 제 2 전극(307)이 형성된다. 이때, 본 실시예 2에서, 발광소자의 발광효율을 저하시키지 않기 위해 제 1 전극(305) 및 제 2 전극(307)으로부터 광이 출사되지 않는 구조로 하는 것이 바람직하므로, 상기 제 1 전극(305) 및 제 2 전극(307)은 차광성을 갖는다. 구체적으로는, 일함수가 4.5eV 이상인 재료를 사용하여 형성한다. 여기서는, 질화티타늄(TiN)을 스퍼터링법에 의해 100nm의 막 두께로 형성한 후, 패터닝함으로써 형성한다.

[0110] 게다가, 제 2 전극(307)상에 제 1 보조전극(308)을 형성한다. 또한, 본 실시예 2에서의 제 1 보조전극(308)의 재료로서는, 플루오르화바륨(BaF₂), 플루오르화칼슘(CaF), 플루오르화세슘(CsF) 등을 사용할 수 있지만, 막두께를 1nm 정도로 형성할 필요가 있다. 그 밖에도, 세슘(Cs), 바륨(Ba), 칼슘(Ca), 마그네슘 합금(Mg:Ag) 및 란탄족 재료를 사용할 수 있다. 이때, 이 경우에는, 그 막은 20nm 이하의 막두께로 형성하면 된다. 여기서는, 마그네슘 합금(Mg:Ag)을 20nm의 막두께로 형성하고, 제 1 보조전극(308)을 형성한다. 또한, 금속마스크를 사용하여 증착함으로써, 제 2 전극(307)상에만 제 1 보조전극(308)을 형성할 수 있다.

[0111] 다음에, 유기화합물층(309)이 형성된다. 이 유기화합물층은, 본 실시예 2에서도 실시예 1과 마찬가지로 하여, 정공수송성의 유기화합물과 전자수송성의 유기화합물을 중량비가 1:1이 되도록 동시 증착함으로써 형성할 수 있다. 또한, 본 실시예 2에서의 유기화합물층(309)의 막두께는, 100nm이다.

[0112] 구체적으로는, 정공수송성의 성질을 갖는 4, 4'-비스[N-(1-나프틸)-N-페닐-아미노]-비페닐(이하, α-NPD라 나타냄)과 전자수송성의 성질을 갖는 트리스(8-퀴노리네이트)알루미늄(이하, Alq₃이라 나타냄)을 중량비가 1:1이 되도록 동시에 증착함으로써 형성할 수 있다. 여기서 형성된 층을 바이폴라층(315)이라 부르기로 한다.

[0113] 또한, 본 실시예 2에서는 그 바이폴라층(315)을 형성하는 동안에, 도우편트가 되는 4-디시아노메틸렌-2-메틸-6-(쥬로리딘-4-일-비닐)-4H-피란(이하, DCM2라 나타냄)을 도핑함으로써 발광영역이 되는 도핑된 영역(316)을 형성한다. 이때, 도핑된 영역(316)에서의 중량비가, (α-NPD):(Alq₃):(DCM)=50:50:1이 되도록 동시에 증착하여 형성할 수 있다.

[0114] 그리고, 도핑된 영역(316)상에 다시 바이폴라층(315)을 형성함으로써 유기화합물층(309)에서의 발광영역을 한정할 수 있다. 이때, 이와 동일한 재료에 의해 유기화합물층(309)을 형성한 경우에는, 적색발광을 나타낸 유기화합물층을 형성할 수 있다.

[0115] 또한, 녹색발광을 나타낸 유기화합물층을 형성하는 경우에는, 바이폴라층(315)을 동일한 재료(α-NPD와 Alq₃)로 형성하고, 도핑된 영역(316)에 디메틸 퀴나크리돈을 도핑함으로써 형성할 수 있다. 이때, 도핑된 영역(316)에서의 중량비가, (α-NPD):(Alq₃):(퀴나크리돈)=50:50:1이 되도록 동시에 증착하여 형성할 수 있다.

[0116] 또한, 청색발광을 나타낸 유기화합물층을 형성하는 경우에는, 바소큐프로닌(이하, BCP라 나타냄)과, 4, 4'', 4''', 트리스[N-(3-메틸페닐)-N-페닐아미노]-트리페닐아민(이하, MTDATA라 나타냄)을 중량비가 1:1이 되도록 동

시 증착함으로써 바이폴라층(315)을 형성한다. 그리고, 도핑된 영역(316)에 페릴렌을 도핑함으로써 형성할 수 있다. 이때, 도핑된 영역(316)에서의 중량비가, (BCP):(MTDATA):(페릴렌)=50:50:5가 되도록 동시에 증착하여 형성할 수 있다.

[0117] 이때, 도핑된 영역(316)은, 20~30nm의 막두께로 형성된다.

[0118] 전술한 바와 같은 적색발광을 나타낸 유기화합물층, 녹색발광을 나타낸 유기화합물층, 청색발광을 나타낸 유기화합물층(309)을 갖는 화소가 화소부에 형성됨으로써, 폴 칼라 표시가 가능해진다.

[0119] 또한, 본 실시예 2에서 나타낸 유기화합물층(309)은, 도핑된 영역(316)이 발광영역으로 되어 있지만, 도핑된 영역(316)을 설치하지 않고, 완전히 다른 재료로 이루어진 발광층을 바이폴라층(315)의 사이에 형성할 수 있다. 이 경우에, 바이폴라층(315)을 형성하는 재료로서는, 상술한 재료를 사용하면 되고, 발광층을 형성하는 재료로서는, 4, 4'-비스(2, 2-디페닐-비닐)-비페닐(이하, DPVBi라 나타냄) 등을 들 수 있다.

[0120] 한편, 고분자계의 재료를 사용하는 경우에는, PVK 및 PBD를 톤투엔 내에 1:0.3의 몰비로 혼합하고, 도우편트인트리스(2-페닐피리딘)이리듐(이하, Ir(ppy)₃라 나타냄)을 PVK 및 PBD의 전체 몰수에 대하여 3mol%의 몰비가 되도록 혼합함으로써 도포액을 형성한다. 그 층은, 도포에 의해 형성된다.

[0121] 다음에, 유기화합물층(309)상에 제 2 보조전극(310)을 형성한다. 이때, 제 2 보조전극(310)도 제 1 보조전극(308)과 동일한 재료로 형성할 수 있다. 여기서는, 플루오르화바륨(BaF₂)을 1nm의 막두께로 형성하고, 제 2 보조전극(310)을 형성한다. 또한, 금속마스크를 사용하여 증착함으로써, 제 1 전극(305)상에만 제 2 보조전극(310)을 형성할 수 있다.

[0122] 마지막으로, 제 3 전극(311)을 형성한다. 또한, 제 3 전극(311)을 형성하는 도전재료로서는, 일함수가 4.5eV 이상인 큰 재료를 사용한다. 이때, 본 실시예 2에서의 제 3 전극(311)은, 빛을 출사하는 전극이 되므로, 투광성이 있다. 구체적으로, 일함수가 4.5eV 이상인 재료를 사용하여 형성한다. 여기서는 ITO를 증착법 또는 스퍼터링법에 의해 100nm의 막두께로 형성하여 제 3 전극(311)을 형성한다.

[0123] 이상에 의해, 하나의 화소내에 제 1 발광소자(312) 및 제 2 발광소자(313)를 구비하고, 어느쪽의 발광소자에서도, 대향전극측으로부터 광을 출사할 수 있는 상방 출사형의 발광장치를 형성할 수 있다.

[0124] (실시예 3)

[0125] 본 실시예 3에서는, 실시예 2에서 나타낸 것과 동일한 상방 출사형의 발광장치이지만, 그 소자구조가 다른 경우에 대하여 설명한다.

[0126] 도 4a에는 발광장치의 화소부를 형성하는 화소의 단면도를 나타낸다. 기판(401)상에는, 2종류의 TFT(전류제어용TFT)가 형성되어 있고, TFT1(402)에는, 배선 404를 통해 제 1 전극(405)이 전기적으로 접속되고, TFT2(403)에는, 배선 406을 통해 제 2 전극(2)(407)이 전기적으로 접속되어 있다. 이때, 본 실시예의 경우에는, TFT1(402)은, n채널형 TFT로 형성되고, TFT2(403)는, p채널형 TFT로 형성되어 있다.

[0127] 이때, 배선 404와 제 1 전극(405)의 접속부 및 배선 406과 제 2 전극(407)의 접속부는, 실시예 1과 마찬가지의 절연재료로 이루어진 절연층(414)에 의해 덮여 있다. 이때, 절연층(414)을 형성하는 재료로서는, 실시예 1에서 나타낸 것과 동일한 것을 사용하면 된다. 또한, 마찬가지로, 이 절연막의 제 1 전극(405) 및 제 2 전극(407)과 대응하는 위치에 개구부를 형성하여, 절연층(414)이 형성된다.

[0128] 제 1 전극(405)상에는, 유기화합물층(409)과, 제 2 보조전극(410)과, 제 3 전극(411)이 적층되고, 제 1 발광소자(412)가 형성되어 있다. 또한, 제 2 전극(407)상에는, 제 1 보조전극(408)과, 유기화합물층(409)과, 제 3 전극(411)이 적층되고, 제 2 발광소자(413)가 형성되어 있다.

[0129] 이때, 제 1 전극(405), 제 2 전극(407) 및 제 3 전극(411)은, 음극이 될 수 있는 일함수가 작은 재료로 형성되고, 제 1 보조전극(408) 및 제 2 보조전극(410)은, 양극이 될 수 있는 일함수가 큰 재료로 형성되어 있다. 그 때문에, 제 1 발광소자(412)에서는, 도 4b에 도시된 것처럼, 제 1 전극(405)이 제 1 화소전극(음극)(417)이 되고, 제 2 보조전극(410) 및 제 3 전극(411)의 적층된 것이 제 1 대향전극(양극)(418)이 된다. 또한, 제 2 발광소자(413)에서는, 도 4b에 도시된 것처럼, 제 2 전극(407) 및 제 1 보조전극(408)의 적층된 것이 제 2 화소전극(양극)(419)이 되고, 제 3 전극(411)이 제 2 대향전극(음극)(420)이 된다.

[0130] 제 1 발광소자(412) 및 제 2 발광소자(413)의 구체적인 소자구성에 대하여 도 4b에 나타내고, 이것들의 제작방

법에 대하여 이하에 설명한다.

[0131] 그러나, 기판상에 형성되는 TFT 및 배선의 형성까지는, 나중의 실시예에서 상세히 설명하므로 본 실시예에서는 생략한다. 본 실시예 3에서는, 배선형성 후에 형성되는 발광소자의 제작에 대하여 설명한다.

[0132] 우선, 배선 404에 접하는 제 1 전극(405), 배선 406에 접하는 제 2 전극(407)이 형성된다. 이때, 본 실시예 3에서, 제 1 전극(405) 및 제 2 전극(407)은, 발광효율을 저하시키지 않기 위해 제 1 전극(405) 및 제 2 전극(407)으로부터 광이 출사되지 않는 구조로 하는 것이 바람직하므로, 차광성을 갖는다. 일함수가 3.8eV 이하인 재료를 사용하여 형성한다. 여기서는 마그네슘 합금(Mg:Ag)을 스퍼터링법에 의해 100nm의 막두께로 형성한 후, 패터닝함으로써 전극들을 형성한다.

[0133] 또한, 제 2 전극(407)상에 제 1 보조전극(408)을 형성한다. 또한, 본 실시예에서의 제 1 보조전극(408)의 재료로서는, 금(Au), 백금(Pt), 니켈(Ni), 텅스텐(W), 티타늄(Ti) 등의 장주기형의 주기율표에서의 3~11족에 속하는 원소를 도전재료로서 사용할 수 있다. 여기서는, 금(Au)을 20nm의 막두께로 형성하여, 제 1 보조전극(408)을 형성한다. 또한, 금속마스크를 사용하여 증착함으로써, 제 2 전극(407)상에만 제 1 보조전극(408)을 형성할 수 있다.

[0134] 다음에, 유기화합물층(409)이 형성된다. 또한, 본 실시예 3에서의 유기화합물층(409)의 막두께는, 100nm이다.

[0135] 처음에, 정공수송성의 성질을 갖는 4, 4'-비스[N-(1-나프틸)-N-페닐-아미노]-비페닐(이하, α -NPD라 나타냄)과 전자수송성의 성질을 갖는 트리스(8-퀴노리네이트)알루미늄(이하, Alq₃이라 나타냄)을 중량비가 1:1이 되도록 동시에 증착함으로써 바이폴라층(415)을 형성한다.

[0136] 또한, 본 실시예 3에서는, 이 바이폴라층(215)을 형성하는 동안에, 발광영역이 되는 발광층(416)을 형성한다. 이때, 본 실시예 3에서, 발광층(416)을 형성하는 재료로서는, 4, 4'-비스(2, 2-디페닐-비닐)-비페닐(이하, DPVBi라 나타냄)을 사용한다. 또한, 발광층(416)은, 20~30nm의 막두께로 형성한다.

[0137] 그리고, 발광층(416)상에 다시 바이폴라층(415)을 형성함으로써 유기화합물층(409)에서의 발광영역을 한정할 수 있다.

[0138] 이때, 본 실시예 3에서는, 유기화합물층에 발광층(416)을 형성하는 경우에 대하여 나타냈지만, 실시예 1이나 실시예 2에서 나타낸 바와 같은 도핑된 영역을 설치하는 구조를 사용하여도 된다. 또한, 저분자계의 재료뿐만 아니라 고분자계의 재료를 사용하여서 형성하는 것도 가능하다.

[0139] 다음에, 유기화합물층(409)상에 제 2 보조전극(410)을 형성한다. 이때, 제 2 보조전극(410)도 제 1 보조전극(408)과 동일한 재료로 형성할 수 있다. 여기서는, 플루오르화바륨(BaF₂)을 1nm의 막두께로 형성하고, 제 2 보조전극(410)을 형성한다. 또한, 금속마스크를 사용하여 증착함으로써, 제 1 전극(405)상에만 제 2 보조전극(410)을 형성할 수 있다.

[0140] 마지막으로, 제 3 전극(411)을 형성한다. 이때, 제 3 전극(411)을 형성하는 도전재료로서는, 일함수가 3.8eV 이하인 작은 재료를 사용한다. 이때, 본 실시예 3에서의 제 3 전극(411)은, 광을 출사하는 전극이 되므로, 투광성을 갖는다. 일함수가 3.8eV 이하인 재료를 사용하여 형성한다. 구체적으로는, 원소주기율표의 1족 또는 2족에 속하는 원소, 즉 알칼리 금속 및 알칼리토류 금속 및 이들을 포함하는 합금이나 화합물의 다른, 희토류 금속을 포함하는 천이금속을 사용할 수 있다. 또한, 여기서는 세슘(Cs)과 은(Ag)을 증착법, 또는 스퍼터링법에 의해 적층 형성하고, 20nm의 막두께로 형성하여 제 3 전극(411)을 형성한다.

[0141] 이상에 의해, 하나의 화소내에 제 1 발광소자(312) 및 제 2 발광소자(313)를 구비하고, 어느쪽의 발광소자에서도, 대향전극측으로부터 광을 출사할 수 있는 상방 출사형의 발광장치를 형성할 수 있다.

[0142] (실시예 4)

[0143] 본 발명의 실시예를 도 5~도 7을 사용하여 설명한다. 여기서는, 동일 기판상에 화소부와, 화소부의 주변에 설치하는 구동회로의 TFT(n채널형 TFT 및 p채널형 TFT)를 동시에 제작하는 방법에 대하여 상세히 설명한다.

[0144] 우선, 기판(600)상에 하지 절연막(601)을 형성하고, 결정구조를 갖는 제 1 반도체막을 얹는다. 그 후, 원하는 형상으로 식각처리하여 섬 형상으로 분리된 반도체층(602~605)을 형성한다.

[0145] 기판(600)으로서는, 유리기판(#1737)을 사용한다. 하지 절연막(601)으로서는, 플라즈마 CVD법으로 막형성 온도 400°C, 원료가스 SiH₄, NH₃, N₂O로부터 제작되는 산화질화실리콘막(601a)(조성비: Si=32%, O=27%, N=24%,

H=17%)을 형성한다. 이 산화질화실리콘막은, 50nm(바람직하게는 10~200nm) 두께로 형성한다. 다음에, 표면을 오존수로 세정한 후, 표면의 산화막을 희불산(1/100 아래로 희석)으로 제거한다. 다음에, 플라즈마 CVD법으로 막형성 온도 400°C, 원료가스 SiH₄, N₂O로부터 제작되는 산화질화실리콘막(601b)(조성비: Si=32%, O=59%, N=7%, H=2%)을 형성한다. 이 산화질화실리콘막(601b)은, 100nm(바람직하게는 50~200nm)의 두께로 적층 형성한다. 또한, 그 적층 형성된 것을 대기에 노출시키지 않고, 플라즈마 CVD법으로 막형성 온도 300°C, 막형성 가스 SiH₄로 비정질구조를 갖는 반도체막(여기서는, 비정 실리콘막)을 형성한다. 이 반도체막은, 54nm의 두께(바람직하게는 25~80nm)로 형성한다.

[0146] 이 실시예에서는 하지막(601)을 2층 구조로서 나타내었다. 그러나, 상기 하지 절연막은, 그 절연막의 단층 또는 2층 이상 적층시킨 구조로서 형성해도 된다. 또한, 반도체막의 재료에 한정은 없지만, 바람직하게는 실리콘 또는 실리콘 게르마늄(Si_xGe_{1-x}(X=0.0001~0.02)) 합금 등을 사용하고, 공자의 방법(스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등)에 의해 형성하면 된다. 또한, 플라즈마 CVD장치는, 웨이퍼식의 장치이어도 되고, 배치식의 장치이어도 된다. 또한, 동일한 챔버에서 대기에 접촉하지 않고 하지 절연막과 반도체막을 연속적으로 형성하여도 된다.

[0147] 다음에, 중량환산으로 10ppm의 니켈을 포함하는 아세트산 니켈염 용액을 스퍼너로 도포한다. 도포대신에 스퍼터링법으로 니켈원소를 전체 면에 살포하는 방법을 사용해도 된다.

[0148] 다음에, 가열처리를 행하고 결정화시켜 결정구조를 갖는 반도체막을 형성한다. 이 가열처리는, 전기로의 열처리 또는 강광의 조사를 사용하면 된다. 전기로의 열처리로 행하는 경우는, 500°C~650°C로 4~24시간으로 행하면 된다. 여기서는 탈수소화를 위한 열처리(500°C, 1시간) 후, 결정화를 위한 열처리(550°C, 4시간)를 행하여 결정구조를 갖는 실리콘막을 얻는다. 또한, 여기서는 전기로를 사용한 열처리를 사용하여 결정화를 행했지만, 단시간 내에 결정화가 가능한 램프 어닐링장치로 결정화를 하여도 된다. 또한, 여기서는 실리콘의 결정화를 촉진하는 금속원소로서 니켈을 사용한 결정화 기술을 사용했다. 그러나, 다른 공자의 결정화 기술, 예컨대 고상성장법 및 레이저 결정화법을 사용해도 된다.

[0149] 다음에, 결정구조를 갖는 실리콘막 표면의 산화막을 희불산 등으로 제거한다. 그 후, 결정화율을 높이고, 결정입자내에 남겨지는 결함을 보수하기 위한 레이저광(XeCl:파장 308nm)의 조사를 대기중 또는 산소분위기중에서 행한다. 레이저광에는 파장 400nm 이하의 엑시머 레이저광이나, YVO₄레이저의 제 2 고조파 또는 제 3 고조파를 사용한다. 반복 주파수 10~1000Hz 정도의 펄스레이저광을 사용한다. 해당 레이저광을 광학계 100~500mJ/cm²에 집광하고, 90~95%의 중첩율을 갖고 조사하여, 실리콘막 표면을 주사시킨다. 여기서는, 반복 주파수 30Hz, 에너지밀도 393mJ/cm²로 레이저광의 조사를 대기중에서 행한다. 또한, 대기중 또는 산소분위기중에서 그 막을 조사하기 때문에, 레이저광의 조사에 의해 표면에 산화막이 형성된다.

[0150] 또한, 레이저광의 조사에 의해 형성된 산화막을 희불산으로 제거한 후, 제 2 레이저광을 질소분위기 혹은 진공 중에서 조사하고, 반도체막 표면을 평탄화 하여도 된다. 그 경우, 이 레이저광(제 2 레이저광)에는 파장 400nm 이하의 엑시머 레이저광이나, YAG 레이저의 제 2 고조파 또는 제 3 고조파를 사용한다. 제 2 레이저광의 에너지밀도는, 제 1 레이저광의 에너지밀도보다 크게 하고, 바람직하게는 30~60mJ/cm² 크게 한다.

[0151] 이때, 레이저광의 조사는, 산화막을 형성하여 후에 스퍼터링법에 의한 막형성시, 결정구조를 갖는 실리콘막으로의 희가스 원소의 첨가를 방지하는 면에서도, 게터링 효과를 증대시키는 면에서도 매우 중요하다. 다음에, 레이저광의 조사에 의해 형성된 산화막과, 오존수로 표면을 120초 처리하여 총 1~5nm의 산화막으로 이루어진 장벽층을 형성한다.

[0152] 다음에, 장벽층상에 스퍼터링법으로 게터링 사이트가 되는 아르곤원소를 포함하는 비정질 실리콘막을 형성한다. 이 비정질 실리콘막은 두께 150nm로 형성한다. 여기서 비정질 실리콘막의 형성조건은, 막형성 압력을 0.3Pa로 하고, 가스(Ar)유량을 50(sccm)으로 하며, 막형성 파워를 3kW로 하고, 기판온도를 150°C로 한다. 또한, 상기 조건에서의 비정질 실리콘막에 포함되는 아르곤원소의 원자농도는, 3×10²⁰/cm³~6×10²⁰/cm³, 산소의 원자농도는 1×10¹⁹/cm³~3×10¹⁹/cm³이다. 그 후, 램프어닐링장치를 사용하여 650°C, 3분의 열처리를 행하여 게터링한다.

[0153] 다음에, 장벽층을 식각 스토퍼로서 사용하여, 게터링 사이트인 아르곤원소를 포함하는 비정질 실리콘막을 선택적으로 제거한다. 그 후, 장벽층을 희불산으로 선택적으로 제거한다. 또한, 게터링시, 니켈은 산소농도가 높은 영역으로 이동하기 쉬운 경향이 있으므로, 산화막으로 이루어진 장벽층을 게터링 후에 제거하는 것이 바람직하

다.

[0154] 또한, 반도체층을 형성한 후, TFT의 임계치(V_{th})를 제어하기 위해 p형 혹은 n형을 도전성을 부여하는 불순물원소를 도핑하여도 된다. 또한, 반도체에 대하여 p형 도전성을 부여하는 불순물원소에는, 붕소(B), 알루미늄(Al), 갈륨(Ga) 등 주기율표 13족 원소가 알려져 있다. 또한, 반도체에 대하여 n형 도전성을 부여하는 불순물원소로서는 주기율표 15족에 속하는 원소, 대표적으로는 인(P) 또는 비소(As)가 알려져 있다.

[0155] 다음에, 얻어진 결정구조를 갖는 실리콘막(폴리실리콘막이라고도 부름)의 표면에 오존수로 얇은 산화막을 형성한다. 레지스트 마스크를 형성하여, 원하는 형상으로 식각처리하여 서로 섬 형상으로 분리된 반도체층(602~605)을 형성한다. 이 반도체층을 형성한 후, 레지스트 마스크를 제거한다.

[0156] 다음에, 플루오르화수소산을 포함하는 에션트(etchant)로 산화막을 제거하면서 동시에 실리콘막의 표면을 세정한다. 그 후, 게이트 절연막(607)이 되는 실리콘을 주성분으로 하는 절연막을 형성한다. 본 실시예에서는, 플라즈마 CVD법에 의해 115nm의 두께로 산화질화실리콘막(조성비 : Si=32%, O=59%, N=7%, H=2%)으로 형성한다.

[0157] 다음에, 도 5a에 나타낸 것처럼, 게이트 절연막(607)상에 막두께 20~100nm의 제 1 도전막(608)과, 막두께 100~400nm의 제 2 도전막(609)을 적층 형성한다. 본 실시예에서는, 게이트 절연막(607)상에 막두께 30nm의 질화탄탈막, 막두께 370nm의 텅스텐막을 순차로 적층한다.

[0158] 제 1 도전막 및 제 2 도전막을 형성하는 도전재료로서는, Ta, W, Ti, Mo, Al, Cu에서 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금재료 또는 화합물재료로 형성한다. 또한, 제 1 도전막 및 제 2 도전막으로서 인 등의 불순물원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막이나, Ag-Pd-Cu 합금막을 사용해도 된다. 또한, 본 발명은, 2층 구조의 도전막으로 한정되지 않는다. 예컨대, 막두께 30nm의 텅스텐막, 막두께 500nm의 알루미늄과 실리콘의 합금(Al-Si)막, 막두께 50nm의 질화티타늄막을 순차로 적층한 3층 구조이어도 된다. 또한, 이 3층 구조를 사용하는 경우, 제 1 도전막의 텅스텐 대신에 질화텅스텐을 사용해도 되고, 제 2 도전막의 알루미늄과 실리콘의 합금(Al-Si)막 대신에 알루미늄과 티타늄의 합금막(Al-Ti)을 사용해도 되며, 제 3 도전막의 질화티타늄막 대신에 티타늄막을 사용해도 된다. 또한, 단층 도전막을 사용하여도 된다.

[0159] 다음에, 도 5b에 나타낸 것처럼, 노광공정에 의해 레지스트 마스크(610~613)를 형성하고, 게이트전극 및 배선을 형성하기 위한 제 1 식각처리를 행한다. 제 1 식각처리는, 제 1 및 제 2 식각조건하에서 수행된다. 식각에는 ICP(Inductively Coupled Plasma: 유도결합형 플라즈마)식각법을 사용하면 된다. ICP식각법을 사용하고, 식각조건(코일형 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극온도 등)을 적절히 조절함으로써 원하는 테이퍼 형상으로 막을 식각할 수 있다. 또한, 식각용 가스로는, Cl₂, BCl₃, SiCl₄ 또는 CCl₄ 등을 대표로 하는 염소계 가스 또는 CF₄, SF₆, NF₃ 또는 O₂를 대표로 하는 불소계 가스를 적절히 사용할 수 있다.

[0160] 본 실시예에서는, 기판측(시료 스테이지)에도 150W의 RF(13.56MHz)전력을 투입하고, 실질적으로 부의 자기 바이어스 전압을 인가한다. 또한, 기판측의 전극면적(사이즈)은, 12.5cm×12.5cm이고, 코일형 전극면적(여기서는, 코일이 설치된 석영원판)은, 직경 25cm의 원판이다. 이 제 1 식각조건에 의해 W막을 식각하여 제 1 도전층의 단부를 테이퍼형상으로 한다. 제 1 식각조건하에서의 W막에 대한 식각속도는 200.39nm/min, TaN막에 대한 식각속도는 80.32nm/min이다. TaN에 대한 W의 선택비는 약 2.5이다. 또한, 이 제 1 식각조건에 의해, W막의 테이퍼각은, 약 26° 가 된다. 이후, 레지스트 마스크(610~613)를 제거하지 않고 제 1 식각조건을 제 2 식각조건으로 변경한다. 제 2 식각조건은, 식각용 가스에 CF₄와 Cl₂를 사용하며, 각각의 가스유량비를 30/30(sccm)으로 하고, 1Pa의 압력으로 코일형 전극에 500W의 RF(13.56MHz)전력을 투입하여 플라즈마를 생성하여 약 30초 정도의 식각을 행했다. 기판측(시료 스테이지)에도 20W의 RF(13.56MHz)전력을 투입하고, 실질적으로 부의 자기 바이어스 전압을 인가한다. CF₄와 Cl₂를 혼합한 제 2 식각조건에서는 W막 및 TaN막과도 동일한 정도로 식각된다. 제 2 식각조건하에서의 W막에 대한 식각속도는 58.97nm/min, TaN막에 대한 식각속도는 66.43nm/min이다. 또한, 게이트 절연막상에 잔여물을 남기지 않고 식각하기 위해서는, 10~20% 정도의 비율로 식각시간을 증가시키면 된다.

[0161] 상기 제 1 식각처리에서는, 레지스트 마스크를 적합한 형상으로 형성함으로써, 기판측에 인가된 바이어스전압의 효과에 의해 제 1 도전층 및 제 2 도전층의 단부가 테이퍼 형상이 된다. 이 테이퍼부의 각도는, 15~45°로 하면 된다.

[0162] 이렇게 해서, 제 1 식각처리에 의해 제 1 도전층과 제 2 도전층으로 이루어진 제 1 형상의 도전층(615~618)(제 1 도전층 615a~618a와 제 2 도전층 615b~618b)을 형성한다. 게이트 절연막이 되는 절연막(607)은, 10~20nm 정도 식각되고, 제 1 형상의 도전층(615~618)으로 덮이지 않은 영역이 얇아진 게이트 절연막(620)이 된다.

- [0163] 다음에, 레지스트 마스크를 제거하지 않고서 제 2 식각처리를 행한다. 여기서는, 식각용 가스로서 SF₆, Cl₂ 및 O₂를 사용하여, 각각의 가스유량비를 24/12/24(sccm)로 하고, 1.3Pa의 압력으로 코일형 전극에 700W의 RF(13.56MHz)전력을 투입하여 플라즈마를 생성하여 식각을 25초 수행한다. 기판측(시료 스테이지)에도 10W의 RF(13.56MHz)전력을 투입하고, 실질적으로 부의 자기바이어스 전압을 인가한다. 제 2 식각처리에서의 W에 대한 식각속도는 227.3nm/min, TaN에 대한 식각속도는 32.1nm/min이고, TaN에 대한 W의 선택비는 7.1이며, 절연막(620)인 SiON에 대한 식각속도는 33.7nm/min이고, SiON에 대한 W의 선택비는 6.83이다. 이와 같이 식각용 가스로서 SF₆을 사용한 경우, 절연막(620)과의 선택비가 높다. 그 때문에 막 두께의 감소를 억제할 수 있다. 본 실시예에서는 절연막(620)의 막두께가 약 8nm 밖에 감소가 일어나지 않는다.
- [0164] 이 제 2 식각처리에 의해 W의 테이퍼각은 70°로 된다. 이 제 2 식각처리에 의해 제 2 도전층(621b~624b)을 형성한다. 한편, 제 1 도전층은, 거의 식각되지 않고, 제 1 도전층(621a~624a)이 된다. 이때, 제 1 도전층 621a~624a는, 제 1 도전층 615a~618a와 거의 동일 사이즈이다. 실제로는, 제 1 도전층의 폭은, 제 2 식각처리전에 비하여 약 0.3μm 정도, 즉 선폭 전체로 0.6μm 정도 감소하는 경우도 있다. 하지만, 제 1 도전층의 사이즈에 거의 변화가 없다.
- [0165] 또한, 2층 구조 대신에, 막두께 30nm의 텅스텐막, 막두께 500nm의 알루미늄과 실리콘의 합금(Al-Si)막, 막두께 50nm의 질화티타늄막을 순차로 적층한 3층 구조로 한 경우, 제 1 식각처리에서의 제 1 식각조건으로서는, BC₁₃, Cl₂ 및 O₂를 원료가스로서 사용하고, 각각의 가스유량비를 65/10/5(sccm)로 하며, 기판측(시료 스테이지)에 300W의 RF(13.56MHz)전력을 투입하고, 1.2Pa의 압력으로 코일형 전극에 450W의 RF(13.56MHz)전력을 투입하여 플라즈마를 생성하여 117초의 식각을 행하면 된다. 제 1 식각처리에서의 제 2 식각조건에서는, CF₄, Cl₂ 및 O₂를 사용하고, 각각의 가스유량비를 25/25/10(sccm)으로 하며, 기판측(시료 스테이지)에도 20W의 RF(13.56MHz)전력을 투입하고, 1Pa의 압력으로 코일형 전극에 500W의 RF(13.56MHz)전력을 투입하여 플라즈마를 생성하여 약 30초 정도의 식각을 행하면 된다. 제 2 식각처리에서는 BC₁₃과 Cl₂를 사용하고, 각각의 가스유량비를 20/60(sccm)으로 하며, 기판측(시료스테이지)에는 100W의 RF(13.56MHz)전력을 투입하고, 1.2Pa의 압력으로 코일형 전극에 600W의 RF(13.56MHz)전력을 투입하여 플라즈마를 생성하여 식각을 행하면 된다.
- [0166] 다음에, 레지스트로 이루어진 마스크를 제거한 후, 제 1 도핑처리를 행하여 도 6a의 상태를 얻는다. 도핑처리는, 이온도핑법, 또는 이온주입법으로 행하면 된다. 이온도핑법의 조건은, 도우즈량을 1.5×10^{14} atoms/cm²로 하고, 가속전압을 60~100keV로 하여 행한다. n형 도전성을 부여하는 불순물원소로서, 전형적으로는 인(P) 또는 비소(As)를 사용한다. 이 경우, 제 1 도전층 및 제 2 도전층(621~624)이 n형 도전성을 부여하는 불순물원소에 대한 마스크가 되며, 자기 정합적으로 제 1 불순물영역(626~629)이 형성된다. 제 1 불순물영역(626~629)에는 $1 \times 10^{16} \sim 1 \times 10^{17}$ /cm³의 농도범위로 n형 도전성을 부여하는 불순물원소를 첨가한다. 여기서는, 제 1 불순물영역과 동일한 농도범위를 갖는 영역을 n⁻영역이라고도 부른다.
- [0167] 이때, 본 실시예에서는 레지스트 마스크를 제거한 후, 제 1 도핑처리를 하였지만, 레지스트 마스크를 제거하지 않고 제 1 도핑처리를 행해도 된다.
- [0168] 다음에, 도 6b에 나타낸 것처럼, 레지스트 마스크(631~633)를 형성하여 제 2 도핑처리를 행한다. 마스크 631은, 구동회로의 p채널형 TFT를 형성하는 반도체층의 채널형성영역 및 그 주변의 영역을 보호하는 마스크이며, 마스크 632는 화소부의 TFT를 형성하는 반도체층의 채널형성영역 및 그 주변의 영역을 보호하는 마스크이다.
- [0169] 제 2 도핑처리에서의 이온도핑 조건은, 도우즈량을 1.5×10^{15} atoms/cm²로 하고, 가속전압을 60~100keV로서 인(P)을 도핑한다. 여기서는, 제 2 도전층(621b)을 마스크로 하여 각 반도체층에 불순물영역이 자기 정합적으로 형성된다. 물론, 마스크(631~633)로 덮인 영역에는 인이 첨가되지 않는다. 이렇게 해서, 제 2 불순물영역(634, 635)과 제 3 불순물영역(637)이 형성된다. 제 2 불순물영역(634, 635)에는 $1 \times 10^{20} \sim 1 \times 10^{21}$ /cm³의 농도범위로 n형 도전성을 부여하는 불순물원소가 첨가되어 있다. 여기서는, 제 2 불순물영역과 동일한 농도범위의 영역을 n⁺영역이라고도 부른다.
- [0170] 또한, 제 3 불순물영역은, 제 1 도전층에 의해 제 2 불순물영역보다도 저농도로 형성되고, $1 \times 10^{18} \sim 1 \times 10^{19}$ /cm³

의 농도범위로 n형 도전성을 부여하는 불순물원소가 첨가되게 된다. 이때, 제 3 불순물영역은, 테이퍼 형상을 갖는 제 1 도전층의 부분을 통과시켜 도핑을 하기 때문에, 테이퍼부의 단부를 향하여 불순물 농도가 증가하는 농도 경사를 갖는다. 여기서는, 제 3 불순물영역과 동일한 농도범위의 영역을 n^- 영역이라고도 부른다. 또한, 마스크 632로 덮인 영역은, 제 2 도핑처리로 불순물원소가 첨가되지 않아, 제 1 불순물영역(638)이 된다.

[0171] 다음에, 레지스트 마스크(631~633)를 제거한 후, 새롭게 레지스트로 이루어진 마스크(639, 640)를 형성하여 도6c에 나타낸 것처럼 제 3 도핑처리를 행한다.

[0172] 구동회로에서, 상기 제 3 도핑처리에 의해, p채널형 TFT를 형성하는 반도체층 및 저장용량을 형성하는 반도체층에 p형 도전성을 부여하는 불순물원소가 첨가된 제 4 불순물영역(641, 642) 및 제 5 불순물영역(643, 644)을 형성한다.

[0173] 또한, 제 4 불순물영역(641, 642)에는 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 의 농도범위로 p형 도전성을 부여하는 불순물원소가 첨가되도록 한다. 이때, 제 4 불순물영역(641, 642)에는 먼저 공정에서 인(P)이 첨가된 영역(n^- 영역)이지만, p형 도전성을 부여하는 불순물원소의 농도가 그 10~100배 첨가되어 있어 도전형은 p형으로 되어 있다. 여기서는, 제 4 불순물영역과 동일한 농도범위의 영역을 p^+ 영역이라고도 부른다.

[0174] 또한, 제 5 불순물영역(643, 644)은, 제 2 도전층(125a)의 테이퍼부와 겹치는 영역에 형성되는 것이고, $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ 의 농도범위로 p형 도전성을 부여하는 불순물원소가 첨가되도록 한다. 여기서는, 제 5 불순물영역과 동일한 농도범위의 영역을 p^- 영역이라고도 부른다.

[0175] 이상까지의 공정에서 각각의 반도체층에 n형 또는 p형 도전형을 갖는 불순물영역이 형성된다. 도전층(621~624)은 TFT의 게이트전극이 된다.

[0176] 다음에, 거의 전체 면을 덮는 절연막(도시하지 않음)을 형성한다. 본 실시예에서는, 플라즈마 CVD법에 의해 막 두께 50nm의 산화실리콘막을 형성한다. 물론, 이 절연막은, 산화실리콘막으로 한정되는 것이 아니고, 다른 실리콘을 포함하는 절연막을 단층 또는 적층구조로서 사용해도 된다.

[0177] 다음에, 각각의 반도체층에 첨가된 불순물원소를 활성화 처리하는 공정을 행한다. 이 활성화공정은, 램프광원을 사용하는 급속 열 어닐링법(RTA법), 혹은 YAG 레이저 또는 엑시머 레이저를 이면으로부터 조사하는 방법, 혹은 퍼니스(furnace)를 사용한 열처리, 혹은 이들의 방법 중, 어느 하나와 조합한 방법에 따라 행한다.

[0178] 또한, 본 실시예에서는, 상기 활성화 전에 절연막을 형성한 예를 나타냈지만, 상기 활성화를 행한 후, 절연막을 형성하는 공정을 하여도 된다.

[0179] 다음에, 질화실리콘막으로 이루어진 제 1 층간절연막(645)을 형성하여 열처리($300 \sim 550^\circ\text{C}$ 로 1~12시간의 열처리)를 하고, 반도체층을 수소화하는 공정을 행한다(도 7a). 제 1 층간절연막(645)은, 산화질화실리콘막 및 질화실리콘막으로 이루어진 적층구조이어도 된다. 이 공정은, 제 1 층간절연막(645)에 포함된 수소에 의해 반도체층의 댕글링 본드를 종단하는 공정이다. 산화실리콘막으로 이루어진 절연막(도시하지 않음)의 존재에 관계없이 반도체층을 수소화할 수 있다. 이때, 수소화하는 공정에서 도전층이 견뎌낼 수 있는 열처리조건으로 하는 것이 중요하다. 수소화의 다른 수단으로서, 플라즈마 수소화(플라즈마에 의해 여기된 수소를 사용함)를 행해도 된다.

[0180] 다음에, 제 1 층간절연막(645)상에 유기절연물 재료로 이루어진 제 2 층간절연막(646)을 형성한다. 본 실시예에서는, 막두께 $1.6 \mu\text{m}$ 의 아크릴 수지막을 형성한다. 다음에, 각 불순물영역에 도달하는 콘택홀을 형성한다. 본 실시예에서는, 복수의 식각처리를 순차로 행한다. 본 실시예에서는, 제 1 층간절연막을 식각 스토퍼로서 사용하여 제 2 층간절연막을 식각한 후, 절연막(도시하지 않음)을 식각 스토퍼로서 사용하여 제 1 층간절연막을 식각하고 나서 절연막(도시하지 않음)을 식각한다.

[0181] 그 후, Al, Ti, Mo, W 등을 사용하여 배선을 형성한다. 또한, 경우에 따라서는, 배선과 접하여 형성되는 발광소자의 화소전극을 동시에 형성할 수 있다. 이것들의 전극 및 화소전극의 재료는, Al 또는 Ag를 주성분으로 하는 막, 또는 그 막의 적층막 등의 반사성이 뛰어난 재료를 사용하는 것이 바람직하다. 이렇게 해서, 배선(650~657)이 형성된다.

[0182] 상술한 것처럼, n채널형 TFT(701) 및 p채널형 TFT(702)를 갖는 구동회로(705)와, n채널형 TFT로 이루어진 스위

청용 TFT(703) 및 p채널형 TFT로 이루어진 전류제어용 TFT(704)를 갖는 화소부(706)를 동일 기판상에 형성할 수 있다(도 7c). 본 명세서에서는 이와 같은 기판을 편의상 액티브 매트릭스기판이라고 부른다.

[0183] 화소부(706)에서, 스위칭용 TFT(703)(n채널형 TFT)에는 채널형성영역(503)과, 게이트전극을 형성하는 도전층(623)의 외측에 형성되는 제 1 불순물영역(n^- 영역)(638)과, 소스영역 또는 드레인영역으로서 기능하는 제 2 불순물영역(n^+ 영역) (635)을 갖는다.

[0184] 또한, 화소부(706)에서, 전류제어용 TFT(704)(p채널형 TFT)에는 채널형성영역(504)과, 게이트전극을 형성하는 도전층(624)의 외측에 형성되는 제 4 불순물영역(n^- 영역)(644)과, 소스영역 또는 드레인영역으로서 기능하는 제 5 불순물영역(n^+ 영역)(642)을 갖는다. 이때, 본 발명에서는, 제 5 불순물영역(n^+ 영역)(642)과 전기적으로 접속된 배선(656)을 통해, 발광소자의 전극과 접속된다. 본 실시예의 경우에는, 전류제어용 TFT(704)가 p채널형 TFT로 형성되어 있으므로, 발광소자의 양극이 형성되는 것이 바람직하다.

[0185] 또한, 구동회로(705)에서, n채널형 TFT(701)은, 채널형성영역(501)과, 게이트전극을 형성하는 도전층(621)의 일부와 절연막을 통해 겹치는 제 3 불순물영역(n^- 영역)(637)과, 소스영역 또는 드레인영역으로서 기능하는 제 2 불순물영역(n^+ 영역) (634)을 갖는다.

[0186] 또한, 구동회로(705)에서, p채널형 TFT(702)에는, 채널형성영역(502)과, 게이트전극을 형성하는 도전층(622)의 일부와 절연막을 통해 겹치는 제 5 불순물영역(p^- 영역)(643)과, 소스영역 또는 드레인영역으로서 기능하는 제 4 불순물영역(p^+ 영역)(641)을 갖는다.

[0187] 이 TFT(701, 702)를 적절히 조합하여 시프트 레지스터 회로, 버퍼회로, 레벨 시프터회로, 래치회로 등을 형성하여, 구동회로(705)를 형성하면 된다. 예컨대, CMOS회로를 형성하는 경우에는, n채널형 TFT(701)와 p채널형 TFT(702)를 상보적으로 서로 접속하여 형성하면 된다.

[0188] 또한, 신뢰성이 최우선이라는 회로에는, 게이트 절연막을 통해 LDD(LDD:Lightly Doped Drain)영역을 게이트전극과 거듭 배치시킨, 소위 GOLD(Gate-drain Overlapped LDD)구조인 n채널형 TFT(701)의 구조가 적합하다.

[0189] 이때, 구동회로(705)에서의 TFT(n채널형 TFT, p채널형 TFT)는, 높은 구동능력(온전류:Ion) 및 핫 캐리어 효과에 의한 열화를 막아 신뢰성을 향상시키는 것이 요구되고 있다. 본 실시예에서는, 핫 캐리어에 의한 온 전류값의 열화를 방지하는데 유효한 구조로서, 게이트전극이 게이트 절연막을 통해 저농도 불순물영역과 겹치는 영역(GOLD 영역)을 갖는 TFT를 사용하고 있다.

[0190] 이때, 화소부(706)에서의 스위칭용 TFT(703)는, 낮은 오프전류(Ioff)가 요구된다. 본 실시예에서는 오프전류를 감소하기 위한 TFT 구조로서, 게이트전극이 게이트 절연막을 통해 저농도 불순물영역과 겹치지 않는 영역(LDD 영역)을 갖는 TFT를 사용하고 있다.

[0191] 또한, 본 실시예에서의 발광장치의 제작공정에서는, 회로의 구성 및 공정의 관계상, 게이트전극을 형성하고 있는 재료를 사용하여 소스신호선을 형성하고, 소스/드레인전극을 형성하고 있는 배선재료를 사용하여 게이트신호선을 형성한다. 하지만, 그 선을 위해 각각 다른 재료를 사용하는 것은 가능하다.

[0192] 또한, 본 실시예에서, TFT의 구동전압은, 1.2~10V이며, 바람직하게는, 2.5~5.5V이다.

[0193] 또한, 화소부의 표시가 동작하고 있을 때(동화상 표시의 경우)에는, 발광소자가 발광하고 있는 화소에 의해 배경을 표시하고, 발광소자가 비발광이 되는 화소에 의해 문자표시를 행하면 좋다. 그러나, 화소부의 동화상 표시가 있는 일정기간 이상 정지하고 있는 경우(본 명세서에서는, 대기시라고 부름)에는, 전력을 절약하기 위해 표시방법이 전환되도록 하여 두어야 된다. 구체적으로는, 발광소자가 발광하고 있는 화소에 의해 문자를 표시하며(문자표시라고도 함), 발광소자가 비발광이 되는 화소에 의해 배경을 표시(배경표시라고도 함)하도록 한다.

[0194] (실시예 5)

[0195] 다음에, 본 발명의 발광장치를 정전압방식으로 구동시킨 경우에 대하여 도 8 및 도 9a-도 9c를 사용하여 설명한다.

[0196] 도 8a에는, 본 실시예 5에서의 발광장치의 블록도를 나타낸다. 도면번호 801은 소스신호선 구동회로, 802는 게이트신호선 구동회로, 803은 화소부를 나타내고 있다. 본 실시예 5에서는 소스신호선 구동회로와 게이트신호선

구동회로를 하나씩 설치했지만, 본 발명은 이 구성으로 한정되지 않는다. 소스신호선 구동회로를 2개 설치해도 되고, 게이트신호선 구동회로를 2개 설치해도 된다.

[0197] 소스신호선 구동회로(801)는, 시프트 레지스터(801a), 레벨 시프터(801b), 샘플링회로(801c)를 갖는다. 이때, 레벨 시프터(801b)는 필요에 따라 사용하여도 되고, 반드시 사용하지 않아도 된다. 또한, 본 실시예 5에서 레벨 시프터(801b)는 시프트 레지스터(801a)와 샘플링회로(801c)의 사이에 설치하는 구성으로 했지만, 본 발명은 이 구성으로 한정되지 않는다. 시프트 레지스터(801a) 내에 레벨 시프터(801b)가 삽입되어 있는 구성으로 해도 된다.

[0198] 또한, 게이트신호선 구동회로(802)는, 시프트 레지스터, 버퍼(어느 것도 도시하지 않음)를 갖는다. 또한, 레벨 시프터를 구비하여도 된다. 또한, 게이트 신호선 구동회로(802)에는, 게이트신호선(805)이 접속되어 있다.

[0199] 패널 제어신호인 클록신호(CLK)와 스타트 월스 신호(SP)가 시프트 레지스터(801a)에 입력된다. 시프트 레지스터(801a)로부터 영상신호를 샘플링하기 위한 샘플링신호가 출력된다. 출력된 샘플링신호는, 레벨 시프터(801b)에 입력되고, 그 전위의 진폭이 증가된 후 출력된다.

[0200] 레벨 시프터(801b)로부터 출력된 샘플링신호는, 샘플링회로(801c)에 입력된다. 그리고 동시에, 영상신호선을 통해 영상신호가 샘플링회로(801c)에 입력된다.

[0201] 샘플링회로(801c)에서, 입력된 영상신호가 샘플링신호에 의해서 샘플링되어, 각각 소스신호선(804)에 입력된다.

[0202] 다음에, 도 9a에, 도 8에서 나타낸 발광장치의 화소부(803)의 화소구조를 나타낸다. 이때, 화소부(803)는, 도 9a의 도면번호 900으로 나타낸 구조의 화소를 복수개 갖는다. 이 화소(900)는, 소스신호선(S)과, 전류공급선(V)과, 게이트신호선(G)을 갖는다.

[0203] 또한, 화소(900)는, 스위칭용 TFT(901)와, 전류제어용 TFT(1)(902)와, 전류제어용 TFT(2)(903)과, 발광소자(1)(904)와, 발광소자(2)(905)를 갖는다.

[0204] 스위칭용 TFT(901)의 게이트전극은, 게이트신호선(G)에 접속되어 있다. 또한, 스위칭용 TFT(901)의 소스영역과 드레인영역은, 한쪽은 소스신호선(S)에, 또 한쪽은 전류제어용 TFT(1)(902) 및 전류제어용 TFT(2)(903)의 게이트전극에 접속되어 있다.

[0205] 전류제어용 TFT(1)(902) 및 전류제어용 TFT(2)(903)의 소스영역은, 전류공급선(V)에 접속되어 있고, 전류제어용 TFT(1)(902)의 드레인영역은 발광소자(1)(904)가 갖는 양극, 또는 음극 중 어느 한쪽에 접속된다. 또한, 전류제어용 TFT(2)(903)의 드레인영역은, 전류제어용 TFT(1)(902)의 드레인영역과 접속된 것과는 다른 종류의 전극(양극 또는 음극)과 접속된다. 이때, 이 전극은, 발광소자(2)(905)를 형성하는 한쪽의 전극이다.

[0206] 이때, 본 명세서에서는, 전류제어용 TFT(1)(902)의 드레인영역과 접속된 상기 전극을 화소전극(1)이라 부르고, 전류제어용 TFT(2)(903)의 드레인영역과 접속된 상기 전극을 화소전극(2)라 부르기로 한다. 즉, 화소(900)가 갖는 발광소자(1)(904)는 화소전극(1)을 갖고, 발광소자(2)(905)는, 화소전극(2)을 갖는다. 또한, 화소전극 1 및 화소전극 2에는, 전류공급선(V)으로부터 전압이 입력된다. 이때, 전류공급선(V)으로부터 입력되는 전압을 전원전압이라 부른다.

[0207] 또한, 발광소자(1)(904) 및 발광소자(2)(905)는, 이것들의 화소전극과 또 한 쪽의 전극에 의해 형성된다. 이때, 또 한쪽의 전극을 대향전극이라 부르기로 한다. 즉, 발광소자(1)(904)는, 대향전극(1)을 갖고, 발광소자(2)(905)는, 대향전극(2)을 갖는다.

[0208] 또한, 대향전극(1) 및 대향전극(2)은, 각각 소정의 전압으로 유지되어 있고, 본 명세서에서, 대향전극(1) 및 대향전극(2)으로부터 입력된 전압을 대향전압이라고 부른다. 이때, 대향전극(1)에 대향전압을 주는 전원을 대향전원(1)(906)이라 부르고, 대향전극(2)에 대향전압을 주는 전원을 대향전원(2)(907)이라 부른다.

[0209] 대향전극의 대향전압과 화소전극의 전원전압과의 전압차가 발광소자 구동전압이고, 이 발광소자 구동전압이 유기화합물층에 인가된다.

[0210] 또한, 여기서는 도시하지 않지만, 전류제어용 TFT(1)(902) 및 전류제어용 TFT(2)(903)의 게이트전극과, 전류공급선(V)과의 사이에 콘덴서가 형성된 구조로 하여도 된다.

[0211] 도 9b에는, 도 9a에 나타낸 화소(900)의 대향전원(1)(906)과 대향전원(2)(907)로부터 입력되는 신호를 제어하기 위한 회로구성을 나타낸다. 즉, 회로(908)에 스위칭 신호(909)를 입력함으로써, 스위치(910)가 전환되고, 대향

전원(1)(906)과 대향전원(2)(907)의 어느 쪽인지 한쪽이 선택되고, 선택된 대향전원으로부터 전압이 입력되게 되어 있다.

[0212] 다음에, 대향전원(1)(906) 및 대향전원(2)(907)으로부터 입력되는 전압을 도 9c에 각각 나타낸다. 즉, 대향전원(1)(906)과 대향전원(2)(907)으로부터는, 각각 발광소자 구동전압의 극성이 다른 2종류의 대향전압이 교대로 입력되게 되어 있다. 또한, 대향전원(1)(906)과 대향전원(2)(907)으로부터 동시에 입력되는 전압이 다른 구성으로 되어 있다.

[0213] 본 실시예 5에서, 화소(900)의 스위칭용 TFT(901)이 온 상태로 되면, 전류제어용 TFT(1)(902) 및 전류제어용 TFT(2)(903)은 동시에 온의 상태가 된다. 이때, 전류공급선(V)으로부터는 일정한 전원전압이 입력되고, 발광소자(1)(904) 및 발광소자(2)(905)의 화소전극(1) 및 화소전극(2)에 일정한 전압이 인가된다.

[0214] 여기서, 화소전극(1)이 양극에서 형성되고, 화소전극(2)이 음극으로 형성되어 있다고 하면, 대향전원(1)(906)으로부터 대향전극(1)에 입력되는 대향전압이, 전원전압보다도 낮은 경우에는 발광소자(1)(904)에 정의 발광소자 구동전압이 인가되기 때문에 발광소자(1)(904)에 소망의 전류가 흐른다. 대향전극(1)에 입력되는 대향전압이, 전원전압보다도 높은 경우에는 발광소자(1)(904)에 부의 발광소자 구동전압이 인가되기 때문에 발광소자(1)(904)에 전류가 흐르지 않는다. 이때, 본 명세서에서는, 이와 같이 발광소자에 전류가 흐르는 상태가 되는 것을 발광소자가 기능한다고 부르기로 한다.

[0215] 한편, 대향전원(2)(907)으로부터 대향전극(2)에 입력되는 대향전압이, 전원전압보다도 높은 경우에는 발광소자(2)(905)에 정의 발광소자 구동전압이 인가되기 때문에 발광소자(2)(905)에 소망의 전류가 흐러, 발광소자(2)가 기능한다. 대향전극(2)에 입력되는 대향전압이, 전원전압보다도 낮은 경우에는 발광소자(1)(904)에 부의 발광소자 구동전압이 인가되기 때문에 발광소자(1)(904)에 전류가 흐르지 않으며, 발광소자(2)는 기능하지 않는다.

[0216] 이상과 같이, 1화소에 형성된 2종류의 발광소자가 각각 갖는 2종류의 대향전원으로부터는, 발광소자 구동전압의 극성이 반대로 되는 2종류의 대향전압이 교대로 입력되고, 또한 어느 한쪽의 대향전원으로부터만 전압이 입력되게 한다. 그래서, 2종류의 발광소자 중 한쪽을 항상 기능시킬 수 있다.

[0217] (실시예 6)

[0218] 다음에, 본 발명의 발광장치를 실시예 5에서 나타낸 것과는 다른 방법으로 구동시킨 경우에 대하여 도 10 및 도 11을 사용하여 설명한다.

[0219] 도 10에 본 실시예 6에서의 발광장치의 블록도를 나타낸다. 도면부호 1001은 소스신호선 구동회로(A), 1002는 소스신호선 구동회로(B), 1003은 게이트신호선 구동회로, 1004는 화소부를 나타내고 있다.

[0220] 소스신호선 구동회로(A)(1001)는, 시프트 레지스터(1001a), 레벨 시프터 (1001b), 샘플링회로(1001c)를 갖는다. 이때, 레벨 시프터(1001b)는 필요에 따라 사용하면 되고, 반드시 사용하지 않아도 된다. 또한, 본 실시예에서 레벨 시프터 (1001b)는, 시프트 레지스터(1001a)와 샘플링회로(1001c)의 사이에 설치하는 구성으로 했지만, 본 발명은 이 구성으로 한정되지 않는다. 시프트 레지스터(1001a) 내에 레벨 시프터(1001b)가 삽입되어 있는 구성으로 해도 된다. 이때, 본 실시예 6에서는, 소스신호선 구동회로(B)(1002)를 가지고 있지만 이것들의 구성은, 소스신호선 구동회로(A)(1001)와 동일한 구성으로 할 수 있다.

[0221] 또한, 게이트신호선 구동회로(1003)는, 시프트 레지스터 및 버퍼(어느 것도 도시하지 않음)를 갖는다. 또한, 레벨 시프터를 가지고 있어도 된다. 이때, 게이트신호선 구동회로(1003)에는, 게이트신호선(1005)이 접속되어 있다.

[0222] 패널 제어신호인 클록신호(CLK)와 스타트 월스신호(SP)가 시프트 레지스터(1001a)에 입력된다. 시프트 레지스터(1001a)로부터 영상신호를 샘플링하기 위한 샘플링신호가 출력된다. 출력된 샘플링신호는 레벨 시프터(1001b)에 입력되고, 그 전위의 진폭이 증가되어 그 신호가 출력된다.

[0223] 레벨 시프터(1001b)로부터 출력된 샘플링신호는, 샘플링회로(1001c)에 입력된다. 그리고, 동시에, 영상신호선을 통해 영상신호가 샘플링회로(1001c)에 입력된다.

[0224] 샘플링회로(1001c)에서, 입력된 영상신호가 샘플링신호에 의해서 샘플링되고, 각각 소스신호선(1)(1006)에 입력된다. 또한, 소스신호선 구동회로(B)(1002)로부터는, 마찬가지로 하여 소스신호선(2)(1007)에 입력된다.

[0225] 다음에, 도 11에, 도 10에서 나타낸 발광장치의 화소부(1004)의 화소구조를 나타낸다. 이때, 화소부(1004)는, 도 11의 도면부호 1100으로 나타낸 구조의 화소를 복수개 가지고 있다. 그 화소(1100)는, 2종류의 소스신호선

(S), 즉 소스신호선(1)(S)과 소스신호선(2)(S'), 2종류의 전류공급선(V), 즉 전류공급선(1)(V)과 전류공급선(2)(V')과, 게이트신호선(G)을 갖는다.

[0226] 또한, 화소(1100)는, 2종류의 스위칭용 TFT, 즉 스위칭용 TFT(1)(1101), 스위칭용 TFT(2)(1102), 2종류의 전류제어용 TFT, 즉 전류제어용 TFT(1)(1103)과, 전류제어용 TFT(2)(1104)와, 2종류의 발광소자, 즉 발광소자(1)(1105)와, 발광소자(2)(1106)를 갖는다.

[0227] 스위칭용 TFT(1)(1101) 및 스위칭용 TFT(2)(1102)의 게이트전극은, 게이트신호선(G)에 접속되어 있다. 또한, 스위칭용 TFT(1)(1101)의 소스영역과 드레인영역은, 한쪽은 소스신호선(1)(S)에, 또 한 쪽은 전류제어용 TFT(1)(1103)의 게이트전극에 접속되어 있다. 또한, 스위칭용 TFT(2)(1102)의 소스영역과 드레인영역은, 한쪽은 소스신호선(2)(S')에, 또 한 쪽은 전류제어용 TFT(2)(1104)의 게이트전극에 접속되어 있다.

[0228] 전류제어용 TFT(1)(1103)의 소스영역은 전류공급선(1)(V)에 접속되어 있고, 전류제어용 TFT(1)(1103)의 드레인영역은 발광소자(1)(1105)가 갖는 양극 또는 음극이 되는 전극에 접속된다. 이때, 이 전극은, 발광소자(1)(1105)를 형성하는 한쪽의 전극이다. 또한, 전류제어용 TFT(2)(1104)의 소스영역은 전류공급선(2)(V')에 접속되어 있고, 전류제어용 TFT(2)(1104)의 드레인영역은, 전류제어용 TFT(1)(1103)의 드레인영역과 접속된 것과는 다른 종류(양극 또는 음극)의 전극과 접속된다. 이때, 이 전극은, 발광소자(2)(1106)를 형성하는 한쪽의 전극이다.

[0229] 이때, 본 명세서에서는, 전류제어용 TFT(1)(1103)의 드레인영역과 접속된 상기 전극을 화소전극(1)이라 부르고, 전류제어용 TFT(2)(1104)의 드레인영역과 접속된 상기 전극을 화소전극(2)이라 부르기로 한다. 즉, 화소(1100)가 갖는 발광소자(1)(1105)는 화소전극(1)을 갖고, 발광소자(2)(1106)는, 화소전극(2)을 갖는다. 또한, 화소전극(1)에는, 전류공급선(1)(V)으로부터 전압이 입력되고, 화소전극(2)에는, 전류공급선(2)(V')으로부터 전압이 입력된다. 이때, 전류공급선(1)(V) 및 전류공급선(2)(V')으로부터 입력되는 전압을 각각 전원전압(1) 및 전원전압(2)이라 부른다.

[0230] 또한, 발광소자(1)(1105) 및 발광소자(2)(1106)는, 이것들의 화소전극과 또 한 쪽의 전극으로 형성된다. 이때, 또 한쪽의 전극을 대향전극이라 부르기로 한다. 즉, 발광소자(1)(1105)는, 대향전극(1)을 갖고, 발광소자(2)(1106)는, 대향전극(2)을 갖는다.

[0231] 또한, 대향전극(1) 및 대향전극(2)은, 각각 소정의 전압으로 유지되어 있고, 본 명세서에서, 대향전극(1) 및 대향전극(2)으로부터 입력되는 전압을 대향전압이라 부른다. 이때, 대향전극(1)에 대향전압을 주는 전원을 대향전원(1)(1107)이라 부르고, 대향전극(2)에 대향전압을 주는 전원을 대향전원(2)(1108)이라 부른다. 본 실시예 6에서는, 대향전원(1)(1107) 및 대향전원(2)(1108)은 일정한 전압으로 유지되어 있다.

[0232] 이때, 양극의 전압은 음극에 인가된 전압보다도 높은 것이 바람직하다. 그 때문에, 대향전압은, 이것들의 대향전극이 양극인지 음극인지에 따라 변한다. 예컨대, 대향전극이 양극인 경우, 대향전압은 전원전압보다도 높게 하는 것이 바람직하다. 반대로, 대향전극이 음극인 경우, 대향전압은 전원전압보다도 낮게 하는 것이 바람직하다.

[0233] 대향전극의 대향전압과 화소전극의 전원전압의 전압차가 발광소자 구동전압이고, 이 발광소자 구동전압이 유기화합물층에 인가된다.

[0234] 또한, 도 11에서 설명한 발광장치를 구동시키는 경우의 타이밍도를 도 12에 나타낸다. 하나의 게이트신호선이 선택되고 나서, 그 다음에 별도의 게이트신호선이 선택되기까지의 기간을 1라인기간(L)이라 부른다. 이때, 본 명세서에서 게이트신호선의 선택이란, 스위칭용 TFT가 온의 상태가 되는 전위를 갖는 선택신호가 게이트신호선에 입력되는 것을 의미한다.

[0235] 또한, 하나의 화상이 표시되고 나서 다음의 화상이 표시되기까지의 기간이 1프레임 기간(F)에 해당한다. 예컨대, y개의 게이트신호선을 갖는 발광장치에는, 1프레임 기간 내에 y개의 라인기간(L₁, L₂, ..., L_y)이 설치된다.

[0236] 제 1 라인기간(L₁)에서, 게이트신호선 구동회로(1003)로부터 입력되는 선택신호에 의해 게이트신호선(G₁, G₂, ..., G_y)이 선택되고, 게이트신호선(G)에 접속되어 있는 모든 스위칭용 TFT가 모두 온의 상태로 된다. 그리고, 소스신호선 구동회로(A)(1001)로부터 x개의 소스신호선(1)(S₁, S₂, ..., S_x) 및 소스신호선 구동회로(B)(1002)로부터 x개의 소스신호선(2)(S'₁, S'₂, ..., S'_x)에 순서대로 영상신호가 입력된다. 여기서는, 게이트신호선(G₁), 소스신호선(1)(S₁) 및 소스신호선(2)(S'₁)에 대하여 나타내고 있다. 이때, 소스신

호선(1)(S(1),S(2),...,S(x))에 입력된 영상신호는, 스위칭용 TFT(1)(1101)을 통해 전류제어용 TFT(1)(1103)의 게이트전극에 입력되고, 소스신호선(2)(S'(1),S'(2),...,S'(x))에 입력된 영상신호는, 스위칭용 TFT(2)(1102)를 통해 전류제어용 TFT(2)(1104)의 게이트전극에 입력된다.

[0237] 또한, 각 화소가 갖는 화소전극(1)에는, x개의 전류공급선(1)(V(1),V(2),...,V(x))으로부터 전원전압(1)이 입력되고, 화소전극(2)에는, x개의 전류공급선(2)(V'(1),V'(2),...,V'(x))으로부터 전원전압(2)이 입력된다. 여기서는, 전류공급선(1)(V(1)), 전류공급선(2)(V'(1))에 대하여 나타내고 있다.

[0238] 전류제어용 TFT(1)(1103) 및 전류제어용 TFT(2)(1104)의 채널형성영역을 흐르는 전류의 양은, 각 전류제어용 TFT의 게이트전극과 소스영역의 전압차인 게이트전압 V_{gs} 에 의해 제어된다. 따라서, 발광소자(1)(1105) 및 발광소자(2)(1106)의 각각의 화소전극에 주어지는 전압은, 각 전류제어용 TFT의 게이트전극에 입력된 영상신호의 전압의 높이에 의해 정해진다. 따라서, 발광소자(1)(1105) 및 발광소자(2)(1106)는 영상신호의 전압에 제어되어 발광한다.

[0239] 전술한 동작을 반복하여, 소스신호선(1)(S(1),S(2),...,S(x)) 및 소스신호선(2)(S'(1),S'(2),...,S'(x))으로의 영상신호의 입력이 종료하면, 제 1 라인기간(L1)이 종료한다. 그리고, 다음에 제 2 라인기간(L2)이 시작되고, 선택신호에 의해 게이트신호선(G2)이 선택되며, 제 1 라인기간(L1)과 동일하게 소스신호선(1)(S(1),S(2),...,S(x)) 및 소스신호선(2)(S'(1),S'(2),...,S'(x))에 순서대로 영상신호가 입력된다.

[0240] 그리고, 모든 게이트신호선(G1,G2,...,Gy)이 선택되면, 모든 라인기간(L1,L2,...,Ly)이 종료한다. 모든 라인기간(L1,L2,...,Ly)이 종료하면, 1프레임 기간(F1)이 종료한 후, 다음의 프레임 기간(F2)이 시작한다. 1프레임 기간 내에서 모든 화소가 표시를 행하며, 하나의 화상이 형성된다. 이때, 본 실시예 6에서, 전류공급선(1)으로부터 입력되는 전원전압(1) 및 전류공급선(2)으로부터 입력되는 전원전압(2)의 전압이 교대로 전환되므로, 그것에 따른 발광소자(1)(1105) 및 발광소자(2)(1106)가 교대로 기능한다.

[0241] 이상과 같이, 영상신호의 전압에 의해 발광소자(1)(1105) 및 발광소자(2)(1106)의 발광량이 제어되고, 그 발광량의 제어에 의해 계조표시가 수행된다.

[0242] (실시예 7)

[0243] 본 실시예에서는, 본 발명의 액티브 매트릭스형 발광장치의 외관도에 대하여 도 13a 및 도 13b를 사용하여 설명한다. 또한, 도 13a는, 발광장치를 나타낸 평면도, 도 13b는 도 13a를 A-A'로 절단한 단면도이다. 점선으로 표시된 도면부호 1301은 소스신호선 구동회로, 1302는 화소부, 1303은 게이트신호선 구동회로, 1304는 밀봉기판, 1305는 밀봉제이다. 공간(1307)은, 밀봉제(1305)로 둘러싸여 있다.

[0244] 또한, 도면부호 1308은, 소스신호선 구동회로(1301) 및 게이트신호선 구동회로(1303)에 입력되는 신호를 전송하기 위한 배선이다. 외부입력단자가 되는 FPC(플렉서블 프린트 회로)(1309)로부터 영상신호와 클록신호를 수취한다. 또한, 여기서는 FPC밖에 도시되어 있지 않지만, 이 FPC에는 프린트배선기반(PWB)이 부착되어 있어도 된다. 본 명세서에서의 발광장치에는, 발광장치 본체뿐만 아니라, 그것에 FPC 또는 PWB가 부착된 상태도 포함하는 것으로 한다.

[0245] 다음에, 단면구조에 대하여 도 13b를 사용하여 설명한다. 기판(1310)상에는 구동회로 및 화소부가 형성되어 있지만, 도 13b에는 구동회로 중 하나로서 소스신호선 구동회로(1301)와 화소부(1302)가 도시되어 있다.

[0246] 또한, 소스신호선 구동회로(1301)에서, n채널형 TFT(1320)와 p채널형 TFT (1321)를 조합한 CMOS회로가 형성된다. 또한, 구동회로를 형성하는 TFT는, 공지의 CMOS회로, PMOS회로 또는 NMOS회로로 형성해도 된다. 또한, 본 실시예에서는, 기판상에 구동회로를 형성한 드라이버 일체형을 나타내지만, 반드시 드라이버 일체형일 필요는 없다. 그 드라이버는, 기판상이 아니라 외부에 형성할 수도 있다.

[0247] 또한, 화소부(1302)는 전류제어용 TFT(1311)과 이 TFT(1311)의 드레인에 전기적으로 접속된 양극(1312)을 포함하는 복수의 화소로 구성된다.

[0248] 또한, 양극(1312)의 양단에는 절연막(1313)이 형성되고, 양극(1312)상에는 적어도 하나의 유기화합물(1314)을 갖는 층이 형성된다. 또한, 적어도 하나의 유기화합물(1314)을 갖는 층상에는 음극(1316)이 형성된다. 이것에 의해, 양극(1312), 적어도 하나의 유기화합물(1314)을 갖는 층 및 음극(1316)으로 이루어진 발광소자 (1318)가 형성된다.

[0249] 음극(1316)은, 전체 화소에 공통의 배선으로서도 기능하고, 접속배선(13080을 경유하여 FPC(1309)에 전기적으로

접속되어 있다.

[0250] 또한, 기판(1310)상에 형성된 발광소자(1318)를 밀봉하기 위해 밀봉제(1305)에 의해 밀봉기판(1304)을 접합한다. 또한, 밀봉기판(1304)과 발광소자(1318)의 간격을 확보하기 위해 수지막으로 이루어진 스페이서를 설치해도 된다. 그리고, 밀봉제(1305)의 내측의 공간(1307)에는 질소 등의 불활성 기체가 충전되어 있다. 또한 밀봉제(1305)로서는 에폭시계 수지를 사용하는 것이 바람직하다. 또한, 밀봉제(1305)는 될 수 있는 한 수분이나 산소를 투과하지 않는 재료인 것이 바람직하다. 또한, 공간(1307)의 내부에 산소나 물을 흡수하는 효과를 갖는 물질을 함유시켜도 된다.

[0251] 또한, 본 실시예에서는 밀봉기판(1304)을 구성하는 재료로서 유리기판, 석영기판, 또는 FRP(Fiberglass-Reinforced Plastic), PVF(폴리비닐 플루오라이드), 마일러, 폴리에스테르 또는 폴리아크릴 수지 등으로 이루어진 플라스틱기판을 사용할 수 있다. 또한, 밀봉제(1305)를 사용하여 밀봉기판(1304)을 접착한 후, 측면(노정면)을 덮도록 밀봉제로 밀봉하는 것도 가능하다.

[0252] 이상과 같이 하여 발광소자를 공간(1307)에 봉입함으로써, 발광소자를 외부로부터 완전히 차단할 수 있고, 외부로부터 수분이나 산소 등의 적어도 하나의 유기화합물을 구비한 층의 열화를 촉진하는 물질이 침입하는 것을 막을 수 있다. 따라서, 신뢰성이 높은 발광장치를 얻을 수 있다.

[0253] 또한, 본 실시예의 구성은, 실시예 1~실시예 6에 나타낸 어떤 구성과 자유롭게 조합하여 실시하는 것이 가능하다.

[0254] (실시예 8)

[0255] 본 실시예에서는 본 발명의 소자구조를 갖는 수동형(단순 매트릭스형)의 발광장치를 제작한 경우에 대하여 도 14를 사용하여 설명한다. 도 14에서, 도면부호 1401은 유리기판, 1402는 양극재료로 이루어진 제 1 전극이다. 본 실시예에서는, 제 1 전극(1402)으로서 ITO를 스퍼터링법에 의해 형성한다. 이때, 도 14에서는 도시되어 있지 않지만, 복수개의 제 1 전극이 지면과 평행하게 스트라이프형으로 배열되어 있다.

[0256] 또한, 스트라이프형으로 배열된 제 1 전극(1402)과 교차하도록 절연재료로 이루어진 뱅크(1403)가 형성된다. 뱅크(1403)는, 양극(1402)과 접하여 지면에 수직한 방향으로 형성되어 있다.

[0257] 여기서, 제 1 전극(1402)의 노출부 상에 제 1 보조전극(1404)을 증착법에 의해 형성한다. 또한, 제 1 보조전극(1404)의 형성에 사용하는 재료로서는, 실시예 1~실시예 3에서 나타낸 음극이 될 수 있는 재료를 사용할 수 있다. 또한, 제 1 보조전극(1404) 형성시에 이것들의 재료가 뱅크 상에 형성되었다고 해도 아무런 문제는 없다.

[0258] 다음에, 제 1 전극(1402) 및 제 1 보조전극(1404)상에 적어도 하나의 유기화합물을 구비한 층(1405)이 형성된다. 적어도 하나의 유기화합물을 구비한 층(1405)을 형성하는 재료로서는, 실시예 1~실시예 3에서 나타낸 재료를 사용할 수 있다.

[0259] 예를 들면, 적색발광을 나타낸 적어도 하나의 유기화합물을 구비한 층, 녹색발광을 나타낸 적어도 하나의 유기화합물을 구비한 층 및 청색발광을 나타낸 적어도 하나의 유기화합물을 구비한 층을 각각 형성함으로써, 3종류의 발광을 갖는 발광장치를 형성할 수 있다. 또한, 이 적어도 하나의 유기화합물을 구비한 층(1405)은 뱅크(1403)에서 형성된 홈을 따라 형성되므로, 지면에 수직한 방향으로 스트라이프형으로 배열된다.

[0260] 다음에, 적어도 하나의 유기화합물을 구비한 층(1405)상에서, 제 1 보조전극(1404)과 겹치지 않는 위치에 제 2 보조전극(1406)을 형성한다. 또한, 제 2 보조전극(1406)도 제 1 보조전극과 동일한 재료를 사용하여 동일하게 형성한다.

[0261] 다음에, 적어도 하나의 유기화합물을 구비한 층(1405) 및 제 2 보조전극(1406)상에 제 2 전극(1407)이 형성된다. 또한, 본 실시예에서는, 제 2 전극(1407)에는, 증착법에 의해 차광성의 재료를 사용하여 형성한다.

[0262] 또한, 본 실시예에서는 제 1 전극(1402)이 투광성의 재료로 형성되어 있으므로, 적어도 하나의 유기화합물을 구비한 층(1405)에서 발생한 광은 하측(기판 1401의 측)으로 출사된다.

[0263] 다음에, 밀봉기판(1409)으로서 유리기판을 준비한다. 본 실시예에서는 유리기판 외에도 플라스틱이나 석영으로 이루어진 기판을 사용하는 것이 가능하다. 또한, 차광성의 기판을 사용할 수 있다.

[0264] 이렇게 해서 준비한 밀봉기판(1409)은, 자외선 경화수지로 이루어진 밀봉제(1410)에 의해 기판(1401)에 접합된다. 또한, 밀봉제(1410)의 내측(1408)은, 밀폐된 공간으로 되어 있고, 질소나 아르곤 등의 불활성가스가 충전되

어 있다. 또한, 이 밀폐된 공간(1408) 내에 산화바륨으로 대표되는 흡습제를 설치하는 것도 유효하다. 마지막으로, 플렉시블 배선회로(FPC)(1411)를 부착하여 수동형 발광장치가 완성된다.

[0265] 또한, 본 실시예는, 실시예 1~실시예 4에 나타낸 소자구조(액티브 매트릭스형)에 관련되는 것 이외의 재료 등을 자유롭게 조합하여 실시하는 것이 가능하다.

[0266] (실시예 9)

[0267] 발광소자를 사용한 발광장치는, 자발광형이므로, 액정표시장치에 비해, 밝은 장소에서의 시감도가 뛰어나고, 시야각이 넓다. 따라서, 본 발명의 발광장치를 사용하여 여러 가지 전기기구를 완성시킬 수 있다.

[0268] 본 발명에 의해 제작한 발광장치를 사용하여 제작된 전기기구로서, 비디오 카메라, 디지털 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향재생장치(카오디오, 오디오 콤포넌트), 노트북 컴퓨터, 게임기기, 휴대정보단말기(모바일 컴퓨터, 휴대전화, 휴대형 게임기 또는 전자서적 등), 기록매체를 구비한 화상재생장치(구체적으로는, 디지털 비디오 디스크(DVD) 등의 기록매체를 재생하고, 그 화상을 표시할 수 있는 표시장치를 구비한 장치) 등을 들 수 있다. 특히, 기울어진 방향으로부터 화면을 보는 기회가 많은 휴대정보단말기는, 시야각의 넓이가 중요시되기 때문에, 발광소자를 갖는 발광장치를 사용하는 것이 바람직하다. 그것들 전기기구의 구체예를 도 15a~도 15h에 나타낸다.

[0269] 도 15a는 표시장치로, 케이스(2001), 지지대(2002), 표시부(2003), 스피커부 (2004), 비디오 입력단자(2005) 등을 포함한다. 본 발명에 의해 제작한 발광장치가 그 표시부(2003)에 적용될 수 있다. 그 발광소자를 갖는 발광장치는, 자발광형이기 때문에 백라이트가 필요 없고, 액정표시장치보다도 넓은 표시부로 할 수 있다. 또한, 표시장치는, 퍼스널 컴퓨터용, TV 방송수신용, 광고표시용 등의 모든 정보표시용 표시장치가 포함된다.

[0270] 도 15b는 디지털 스틸 카메라로, 본체(2101), 표시부(2102), 화상 수신부(2103), 조작키(2104), 외부접속포트(2105), 셔터(2106) 등을 포함한다. 본 발명에 의해 제작한 발광장치가 그 표시부(2102)에 적용될 수 있다.

[0271] 도 15c는 노트북형 퍼스널 컴퓨터로, 본체(2201), 케이스(2202), 표시부(2203), 키보드(2204), 외부접속포트(2205), 포인팅 마우스(2206) 등을 포함한다. 본 발명에 의해 제작한 발광장치가 그 표시부(2203)에 적용될 수 있다.

[0272] 도 15d는 모바일 컴퓨터로, 본체(2301), 표시부(2302), 스위치(2303), 조작키(2304), 적외선포트(2305) 등을 포함한다. 본 발명에 의해 제작한 발광장치가 그 표시부(2302)에 적용될 수 있다.

[0273] 도 15e는 기록매체를 구비한 휴대형 화상재생장치(구체적으로는, DVD재생장치)로, 본체(2401), 케이스(2402), 표시부 A(2403), 표시부 B(2404), 기록매체(DVD 등) 판독부(2405), 조작키(2406), 스피커부(2407) 등을 포함한다. 표시부 A(2403)은 주로 화상정보를 표시하고, 표시부 B(2404)는 주로 문자정보를 표시한다. 본 발명에 의해 제작한 발광장치는 이를 표시부 A, B(2403, 2404)에 적용할 수 있다. 또한, 기록매체를 구비한 화상재생장치에는 가정용 게임기기 등도 포함된다.

[0274] 도 15f는 고글형 디스플레이(헤드 마운트 디스플레이)로, 본체(2501), 표시부(2502), 암부(2503)를 포함한다. 본 발명에 의해 제작한 발광장치가 그 표시부(2502)에 적용될 수 있다.

[0275] 도 15g는 비디오 카메라로, 본체(2601), 표시부(2602), 케이스(2603), 외부접속포트(2604), 리모트 컨트롤 수신부(2605), 화상 수신부(2606), 배터리(2607), 음성입력부(2608), 조작키(2609), 접안부(2610) 등을 포함한다. 본 발명에 의해 제작한 발광장치를 그 표시부(2602)에 적용할 수 있다.

[0276] 여기서, 도 15h는 휴대전화로, 본체(2701), 케이스(2702), 표시부(2703), 음성입력부(2704), 음성출력부(2705), 조작키(2706), 외부접속포트(2707), 안테나 (2708) 등을 포함한다. 본 발명에 의해 제작한 발광장치를 그 표시부(2703)에 적용할 수 있다. 또한, 표시부(2703)는 블랙색의 배경에 백색의 문자를 표시함으로써 휴대전화의 소비전력을 억제할 수 있다.

[0277] 또한, 앞으로 유기재료의 발광휘도가 높아지면, 출력한 화상정보를 포함하는 광을 렌즈 등으로 확대 투영하여 프론트형 또는 리어형 프로젝터에 사용하는 것도 가능하게 된다.

[0278] 또한, 상기 전기기구는 인터넷이나 CATV(케이블 텔레비전) 등의 전자통신회선을 통해 분배된 정보를 표시하는 것이 많으며, 특히 동화상 정보를 표시하는 기회가 증가하고 있다. 유기재료의 응답속도는 대단히 빠르므로, 발광장치는 동화상 표시에 바람직하다.

[0279] 또한, 발광장치는 발광하고 있는 부분이 전력을 소비하기 위해, 발광부분이 매우 적어지도록 정보를 표시하는 것이 바람직하다. 따라서, 휴대정보단말기, 특히 휴대전화와 음향재생장치와 같은 문자정보를 주로 하는 표시부에 발광장치를 사용하는 경우에는, 비발광 부분을 배경으로 하여 문자정보를 발광부분으로 형성하도록 구동하는 것이 바람직하다.

[0280] 이상과 같이, 본 발명의 제작방법을 사용하여 제작된 발광장치의 적용범위는 매우 넓고, 본 발명의 발광장치를 사용하여 모든 분야의 전기기구를 제작하는 것이 가능하다. 또한, 본 실시예의 전기기구는 실시예 1~실시예 8을 실시함으로써 제작된 발광장치를 사용하여 완성시킬 수 있다.

발명의 효과

[0281] 본 발명에서, 교류구동의 발광장치를 제작함으로써, 직류구동의 경우에 문제가 되었던 유기화합물층에서의 전하의 축적을 방지할 수 있다. 이것에 의해, 발광소자의 휘도저하라는 문제가 개선되므로, 발광소자의 소자특성의 향상과 장수명화가 가능해진다. 또한, 본 발명의 발광장치는, 구조가 다른 2종류의 발광소자를 설치한다. 교류구동시, 극성이 다른 전압이 인가되더라도 항상 어느 한쪽의 발광소자가 기능하는 구조를 가지고 있으므로, 직류구동의 경우와 같은 계조표시를 행할 수 있다.

도면의 간단한 설명

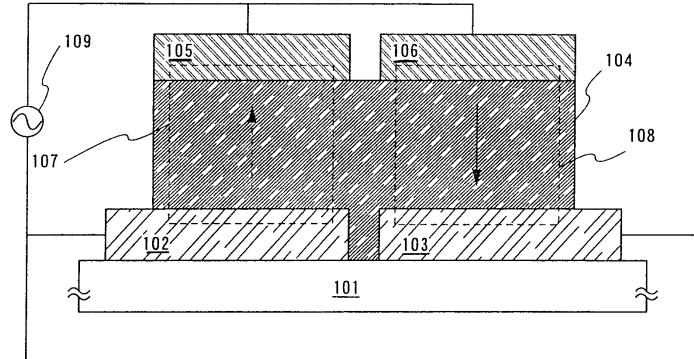
- [0001] 도 1은 본 발명의 발광장치의 소자구조를 설명하는 도면,
- [0002] 도 2는 본 발명의 발광장치의 소자구조를 설명하는 도면,
- [0003] 도 3은 본 발명의 발광장치의 소자구조를 설명하는 도면,
- [0004] 도 4는 본 발명의 발광장치의 소자구조를 설명하는 도면,
- [0005] 도 5는 본 발명의 발광장치의 제작공정을 설명하는 도면,
- [0006] 도 6은 본 발명의 발광장치의 제작공정을 설명하는 도면,
- [0007] 도 7은 본 발명의 발광장치의 제작공정을 설명하는 도면,
- [0008] 도 8은 본 발명의 발광장치의 구성을 설명하는 도면,
- [0009] 도 9는 본 발명의 발광장치의 화소부의 회로도를 설명하는 도면,
- [0010] 도 10은 본 발명의 발광장치의 구성을 설명하는 도면,
- [0011] 도 11은 본 발명의 발광장치의 화소부의 회로도를 설명하는 도면,
- [0012] 도 12는 본 발명의 발광장치를 교류로 구동하는 경우의 타이밍도,
- [0013] 도 13은 본 발명의 발광장치의 외관을 설명하는 도면,
- [0014] 도 14는 수동 매트릭스형의 발광장치를 설명하는 도면,
- [0015] 도 15는 전기기구의 일예를 나타낸 도면.

[0016] *도면의 주요 부분에 대한 부호의 설명*

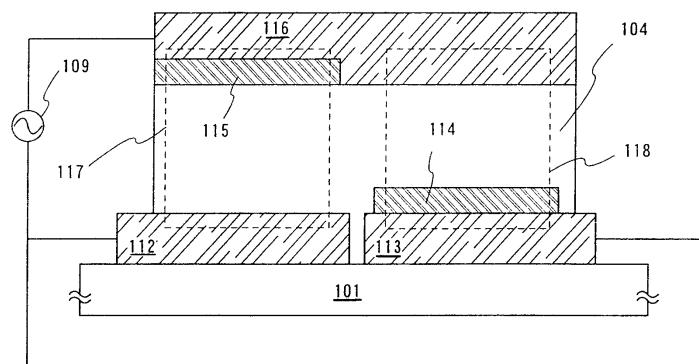
- | | | |
|--------|---------------------|---------------------|
| [0017] | 101 : 기판 | 102, 106 : 양극 |
| [0018] | 103, 105 : 음극 | 104 : 유기화합물층 |
| [0019] | 107, 117 : 제 1 발광소자 | 108, 118 : 제 2 발광소자 |
| [0020] | 112 : 제 1 전극 | 113 : 제 2 전극 |
| [0021] | 114 : 제 1 보조전극 | 115 : 제 2 보조전극 |
| [0022] | 116 : 제 3 전극 | |

도면

도면1

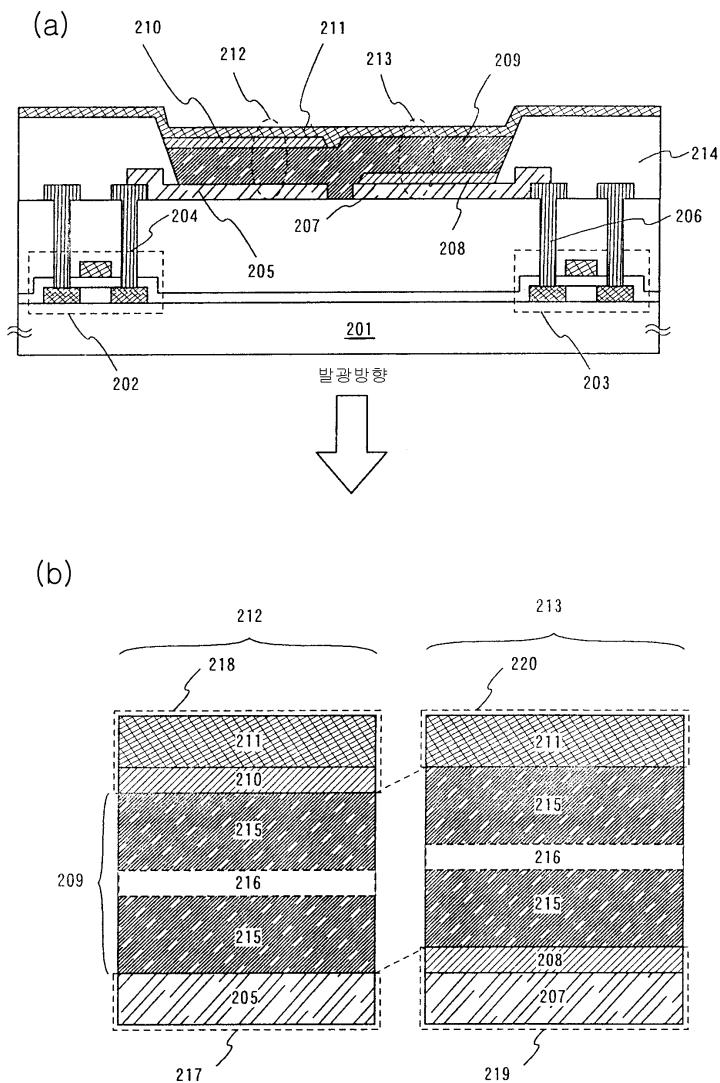


(a)

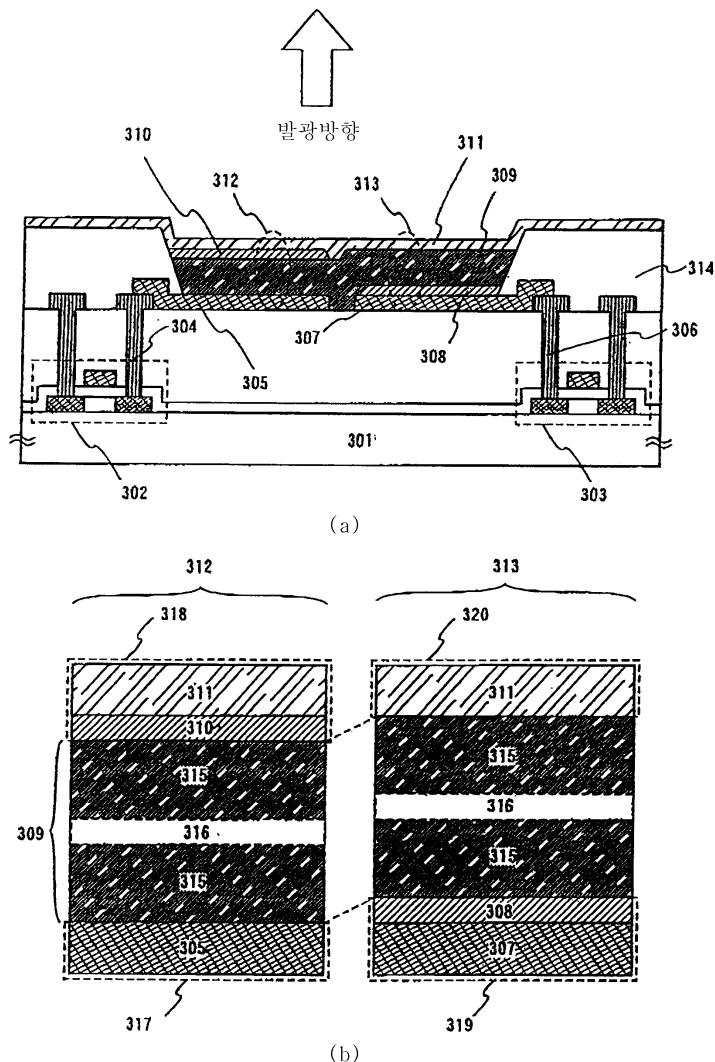


(b)

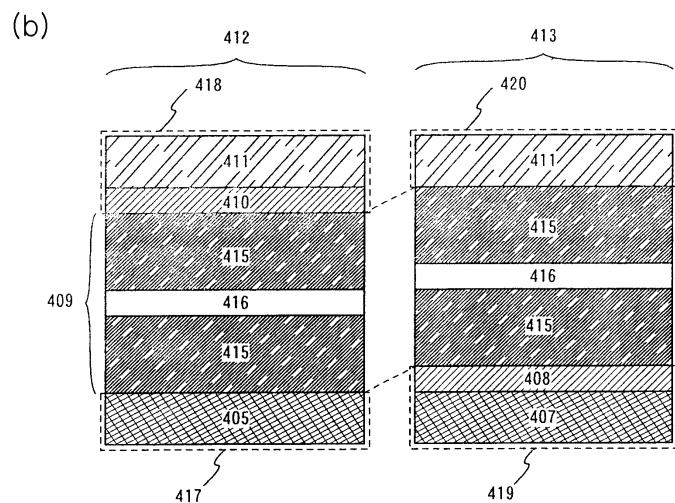
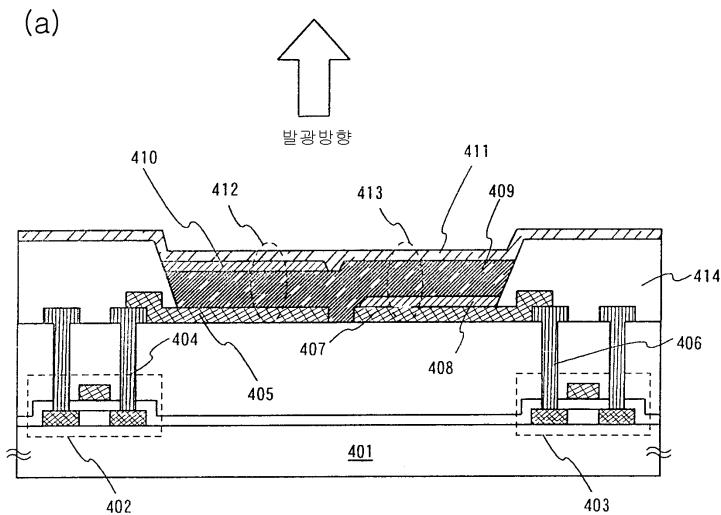
도면2



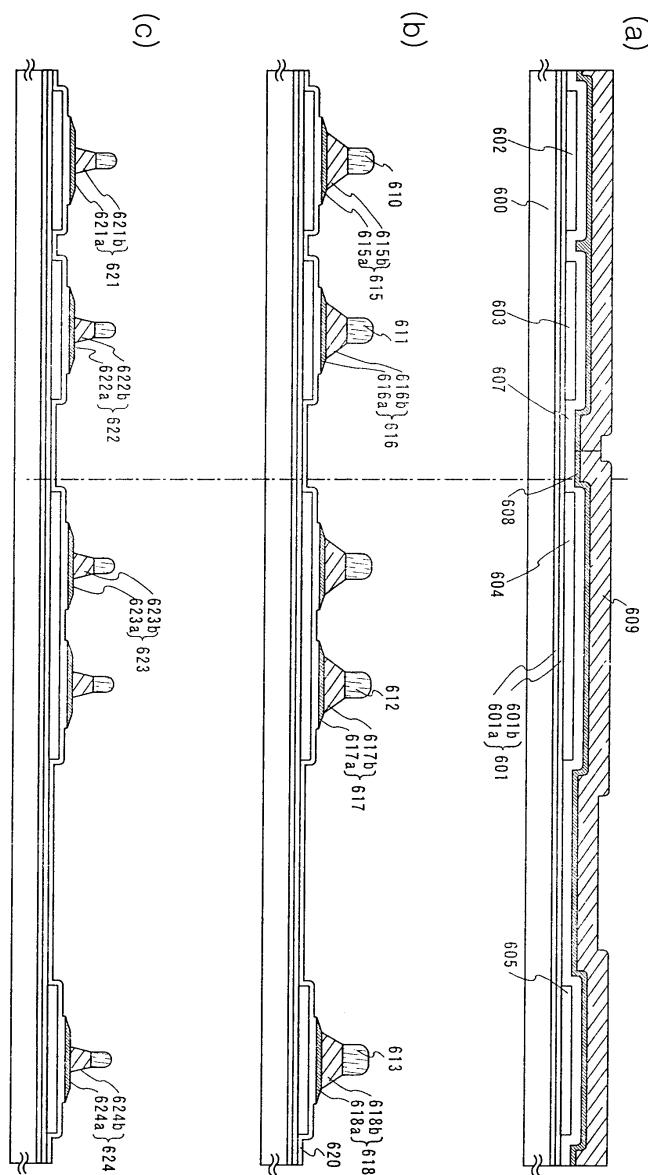
도면3



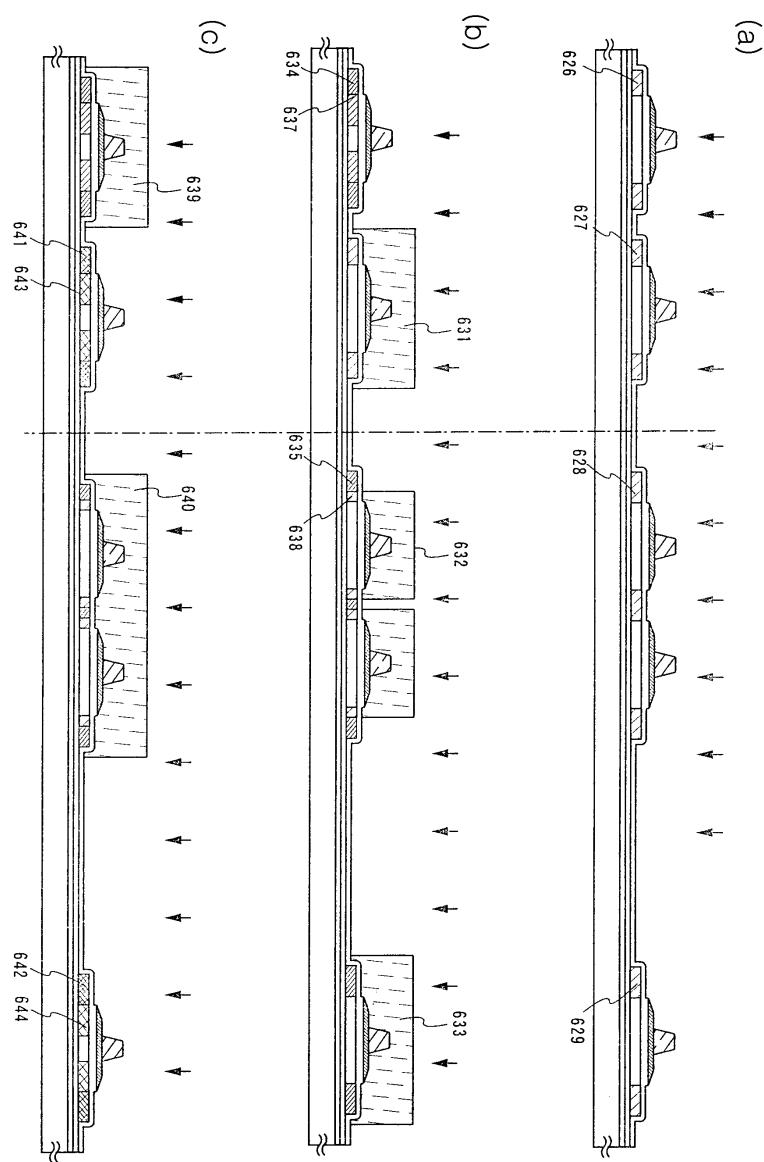
도면4



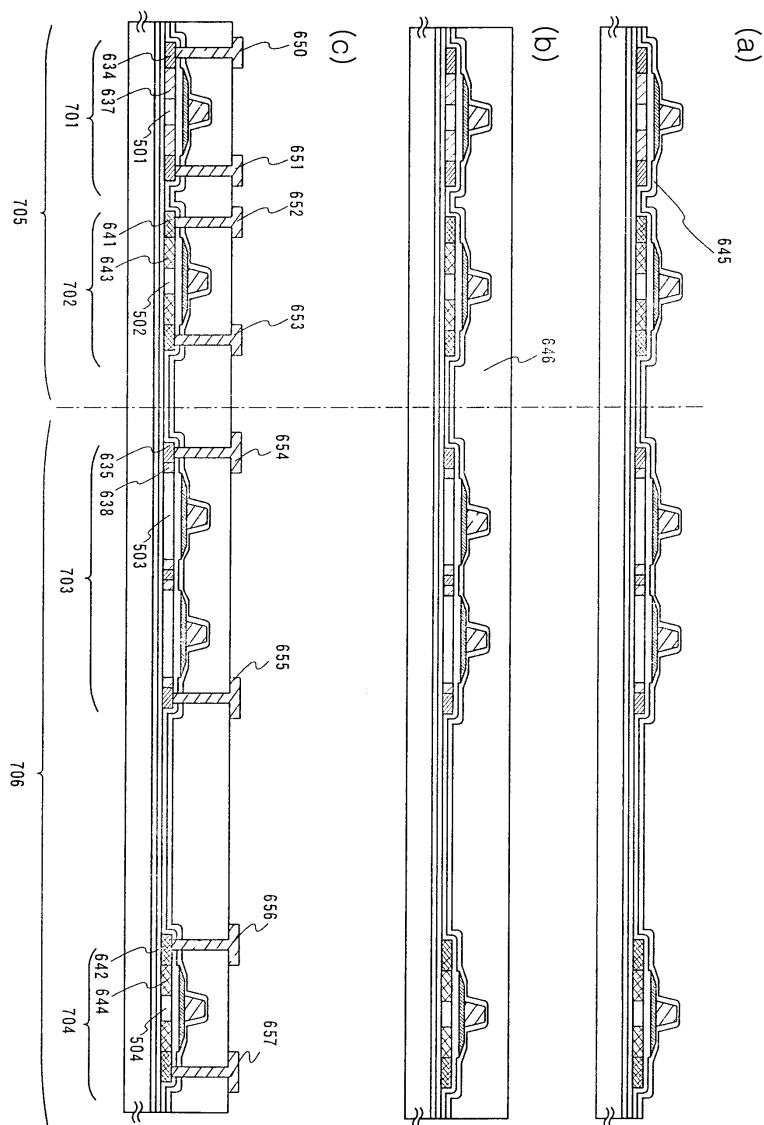
도면5



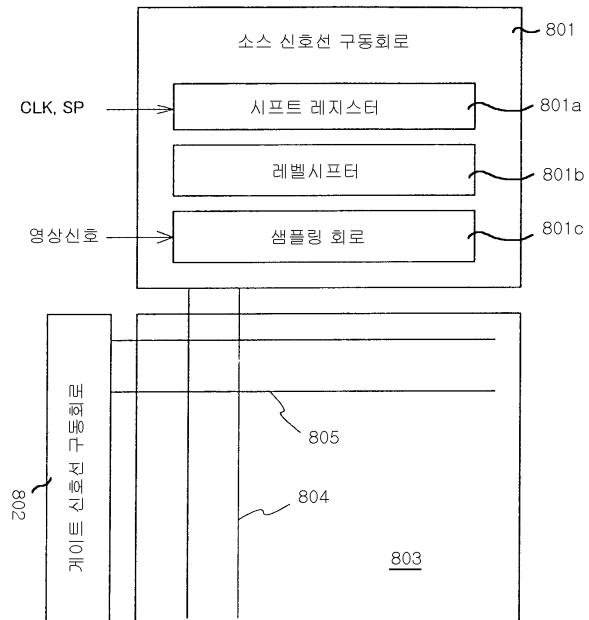
도면6



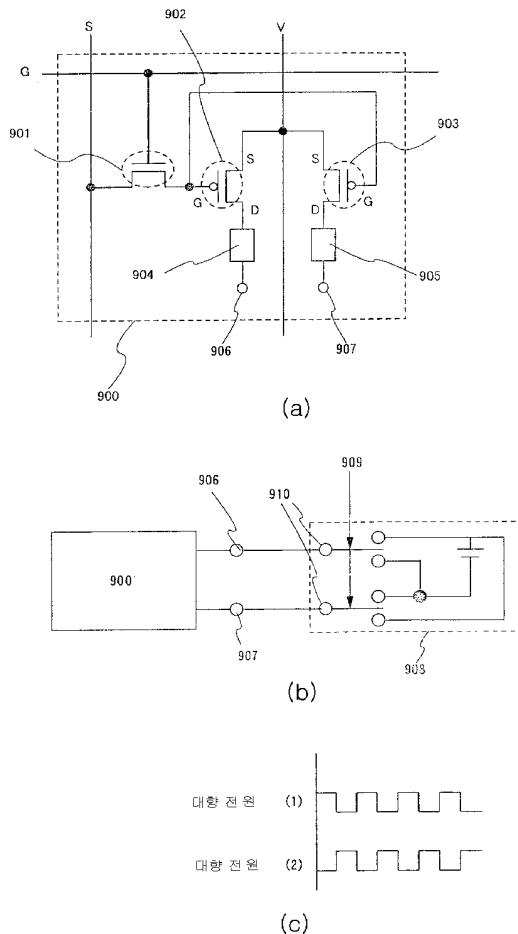
도면7



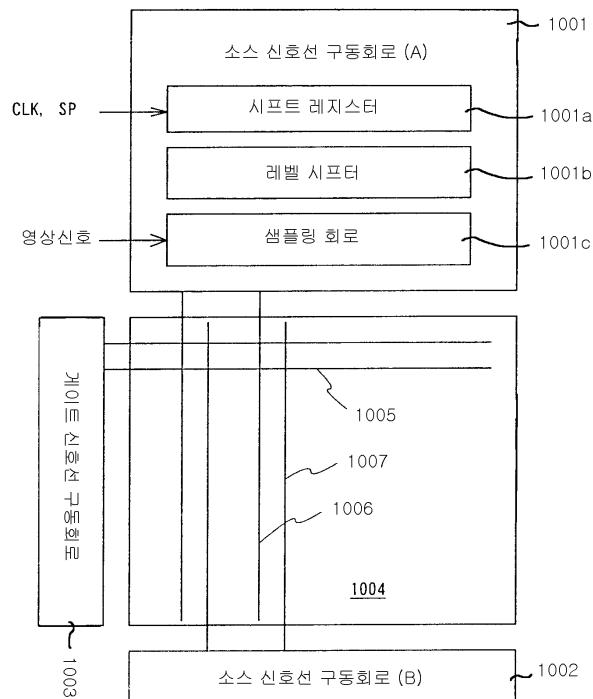
도면8



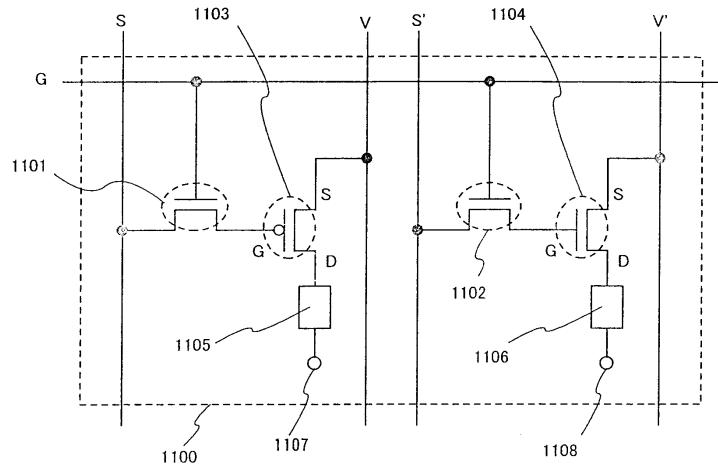
도면9



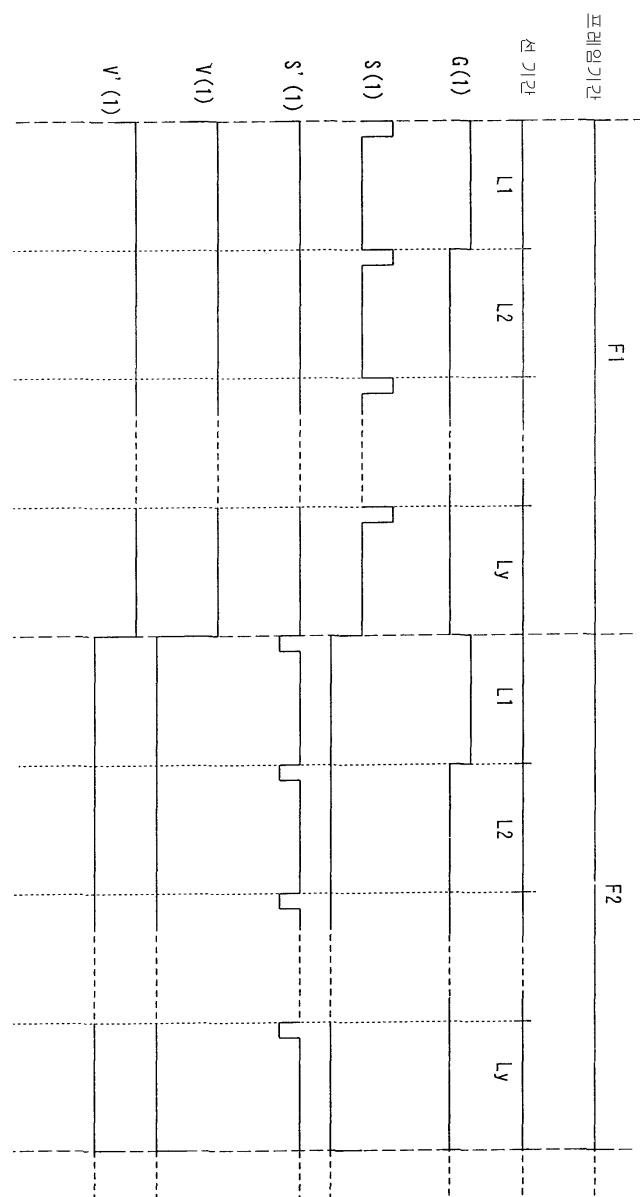
도면10



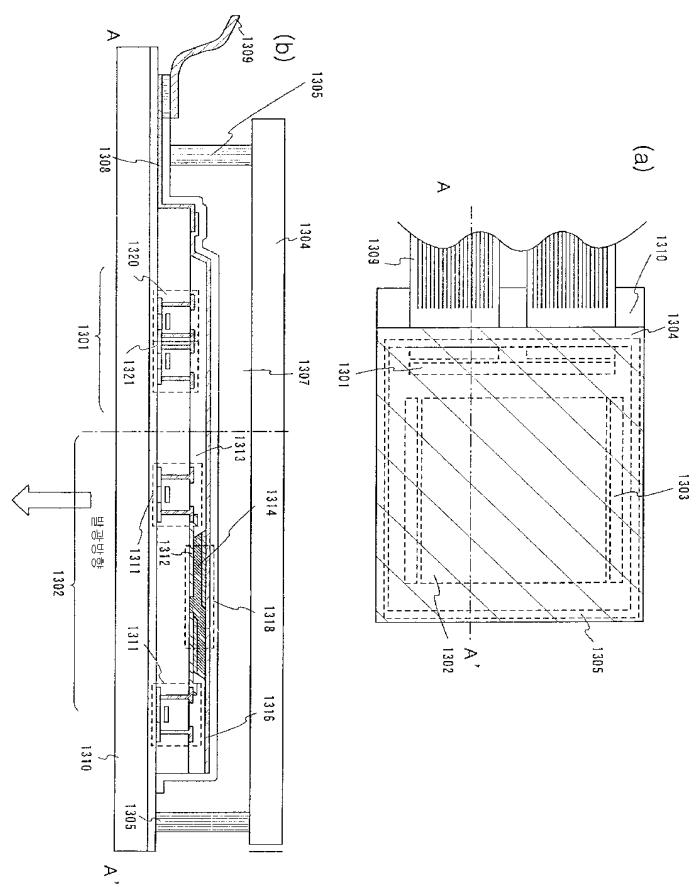
도면11



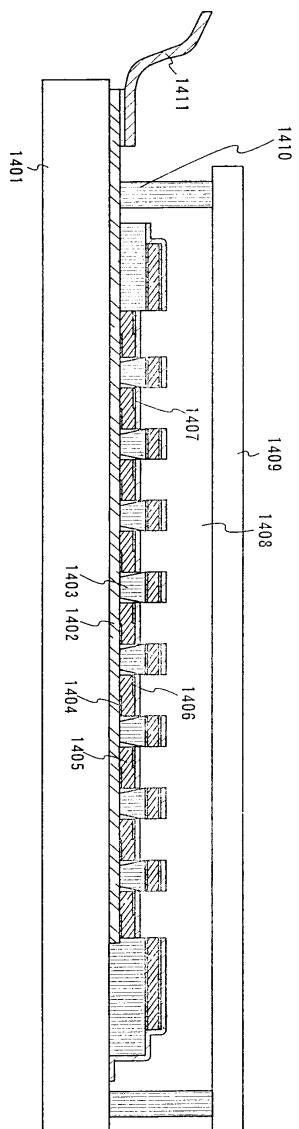
도면12



도면13



도면14



도면15

