

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3968022号
(P3968022)

(45) 発行日 平成19年8月29日(2007.8.29)

(24) 登録日 平成19年6月8日(2007.6.8)

(51) Int.Cl.

F I

G 1 1 C 29/12 (2006.01)
 G 1 1 C 29/08 (2006.01)
 G 0 1 R 31/28 (2006.01)
 G 1 1 C 11/401 (2006.01)

G 1 1 C 29/00 6 7 1 B
 G 1 1 C 29/00 6 7 1 S
 G 0 1 R 31/28 B
 G 0 1 R 31/28 V
 G 1 1 C 11/34 3 7 1 A

請求項の数 11 (全 9 頁)

(21) 出願番号 特願2002-592129 (P2002-592129)
 (86) (22) 出願日 平成14年5月13日(2002.5.13)
 (65) 公表番号 特表2004-530247 (P2004-530247A)
 (43) 公表日 平成16年9月30日(2004.9.30)
 (86) 国際出願番号 PCT/EP2002/005244
 (87) 国際公開番号 W02002/095756
 (87) 国際公開日 平成14年11月28日(2002.11.28)
 審査請求日 平成15年11月21日(2003.11.21)
 (31) 優先権主張番号 101 25 022.3
 (32) 優先日 平成13年5月22日(2001.5.22)
 (33) 優先権主張国 ドイツ(DE)

前置審査

(73) 特許権者 501209070
 インフィネオン テクノロジーズ アクチ
 エンゲゼルシャフト
 ドイツ連邦共和国 8 1 6 6 9 ミュンヘ
 ン ザンクト マルティン シュトラーセ
 5 3
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明
 (74) 代理人 100113413
 弁理士 森下 夏樹
 (72) 発明者 オールオフ、 カールステン
 ドイツ国 8 1 7 3 7 ミュンヘン、 ノ
 イビーベルガー シュトラーセ 3 8
 最終頁に続く

(54) 【発明の名称】 ダイナミックメモリおよびダイナミックメモリをテストするための方法

(57) 【特許請求の範囲】

【請求項 1】

メモリセルアレイと、
 該メモリセルアレイをテストするテストコントローラと、
 該メモリセルアレイのリフレッシュを制御し、出力信号を生成する発振器であって、該
 発振器をテストコントローラのための時間軸として利用する装置を有する発信器と
 を備え、
 該装置は、カウンタを含み、該カウンタは、該出力信号を受信し、該受信された出力信
 号に含まれるクロックサイクルをカウントし、所定のクロックサイクル数の後、該テスト
 コントローラに少なくとも 1 つの割り込み信号を送信することにより、該メモリセルア
 レイをテストするための時間軸を機能テストの時間軸よりも遅らせる、ダイナミックメモリ

10

【請求項 2】

前記所定のクロックサイクル数は、プログラム可能なレジスタに格納されている、請求
 項 1 に記載のダイナミックメモリ。

【請求項 3】

前記発振器の周波数は、プログラム可能なレジスタによって設定されている、請求項 1
 に記載のダイナミックメモリ。

【請求項 4】

前記カウンタは、1 つの割り込みが生成されるように設計されている、請求項 1 に記載

20

のダイナミックメモリ。

【請求項5】

前記カウンタは、該カウンタのカウンタ読み取りが、前記所定のクロックサイクル数の整数倍に達する度に、割り込みが生成されるように設計されている、請求項1に記載のダイナミックメモリ。

【請求項6】

前記テストコントローラは、割り込みが到着すると、前記メモリセルアレイのリフレッシュ動作を実行するか、または、割り込まれたテストプログラムを続行するように設計されている、請求項1に記載のダイナミックメモリ。

【請求項7】

ダイナミックメモリをテストする方法であって、該ダイナミックメモリは、メモリセルアレイと、該メモリセルアレイをテストするテストコントローラと、該メモリセルアレイのリフレッシュを制御し、出力信号を生成する発振器であって、該発振器をテストコントローラのための時間軸として利用する装置を有する発信器とを含み、該装置は、カウンタを含み、

該方法は、

該テストコントローラによって該発振器の出力信号から該メモリセルアレイのテスト動作を制御するための少なくとも1つの割り込み信号を生成することを包含し、

該カウンタは、該発振器の出力信号を受信し、該受信された出力信号に含まれるクロックサイクルをカウントし、所定のクロックサイクル数の後、該少なくとも1つの割り込み信号を生成することにより、該メモリセルアレイをテストするための時間軸を機能テストの時間軸よりも遅らせる、方法。

【請求項8】

前記所定のクロックサイクル数は、実行されるテストシーケンスに依存する態様で設定されている、請求項7に記載の方法。

【請求項9】

割り込みは、前記発振器の前記出力信号においてカウントされるべきクロックサイクルを生じさせ、前記所定のクロックサイクル数に到達した場合、さらなる割り込みが生成される、請求項7に記載の方法。

【請求項10】

前記テストコントローラにおける割り込みは、前記メモリセルアレイのリフレッシュを開始させるか、または、割り込まれたテストプログラムを続行させる、請求項7に記載の方法。

【請求項11】

前記テストコントローラは、第1の割り込みの到着後、実行中のテストプログラムに割り込み、保持またはバンプテストを開始し、第2の割り込みの到着後、該割り込まれたテストプログラムを続行する、請求項7に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダイナミックメモリ、およびダイナミックメモリをテストするための方法に関する。

【背景技術】

【0002】

原則として、集積回路またはチップは、ウェハレベルで、すなわち、パッケージングの前に既にテストされている。個々のメモリセルの損傷によりメモリ全体が使用不能となるため、そのようなテストは、半導体メモリの場合において、（特に）ダイナミックメモリまたはDRAM（ダイナミックランダムアクセスメモリ）の場合において、特に重要である。ダイナミックメモリの（特に）記憶容量が増加するに従って、テスト時間は大いに増加し、総生産コストの相当な比率を占めるようになる。大量生産されるような規格品の場

10

20

30

40

50

合において、生産コストは重要な経済的要因であるため、生産コストを下げる多大な努力がなされる。

【0003】

1つのアプローチは、ダイナミックメモリのテスト時間を減少させることにある。他のアプローチは、複数のメモリを平行してテストすることにある。この結果、高価な製品テスターの能力が、より適切に利用される。さらに、テスト中のスループットが増加する。

【0004】

第3のアプローチは、いくぶん異なる手法を取り、テストの特別な論理がダイナミックメモリに組み込まれ、外部テストをサポートするか、または完全に取って代わる。このことは、論理回路の分野で既に公知である。この分野では、マイクロプロセッサを（自己）テストするために働く、いわゆるBIST（組込み自己テスト（Built In Self Test））モジュールが、例えば、複雑なマイクロプロセッサに組み込まれる。この目的のために、BISTモジュールは、プロセッサの個々のモジュールをテストするために、テストプログラムを処理する。機能テストプログラムが、主に用いられる。BISTモジュールは、対応するテストパターンを生成する。このように、外部テストは、より短いか、または時々省略さえされ得る。特に、外部テスターによって用意される信号の数は、このように相当減少する。さらに、そのようなコンポーネントはまた、外部自動テスト機器なしで、動作中にテストされ得る。

【0005】

完全な自己テストのために、テストコントローラまたはBISTモジュールは、タイミングを制御できなければならない。このことは、原則として、機能テストについていかなる問題も提起しない。なぜなら必要な周波数は、典型的にはMHz範囲にあるからである。時間軸として、そのような組込みテストコントローラを有するチップは、チップに印加される外部発振器クロックを利用する。

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、この方法は、ダイナミックメモリでは、問題を提起する。これは、一つには、ダイナミックメモリが完全な自己テストのために非常に遅い発振器クロックを必要とするためである。これまで、そのようなクロックは、製品テスターに存在する特別な発振器であって、実際のテストパターンの時間的な制御によって独立的且つ非同期的にプログラムされ得る発振器によって提供されてきた。しかし、まさに、これらの遅い時間軸が、テスト時間を支配する。結果として、製品テスターは、より長時間必要とされる。従って、テストスループットは減少する。

【0007】

機能テストにおけるメモリセルの定期的なリフレッシュが、特に遅い時間軸を必要とするダイナミックメモリのテストシーケンスの例として、本明細書中で言及される。さらなる例は、個々のメモリセルの保持時間の測定またはいわゆるバンプテストである。これらのテストの各々が、マイクロ秒の時間範囲またさらにはミリ秒の時間範囲の遅い時間軸を必要とする。

【課題を解決するための手段】

【0008】

従って、本発明の目的は、ダイナミックメモリ、およびそのダイナミックメモリに組み込まれるテストコントローラによって長時間にわたるテストシーケンスでさえその実行が可能となる、ダイナミックメモリをテストするための方法を提案することである。

【0009】

この目的は、特許請求の範囲に記載の特徴を有するダイナミックメモリ、および特許請求の範囲に記載の特徴を有するダイナミックメモリをテストするための方法によって達成される。本発明のさらなる有利な実施形態、改良および局面は、特許請求の範囲の記載、明細書の記載および添付の図面から明らかになる。

10

20

30

40

50

【0010】

本発明は、リフレッシュ動作が数マイクロ秒、数ミリ秒またさらには数秒の時間間隔で定期的にかかるため、少なくともいくつかのダイナミックメモリが有する発振器であって、そのメモリの標準動作の間にメモリセルアレイのリフレッシュを制御する発振器が、ダイナミックメモリに含まれるテストコントローラの時間軸として適切であるという知見に基づく。「遅い」クロックがダイナミックメモリに存在しないために、これまで製品テスターによってのみ実行され得たテストシーケンスを、テストコントローラは、論理の機能テストに関する発振器の「遅い」時間軸のおかげで制御し得る。

【0011】

装置という点で、メモリセルアレイ、メモリセルアレイをテストするテストコントローラ、およびメモリセルアレイのリフレッシュを制御するための発振器を有するダイナミックメモリは、発振器をテストコントローラのための時間軸として利用するための手段を有する。

10

【0012】

その手段は、発振器の出力信号におけるクロックサイクルをカウントし、所定のクロックサイクル数の後に少なくとも1つの割り込みをテストコントローラに送信する、カウンタを含み得る。結果として、比較的長い時間間隔で、具体的には、マイクロ秒またさらにはミリ秒で起こる信号が、割り込みを介してテストコントローラに利用される。

【0013】

所定のクロックサイクル数は、好ましくはプログラム可能なレジスタに記憶される。このことは、再プログラミングを介して、テストコントローラのための時間軸の変更を可能にする。原則として、所望されるテストシーケンスに依存して、異なる時間軸が結果として設定され得る。あるいは、発振器の周波数が、プログラム可能なレジスタによって設定され得る。このことは、本質的には同じこと、すなわち、時間軸の変更である。従って、有利な点は本質的には変わらない。

20

【発明を実施するための最良の形態】

【0014】

カウンタは、正確に1つの割り込みが生成される様式で設計され得る。この場合、発振器は、トリガーであるかのように利用される。好ましくは、例えば、メモリセルアレイのメモリセルの保持時間を測定するために、テストコントローラは、特定の時点で発振器の出力信号に含まれるクロックサイクルのカウントを開始する。カウンタによって生成された割り込みが到着するや否や、テストコントローラは、保持時間が経過したことを検出し、メモリセルアレイのメモリセルの内容を測定し得る。

30

【0015】

あるいは、カウンタはまた、定期的に、好ましくはカウンタの読みが、所定のクロックサイクル数の整数倍に対応する度に割り込みを生成し得る。この実施形態は、特に定期的なテスト、例えば、メモリセルアレイの特定のメモリセルの保持時間が連続して何度も測定される場合に適している。

【0016】

好ましい実施形態において、テストコントローラは、割り込みが到着すると、メモリセルアレイのリフレッシュ動作を実行する（リフレッシュモード）か、または割り込まれたテストプログラムを続行する（電圧測定モード）かする様式で設計される。内部電圧は、例えば、割り込まれたテストプログラム中に変更され得る。続いて、メモリセルの内容は、続行されるテストプログラムにおいて測定される。結果として、ダイナミックメモリのメモリセルおよび他の回路素子の電圧依存性をテストすることが可能である。

40

【0017】

これは、メモリセルアレイ、メモリセルアレイをテストするためのテストコントローラ、およびメモリセルアレイのリフレッシュを制御するための発振器を含むダイナミックメモリをテストするための本発明の方法は、テストコントローラによるメモリセルアレイのテスト動作の制御のための少なくとも1つの信号が、発振器の出力信号から生成されると

50

いう事実により区別される。

【0018】

好ましくは、クロックサイクルは、発振器の出力信号においてカウントされ、そして所定のクロックサイクル数の後に、少なくとも1つの割り込みが生成され、テストコントローラに送信される。この結果として、ダイナミックメモリは、例えば、製品テスターによって生成される外部割り込みにもはや依存しない。結果として、「遅い」、すなわち時間的に長時間にわたるテストが、メモリ自体によって実行され得る。さらなる有利な点は、外部製品テスターにタイマが提供される必要がないこと、およびテスト目的の外部割り込みを供給するための特定のピンを提供する必要がないため、テストのために接触接続される必要があるダイナミックメモリのピンの数が減少することである。

10

【0019】

外部製品テスターの助けが必要とされる時間の長さは減少し、その結果、テストされるメモリのスループットが増加され得る。

【0020】

所定のクロックサイクル数は、実行されるテストシーケンスに依存する様式で設定され得る。このことは、メモリが、最大バンド幅の異なるテスト、特に異なる時間軸を有するテストを実行する場合に、特に有利である。本明細書中に、非常に「遅い」時間軸を必要とするリフレッシュまたは電圧依存テストのみが例として言及される。対照的に、メモリに含まれる論理の機能テストは、一般的に、「速い」時間軸を必要とする。時間軸の切り替えは、所定のクロックサイクル数の設定により、非常に単純に実行され得る。

20

【0021】

好ましくは、割り込みは、クロックサイクルが再び発振器の出力信号においてカウントされ、所定のクロックサイクル数が到達すると、さらなる割り込みが生成されるという効果を有する。このことは、所定のクロックサイクル数によって定められる時間幅に対応する期間での割り込みの定期的な生成をもたらす。一例として、このことは、特定のパターンシーケンスのテストを何度も繰り返すために有利に用いられ得る。

【0022】

最後に、好ましい実施形態において、テストコントローラにおける割り込みは、メモリセルアレイのリフレッシュが開始されるか、または割り込まれたテストプログラムが続行されるという効果を有する。一番目のケースでは、割り込みは、まるでリフレッシュクロックとして働き、二番目のケースでは、例えば、メモリの特定のモジュールの電圧依存が測定される間に、テストプログラムの割り込みを終了するために働く。

30

【0023】

第1の割り込みの到着後にも、テストコントローラは、実行中のテストプログラムに割り込み、次いで、保持またはバンプテストを開始し得る。これらのテストの間、好ましくは、メモリセルアレイ上の内部電圧が変更される。第2の割り込みの到着後、テストコントローラは、割り込まれたテストプログラムを続行し得る。テストプログラムはそれから、例えばメモリセルアレイを読み取り、どのメモリセルが電圧の変更のために記憶データを喪失したかを確認する。

【0024】

本発明の例示的な実施形態は、図面を参照しながら以下で詳細に説明される。

40

【0025】

示されるダイナミックメモリは、メモリセルアレイ10を有する。自己テストを実行するためのBISTテストコントローラ12、メモリセルアレイ10のリフレッシュを制御するための発振器14、プログラム可能なカウンタ16、プログラム可能なレジスタ18、ヒューズバンク20およびヒューズラッチ22もまた提供される。

【0026】

原則として、発振器14、より正確にはその発振周波数は、後の通常動作のために、ダイナミックメモリの製品テストの間、特定の目標周波数に、まるでキャリブレートされたかのように設定される。このことは、ヒューズバンク20およびヒューズラッチ22によ

50

って行われる。この目的のために、発振器 1 4 の発振周波数の校正（この校正は、メモリテストの間に必要であり得る）は、製品テストの間、ヒューズバンク 2 0 内に二進法値として記憶される。ヒューズバンクは、好ましくは、電氣的にプログラム可能なヒューズを含み、この電氣的にプログラム可能なヒューズは、所望の校正に従って、メモリテストの間に高電流強度により部分的に「破壊される」。しかし、今日の業界の大部分の場合でそうであるように、いわゆる「レーザーヒューズ」を用いることもまた可能である。電気ヒューズは、B I S T がトリミング自体を実行することができ、チップ上に結果そのものを即座に記憶し得るという利点を有する。

【0027】

通常動作の間、ヒューズバンク 2 0 は、二方向性ヒューズバス 4 2 を介して読み取られ、このヒューズバス 4 2 は、ヒューズバンク 2 0 に書き込むためにも働く。読み出された内容は、ヒューズラッチ 2 2 に記憶される。次に、ヒューズラッチ 2 2 は、一方向性周波数校正バス 3 4 を介して発振器 1 4 によって読み取られる。その後直ぐに対応して、発振器 1 4 は、ヒューズバンク 2 0 に記憶された校正值に発振周波数を設定する。

10

【0028】

（プログラム可能な）テストコントローラ 1 2 は、ダイナミックメモリの自己テストを実行するために働く。ダイナミックメモリの自己テストは、メモリの製品テストの間および後の通常動作の間の両方の間で実行され得る。テストコントローラ 1 2 のプログラミングは、例えば、同様に専用モジュールとしてダイナミックメモリ上に組み込まれているか、あるいは外部から提供される読み出し専用メモリ（ROM）（図示されず）からもたらされる。ダイナミックメモリ用の自己テストプログラムを含む外部読み出し専用メモリの場合、テストコントローラ 1 2 は、テストプログラムバス 2 8 を介して、読み出し専用メモリにアクセスする。同様に、テストコントローラ 1 2 は、標準的な I E E E 規格 1 1 4 9 . 1 に従って、適切なプログラミングインターフェースを介してプログラムされ得る。

20

【0029】

自己テスト中、テストコントローラ 1 2 は、メモリセルアレイ 1 0 を駆動するために、メモリ制御バス 3 6 上に制御信号を生成し、そして、二方向性メモリデータバス 3 8 を介して、メモリセルアレイ 1 0 へデータを書き込むかまたはメモリセルアレイ 1 0 からデータを読み取る。代表的なテストプログラムシーケンスは、例えば、メモリセルアレイ 1 0 へのテストデータ、例えばパターン「1 0 1 0 1 0 1 0 …」の書き込みで始まる。メモリセルアレイ 1 0 に完全に書き込まれた後、テストコントローラは、書き込まれたテストデータを再び読み出し、読み出された値が以前に書き込まれた値に対応するかどうかをチェックする。対応しない場合、テストコントローラは、ダイナミックメモリの損傷を知らせる信号を出力する。これらは、メモリに含まれるコンポーネントの機能のみがテストされるため、メモリのいわゆる機能テストである。

30

【0030】

より長時間にわたるテストを実行するためには、テストコントローラ 1 2 は「遅い」時間軸を必要とする。「遅い」時間軸は、セルアレイ 1 0 のリフレッシュを制御することを実際には意図された発振器 1 4 の形態で、そのテストコントローラに利用可能である。発振器 1 4 の出力信号 4 0 は、発振周波数を有するクロック信号である。カウンタ 1 6 は、出力信号 4 0 においてクロックサイクルをカウントするために働く。しかし、カウンタ 1 6 は、テストコントローラ 1 2 が開始信号 2 4 によってカウンタ 1 6 を有効にするまで、動作しない。有効にした後、カウンタ 1 6 は出力信号 4 0 におけるクロックサイクルをカウントし始め、カウントが所定のクロックサイクル数に達する、すなわちカウントが所定のクロックサイクル数に正確に対応すると、割り込み 2 6 を生成する。割り込み 2 6 により、カウンタ 1 6 の対応するプログラミングを介して非常に大きな値に設定され得る時間軸が、テストコントローラ 1 2 に利用可能になる。

40

【0031】

プログラミングは、プログラム可能なレジスタ 1 8 を介して達成され、このプログラム

50

可能なレジスタには、所定のクロックサイクル数がテストプログラムバス 28 を介して設定され得る。カウンタ 16 は、バス 32 を介してプログラム可能なレジスタ 18 を読み取り得る。あるいは、プログラム可能なレジスタ 18 を介して、ヒューズラッチ 22 もまた、バス 30 を介して再プログラムされ得る。このことにより、発振器 14 の発振周波数の変更が達成される。

【0032】

結果的に、発振器 14 から誘導される時間軸は、このようにして、2つの異なる方法で変更され得る。一方は、カウンタ 16 のプログラミングを介し、他方は、ヒューズラッチ 22 を通じての発振器 14 の発振周波数の再プログラミングを介する。

【0033】

カウンタ 16 の割り込み信号 26 は、テストコントローラによって様々な方法で評価され得る。一例としては、テストコントローラは、テストプログラムの実行中のルーチンを停止し、そして、割り込み 26 によってトリガーされる様式で、特定のテストサブルーチンを開始するために異なるプログラムルーチンにジャンプし得る。例えば、テストサブルーチンは、メモリセルアレイ 10 のリフレッシュをもたらすか、またはメモリセルアレイ 10 の電圧依存のテストを開始する。この場合、メモリセルアレイの供給電圧は、カウンタ 16 のさらなる割り込み 26 が供給電圧の変更を停止し、メモリを通常にさらにテストするまで増加または減少される。以前に割り込まれたテストプログラムもまた、割り込み 26 によって続行され得る。前述の保持またはバンプテストは、特に2つの時間的に連続する割り込み 26 の間に実行され得る。

【図面の簡単な説明】

【0034】

【図1】図1は、本発明の意図するテスト目的のために、メモリセルアレイのリフレッシュをコントロールするために発振器が用いられる、ダイナミックメモリのブロック図を示す。

【符号の説明】

【0035】

- 10 メモリセルアレイ
- 12 テストコントローラ
- 14 発振器
- 16 (プログラム可能な) カウンタ
- 18 (プログラム可能な) レジスタ
- 20 ヒューズバンク
- 22 ヒューズラッチ
- 24 開始信号
- 26 割り込み (信号)
- 28 テストプログラムバス
- 30 バス
- 32 バス
- 34 一方向性周波数修正バス
- 36 メモリコントロールバス
- 38 メモリデータバス
- 40 (発振器) 出力信号
- 42 二方向性ヒューズバス

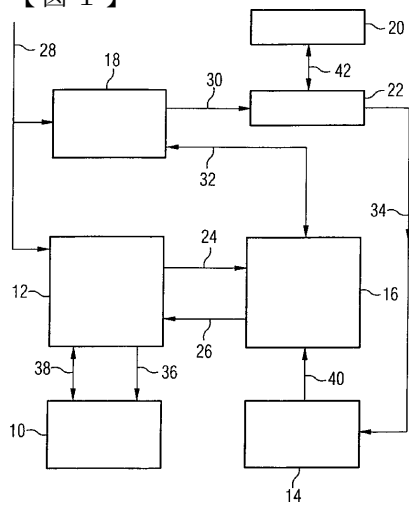
10

20

30

40

【図 1】



フロントページの続き

審査官 石川 正二

- (56)参考文献 特開平10-162600 (JP, A)
特開平11-345486 (JP, A)
特開平07-282577 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 29/12
G01R 31/28
G11C 11/401
G11C 29/08