

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 4 日(04.10.2012)



(10) 国際公開番号
WO 2012/132064 A1

- (51) 国際特許分類:
H01L 31/04 (2006.01)
- (21) 国際出願番号: PCT/JP2011/072452
- (22) 国際出願日: 2011 年 9 月 29 日(29.09.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-067832 2011 年 3 月 25 日(25.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 桐畑 豊 (KIRIHATA, Yutaka) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 藤田 和範 (FUJITA, Kazunori) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 嶋田

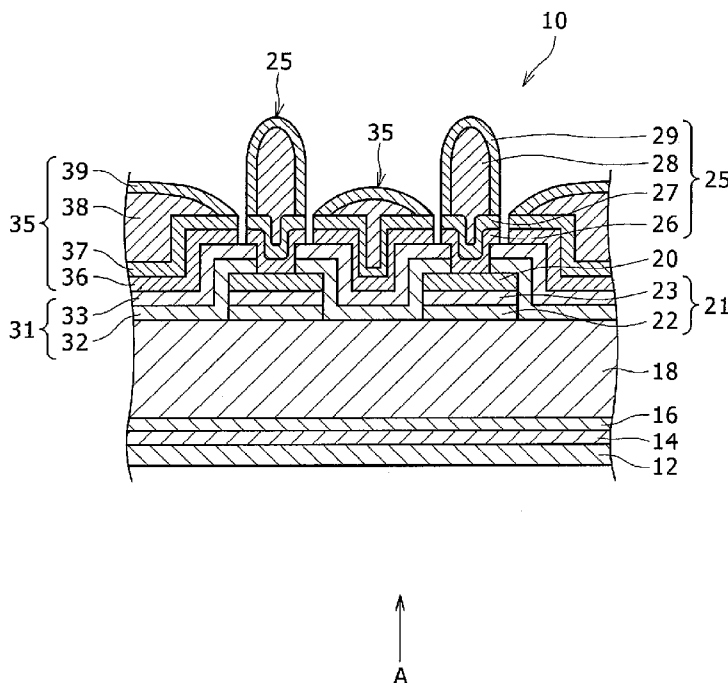
- 聡 (SHIMADA, Satoru) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 三島 孝博 (MISHIMA, Takahiro) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 坂田 仁 (SAKATA, Hitoshi) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP).
- (74) 代理人: 特許業務法人 Y K I 国際特許事務所 (YKI Patent Attorneys); 〒1800004 東京都武蔵野市吉祥寺本町一丁目 3 4 番 1 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: PHOTOVOLTAIC ELEMENT

(54) 発明の名称: 光起電力素子

[図1]



(57) Abstract: A photovoltaic element (10) is provided with: an i-n laminate (21) laminated on the surface at a first region of one surface of an n-type monocrystalline silicon substrate (18); an i-p laminate (31) laminated straddling a second region of the one surface and a portion of the i-n laminate (21); and a transparent conductive layer (20) disposed between a portion of the i-n laminate (21) and the i-n laminate (21).

(57) 要約: 光起電力素子 10 は、n 型単結晶シリコン基板 18 の一方の表面の第 1 領域において当該表面上に積層された i-n 積層部 21 と、当該一方の表面の第 2 領域上及び i-n 積層部 21 上の一部上に跨って積層された i-p 積層部 31 と、i-n 積層部 21 の一部と i-n 積層部 21 との間に配された透明導電層 20 とを備える。

WO 2012/132064 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：光起電力素子

技術分野

[0001] 本発明は、光起電力素子に関する。

背景技術

[0002] 単結晶シリコン、多結晶シリコンまたはアモルファスシリコンを用いた様々な光起電力素子が開発されている。その一例として、特許文献1には、受光面と、受光面の反対側に設けられる裏面とを有する半導体基板と、裏面上において所定方向に沿って形成される第1半導体層と、裏面上において所定方向に沿って形成され、第1半導体層の両隣に配設される一対の第2半導体層と、一対の第2半導体層のうち一方の第2半導体層上から第1半導体層上まで跨って形成される第1絶縁層と、一対の第2半導体層のうち他方の第2半導体層上から第1半導体層上まで跨って形成される第2絶縁層と、第1半導体層及び第2半導体層を覆う透明電極層と、透明電極層上に形成される収集電極層と、を備える光起電力素子が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2009-200267号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、半導体基板上に形成される半導体層上に絶縁層等が積層されることがある。当該絶縁層等のパターンニング処理を行う際に、半導体層上に当該絶縁層等の残渣が付着することがある。この絶縁層の残渣により、半導体層と集電電極部との間のシリーズ抵抗が増大する可能性がある。

課題を解決するための手段

[0005] 本発明に係る光起電力素子は、結晶系半導体基板と、第1導電型の層を含み、結晶系半導体基板の一方の表面の第1領域において表面上に積層された

第1非晶質系半導体層部と、第2導電型の層を含み、一方の表面の第2領域上及び第1非晶質系半導体層部の一部上に跨って積層された第2非晶質系半導体層部と、第1非晶質系半導体層部の一部と第2非晶質系半導体層部との間に配された導電層と、を備えることを特徴とする。

発明の効果

[0006] 本発明によれば、光起電力素子の発電特性を向上させることができる。

図面の簡単な説明

[0007] [図1]本発明の第1実施形態において、光起電力素子の断面図である。

[図2]本発明の第1実施形態において、光起電力素子の製造方法の手順を示すフローチャートである。

[図3]本発明の第1実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図4]本発明の第1実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図5]本発明の第1実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図6]本発明の第1実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図7]本発明の第1実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図8]本発明の第1実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図9]本発明の第1実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図10]本発明の第1実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図11]本発明の第2実施形態において、光起電力素子の断面図である。

[図12]本発明の第2実施形態において、光起電力素子の製造方法の手順を示

すフローチャートである。

[図13]本発明の第2実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図14]本発明の第2実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図15]本発明の第2実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図16]本発明の第2実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図17]本発明の第2実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図18]本発明の第2実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図19]本発明の第2実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図20]本発明の第2実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図21]本発明の第2実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図22]本発明の第3実施形態において、光起電力素子の断面図である。

[図23]本発明の第3実施形態において、光起電力素子の製造方法の手順を示すフローチャートである。

[図24]本発明の第3実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図25]本発明の第3実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図26]本発明の第3実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

[図27]本発明の第3実施形態において、光起電力素子の製造方法の手順を説明するための断面図である。

発明を実施するための形態

[0008] 以下に図面を用いて、本発明に係る実施の形態を詳細に説明する。また、以下では、全ての図面において、同様の要素には同一の符号を付し、重複する説明を省略する。また、本文中の説明においては、必要に応じそれ以前に述べた符号を用いるものとする。

[0009] (第1実施形態)

図1は、光起電力素子10の断面図である。光起電力素子10は、反射防止層12と、n型非晶質シリコン層14と、i型非晶質シリコン層16と、n型単結晶シリコン基板18と、i-n積層部21と、i-p積層部31と、透明導電層20と、n側電極部25と、p側電極部35とを備える。ここで、図1に示される矢印Aは、光起電力素子10に対して太陽光等の光が入射される方向を示している。なお、本明細書では、「受光面」とは、太陽光等の光が主に入射される面を意味する。また、「裏面」とは、受光面と反対側の面を意味する。

[0010] n型単結晶シリコン基板18は、受光面側から入射された光を受けてキャリアを生成する発電層である。なお、本実施の形態では、n型単結晶シリコン基板18としたが、これに限定されるものではなく、n型又はp型の導電型の結晶系半導体材料からなるウエハ状の半導体基板とすることができる。単結晶シリコン基板の他にも、例えば、多結晶シリコン基板、砒化ガリウム基板(GaAs)、インジウムリン基板(InP)等を適用することができる。

[0011] i型非晶質シリコン層16は、n型単結晶シリコン基板18の受光面上に形成される。i型非晶質シリコン層16は、水素を含むパッシベーション層である。n型非晶質シリコン層14は、i型非晶質シリコン層16上に形成される。i型非晶質シリコン層16及びn型非晶質シリコン層14は、受光面に形成される非晶質系半導体層部を構成する。i型非晶質シリコン層16

は、真性な非晶質半導体膜からなる層である。i 型非晶質シリコン層 16 は、n 型非晶質シリコン層 14 よりも膜中のドーパント濃度が低くされる。例えば、i 型非晶質シリコン層 16 は、n 型又は p 型のドーパント濃度を低くし、暗導電率を 10^{-9} S/cm 以下とすることが好適である。n 型非晶質シリコン層 14 は、n 型の導電型のドーパントを含む非晶質半導体膜からなる層である。n 型非晶質シリコン層 14 は、i 型非晶質シリコン層 16 よりも膜中の n 型ドーパント濃度が高くされる。例えば、n 型非晶質シリコン層 14 は、暗導電率を 10^{-5} S/cm 以上とすることが好適である。

[0012] なお、本実施の形態において非晶質シリコン層は、微結晶構造を含んでも良い。微結晶構造は、非晶質半導体中に結晶粒が析出している構造である。結晶粒の平均粒径は、これに限定されるものではないが、1 nm 以上 80 nm 以下程度であると推定されている。

[0013] 反射防止層 12 は、n 型非晶質シリコン層 14 上に形成され、光起電力素子 10 の受光面側から入射される光の反射を低減させる。また、反射防止層 12 は、n 型非晶質シリコン層 14 の表面を保護する保護層としても機能する。反射防止層 12 は、n 型単結晶シリコン基板 18 により吸収可能な波長範囲の光に対し、透光性を有する材料で構成される。また、反射防止層 12 によって覆われる層の屈折率との関係で光起電力素子 10 の受光面から入射される光の反射を低減させる屈折率を有する材料及び膜厚とすることが好適である。反射防止層 12 は、例えば、窒化アルミニウム、窒化ケイ素及び酸化ケイ素、酸窒化ケイ素等を含んで構成される。

[0014] 上述の通り、n 型単結晶シリコン基板 18 の受光面上には、厚い金属層等の、n 型単結晶シリコン基板 18 により吸収可能な波長範囲の光に対し遮光性を有する構造が設けられていない。従って、光起電力素子 10 は、n 型単結晶シリコン基板 18 の受光面の略全面で受光することができる。

[0015] i-n 積層部 21 は、n 型単結晶シリコン基板 18 の裏面上に形成される。i-n 積層部 21 は、後述する n 側電極部 25 において、光起電力素子 10 の面内からまんべんなく集電可能なように配置することが好適である。i

—*n*積層部21は、例えば、複数のフィンガー部が平行に延伸する櫛歯形状とすることが好適である。*i*—*n*積層部21は、*i*型非晶質シリコン層22と、*n*型非晶質シリコン層23と、を備える。

[0016] *i*型非晶質シリコン層22は、*n*型単結晶シリコン基板18の裏面上に形成されるパッシベーション層である。*n*型非晶質シリコン層23は、*i*型非晶質シリコン層22上に形成される。*i*—*n*積層部21は、裏面に形成される第1の非晶質系半導体層部を構成する。*i*型非晶質シリコン層22は、真性な非晶質半導体膜からなる層である。*i*型非晶質シリコン層22は、*n*型非晶質シリコン層23よりも膜中のドーパント濃度が低くされる。例えば、*i*型非晶質シリコン層22は、*n*型又は*p*型のドーパント濃度を低くし、暗導電率を 10^{-9} S/cm 以下とすることが好適である。*n*型非晶質シリコン層23は、*n*型の導電型のドーパントを含む非晶質半導体膜からなる層である。*n*型非晶質シリコン層23は、*i*型非晶質シリコン層22よりも膜中の*n*型のドーパント濃度が高くされる。例えば、*n*型非晶質シリコン層23は、暗導電率を 10^{-5} S/cm 以上とすることが好適である。

[0017] 透明導電層20は、*n*型非晶質シリコン層23上に形成される。透明導電層20は、酸化インジウム (In_2O_3)、酸化亜鉛 (ZnO)、酸化錫 (SnO_2) 及び酸化チタン (TiO_2) 等の金属酸化物のうちの少なくとも1つを含んで構成される。ここでは、透明導電層20はインジウム錫酸化物 (ITO) を用いて形成されているものとして説明する。

[0018] *n*側電極部25は、光起電力素子10において発電された電気を集電して取り出すために設けられる電極部である。*n*側電極部25は、透明導電層26と、金属層27と、第1電極部28と、第2電極部29とを備える。

[0019] 透明導電層26は、透明導電層20上に形成される。透明導電層26は、酸化インジウム (In_2O_3)、酸化亜鉛 (ZnO)、酸化錫 (SnO_2) 及び酸化チタン (TiO_2) 等の金属酸化物のうちの少なくとも1つを含んで構成される。ここでは、透明導電層26はインジウム錫酸化物 (ITO) を用いて形成されているものとして説明する。

[0020] 金属層 27 は、透明導電層 26 上に形成される。金属層 27 は、例えば、銅 (Cu) 等の金属や合金を含んで構成されるシード層である。ここで、「シード層」とは、めっき成長の起点となる層のことをいう。第 1 電極部 28 は、めっき成長によって金属層 27 上に形成される電極である。第 1 電極部 28 は、例えば、銅 (Cu) を含んで構成される。第 2 電極部 29 は、めっき成長によって第 1 電極部 28 上に形成される電極である。第 2 電極部 29 は、例えば、錫 (Sn) を含んで構成される。

[0021] i-p 積層部 31 は、n 型単結晶シリコン基板 18 の裏面上に i-n 積層部 21 と間挿し合うように形成される。i-p 積層部 31 は、n 型単結晶シリコン基板 18 の裏面上から i-n 積層部 21 の縁部上に跨って形成される。即ち、光起電力素子 10 においては、i-p 積層部 31 と i-n 積層部 21 との積層構造が一部に存在する。

[0022] i-p 積層部 31 は、光起電力素子 10 の面内からまんべんなく集電可能なように配置することが好適である。i-p 積層部 31 は、例えば、複数のフィンガー部が平行に延伸する櫛歯形状とすることが好適である。i-p 積層部 31 は、i 型非晶質シリコン層 32 と、p 型非晶質シリコン層 33 と、を備える。

[0023] i 型非晶質シリコン層 32 は、n 型単結晶シリコン基板 18 の裏面上に形成されるパッシベーション層である。p 型非晶質シリコン層 33 は、i 型非晶質シリコン層 32 上に形成される。i-p 積層部 31 は、裏面に形成される第 2 の非晶質系半導体層部を構成する。i 型非晶質シリコン層 32 は、真性な非晶質半導体膜からなる層である。i 型非晶質シリコン層 32 は、p 型非晶質シリコン層 33 よりも膜中のドーパント濃度が低くされる。例えば、i 型非晶質シリコン層 32 は、n 型又は p 型のドーパント濃度を低くし、暗導電率を 10^{-9} S/cm 以下とすることが好適である。p 型非晶質シリコン層 33 は、p 型の導電型のドーパントを含む非晶質半導体膜からなる層である。p 型非晶質シリコン層 33 は、i 型非晶質シリコン層 32 よりも膜中の p 型のドーパント濃度が高くされる。例えば、p 型非晶質シリコン層 33 は、

暗導電率を 10^{-8} s/cm 以上とすることが好適である。

[0024] p側電極部35は、光起電力素子10において発電された電気を集電して取り出すために設けられる電極部である。p側電極部35は、透明導電層36と、金属層37と、第1電極部38と、第2電極部39とを備える。透明導電層36は、p型非晶質シリコン層33上に形成される。ここで、透明導電層36の材料等は、透明導電層26と同じであるため、詳細な説明は省略する。金属層37は、透明導電層36上に形成される。ここで、金属層37の材料等は、金属層27と同じであるため、詳細な説明は省略する。第1電極部38は、めっき成長によって金属層37上に形成される。ここで、第1電極部38の材料等は、第1電極部28と同じであるため、詳細な説明は省略する。第2電極部39は、めっき成長によって第1電極部38上に形成される。ここで、第2電極部39の材料等は、第2電極部29と同じであるため、詳細な説明は省略する。

[0025] 次に、光起電力素子10の製造方法の一例を説明する。図2は、光起電力素子10の製造方法の手順を示すフローチャートである。なお、光起電力素子10の製造方法は、各工程において示す製造方法に限定されない。各工程において、各層の形成は、例えば、スパッタリング法、プラズマCVD法、スクリーン印刷法或いはめっき法等を適宜用いることができる。

[0026] まず、n型単結晶シリコン基板18を用意して、n型単結晶シリコン基板18の受光面及び裏面の洗浄を行う(S2)。ここで、n型単結晶シリコン基板18の洗浄は、例えば、HF水溶液等を用いて行うことができる。

[0027] 次に、n型単結晶シリコン基板18の受光面上にテクスチャ構造を形成する(S4)。テクスチャ構造は、異方性エッチングまたは等方性エッチングを用いて行うことができる。そして、図3に示されるように、n型単結晶シリコン基板18の裏面上に、i型非晶質シリコン層22aとn型非晶質シリコン層23aを形成して、その後に、n型単結晶シリコン基板18の受光面上に、i型非晶質シリコン層16とn型非晶質シリコン層14を形成する(S6)。

- [0028] 続いて、図4に示されるように、n型非晶質シリコン層23a上に透明導電層20aを形成する(S8)。
- [0029] その後、n型非晶質シリコン層14上に反射防止層12を形成する(S10)。
- [0030] 次に、図5に示されるように、透明導電層20aの一部をエッチングする(S12)。具体的には、透明導電層20aのうち、後工程でn型単結晶シリコン基板18にi-p積層部31を接合させる領域の上に位置する部分を除去して透明導電層20を形成する。ここで、透明導電層20aのエッチングは、例えば、塩酸(HCl)等の酸性のエッチング液を用いる。
- [0031] そして、図6に示されるように、S12においてパターンニングされた透明導電層20をマスクとして用い、i型非晶質シリコン層22aとn型非晶質シリコン層23aをエッチングする(S14)。具体的には、i型非晶質シリコン層22aとn型非晶質シリコン層23aのうち、透明導電層20によって覆われている部分以外の部分を除去する。これにより、n型単結晶シリコン基板18の裏面のうち、上方に透明導電層20が位置していない部分を露出させて、i型非晶質シリコン層22とn型非晶質シリコン層23を形成する。ここで、i型非晶質シリコン層22aとn型非晶質シリコン層23aのエッチングは、例えば、水酸化ナトリウム(NaOH)を含む水溶液等のアルカリ性エッチング液を用いる。
- [0032] 続いて、図7に示されるように、透明導電層20、i型非晶質シリコン層22、n型非晶質シリコン層23及び露出されたn型単結晶シリコン基板18の裏面を覆うように、i型非晶質シリコン層32aとp型非晶質シリコン層33aを形成する(S16)。
- [0033] その後、図8に示されるように、i型非晶質シリコン層32a及びp型非晶質シリコン層33aのうち、透明導電層20の上に位置している部分の一部をエッチングする(S18)。これにより、i型非晶質シリコン層32及びp型非晶質シリコン層33を形成する。
- [0034] 次に、透明導電層26a、金属層27aを形成する(S20)。

- [0035] 続いて、図9に示されるように、透明導電層26a及び金属層27aのうち、透明導電層20の上に位置する一部分を分断することにより、透明導電層26、36及び金属層27、37を形成する(S22)。ここで、透明導電層26a及び金属層27aは、例えば、リソグラフィー法等によって分断する。
- [0036] その後、図10に示されるように、電解めっきにより、金属層27の上に第1電極部28と第2電極部29を順次形成し、金属層37の上に第1電極部38と第2電極部39を順次形成する(S24)。これにより、n側電極部25とp側電極部35とが形成がされる。
- [0037] 一般的に、光起電力素子10において、i型非晶質シリコン層22、n型非晶質シリコン層23内では、キャリアの移動度が低い。一方、透明導電層20内では、キャリアの移動度がi型非晶質シリコン層22、n型非晶質シリコン層23内に比べて高い。これにより、透明導電層20内において、i型非晶質シリコン層22、n型非晶質シリコン層23でのキャリアの移動度の低さを補うことでn側電極部25から好適にキャリアを取り出すことができる。なお、透明導電層20を介して、i型非晶質シリコン層22及びn型非晶質シリコン層23と、i型非晶質シリコン層32及びp型非晶質シリコン層33とが電氣的に接続されることとなるが、一般的に、i型非晶質シリコン層32、p型非晶質シリコン層33においてもキャリアの移動度が低いことから、キャリアの移動度が高いn側電極部25からキャリアを好適に取り出すことができるため、上記のように電氣的に接続されていることは特に大きな問題とならない。
- [0038] また、光起電力素子10において、裏面側には、i-n積層部21上に絶縁層が形成されない。このため、絶縁層をエッチングする工程も存在せず、絶縁層の残渣が透明導電層20、i型非晶質シリコン層22又はn型非晶質シリコン層23に付着することがない。これにより、絶縁層の残渣が存在することによって光起電力素子10のi-n積層部21とn側電極部25との間のシリーズ抵抗が増大してしまうことを防止することができる。したがっ

て、光起電力素子 10 の発電特性を向上させることができる。

[0039] (第 2 実施形態)

図 11 は、本発明の第 2 実施形態である光起電力素子 11 の断面図である。光起電力素子 11 は、反射防止層 12 と、n 型非晶質シリコン層 14 と、i 型非晶質シリコン層 16 と、n 型単結晶シリコン基板 18 と、i-n 積層部 21 と、i-p 積層部 31 と、透明導電層 20 と、絶縁層 24 と、n 側電極部 25 と、p 側電極部 35 とを含む。ここで、光起電力素子 11 と、上記第 1 実施形態である光起電力素子 10 の相違点は、絶縁層 24 のみであるため、その相違点を中心に説明する。ここで、図 11 に示される矢印 A は、光起電力素子 11 に対して太陽光等の光が入射される方向を示している。

[0040] 絶縁層 24 は、i-n 積層部 21 と i-p 積層部 31 とを電氣的に絶縁するために形成される。また、絶縁層 24 は、透明導電層 20 上に形成される保護層としても機能する。絶縁層 24 は、電氣的な絶縁性を有する材料であればよく、例えば、窒化アルミニウム、窒化ケイ素、酸化ケイ素及び酸窒化ケイ素等を含んで構成することが好適である。

[0041] 次に、光起電力素子 11 の製造方法の一例を説明する。図 12 は、光起電力素子 11 の製造方法の手順を示すフローチャートである。なお、光起電力素子 11 の製造方法は、各工程において示す製造方法に限定されない。各工程において、例えば、スパッタリング法、プラズマ CVD 法、スクリーン印刷法或いはめっき法等を適宜用いることができる。

[0042] 光起電力素子 11 の製造方法と光起電力素子 10 の製造方法は、S2～S8 の各工程において同じである。そして、光起電力素子 11 の製造方法と光起電力素子 10 の製造方法の相違は、S8 以降の工程であるため、その相違点を中心に説明する。

[0043] まず、S2～S8 の工程を行う。S8 の後は、図 13 に示されるように、透明導電層 20a 上に絶縁層 24a を形成するとともに、n 型非晶質シリコン層 14 上に反射防止層 12 を形成する (S30)。

[0044] 次に、図 14 に示されるように、絶縁層 24a をエッチングすることによ

り、絶縁層 24 a の一部分を除去する (S 3 2)。具体的には、絶縁層 24 a のうち、後工程で n 型単結晶シリコン基板 18 に i - p 積層部 31 を接合させるための領域の上に位置する部分を除去して絶縁層 24 b を形成する。ここで、絶縁層 24 a のエッチングには、例えば、HF 水溶液等の酸性のエッチング液を用いる。

[0045] そして、図 15 に示されるように、S 3 2 においてパターンニングされた絶縁層 24 b をマスクとして用い、透明導電層 20 a をエッチングする (S 3 4)。これにより、パターンニングされた透明導電層 20 が形成される。

[0046] 以下、透明導電層 20 上に絶縁層 24 b があることを除けば、第 1 実施形態の S 1 4, S 1 6, S 1 8 と同様の工程を行う。具体的には、図 16 に示されるように、S 1 4 と同様に、S 3 4 においてパターンニングされた透明導電層 20 をマスクとして用い、i 型非晶質シリコン層 22 a と n 型非晶質シリコン層 23 a をエッチングする (S 3 6)。続いて、図 17 に示されるように、S 1 6 と同様に、絶縁層 24 b、透明導電層 20、i 型非晶質シリコン層 22、n 型非晶質シリコン層 23 及び露出された n 型単結晶シリコン基板 18 の裏面を覆うように、i 型非晶質シリコン層 32 a と p 型非晶質シリコン層 33 a を形成する (S 3 8)。その後、図 18 に示されるように、S 1 8 と同様に、i 型非晶質シリコン層 32 a 及び p 型非晶質シリコン層 33 a のうち、絶縁層 24 b の上に位置している部分の一部分をエッチングする (S 4 0)。

[0047] 次に、図 19 に示されるように、絶縁層 24 b をエッチングすることにより、絶縁層 24 b の一部分をさらに除去する (S 4 2)。具体的には、i 型非晶質シリコン層 32 及び p 型非晶質シリコン層 33 をマスクとして用い、絶縁層 24 b の露出部分をエッチングにより除去することで絶縁層 24 を形成する。

[0048] その後、露出した透明導電層 20 の表面の洗浄を行う (S 4 4)。これにより、S 4 2 において、仮に絶縁層 24 a の残渣が透明導電層 20 に付着している場合であっても好適に取り除くことができる。ここで、露出した透明

導電層 20 の表面の洗浄は、例えば、HF 水溶液等を用いて行うことができる。

[0049] そして、透明導電層 26 a、金属層 27 a を形成する (S 46)。続いて、図 20 に示されるように、S 22 と同様に、透明導電層 26 a 及び金属層 27 a のうち、絶縁層 24 の上に位置する一部分を分断することにより、透明導電層 26、36 及び金属層 27、37 を形成する (S 48)。その後、図 21 に示されるように、S 24 と同様に、電解めっきにより、金属層 27 の上に第 1 電極部 28 と第 2 電極部 29 を順次形成し、金属層 37 の上に第 1 電極部 38 と第 2 電極部 39 を形成する (S 50)。これにより、n 側電極部 25 と p 側電極部 35 とが形成がされる。

[0050] 一般的に、光起電力素子 11 において、i 型非晶質シリコン層 22、n 型非晶質シリコン層 23 内では、キャリアの移動度が低い。一方、透明導電層 20 内では、キャリアの移動度が i 型非晶質シリコン層 22、n 型非晶質シリコン層 23 内に比べて高い。これにより、透明導電層 20 内において、i 型非晶質シリコン層 22、n 型非晶質シリコン層 23 でのキャリアの移動度の低さを補うことで n 側電極部 25 から好適にキャリアを取り出すことができる。なお、透明導電層 20 を介して、i 型非晶質シリコン層 22 及び n 型非晶質シリコン層 23 と、i 型非晶質シリコン層 32 及び p 型非晶質シリコン層 33 とが電氣的に接続されることとなるが、一般的に、i 型非晶質シリコン層 32、p 型非晶質シリコン層 33 においてもキャリアの移動度が低いことから、キャリアの移動度が高い n 側電極部 25 からキャリアを好適に取り出すことができるため、上記のように電氣的に接続されていることは特に問題とならない。

[0051] また、光起電力素子 11 の裏面側において、透明導電層 20 上に絶縁層 24 が形成されている。すなわち、n 型非晶質シリコン層 23 と絶縁層 24 との間には、透明導電層 20 が介在している。ここで、一般的に、透明導電層 20 は、i 型非晶質シリコン層 22 及び n 型非晶質シリコン層 23 に比べて耐 HF 性が高い。このため、絶縁層 24 をエッチングすることで、仮に絶縁

層 24 の残渣が透明導電層 20 上に残った場合であっても、S 44 の工程によって当該残渣は除去される。また、HF 水溶液を用いて透明導電層 20 を洗浄した場合であっても HF 水溶液による透明導電層 20 の損傷は極めて小さい。このように、透明導電層 20 の洗浄の際に、絶縁層 24 の残渣を除去できる洗浄液を適宜選択することで残渣を無くすることができる。これにより、絶縁層 24 の残渣が存在することによって光起電力素子 11 の i-n 積層部 21 と n 側電極部 25 との間のシリーズ抵抗が増大してしまうことを防止することができる。したがって、光起電力素子 11 の発電特性を向上させることができる。

[0052] さらに、光起電力素子 11 の裏面側において、透明導電層 20 上に絶縁層 24 が形成されているため、i-n 積層部 21 と i-p 積層部 31 との間における絶縁性能を向上させることができる。

[0053] (第 3 実施形態)

図 22 は、本発明の第 3 実施形態である光起電力素子 11a の断面図である。光起電力素子 11a は、反射防止層 12 と、n 型非晶質シリコン層 14 と、i 型非晶質シリコン層 16 と、n 型単結晶シリコン基板 18 と、i-n 積層部 21 と、i-p 積層部 31 と、透明導電層 20 と、絶縁層 40 と、n 側電極部 25 と、p 側電極部 35 とを含む。ここで、光起電力素子 11a と、上記第 2 実施形態である光起電力素子 11 の相違点は、絶縁層 40 のみであるため、その相違点を中心に説明する。ここで、図 22 に示される矢印 A は、光起電力素子 11a に対して太陽光等の光が入射される方向を示している。

[0054] 絶縁層 40 は、i-n 積層部 21 と i-p 積層部 31 とを電氣的に絶縁するために形成される。また、絶縁層 40 は、透明導電層 20 上に形成される保護層としても機能する。そして、絶縁層 40 は、図 22 に示されるように、透明導電層 20 の裏面及び側面が露出することがないように、透明導電層 20 の裏面及び側面を覆うように形成されている。「側面」とは、透明導電層 20 の厚み方向に沿った面を意味する。また、絶縁層 40 は、電氣的な絶

縁性を有する材料であればよいが、例えば、窒化アルミニウム、窒化ケイ素、酸化ケイ素及び酸窒化ケイ素等を含んで構成することが好適である。

[0055] 次に、光起電力素子 11a の製造方法の一例を説明する。図 23 は、光起電力素子 11a の製造方法の手順を示すフローチャートである。なお、光起電力素子 11a の製造方法は、各工程において示す製造方法に限定されない。各工程において、各層の形成は、例えば、スパッタリング法、プラズマ CVD 法、スクリーン印刷法或いはめっき法等を適宜用いることができる。

[0056] 光起電力素子 11a の製造方法と光起電力素子 11 の製造方法は、S2～S8 の各工程において同じである。そして、光起電力素子 11a の製造方法と光起電力素子 11 の製造方法の相違は、S8 以降の工程であるため、その相違点を中心に説明する。

[0057] まず、S2～S8 の工程を行う。S8 の後は、パターンニング用のマスクを用い、図 24 に示されるように、透明導電層 20a をエッチングする (S30a)。

[0058] そして、図 25 に示されるように、透明導電層 20 上に絶縁層 40a を形成するとともに、n 型非晶質シリコン層 14 上に反射防止層 12 を形成する (S32a)。次に、絶縁層 40a によって透明導電層 20 の側面が覆われた部分が残るように予め設計されたパターンニング用のマスクを用い、エッチングすることにより、図 26 に示されるように、絶縁層 40a の一部分を除去する (S34a)。具体的には、絶縁層 40a のうち、後工程で n 型単結晶シリコン基板 18 に i-p 積層部 31 を接合させる領域の上に位置する部分を除去して絶縁層 40b を形成する。また、S34a の工程において用いられるマスクは、透明導電層 20 の幅よりも絶縁層 40b の幅が大きくなるように予め設計されているため、図 26 に示されるように、絶縁層 40b が透明導電層 20 の裏面及び側面が露出することがないように、透明導電層 20 の裏面及び側面を覆っている。ここで、絶縁層 40a のエッチングには、例えば、HF 水溶液等の酸性のエッチング液を用いる。

[0059] そして、S34a においてパターンニングされた絶縁層 40b をマスクと

して用い、*i* 型非晶質シリコン層 22 a と *n* 型非晶質シリコン層 23 a をエッチングする (S 36 a)。具体的には、*i* 型非晶質シリコン層 22 a と *n* 型非晶質シリコン層 23 a のうち、透明導電層 20 及び絶縁層 40 b によって覆われている部分以外の部分を除去する。これにより、*n* 型単結晶シリコン基板 18 の裏面のうち、上方に透明導電層 20 及び絶縁層 40 b が位置していない部分を露出させて、*i* 型非晶質シリコン層 22 と *n* 型非晶質シリコン層 23 を形成する。

[0060] 続いて、光起電力素子 11 の製造方法と同様に S 38～S 40 の工程を行う。そして、S 42 と同様に、絶縁層 40 b をエッチングすることにより、絶縁層 40 b の一部分をさらに除去する (S 42 a)。その後、光起電力素子 11 の製造方法と同様に S 44～S 50 の工程を行う。これにより、図 27 に示される光起電力素子 11 a が形成される。

[0061] ここで、光起電力素子 11 a は、キャリアの移動度の高い透明導電層 20 を有する限りにおいて、光起電力素子 10, 11 と同様に *n* 側電極部 25 から好適にキャリアを取り出すことができる。

[0062] また、光起電力素子 11 a は、耐 HF 性の高い透明導電層 20 を有する限りにおいて、光起電力素子 11 と同様に HF 水溶液を用いて絶縁層 40 の残渣を除去することができる。これにより、光起電力素子 11 a の *i* - *n* 積層部 21 と *n* 側電極部 25 との間のシリーズ抵抗が増大してしまうことを防止することができる。

[0063] さらに、光起電力素子 11 a では、透明導電層 20 の裏面だけでなく側面も絶縁層 40 によって覆われているため、*i* - *n* 積層部 21 と *i* - *p* 積層部 31 との間における絶縁性能をさらに向上させることができる。

[0064] なお、上記第 1～3 実施形態において、*i* - *n* 積層部 21 上の一部に *i* - *p* 積層部 31 が積層されているが、これに限らない。*i* - *p* 積層部 31 を先に形成し、その後 *i* - *n* 積層部 21 を形成することにより、*i* - *p* 積層部 31 上の一部に *i* - *n* 積層部 21 が積層されていても良い。

[0065] また、*i* - *n* 積層部 21 と *i* - *p* 積層部 31 を有するものとして説明した

が、 $i-n$ 積層部21を n 型非晶質層のみで構成してもよく、 $i-p$ 積層部31を p 型非晶質層のみで構成してもよい。

[0066] また、透明導電層20を有するものとして説明したが、透明導電層20の代わりに、導電性が高く、耐HF性の高い金属層、例えば、銅(Cu)、銀(Ag)等を用いてもよい。

符号の説明

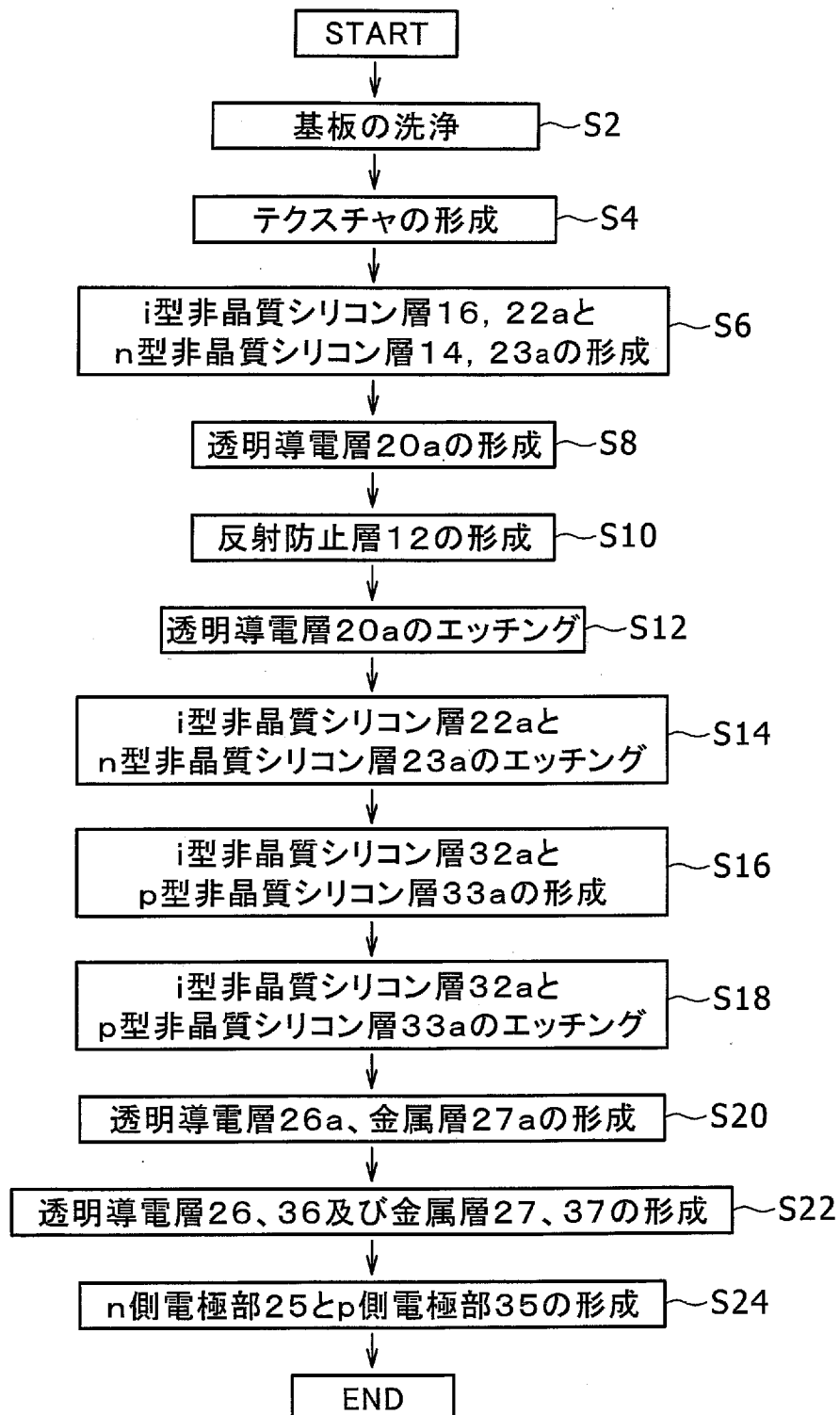
[0067] 10, 11, 11a 光起電力素子、12 反射防止層、14 n 型非晶質シリコン層、16 i 型非晶質シリコン層、18 n 型単結晶シリコン基板、20, 20a 透明導電層、21 $i-n$ 積層部、22, 22a i 型非晶質シリコン層、23, 23a n 型非晶質シリコン層、24, 24a, 24b 絶縁層、25 n 側電極部、26, 26a, 36 透明導電層、27, 27a, 37 金属層、28, 38 第1電極部、29, 39 第2電極部、31 $i-p$ 積層部、32, 32a i 型非晶質シリコン層、33, 33a p 型非晶質シリコン層、35 p 側電極部、40a, 40b 絶縁層。

請求の範囲

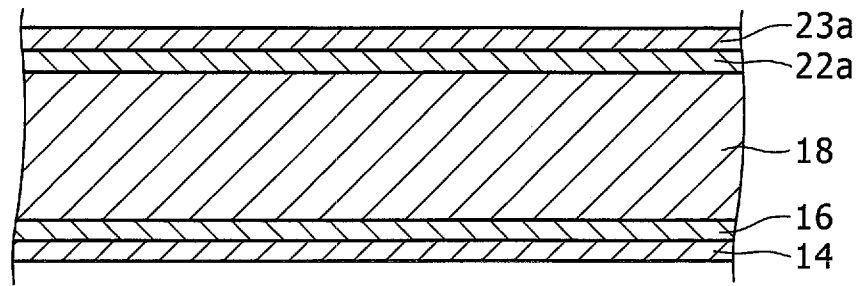
- [請求項1] 結晶系半導体基板と、
- 第1導電型の層を含み、前記結晶系半導体基板の一方の表面の第1領域において前記表面上に積層された第1非晶質系半導体層部と、
- 第2導電型の層を含み、前記一方の表面の第2領域上及び前記第1非晶質系半導体層部の一部上に跨って積層された第2非晶質系半導体層部と、
- 前記第1非晶質系半導体層部の一部と前記第2非晶質系半導体層部との間に配された導電層と、
- を備える、光起電力素子。
- [請求項2] 請求項1に記載の光起電力素子において、
- 前記導電層と前記第2非晶質系半導体層部との間に配された絶縁層をさらに備える。
- [請求項3] 請求項2に記載の光起電力素子において、
- 前記絶縁層は、前記導電層の前記第2領域側の側面を覆うように設けられる。
- [請求項4] 請求項1から請求項3のいずれか1項に記載の光起電力素子において、
- 前記導電層は、酸化インジウム、酸化亜鉛、酸化錫及び酸化チタンのいずれか1つを含む。
- [請求項5] 請求項2から請求項4のいずれか1項に記載の光起電力素子において、
- 前記絶縁層は、窒化アルミニウム、窒化ケイ素、酸化ケイ素及び酸窒化ケイ素のいずれか1つを含む。
- [請求項6] 請求項1から請求項5のいずれか1項に記載の光起電力素子において、
- 第1非晶質系半導体層部の表面上に、前記導電層に電氣的に接続された電極を有する。

- [請求項7] 請求項 1 から請求項 6 のいずれか 1 項に記載の光起電力素子において、
前記結晶系半導体基板は、前記第 1 導電型を有する。
- [請求項8] 請求項 1 から請求項 7 のいずれか 1 項に記載の光起電力素子において、
前記結晶系半導体基板の他方の表面上に積層された、非晶質系半導体層部を備える。
- [請求項9] 請求項 1 から請求項 8 のいずれか 1 項に記載の光起電力素子において、
前記非晶質系半導体層部は、前記結晶系半導体基板と同導電型の層を含む。
- [請求項10] 請求項 1 から 9 のいずれか 1 項に記載の光起電力素子において、
前記非晶質系半導体層部の表面上に積層された、反射防止層を備える。
- [請求項11] 請求項 1 から 10 のいずれか 1 項に記載の光起電力素子において、
前記結晶系半導体基板の他方の主面の全面に、光が入射する。

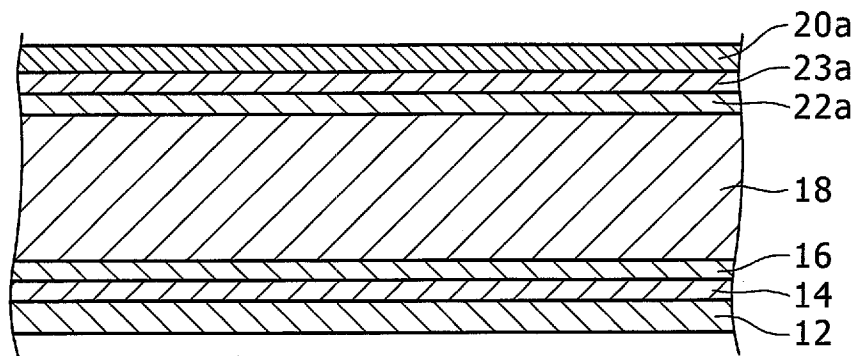
[図2]



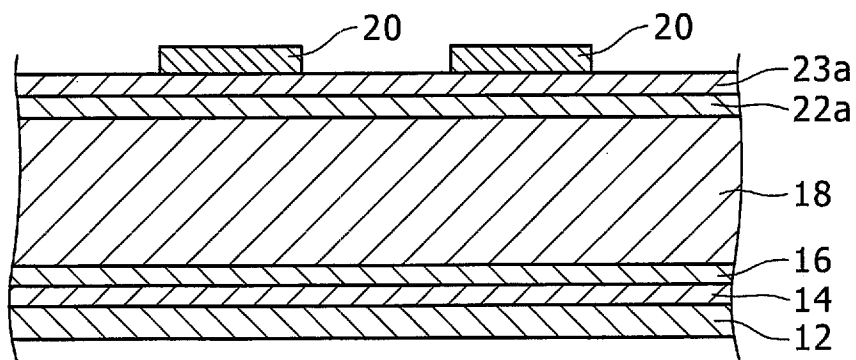
[図3]



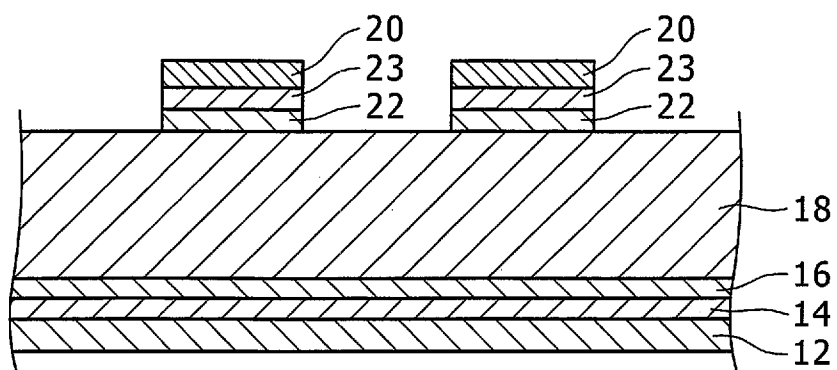
[図4]



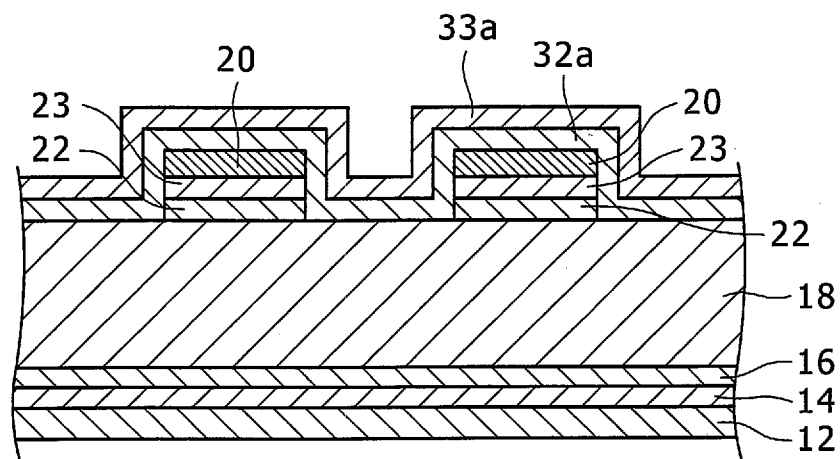
[図5]



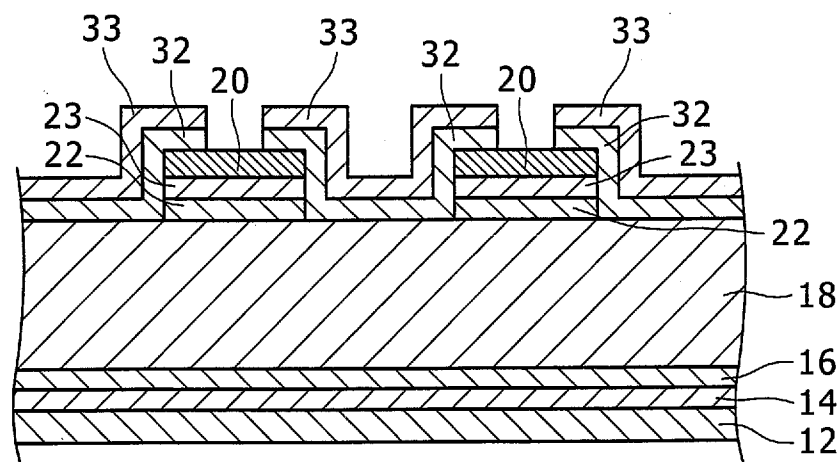
[図6]



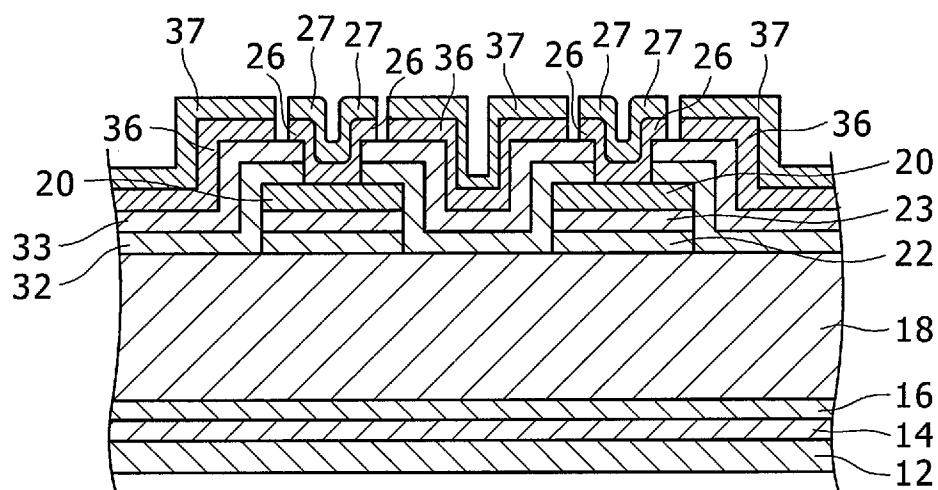
[図7]



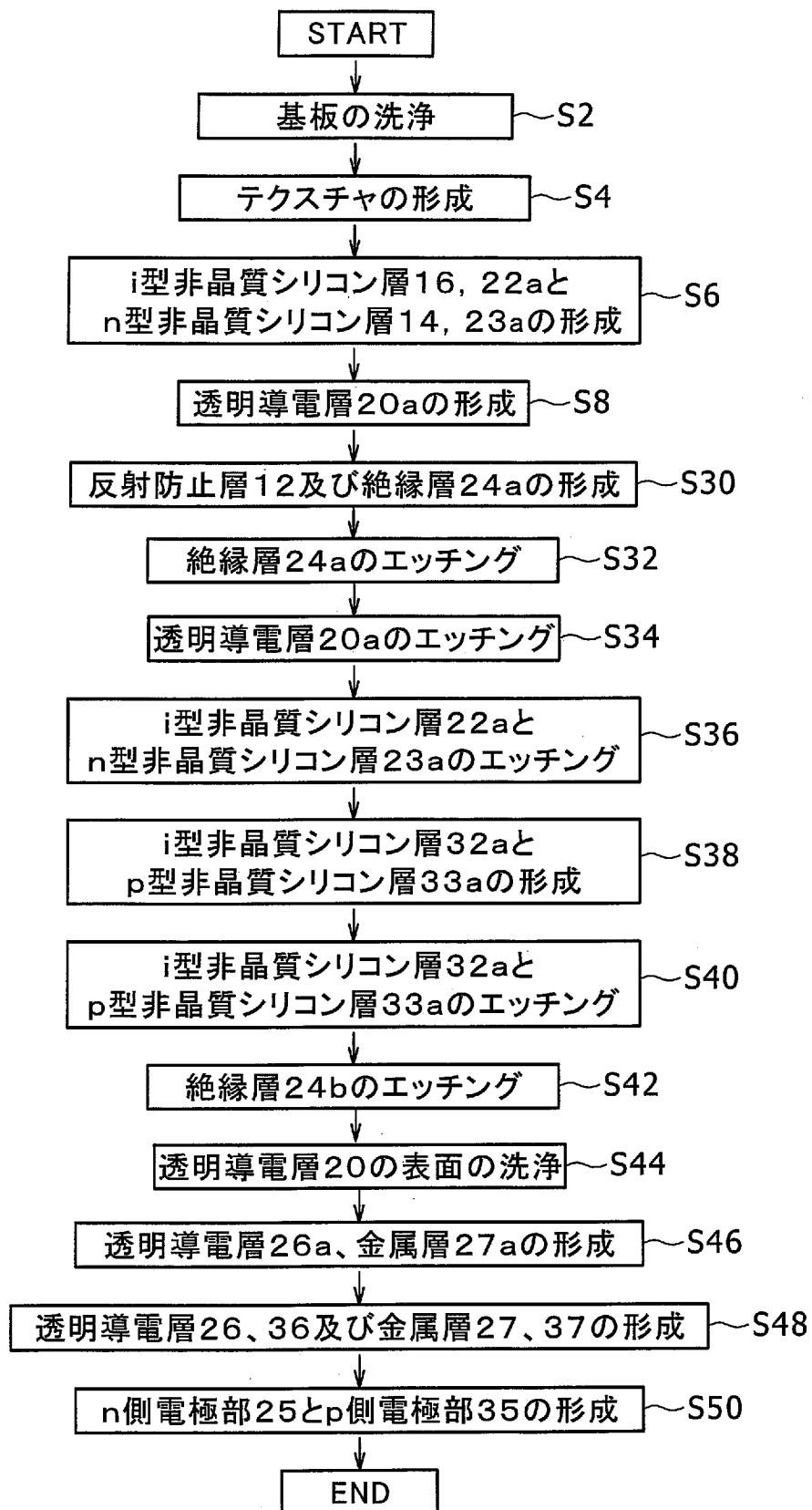
[図8]



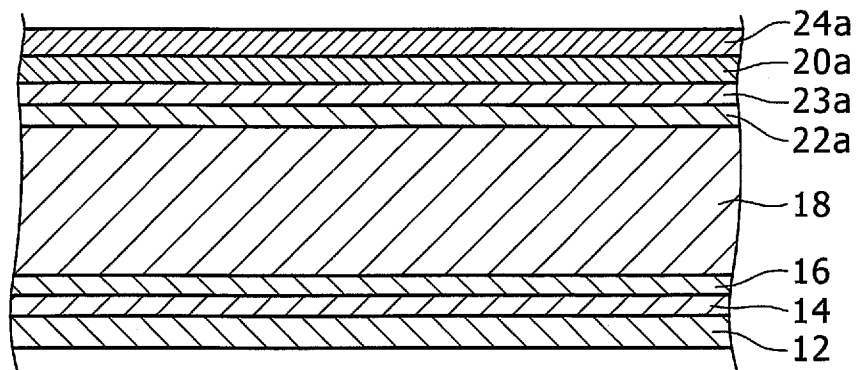
[図9]



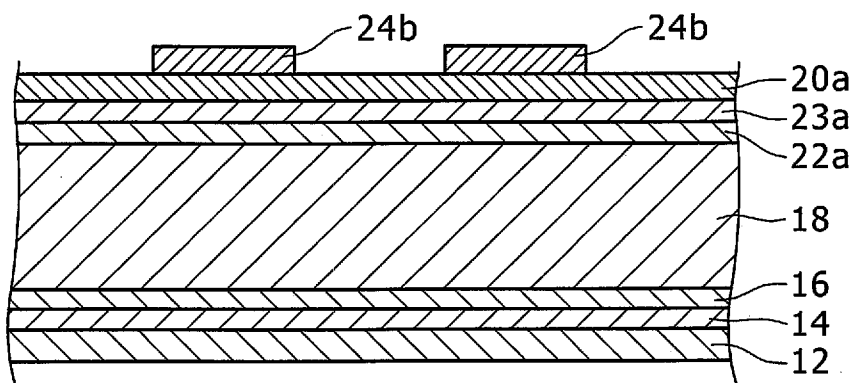
[図12]



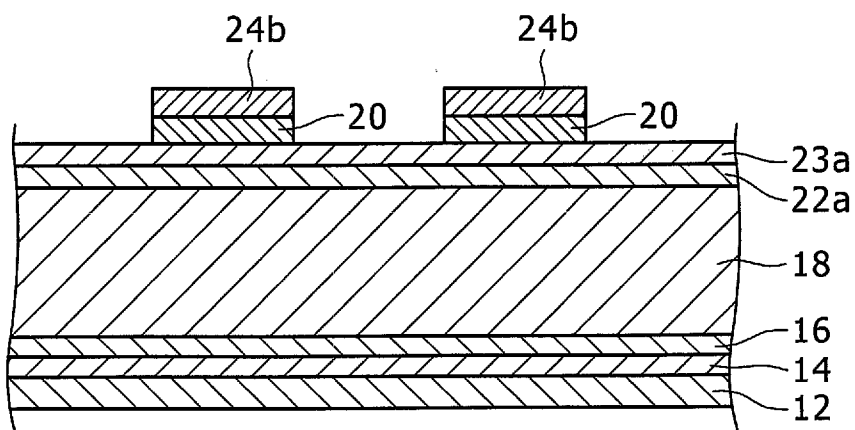
[図13]



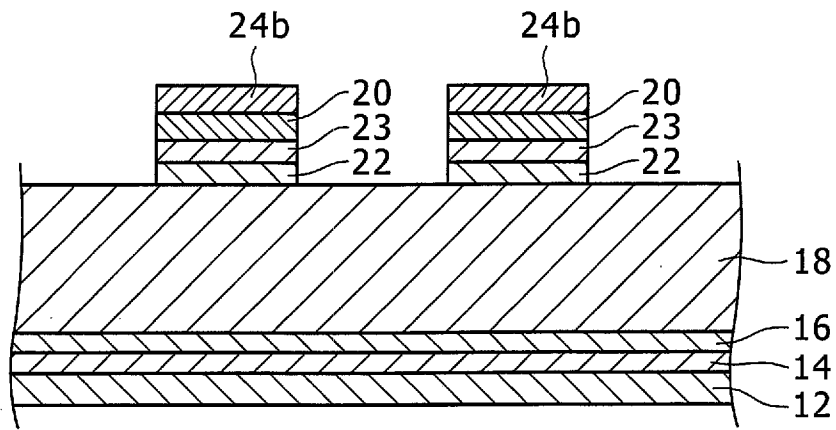
[図14]



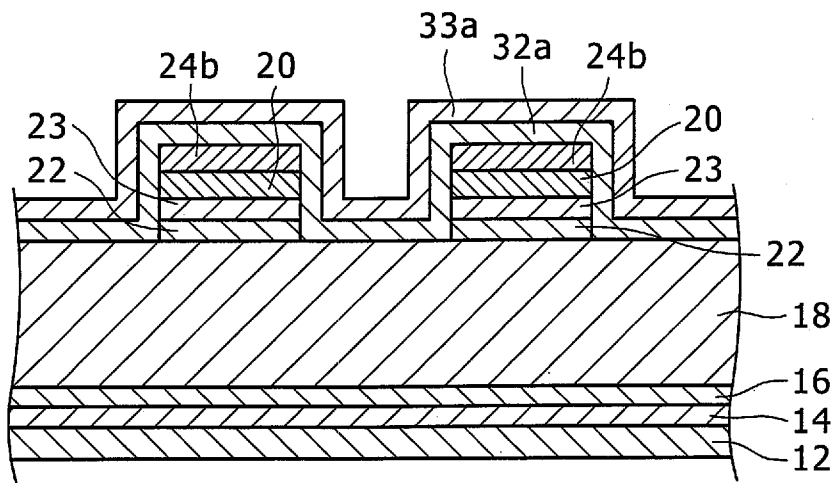
[図15]



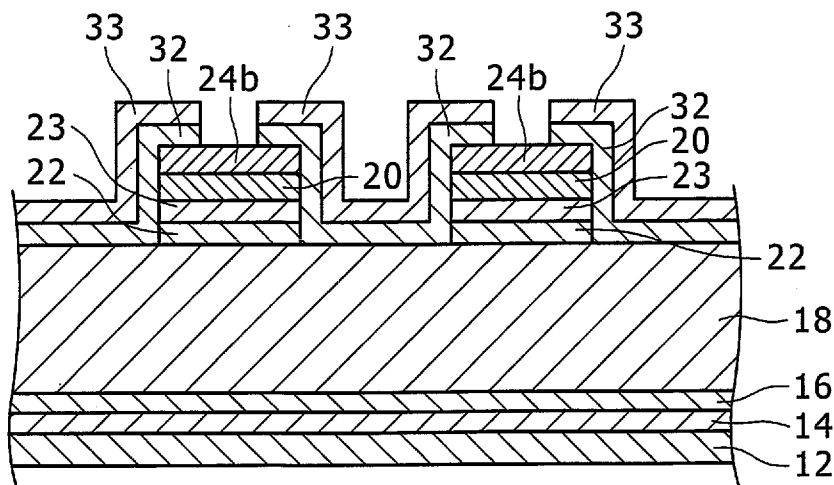
[図16]



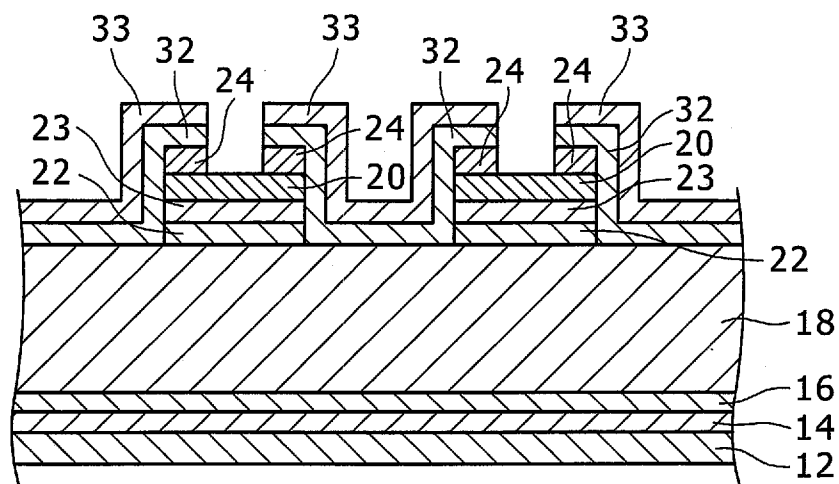
[図17]



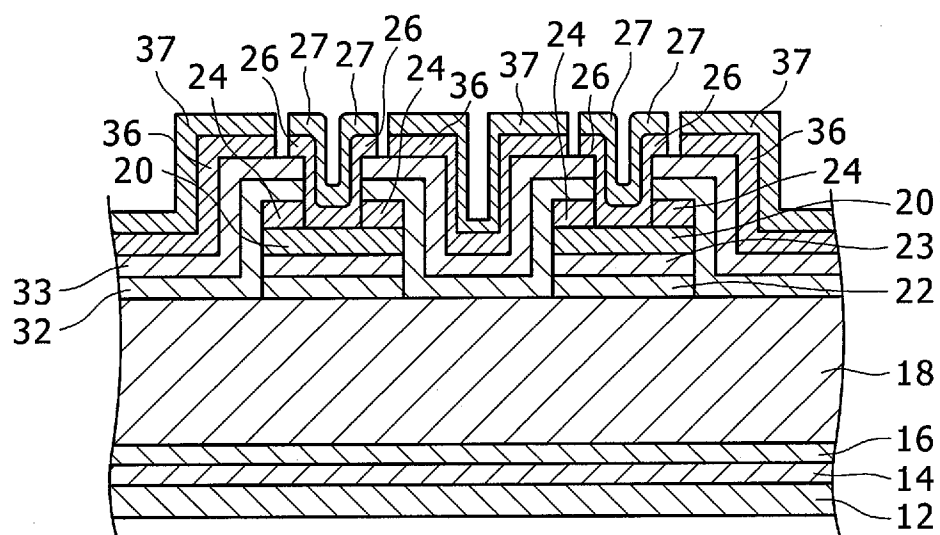
[図18]



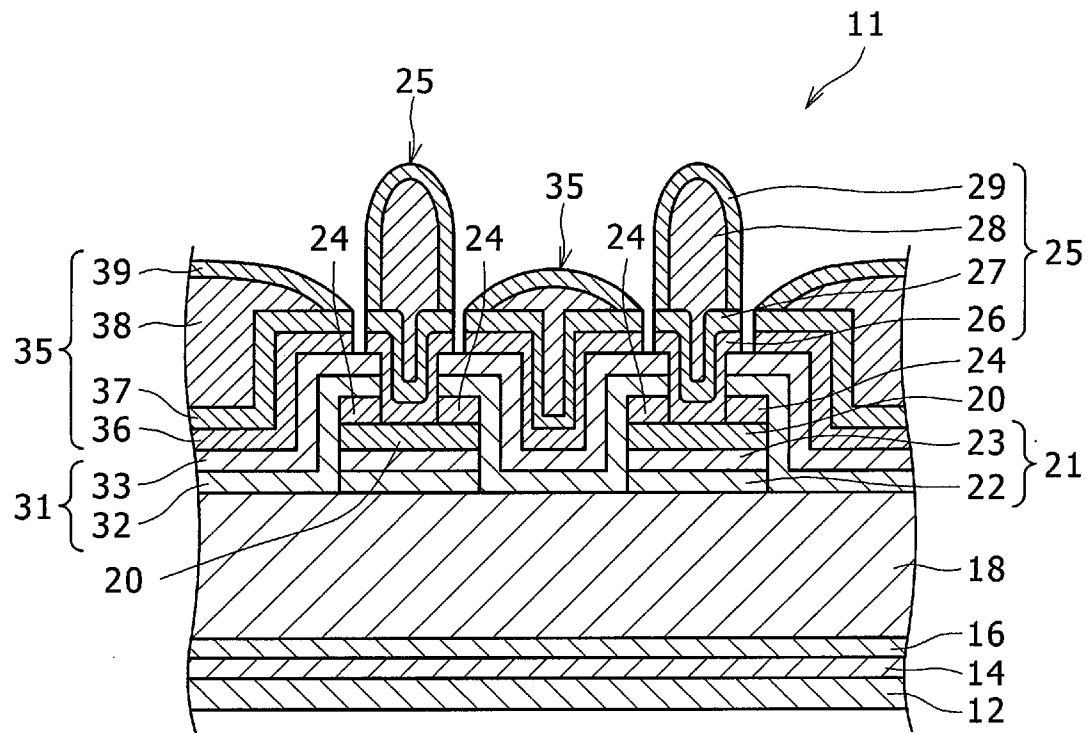
[図19]



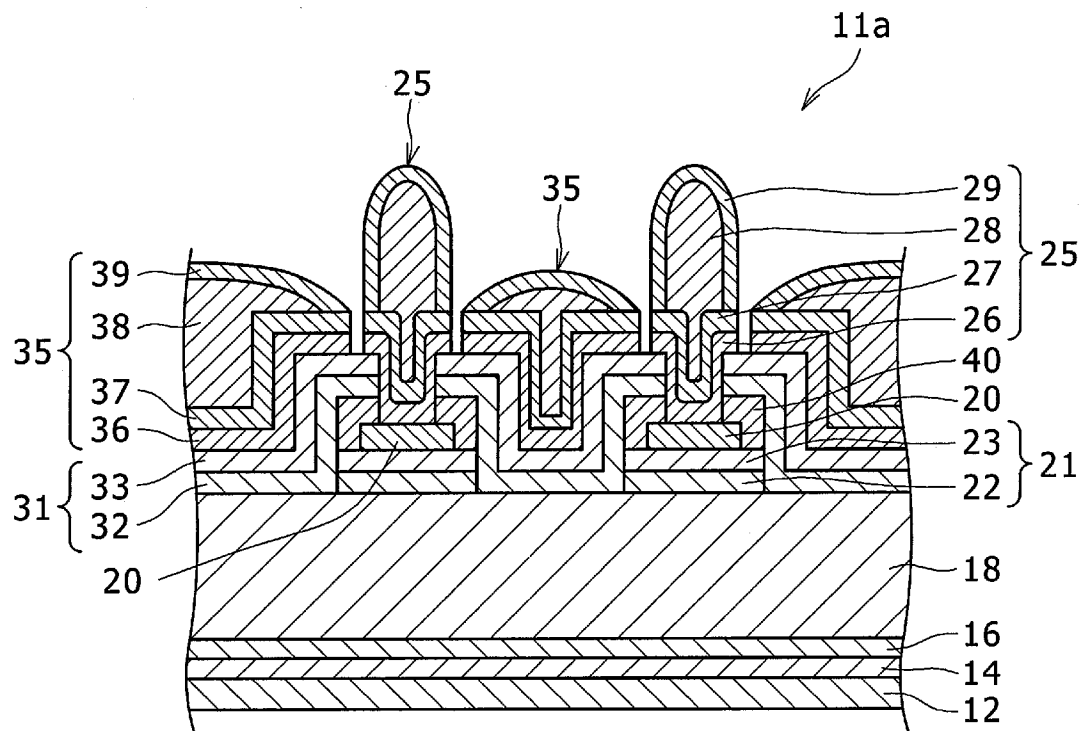
[図20]



[図21]

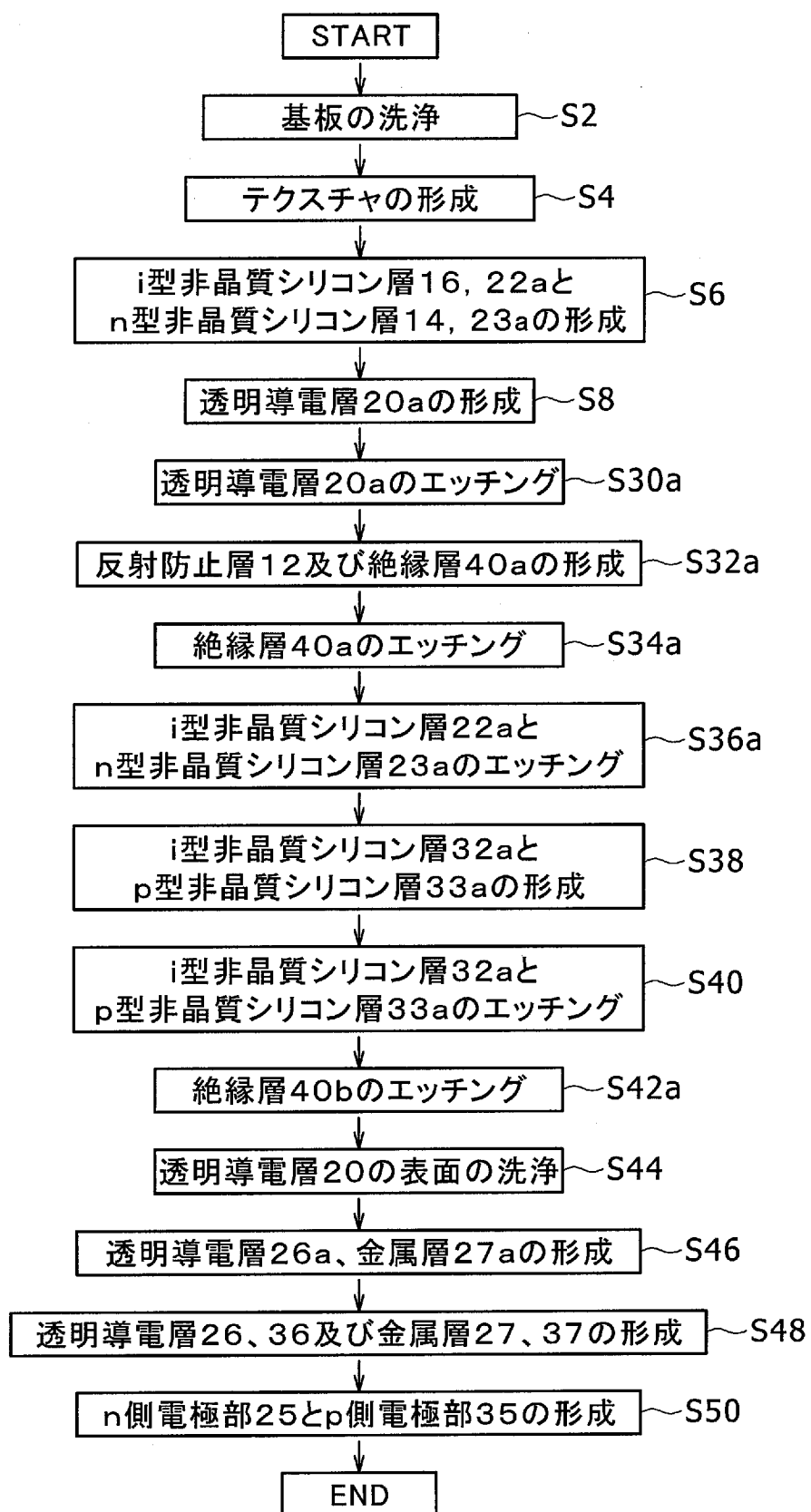


[図22]

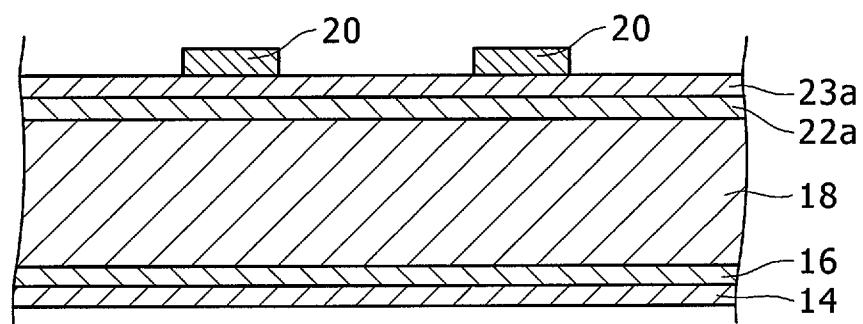


↑
A

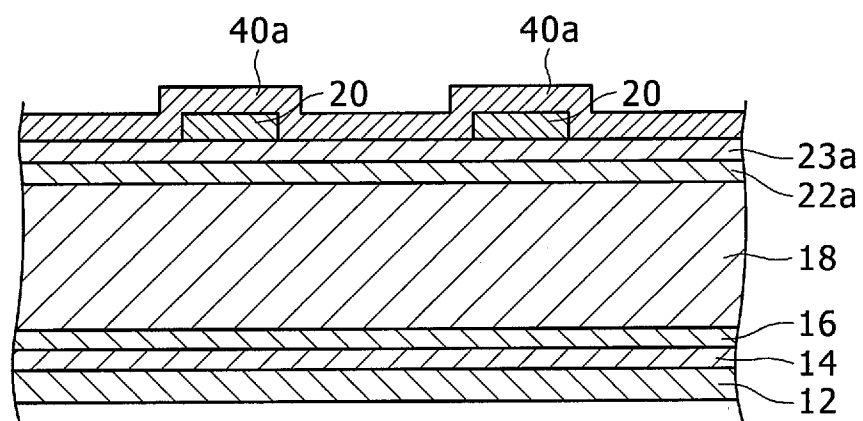
[図23]



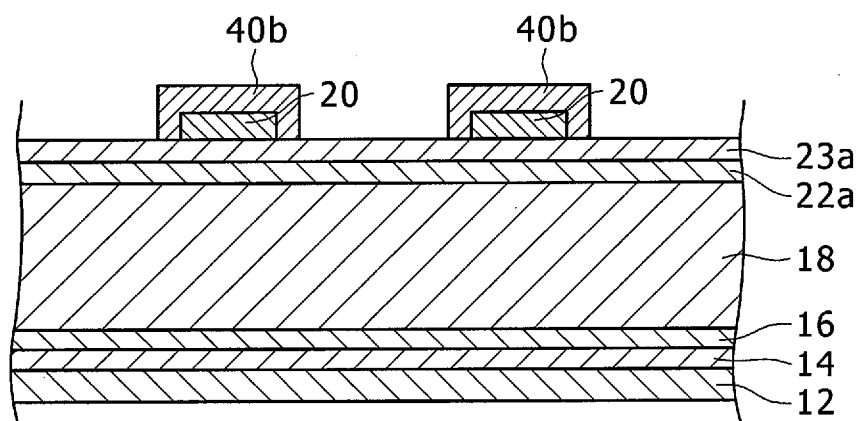
[図24]



[図25]



[図26]



A cross-sectional view of a semiconductor device 11a. The device is built on a substrate 12, which includes layers 14, 16, and 18. A thick layer 20 is formed on top of the substrate. Above layer 20 is a layer 22, followed by a layer 23. A series of rectangular blocks 26 are formed on layer 23. On top of each block 26 is a dome-shaped structure 35. The domes 35 are connected by a layer 27. A layer 28 is formed on top of the domes 35. A layer 29 is formed on top of layer 28. A layer 31 is formed on top of layer 29. A layer 32 is formed on top of layer 31. A layer 33 is formed on top of layer 32. A layer 36 is formed on top of layer 33. A layer 37 is formed on top of layer 36. A layer 38 is formed on top of layer 37. A layer 39 is formed on top of layer 38. The central structure 25 is formed on top of the domes 35. The central structure 25 includes a dome 35 and a layer 27. The central structure 25 is connected to the substrate 12 by a layer 20.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/072452

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/04-31/078

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2009/096539 A1 (Kyocera Corp.), 06 August 2009 (06.08.2009), paragraphs [0001] to [0034]; fig. 1, 2 & US 2011/0000532 A1 & EP 2239788 A1	1, 4, 6-11 2, 3, 5
Y	WO 2010/113750 A1 (Sanyo Electric Co., Ltd.), 07 October 2010 (07.10.2010), paragraphs [0001] to [0009], [0032], [0059] to [0067]; fig. 12, 13 (Family: none)	2, 3, 5
A	JP 2010-258043 A (Sanyo Electric Co., Ltd.), 11 November 2010 (11.11.2010), paragraphs [0025] to [0052]; fig. 2, 3 & US 2010/0263722 A1	8, 9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 December, 2011 (13.12.11)

Date of mailing of the international search report
27 December, 2011 (27.12.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/072452

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-200267 A (Sanyo Electric Co., Ltd.), 03 September 2009 (03.09.2009), entire text; all drawings (Family: none)	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L31/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L31/04 - 31/078

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2009/096539 A1（京セラ株式会社）2009.08.06, [0001] ~ [0034]、[図1]、[図2] & US 2011/0000532 A1 & EP 2239788 A1	1, 4, 6-11 2, 3, 5
Y	WO 2010/113750 A1（三洋電機株式会社）2010.10.07, [0001] ~ [0009]、[0032]、[0059] ~ [0067]、[図12]、[図13]（ファミリーなし）	2, 3, 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 1 2 . 2 0 1 1

国際調査報告の発送日

2 7 . 1 2 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岡田 吉美

2 K

9 3 1 5

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-258043 A (三洋電機株式会社) 2010. 11. 11, 【0025】 ～【0052】、【図2】、【図3】 & US 2010/0263722 A1	8, 9
A	JP 2009-200267 A (三洋電機株式会社) 2009. 09. 03, 全文、全図 (フ ァミリーなし)	1-11