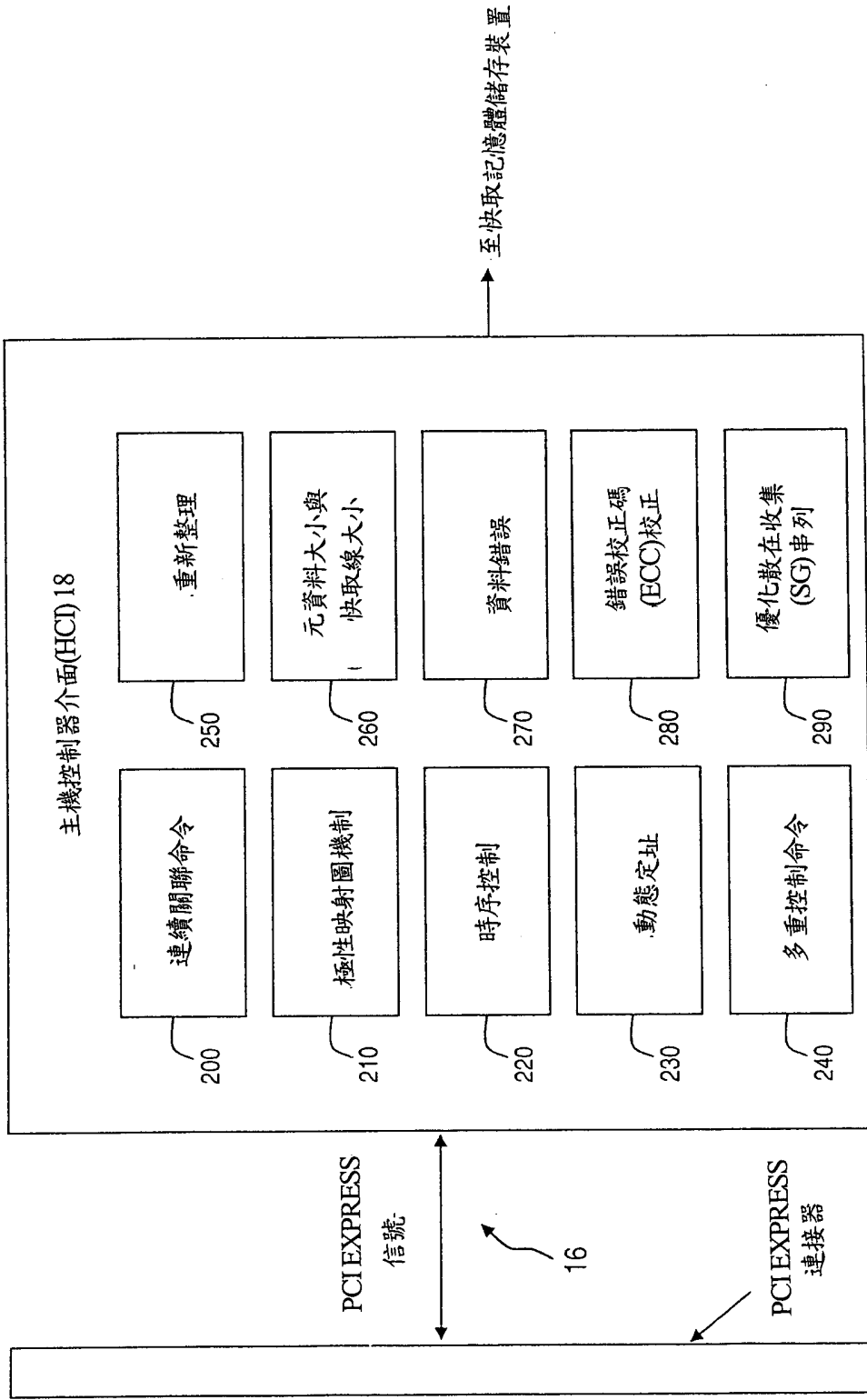


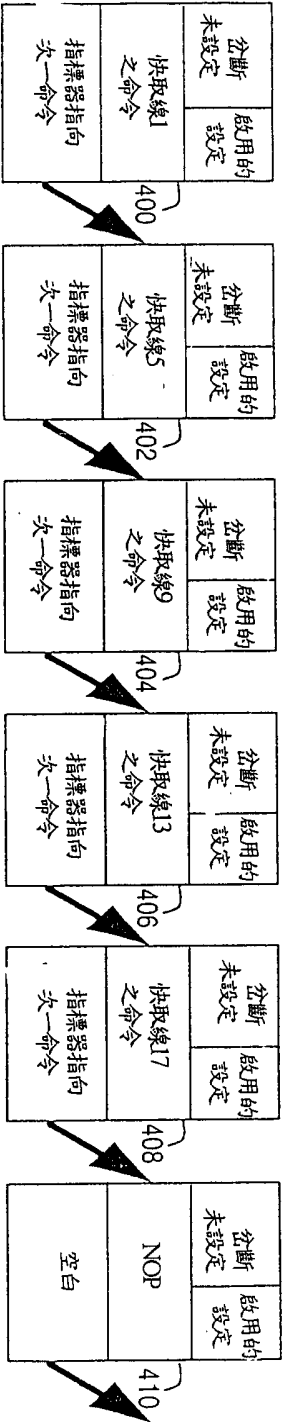
第 1 圖



第 2 圖

快取線1	快取線5	快取線9	快取線13	快取線17
------	------	------	-------	-------

第 3 圖



第 4 圖

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94103648

※ 申請日期：94.8.4

※ IPC 分類：G06F 13/14, 13/38

一、發明名稱：(中文/英文)

電腦運算系統、電腦系統、包括於主機控制器介面中之多個功能的方法、記憶體錯誤報告方法、及包含含有指令的機器可讀取儲存媒體之物品 / Computing Systems, Computer System, Method Including Functions in a Host Control Interface, Method of Memory Error Reporting, and Article Comprising a Machine-Readable Storage Medium Containing Instructions

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司 / Intel Corporation

代表人：(中文/英文)

塞門 大衛 / SIMON, David

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道 2200 號

2200 Mission College Blvd., Santa Clara, CA, U.S.A.

國籍：(中文/英文)

美國 / U.S.A.

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 羅伊 小羅伯特 / ROYER, Jr., Robert

2. 法伯 羅伯特 / FABER, Robert

3. 葛尼 約翰 / GARNEY, John

國籍：(中文/英文)

美國 / U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國;2004, 02, 27; 10/788, 717
- 2.
- 3.

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種供區塊可定址大量儲存系統用之介面。

5 【先前技術】

發明背景

目前有數種介面用於大量儲存裝置來輔助處理器與快
取大量儲存裝置間之資料存取。曾經使用直接記憶體映射
介面與標準區塊可定址介面用於大量記憶體裝置，但皆不
10 適合用於磁碟快取記憶體。需要有一種可改良磁碟快取記
憶體之系統效能之介面。

【發明內容】

發明概要

本發明之一目的在於提供一種系統，其包含：一處理
15 器；一非依電性大量儲存裝置；以及一主機控制介面，用
以耦合該處理器至該非依電性大量儲存裝置，且發出讀/寫
命令來管理極性。

此目的及其他目的係實現於本發明之系統中。極性管
理確保資料儲存在具有與最後使用之一記憶體字組相反極
20 性的非依電性大量儲存裝置中。此系統包括具有明確極性
控制之極性管理，其具有用來針對每一寫入判定資料極性
之一極性指示器。極性管理包括一經復原的極性，使用讀
取操作中最後一種極性供後續寫入操作使用。極性管理包
括自動極性，其中極性映射中之內容決定讀取時的極性，

而極性映射中之極性針對寫入而撥動。

本發明其他目的、特性、與優點將由所附圖式以及之後的詳細說明而彰顯。

圖式簡單說明

- 5 本主題係有關於結論部分特別指出且請求專利之發明。但本發明就組織結構及操作方法連同其目的、特色及優點經由參照前文詳細說明連同附圖一起研讀將更為明瞭，附圖者：

10 第1圖顯示根據本發明，一裝置具有一介面介於處理器與大量儲存裝置間；

 第2圖為略圖，其強調本發明之特色；

 第3圖顯示五快取線磁碟請求；以及

 第4圖顯示第3圖之請求之命令序列。

15 須了解為求簡明，附圖顯示之各個元件並非必然照比例繪製。例如某些元件相對於其它元件可能誇張以求清晰。此外若屬適當，參考編號可於數幅圖間重複來指示對應元件或類似元件。

【實施方式】

較佳實施例之詳細說明

20 後文詳細說明中，陳述多種特定細節以供徹底了解本發明。但熟諳技藝人士須了解可未使用此等特定細節實施本發明。其它情況下眾所周知之方法、程序、元件及電路未描述其細節，以免混淆本發明。

 於後文說明及申請專利範圍，可使用「耦合」及「連

結」連同其衍生之術語。須了解此等術語絕非意圖作為彼此之同義字。反而於特定具體例中，「連結」一詞用來指示二或二以上元件彼此直接實體接觸或電接觸。「耦合」表示二或二以上元件係直接實體接觸或電接觸。但「耦合」也表示二或二以上元件彼此並未直接接觸，但仍然彼此協力操作或互動。

第1圖顯示一裝置10，其包括一收發器14，收發器14可藉一或多天線接收或發射調變後之信號。類比前端收發器可為孤立射頻(RF)積體類比電路，或另外可埋設處理器12作為混合模式積體電路。接收得之調變後信號之頻率被向下轉換、濾波、然後轉換成為基頻數位信號。藉處理器12處理後之數位資料可跨介面16轉移供藉記憶體模組之儲存裝置20、22、...、24及26儲存。須了解儲存裝置20、22、...、24及26可用作為快取記憶體。網路介面卡(NIC)可輔助資料跨介面16之移轉，NIC可結合周邊元件互連(PCI)匯流排，PCI匯流排如由PCI本地匯流排規格定義，日期1995年6月；或另外，NIC可結合如PCI Express匯流排或任何其它高頻寬匯流排等匯流排。

舉例言之為了方便說明，第1圖顯示之記憶體模組有四個儲存裝置20、22、24及26。一具體例中，四個儲存裝置各自具有記憶體大小256百萬位元組，但儲存裝置大小以及記憶體模組之儲存裝置數目皆未構成本發明之限制。此外儲存裝置20、22、24及26可分開封裝，於一封裝體堆疊成為複數個記憶體元件或共同整合以及定址為分開記憶體區

塊。儲存裝置20、22、...、24及26可儲存由處理器12所處理之資料、以及由記憶體管理系統用於行政管理目的之元資料。記憶體模組可只支援存取資料，或只支援可分開存取元資料，或支援存取資料加元資料。

- 5 記憶體模組之記憶體控制器28係透過位址匯流排及控制匯流排而連結至儲存裝置。記憶體控制器28取還目前命令，且處理目前命令，處理完成時適當設定命令狀態。記憶體控制器28進一步實作記憶體映射演繹法則來改進裝置10之效能。注意主機控制器30係連結主機控制器介面10 (HCI)19、記憶體控制器28及處理器12。

一具體例中，儲存裝置20、22、24及26可為相當大型非依電性磁碟快取記憶體，其適合對耦合至處理器12之大量儲存系統(圖中未顯示)快取資訊。大量儲存系統典型具有儲存容量例如至少約1十億位元組。大量儲存系統可為機電
15 硬碟記憶體、光碟記憶體或磁碟記憶體，但本發明之範圍並非圍限於此一方面。

一具體例中，儲存裝置20、22、...、24及26可為聚合物記憶體，其具有儲存容量至少約250百萬位元組，可包括鐵電記憶體單元，其中各個單元包括鐵電聚合物材料設置
20 於至少二導線間。本具體例中，鐵電聚合物料可為鐵電可極化材料，包括由聚氟乙烯、聚伸乙基氟、聚氯乙烯、聚伸乙基氯、聚丙烯腈、聚醯胺、其共聚物或其組合所組成之鐵電聚合物料。

另一具體例中，儲存裝置20、22、...、24及26可為聚

合物記憶體，例如塑膠記憶體或電阻改變聚合物記憶體。本具體例中，塑膠記憶體包括聚合物記憶體材料薄膜夾置於位址矩陣節點間。藉由跨聚物料供給之電位，以及於聚物料流動之正電流或負電流，其變更聚物料之電阻，任何節點之電阻可由數百歐姆變更成數百萬歐姆。可能不同電阻位準對每個單元可儲存數位元，且堆疊數層，可進一步增高資料密度。除了聚合物記憶體外，快取儲存裝置可為NOR快閃記憶體或NAND快閃記憶體、或電池支援之DRAM。

10 本發明具體例之裝置10可用於多項應用用途，所請求專利之主題結合於微控制器、通用微處理器、數位信號處理器(DSP)、精簡指令集電腦(RISC)、複雜指令集電腦(CISC)等其它電子元件。特別本發明可用於智慧型電話、通訊設備、及個人數位助理器(PDA)、醫療器材或生技設備、汽車安全與防護設備、以及汽車資訊娛樂產品。但須了解本發明之範圍非僅囿限於此等實施例。

第2圖顯示主機控制器介面(HCI)18，於本具體例，HCI 18有用於PCI-Express匯流排跨介面16傳輸之插卡，但須注意其它具體例也可採用其它匯流排。通常，於HCI 18之記憶體模組硬體處理軟體所形成之命令串列，該等命令可被發出而無處理器12之介入，直至模組硬體信號處理完成為止。藉快取儲存裝置20、22、...、24及26儲存於記憶體模組之記憶體資料並未直接藉CPU指令存取。快取記憶體儲存之資料可被拷貝至/自系統記憶體32，例如動態隨機存取

記憶體(DRAM)。

記憶體模組為匯流排主要裝置，其被提供命令串列進行異步處理。命令識別系統記憶體用來保有與一命令相關資料之緩衝器。如此HCI 18提供記憶體模組程式規劃介面，其可流線化跨介面16之讀/寫資料，而無直接CPU指令存取快取儲存裝置。換言之，HCI 18並非直接仿記憶體介面來存取記憶體儲存裝置。

本發明包括一介面(HCI 18)設置於一處理器與大量儲存裝置。HCI 18提供支援大量儲存裝置所需相關功能與服務，各項本發明之特色係於硬體或軟體實作。各具體例中，HCI 18可包括全部所述特色或部分特色。

如第2圖所示，本發明包括下列特色，諸如一連續關聯命令200其允許一組命令共同發出；一極性映射機制210、一時序控制裝置220及一動態定址裝置230，其係設置來支援聚合物鐵電記憶體(PFEM)記憶體技術之特性；一多重控制命令240由優化磁碟快取環境效能；一重新整理250；一元資料大小與快取線大小260，其提供記憶體字讀/寫操作；一資料錯誤270及錯誤校正碼(ECC)校正280供報告記憶體錯誤；以及一優化散在收集串列290來改良系統效能。

20 連續關聯命令200

第2圖包括於HCI 18發出之連續關聯命令200，其係設計用於快取記憶體之存取。使用者由快取儲存裝置20、22、...、24及26請求儲存之資料要求存取複數個快取線來滿足該項請求。由於設定關聯快取映射演繹法則之本質，對

連續磁碟扇區之請求可能並未必然映射至連續快取線。(第3圖顯示連續磁碟扇區映射至不同快取線)。

HCI 18定義於系統記憶體之一命令串列結構、及一門鈴暫存器(圖中未顯示)，其允許同時發出一組命令。各個命令包括至少一位元來指示該命令是否為啟用的命令，以及指標至下一命令之指標器。HCI 18當接收到一指標至命令鏈起點之指標器，且門鈴「已響」，則HCI 18將提取一命令，處理該命令，且前進至次一命令，直到未再找到已啟用的命令為止。其它命令可插入命令鏈末端來確保若存在有尚未完成之請求時，快取記憶體硬體經常維持啟用狀態。可進行進一步優化處理，來允許軟體規定當命令完成時是否須產生岔斷。此種可程式岔斷位元，允許命令串列被結構化，因此每組相關命令只產生一個岔斷，其可最小化系統之額外管理資料量。

第4圖顯示與連續關聯命令200相關之硬體及軟體活動。顯示一命令串列例如命令402、404、406及408。各命令至少包括一位元來指示該命令是否為啟用(標示為啟用集合)，以及包括指標至次一命令之指標器。第4圖進一步顯示命令可被提取及處理，前進至次一命令持續至不再找到被啟用的命令410為止。

極性映射機制210

第2圖顯示支援HCI 18之PFEM記憶體技術特性之極性映射機制210。經由控制於選定之字線及位元線之電壓，資料可被寫入任何快取儲存裝置20、22、...、24及26之記憶

體單元。記憶體單元可被程式化為「實體0」態或「實體1」態，但記憶體控制器28(參考第1圖)可解譯一儲存單元讀取之實體值是否表示1態或0態。各項記憶體技術對儲存態的呈現有不同要求，如此，記憶體控制器28被設計有軟體

5 控制器極性管理機制，其決定對特定存取如何處理極性。一具體例中，軟體規定於各讀/寫操作之極性機制，但另一具體例中，極性機制可基於通用基準透過多重操作控制來施加極性。可規定三種極性管理機制來確保各時間資料被儲存於一記憶體字，使用之極性係與該記憶體字前次使用

10 之極性相反。

第一極性管理機制提供「外顯極性控制」，此處軟體對各次寫入規定一TRUE/COMPLEMENT極性指示器，記憶體控制器28於讀取時由儲存位置回復極性態。系統記憶體之資料經常性係以TRUE極性呈現。軟體無需對以

15 COMPLEMENT極性儲存於記憶體模組之資料做任何變換。記憶體控制器28係依據軟體來從事任何所需之撥鈕變換。

「回復極性」之另一極性管理機制允許記憶體控制器28使用讀取操作測知之「最末」極性來從事隨後之寫入操

20 作。

軟體可規定一次存取之「自動極性」作為另一極性管理機制。記憶體控制器28維持分開之依電性極性映射圖(維持於RAM)，該映射圖對記憶體模組之各個字有極性態，亦即各個儲存位置或各組單元有極性態。於正常運轉時間，

記憶體控制器28使用極性映射圖內容，來判定讀取時的極性，且撥動映射圖之極性供寫入。對讀取無需回復極性。軟體被要求於任何使用自動極性機制前載入極性映射圖(其它機制可於本自動極性機制前使用)。於系統關閉時，軟體負責由記憶體控制器讀取極性映射圖，且將其儲存至若干其它非依電性儲存媒體。

時序控制裝置220

第2圖顯示時序控制裝置220，來支援HCI 18內部之PFEM記憶體技術之特性。不同記憶體技術可能對讀/寫操作存取儲存值之特定方面，要求不同之詳細硬體週期時序。例如於讀/寫至記憶體期間可對聚合物記憶體技術使用延遲或暫停來避免單元偏極化的改變。此外，依據所請求之位址是否位於最末記憶體操作的同一個節段，可進行或可未進行延遲操作。某些記憶體技術對於有一段時間未曾被存取的位置要求更緩慢的時序，慢時序或快時序規定用於讀/寫至記憶體位置之一指定操作。如此，記憶體控制器28於軟體控制之下，可對每次操作規定須採用何種時序用於讀/寫操作。

動態定址230

第2圖顯示支援HCI 18之PFEM記憶體技術特性之動態定址230。於快取儲存裝置20、22、...、24及26之聚合物記憶體裝置之讀取週期可能為破壞性，將聚合物薄膜材料之電偶極偏極化於一個方向。因儲存於記憶體之特定實體位址之資訊於破壞性讀取操作期間可能喪失，故資訊可被寫

回記憶體來回復資料。如此，為了由此種破壞性讀取記憶體讀取資訊，讀取週期可包括一隨後之回寫操作。快取儲存裝置之一記憶體節段內部，可能有於讀取後做寫入之弱點。該弱點造成效能不佳，諸如必須等候進行回寫至該弱點通過為止。但根據本發明，HCI 18提供一種演繹法則，其允許被讀取資料被寫至不同節段之位置。

如此，本發明之一特色為HCI 18被每次存取包括二位址，有一位址用於讀取，以及另一位址用於寫入。如此，每個介面層次的存取皆係於兩個位置操作，理想上係於記憶體不同節段的兩個位置。讀取操作規定一欲讀取位址加一空白位置，資料將回寫至該位址。讀取操作耗用一空白位址，而形成一空白位址。寫入操作規定一欲抹除(變成空白)位址，以及規定一已經空白之位址作為寫入資料之目的地位址。

15 多重控制命令240

第2圖顯示於HCI 18發出之來優化碟片快取環境效能之多重控制命令240。簡短參照第1圖，HCI 18提供處理器12發出之命令與連結至記憶體控制器28之M個記憶體儲存裝置之操作間之介面。HCI 18包括一多重控制命令特色，其允許軟體對記憶體模組卡上的複數個快取儲存裝置20、22、...、24及26發出相同操作命令或不同操作命令。多重命令特色允許一個命令封包可共享共同資料，且可透過PCI-express更有效移轉來被提取、解碼、執行，且可能對記憶體模組卡上的各個快取儲存裝置提供不同的記憶體操

作。

多重控制命令特色允許各個快取儲存裝置定址可能有不同操作型別之不同位址位置。舉例言之，記憶體控制器28可於快取儲存裝置20內部執行讀取週期，該讀取週期包括破壞性讀取操作；同時發出寫入操作命令給另一裝置，諸如快取儲存裝置22。如此，多重命令存取於不同快取儲存裝置之記憶體字。當規定多重快取儲存裝置存取時，各次存取可有獨特之操作參數。大部分記憶體存取包括一操作、一區塊計數、以及二區塊位址連同該命令之其它特殊操作參數。

重新整理250

第2圖顯示重新整理250來支援HCI 18內部之PFEM記憶體技術特性。HCI 18允許基於時間之重新整理週期、及基於週期之時間整理週期。基於時間之重新整理係類似DRAM重新整理，儲存之資料被定期存取。DRAM裝置提供重新整理週期來充電洩漏的電容器，基於時間之重新整理可防止於快取儲存裝置20、22、...、24及26之聚合物記憶體裝置變成「烙印在」或卡在目前狀態。HCI 18提供於啟動時最初迴圈通過全部位址，接著為正常存取時間，以常規時間間隔讀取，來確保記憶體單元於供電時間不會變成被「烙印」。

若由所請求位址讀取之資訊被寫回同一個位址，則與所選定之記憶體單元共享相同字線或位元之鄰近未經選定之記憶體單元可能出現「擾動」。電極材料與記憶體單元之

聚合物記憶體材料交互作用，若記憶體操作係於一段相當短時間以內進行，則可能導致偏極化的擾動。如此，存取記憶體之一節段之一個位置可能導致該節段其它位置的擾動。各次擾動腐蝕儲存於記憶體之電荷，N次擾動後，所儲存的資料被讀出來確保可靠讀取操作。如此，HCI 18提供每N個週期插入之基於週期之重新整理位址，來結合擾動影響，以及將該節段內部的各個位置限於N次擾動。

元資料大小與快取線大小260

第2圖顯示提供HCI 18內部之記憶體操作之元資料大小與快取線大小260。由HCI 18控制之PFEM記憶體可自動對各快取線讀/寫元資料及資料。為了達成此項目的，此種硬體必須了解快取線及元資料二者的大小。一組暫存器(圖中未顯示)界定於HCI 18內部來儲存最小的及最大的快取線大小及元資料大小，連同由軟體之快取策略所測定之提供最佳硬體效能之大小。使用此種尺寸值，HCI 18經程式規劃來使用最佳匹配快取策略需求的尺寸值。

資料錯誤270

第2圖顯示於HCI 18內部用於錯誤檢測之資料錯誤270。於PFEM之定期記憶體重新整理週期期間，可能發生資料的訛誤。PFEM記憶體為破壞性讀取記憶體技術，重新整理週期期間發生的任何錯誤將導致記憶體處於未知狀態。於有錯誤的記憶體位置進行讀取操作，可能送返不正確資料而無法藉錯誤校正碼(ECC)檢測得。為了防止重新整理期間有錯誤未被檢測，HCI 18定義一組暫存器(圖中未顯示)及岔

斷，其允許記憶體控制器28岔斷軟體之控制快取儲存裝置20、22、...、24及26，且報告記憶體重新整理失敗。軟體隨後將對應之快取線標記為不良，繼續進行系統操作。

ECC校正280

- 5 第2圖顯示於HCI 18內部之錯誤校正用之錯誤校正碼(ECC)280。硬體實作ECC方法作為資料儲存與資料取還之一部分。硬體維持全部校正的日誌，可由快取策略軟體存取來外顯示測定記憶體存取期間所做ECC校正的結果。經由通過正常命令處理，發出命令，下載校正日誌至系統記憶體，可存取校正日誌。校正日誌可由快取策略用作為可能之快取線失敗的早期指示，允許採行適當校正步驟來避免資料的遺失。
- 10

優化散在收集串列290

- 第2圖顯示改良系統效能之優化散在收集(SG)串列290
- 15 。
- 快取線可跨多頁4千位元組實體系統記憶體頁(典型快取線長8千位元組)，因操作系統並未確保緩衝器為實體連續，故散在收集串列將資料由快取線正確DMA至系統記憶體。HCI 18使用之散在收集機制係利用各個命令移轉一資料快取線，其允許對散在收集串列做優化。舉例言之，需要
- 20 極少分錄來滿足惡劣情況請求，16千位元組快取線至多只跨越五頁實體系統記憶體頁。HCI 18定義駐在命令之散在收集串列，當一系統記憶體頁被通過(4千位元組邊界)時，前進至次一分錄。此種定義之散在收集串列允許簡化快取記憶體之控制器邏輯。如此降低控制器成本，加上藉免除

於獲得分開散在收集串列時，快取控制器所需的額外系統記憶體DMA請求，因而可提供效能優勢。提供額外記憶體位址，來指示快取線之元資料位置，如此允許命令自動更新同一個命令的資料及元資料二者。

- 5 顯然存取磁碟快取記憶體之複雜度可藉本發明之特色而緩和。主機控制介面考慮各種記憶體技術例如聚合物記憶體技術之特殊處置需求。

- 10 雖然此處已經舉例說明本發明之若干特色，但多項修改、取代、變化及相當例為熟諳技藝人士顯然易知。因此須了解隨附之申請專利範圍意圖涵蓋全部落入本發明之真諦範圍內之全部此等修改及變化。

【圖式簡單說明】

第1圖顯示根據本發明，一裝置具有一介面介於處理器與大量儲存裝置間；

- 15 第2圖為略圖，其強調本發明之特色；

第3圖顯示五快取線磁碟請求；以及

第4圖顯示第3圖之請求之命令序列。

【主要元件符號說明】

10...裝置	28...記憶體控制器
12...處理器	30...主機控制器
14...收發器	32...系統記憶體
16...介面	200...連續關聯命令
18...主機控制器介面(HCI)	210...極性映射圖機制
20、22、24、26...快取儲存裝置	220...時序控制

I312466

230...動態定址

240...多重控制命令

250...重新整理

260...元資料大小與快取線大小

270...資料錯誤

280...錯誤校正碼(ECC)校正

290...優化散在收集(SG)串列

402-408...命令

410...未被啟用的命令

五、中文發明摘要：

一種主機控制器介面用來管理存取大量儲存裝置之複雜度，其考慮各項記憶體技術例如聚合物記憶體之特殊操作需要。

六、英文發明摘要：

A host controller interface to manage the complexity of accessing mass storage that takes into account the special handling needs of various memory technologies such as polymer memories.

十、申請專利範圍：

第94103648號申請案申請專利範圍修正本 96.08.14.

1. 一種電腦運算系統，包含：
 - 一處理器；
 - 5 一非依電性大量儲存裝置；以及
 - 一主機控制介面，用以耦合該處理器至該非依電性大量儲存裝置，且發出讀/寫命令來管理極性。
2. 如申請專利範圍第1項之電腦運算系統，其中該非依電性大量儲存裝置為一碟片快取記憶體。
- 10 3. 如申請專利範圍第1項之電腦運算系統，其中該非依電性大量儲存裝置具有聚合物記憶體裝置。
4. 如申請專利範圍第3項之電腦運算系統，其中該具有聚合物記憶體裝置之非依電性大量儲存裝置為一碟片快取記憶體。
- 15 5. 如申請專利範圍第1項之電腦運算系統，其中該極性管理確保資料係以與最末用於一記憶體字組相反之極性而儲存於該非依電性大量儲存裝置中。
6. 如申請專利範圍第1項之電腦運算系統，其中該極性管理包括一明確的極性控制，具有一極性指示器來決定各
20 次寫入之資料極性。
7. 如申請專利範圍第1項之電腦運算系統，其中該極性管理包括回復之極性，其係使用來自一次讀取操作之最末極性用於隨後一次寫入操作。
8. 如申請專利範圍第1項之電腦運算系統，其中該極性管

理包括一自動極性，其中由一極性映射圖之內容決定讀取時之極性，且該極性映射圖中之極性會被轉變以供用於寫入。

9. 一種電腦系統，包含：

5 一處理器；

多個記憶體裝置；以及

一主機控制器介面，用以耦合該處理器至該等多個記憶體裝置，且發出一多重控制命令來以可能不同之操作型別來定址該等多個記憶體裝置。

10 10. 如申請專利範圍第9項之電腦系統，其中該等多個記憶體裝置形成一碟片快取記憶體。

11. 如申請專利範圍第9項之電腦系統，其中該等多個記憶體裝置為聚合物記憶體裝置。

12. 如申請專利範圍第9項之電腦系統，其中該等多個記憶體裝置為快閃記憶體裝置。

13. 如申請專利範圍第9項之電腦系統，其中該多重控制命令允許提取、解碼及執行一命令封包，來提供不同記憶體操作給該等多個記憶體裝置。

14. 如申請專利範圍第9項之電腦系統，其中該多重控制命令存取該等多個記憶體裝置中之不同裝置內的記憶體字組。

15. 一種電腦運算系統，包含：

一處理器；

多個可定址大量儲存裝置；以及

一主機控制器介面，用以將多個處理器命令耦合至該等可定址大量儲存裝置，以及負責該等可定址大量儲存裝置中之聚合物裝置之特殊處理需求。

- 5
16. 如申請專利範圍第15項之電腦運算系統，其中該等特殊處理需求包括報告多個錯誤校正。
17. 如申請專利範圍第15項之電腦運算系統，其中該等特殊處理需求包括使用一極性映射圖來判定如何處理一次特定存取之極性。
- 10
18. 如申請專利範圍第15項之電腦運算系統，其中該等特殊處理需求包括使用時序控制來以每次操作為基準指定須使用何種時序於讀/寫操作。
- 15
19. 如申請專利範圍第15項之電腦運算系統，其中該等特殊處理需求包括使用動態定址，來將資料寫入該等可定址大量儲存裝置中與該資料被讀取之節段屬於不同節段之一位置。
20. 如申請專利範圍第15項之電腦運算系統，其中該等可定址大量儲存裝置表示一具有多個快取儲存裝置之碟片快取記憶體。
- 20
21. 如申請專利範圍第20項之電腦運算系統，其中該等特殊處理需求進一步包括儲存最小的及最大的快取線大小及元資料(metadata)大小。
22. 一種電腦運算系統，包含：
- 具有耦合至雙重天線之一收發器的一處理器；以及
耦接至該處理器之一記憶體模組，其包括：

- (a)一記憶體控制器，
- (b)多個儲存裝置，其用來形成耦接至該記憶體控制器之一大量儲存裝置，以及
- (c)一主機控制器，其耦接至該處理器來提供一經由
- 5 一介面發佈之重新整理週期給該等儲存裝置。
23. 如申請專利範圍第22項之電腦運算系統，其中該等儲存裝置為聚合物記憶體裝置。
24. 如申請專利範圍第22項之電腦運算系統，其中該等儲存裝置為快閃記憶體裝置。
- 10 25. 如申請專利範圍第22項之電腦運算系統，其中該記憶體模組為一匯流排主控裝置，其被給予一組命令列表來進行異步處理。
26. 如申請專利範圍第25項之電腦運算系統，其中該組命令列表係未藉該處理器之涉入而接受處理。
- 15 27. 如申請專利範圍第22項之電腦運算系統，其中由該等儲存裝置儲存於該記憶體模組上之資料並非可由處理器指令直接存取。
28. 如申請專利範圍第27項之電腦運算系統，其中藉該等儲存裝置儲存於該記憶體模組上之資料係拷貝至系統記憶體或從該系統記憶體拷貝出來。
- 20 29. 一種電腦運算系統，包含：
- 一處理器；
- 耦接至該處理器之主記憶體；以及
- 具有一程式化介面之一碟片快取記憶體模組，該介

面可串流化處理讀/寫資料，而未對該碟片快取記憶體模組上之儲存裝置做直接處理器指令存取，其中儲存於該等儲存裝置中之資料被取回且被儲存於該主記憶體中。

- 5 30. 如申請專利範圍第29項之電腦運算系統，其中該等儲存裝置為快閃裝置。
31. 如申請專利範圍第29項之電腦運算系統，其中該等儲存裝置為聚合物裝置。
- 10 32. 如申請專利範圍第31項之電腦運算系統，其中該等聚合物裝置為鐵電可偏極化材料。
33. 一種包括於主機控制器介面中之多個功能的方法，用來促進一大量儲存裝置中之讀/寫操作包括下列至少一動作：
- 15 (a)提供一連續關聯命令，來允許一組命令一同被發出，
- (b)使用一極性映射圖，來判定對一次特定存取該大量儲存裝置之動作如何處理極性，
- (c)使用一時序控制，來以每一操作為基準指定須使用何種時序進行讀/寫操作，
- 20 (d)使用動態定址，來將資料寫入於一與該資料被讀取之節段屬於不同節段的位置，
- (e)發出一多重命令，來允許對該大量儲存裝置中之多個儲存裝置進行不同操作，
- (f)提供一重新整理週期，

(g)記錄一施加至該大量儲存裝置之校正數目，以及

(h)使用一分散收集列，來正確地存取該大量儲存裝置中之資料。

34. 如申請專利範圍第33項之方法，其中促進該大量儲存裝置中之讀/寫操作的動作包括使用具有鐵電可偏極化材料之該大量儲存裝置。
- 5
35. 如申請專利範圍第33項之方法，其中促進該大量儲存裝置中之讀/寫操作的動作包括使用具有電阻改變聚合物記憶體之該大量儲存裝置。
- 10
36. 如申請專利範圍第33項之方法，其中促進該大量儲存裝置中之讀/寫操作的動作進一步包括促進一聚合物儲存裝置中之讀/寫操作。
37. 如申請專利範圍第33項之方法，其中促進該大量儲存裝置中之讀/寫操作的動作進一步包括促進一碟片快取記憶體中之讀/寫操作。
- 15
38. 如申請專利範圍第37項之方法，進一步包括儲存一最小及一最大快取線大小及元資料大小於該碟片快取記憶體中。
39. 一種記憶體錯誤報告方法，包含有下列步驟：
- 20
- 對多個儲存裝置提供一定期記憶體重新整理週期；以及
- 允許一記憶體控制器檢測一錯誤，以及中斷控制該等儲存裝置之軟體，以報告一記憶體重新整理失敗。
40. 如申請專利範圍第39項之方法，進一步包括：

為該等儲存裝置結合聚合物鐵電記憶體(PFEM)裝置。

41. 如申請專利範圍第39項之方法，其中對該等儲存裝置提供定期記憶體重新整理週期之步驟更包括對快取儲存裝置提供該定期記憶體重新整理週期。
- 5 42. 一種包含含有指令的機器可讀取儲存媒體之物品，該等指令若被執行將使一主機控制器介面為大量儲存裝置控制讀/寫操作，該等操作包括下列之至少一者：
- 提供一連續命令列表，來允許一組命令一同被發出；
- 使用一極性映射圖，來判定對一次特定存取該大量
- 10 儲存裝置之動作如何處理極性；
- 使用一時序控制，來以逐一操作為基準指定須使用何種時序進行讀/寫操作；
- 使用動態定址，來將資料寫入於一與該資料被讀取之該大量儲存裝置中之節段屬於不同節段之位置；
- 15 發出一多重命令，來允許對該大量儲存裝置中之多個儲存裝置進行不同操作；
- 提供一重新整理週期；以及
- 報告記憶體錯誤校正次數。
43. 如申請專利範圍第42項之物品，其中該大量儲存裝置為
- 20 一快閃記憶體。
44. 如申請專利範圍第42項之物品，其中該大量儲存裝置為一聚合物儲存裝置。
45. 如申請專利範圍第44項之物品，其中該聚合物儲存裝置包括鐵電可偏極化材料。

46. 如申請專利範圍第44項之物品，其中該聚合物儲存裝置包括電阻改變聚合物記憶體。
47. 如申請專利範圍第44項之物品，其中該大量儲存裝置為一碟片快取記憶體。

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10...裝置

20、22、24、26...快取儲存裝置

12...處理器

28...記憶體控制器

14...收發器

30...主機控制器

16...介面

32...系統記憶體

18...主機控制器介面(HCI)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：