



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월03일
(11) 등록번호 10-1281971
(24) 등록일자 2013년06월27일

(51) 국제특허분류(Int. Cl.)

G11C 7/10 (2006.01)

(21) 출원번호 10-2012-0020380

(22) 출원일자 2012년02월28일

심사청구일자 2012년02월28일

(56) 선행기술조사문헌

KR100904518 B1

논문(2008.6)

(73) 특허권자

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

정성우

경기도 성남시 분당구 정자동 15-4 두산위브제니
스 B-1203

공준호

서울특별시 광진구 광장동 현대아파트 310동 110
4호

(74) 대리인

민영준, 최관락, 송인호

전체 청구항 수 : 총 16 항

심사관 : 손윤식

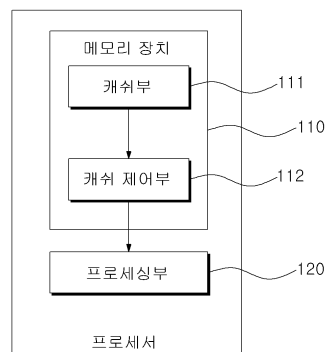
(54) 발명의 명칭 메모리 장치, 프로세서 및 데이터의 기록/독출 방법

(57) 요약

메모리 장치, 프로세서 및 데이터의 기록/독출 방법이 개시된다. 개시된 메모리 다수의 비트 셀로 구성되며, 물리적으로 구분되는 n (2 이상의 정수임)개의 캐쉬 영역을 포함하는 캐쉬부; 및 상기 캐쉬부 내의 불량(fault) 비트 셀의 존재 정보 및 상기 캐쉬부에 기록하고자 하는 데이터의 내로우 너비의 값(Narrow Width Value)에 기초하여 상기 데이터를 상기 캐쉬부에 기록(write)하는 캐쉬 제어부를 포함하되, 상기 캐쉬부는 m (2 이상의 정수임)개의 비트 셀을 포함하는 다수의 비트 서브블록으로 구획되고, 다수의 워드 서브블록을 포함하며, 상기 다수의 워드 서브블록 각각은 상기 n 개의 비트 서브블록을 포함하고, 상기 다수의 워드 서브블록 각각에 포함된 n 개의 비트 서브블록은 서로 다른 상기 캐쉬 영역에 존재하며, 상기 데이터는 m 개의 비트를 각각 포함하는 n (2 이상의 정수임)개의 비트 그룹을 포함하고, 상기 다수의 워드 서브블록 중 어느 하나의 워드 서브블록에 기록된다.

대표도 - 도1

100



이 발명을 지원한 국가연구개발사업

과제고유번호 2011-0031863

부처명 교육과학기술부

연구사업명 글로벌프론티어사업(다차원 스마트 IT 융합시스템 연구)

연구과제명 실리콘 기반 3차원 IC 플랫폼

주관기관 고려대학교 산학협력단

연구기간 2011.09.29 ~ 2020.08.31

특허청구의 범위

청구항 1

다수의 비트 셀로 구성되며, 물리적으로 구분되는 n (2 이상의 정수임)개의 캐쉬 영역을 포함하는 캐쉬부; 및
 상기 캐쉬부 내의 불량(fault) 비트 셀의 존재 정보 및 상기 캐쉬부에 기록하고자 하는 데이터의 내로우 너비의 값(Narrow Width Value)에 기초하여 상기 데이터를 상기 캐쉬부에 기록(write)하는 캐쉬 제어부를 포함하되,
 상기 캐쉬부는 m (2 이상의 정수임)개의 비트 셀을 포함하는 다수의 비트 서브블록으로 구획되고, 다수의 워드 서브블록을 포함하며, 상기 다수의 워드 서브블록 각각은 상기 n 개의 비트 서브블록을 포함하고, 상기 다수의 워드 서브블록 각각에 포함된 n 개의 비트 서브블록은 서로 다른 상기 캐쉬 영역에 존재하며,
 상기 데이터는 m 개의 비트를 각각 포함하는 n (2 이상의 정수임)개의 비트 그룹을 포함하고, 상기 다수의 워드 서브블록 중 어느 하나의 워드 서브블록에 기록되는 것을 특징으로 하는 메모리 장치.

청구항 2

제1항에 있어서,
 상기 데이터의 내로우 너비는 상기 데이터의 최상위 비트에서 시작하여 최초로 발생하는 1의 값을 가지는 비트로부터 상기 데이터의 최하위 비트 사이까지의 비트를 포함하는 너비이고,
 상기 내로우 너비의 값은 상기 최초로 발생하는 1의 값을 가지는 비트로부터 상기 데이터의 최하위 비트 사이까지의 비트 개수와 대응되는 것을 특징으로 하는 메모리 장치.

청구항 3

제1항에 있어서,
 상기 m 은 상기 캐쉬부에 포함되는 캐쉬 라인(Cache Line)에 포함된 비트 셀의 개수보다 작은 것을 특징으로 하는 메모리 장치.

청구항 4

제1항에 있어서,
 상기 n 개의 캐쉬 영역 중 적어도 일부는 별개의 공정을 통해 제작된 웨이퍼를 이용하여 생성된 것임을 특징으로 하는 메모리 장치.

청구항 5

제1항에 있어서,
 상기 n 개의 비트 그룹 각각은 비트 그룹 내의 m 개의 비트 모두가 상기 내로우 너비에 포함되지 않는 제1 비트 그룹 및 비트 그룹 내의 m 개의 비트 중 적어도 일부가 상기 내로우 너비에 포함되는 제2 비트 그룹 중 어느 하나에 해당하고,
 상기 워드 서브블록에 포함된 n 개의 비트 서브블록 각각은 상기 불량 비트 셀을 포함하는 불량 비트 서브블록 및 상기 불량 비트 셀을 포함하지 않는 정상 비트 서브블록 중 어느 하나에 해당하며,
 상기 캐쉬 제어부는 상기 다수의 워드 서브블록 중 상기 정상 비트 서브블록의 개수가 상기 제2 비트 그룹의 개수 이상인 적어도 하나의 워드 서브블록을 검색하고, 상기 검색된 적어도 하나의 워드 서브블록 중에서 상기 어느 하나의 워드 서브블록을 선택하여 상기 데이터를 기록하는 것을 특징으로 하는 메모리 장치.

청구항 6

제5항에 있어서,
 상기 캐쉬 제어부는 상기 n 개의 비트 그룹 중 상기 제2 비트 그룹에 해당하는 비트 그룹을 상기 어느 하나의 워드 서브블록에 포함하는 것을 특징으로 하는 메모리 장치.

드 서브블록에 포함된 정상 비트 서브블록에 우선적으로 기록하는 것을 특징으로 하는 메모리 장치.

청구항 7

제6항에 있어서,

상기 캐쉬 제어부는

상기 워드 서브블록 단위로 상기 기록된 데이터를 상기 캐쉬부에서 독출(read)하되,

상기 독출되는 워드 서브블록에 상기 불량 비트 서브블록이 포함되어 있는 경우, 상기 독출되는 워드 서브블록 내의 정상 비트 서브블록에 기록된 비트를 독출하고, 상기 독출되는 워드 서브블록 내의 불량 비트 서브블록에 포함된 비트 셀의 개수와 대응되는 0의 값을 가지는 비트를 생성하고, 상기 생성된 0의 값을 가지는 비트와 상기 독출된 비트를 조합하여 상기 기록된 데이터를 복원하는 것을 특징으로 하는 메모리 장치.

청구항 8

제1항에 있어서,

상기 워드 서브블록에 포함된 n 개의 비트 서브블록 각각은 상기 불량 비트 셀을 포함하는 불량 비트 서브블록 및 상기 불량 비트 셀을 포함하지 않는 정상 비트 서브블록 중 어느 하나에 해당하며,

상기 캐쉬 제어부는 상기 다수의 워드 서브블록 중 상기 정상 비트 서브블록의 개수가 상기 내로우 너비 값보다 큰 최소의 m 의 배수를 m 으로 나눈 값보다 크거나 같은 적어도 하나의 워드 서브블록을 검색하고, 상기 검색된 적어도 하나의 워드 서브블록 중에서 상기 어느 하나의 워드 서브블록을 선택하여 상기 데이터를 기록하는 것을 특징으로 하는 메모리 장치.

청구항 9

프로세싱부;

다수의 비트 셀로 구성되며, 물리적으로 구분되는 $n(2 \text{ 이상의 정수임})$ 개의 캐쉬 영역을 포함하는 캐쉬부; 및

상기 캐쉬부 내에서의 불량 비트 셀의 존재 정보 및 상기 캐쉬부에 기록하고자 하는 데이터의 내로우 너비의 값에 기초하여 상기 데이터를 상기 캐쉬부에 기록하는 캐쉬 제어부를 포함하되,

상기 캐쉬부는 $m(2 \text{ 이상의 정수임})$ 개의 비트 셀을 포함하는 다수의 비트 서브블록으로 구획되고, 다수의 워드 서브블록을 포함하며, 상기 다수의 워드 서브블록 각각은 상기 n 개의 비트 서브블록을 포함하고, 상기 다수의 워드 서브블록 각각에 포함된 n 개의 비트 서브블록은 서로 다른 상기 캐쉬 영역에 존재하며,

상기 데이터는 m 개의 비트를 각각 포함하는 $n(2 \text{ 이상의 정수임})$ 개의 비트 그룹을 포함하고, 상기 다수의 워드 서브블록 중 어느 하나의 워드 서브블록에 기록되는 것을 특징으로 하는 프로세서.

청구항 10

제9항에 있어서,

상기 n 개의 캐쉬 영역은 상기 프로세서 내에서 3차원적으로 적층되는 캐쉬 레이어(layer)인 것을 특징으로 하는 프로세서.

청구항 11

제10항에 있어서,

상기 n 개의 캐쉬 영역 중 적어도 일부는 별개의 공정을 통해 제작된 웨이퍼를 이용하여 생성된 것임을 특징으로 하는 프로세서.

청구항 12

다수의 비트 셀로 구성되며, 물리적으로 구분되는 $n(2 \text{ 이상의 정수임})$ 개의 캐쉬 영역을 포함하는 캐쉬에 데이터를 기록/독출하는 방법에 있어서,

상기 캐쉬 내의 불량 비트 셀의 존재 정보 및 상기 캐쉬에 기록하고자 하는 데이터의 내로우 너비의 값에 기초

하여 상기 데이터를 상기 캐쉬에 기록(write)하는 단계를 포함하되,

상기 캐쉬는 m (2 이상의 정수임)개의 비트 셀을 포함하는 다수의 비트 서브블록으로 구획되고, 다수의 워드 서브블록을 포함하며, 상기 다수의 워드 서브블록 각각은 상기 n 개의 비트 서브블록을 포함하고, 상기 다수의 워드 서브블록 각각에 포함된 n 개의 비트 서브블록은 서로 다른 상기 캐쉬 영역에 존재하며,

상기 데이터는 m 개의 비트를 각각 포함하는 n (2 이상의 정수임)개의 비트 그룹을 포함하고, 상기 다수의 워드 서브블록 중 어느 하나의 워드 서브블록에 기록되는 것을 특징으로 하는 데이터 기록/독출 방법.

청구항 13

제12항에 있어서,

상기 데이터의 내로우 너비는 상기 데이터의 최상위 비트에서 시작하여 최초로 발생하는 1의 값을 가지는 비트로부터 상기 데이터의 최하위 비트 사이까지의 비트를 포함하는 너비이고,

상기 내로우 너비의 값은 상기 최초로 발생하는 1의 값을 가지는 비트로부터 상기 데이터의 최하위 비트 사이의 비트 개수와 대응되는 것을 특징으로 하는 데이터 기록/독출 방법.

청구항 14

제12항에 있어서,

상기 n 개의 비트 그룹 각각은 비트 그룹 내의 m 개의 비트 모두가 상기 내로우 너비에 포함되지 않는 제1 비트 그룹 및 비트 그룹 내의 m 개의 비트 중 적어도 일부가 상기 내로우 너비에 포함되는 제2 비트 그룹 중 어느 하나에 해당하고,

상기 워드 서브블록에 포함된 n 개의 비트 서브블록 각각은 상기 불량 비트 셀을 포함하는 불량 비트 서브블록 및 상기 불량 비트 셀을 포함하지 않는 정상 비트 서브블록 중 어느 하나에 해당하며,

상기 기록하는 단계는 상기 다수의 워드 서브블록 중 상기 정상 비트 서브블록의 개수가 상기 제2 비트 그룹의 개수 이상인 적어도 하나의 워드 서브블록을 검색하고, 상기 검색된 적어도 하나의 워드 서브블록 중에서 상기 어느 하나의 워드 서브블록을 선택하여 상기 데이터를 기록하는 것을 특징으로 하는 데이터 기록/독출 방법.

청구항 15

제14항에 있어서,

상기 기록하는 단계는 상기 n 개의 비트 그룹 중 상기 제2 비트 그룹에 해당하는 비트 그룹을 상기 어느 하나의 워드 서브블록에 포함된 정상 비트 서브블록에 우선적으로 기록하는 것을 특징으로 하는 데이터 기록/독출 방법.

청구항 16

제15항에 있어서,

상기 워드 서브블록 단위로 상기 기록된 데이터를 상기 캐쉬에서 독출(read)하는 단계를 더 포함하되,

상기 독출하는 단계는 상기 독출되는 워드 서브블록에 상기 불량 비트 서브블록이 포함되어 있는 경우, 상기 독출되는 워드 서브블록 내의 정상 비트 서브블록에 기록된 비트를 독출하고, 상기 독출되는 워드 서브블록 내의 불량 비트 서브블록에 포함된 비트 셀의 개수와 대응되는 0의 값을 가지는 비트를 생성하고, 상기 생성된 0의 값을 가지는 비트와 상기 독출된 비트를 조합하여 상기 기록된 데이터를 복원하는 것을 특징으로 하는 데이터 기록/독출 방법.

명세서

기술분야

[0001] 본 발명의 실시예들은 메모리 장치, 프로세서 및 데이터의 기록/독출 방법에 관한 것으로서, 더욱 상세하게는 결함(fault) 비트 셀로 인하여 데이터의 기록이 불가능한 영역을 최소화할 수 있는 메모리 장치 및 이를 포함하는 프로세서와 상기 메모리 장치에 데이터를 기록/독출하는 방법에 관한 것이다.

배경 기술

- [0002] 반도체 공정 기술이 소형화됨에 따라 공정 변이 문제가 심각한 문제로 대두되고 있다. 공정 변이는 설계 상의 명세(specification)와는 다르게 실제 메모리 칩 내지 이를 포함하는 프로세서 칩이 제조되는 현상을 의미하는 것으로서, 이는 예상하지 못한 다양한 오작동(mal-function) 내지 오류(error)를 발생시킬 수 있다.
- [0003] 특히, SRAM(Static Random Access Memory)에서 공정 변이가 발생하는 경우, 액세스 시간 장애(Access Time Failure), 독출/기록 장애(Read/Write Failure), 누설 장애(Leakage Failure) 등을 발생할 수 있다. 만약 이러한 장애들을 고려하지 않고 메모리 칩 내지 프로세서 칩을 설계한다면, 사용하지 못하는 메모리 장치 내지 프로세서의 수가 증가하게 되며, 이는 메모리 칩 내지 프로세서 칩의 수율(yield)을 감소시키는 문제를 야기한다.
- [0004] 한편, 3D 프로세서는 다수의 다이(die)를 적층하여 제작되는 프로세서 칩으로서, 칩의 풋프린트(footprint)를 줄이면서 칩의 성능을 향상시킬 수 있는 장점이 있다.
- [0005] 그러나, 3D 프로세서의 제작 시 다수의 다이를 붙여야 하는데, 이 경우 웨이퍼 간의 변이(Wafer-to-Wafer Variation)으로 인해 다이 간의 칩 특성에 상당 수준의 차이가 발생할 수 있는바, 공정 변이에 더 취약할 수 있는 문제점이 있었다.

발명의 내용

해결하려는 과제

- [0006] 상기한 바와 같은 종래기술의 문제점을 해결하기 위해, 본 발명에서는 공정 변이에 의해 발생하는 결함(fault) 비트 셀로 인하여 데이터의 기록이 불가능한 영역을 최소화할 수 있는 메모리 장치 및 이를 포함하는 프로세서와 상기 메모리 장치에 데이터를 기록/독출하는 방법을 제안하고자 한다.
- [0007] 본 발명의 다른 목적들은 하기의 실시예를 통해 당업자에 의해 도출될 수 있을 것이다.

과제의 해결 수단

- [0008] 상기한 목적을 달성하기 위해 본 발명의 바람직한 일 실시예에 따르면, 다수의 비트 셀로 구성되며, 물리적으로 구분되는 n (2 이상의 정수임)개의 캐쉬 영역을 포함하는 캐쉬부; 및 상기 캐쉬부 내의 불량(fault) 비트 셀의 존재 정보 및 상기 캐쉬부에 기록하고자 하는 데이터의 내로우 너비의 값(Narrow Width Value)에 기초하여 상기 데이터를 상기 캐쉬부에 기록(write)하는 캐쉬 제어부를 포함하되, 상기 캐쉬부는 m (2 이상의 정수임)개의 비트 셀을 포함하는 다수의 비트 서브블록으로 구획되고, 다수의 워드 서브블록을 포함하며, 상기 다수의 워드 서브블록 각각은 상기 n 개의 비트 서브블록을 포함하고, 상기 다수의 워드 서브블록 각각에 포함된 n 개의 비트 서브블록은 서로 다른 상기 캐쉬 영역에 존재하며, 상기 데이터는 m 개의 비트를 각각 포함하는 n (2 이상의 정수임)개의 비트 그룹을 포함하고, 상기 다수의 워드 서브블록 중 어느 하나의 워드 서브블록에 기록되는 것을 특징으로 하는 메모리 장치가 제공된다.
- [0009] 상기 데이터의 내로우 너비는 상기 데이터의 최상위 비트에서 시작하여 최초로 발생하는 0이 아닌 값을 가지는 비트로부터 상기 데이터의 최하위 비트 사이까지의 비트를 포함하는 너비이고, 상기 내로우 너비의 값은 상기 최초로 발생하는 0이 아닌 값을 가지는 비트로부터 상기 데이터의 최하위 비트 사이까지의 비트 개수와 대응될 수 있다.
- [0010] 상기 m 은 상기 캐쉬부에 포함되는 캐쉬 라인(Cache Line)에 포함된 비트 셀의 개수보다 작은 것일 수 있다.
- [0011] 상기 n 개의 캐쉬 영역 중 적어도 일부는 별개의 공정을 통해 제작된 웨이퍼를 이용하여 생성된 것일 수 있다.
- [0012] 상기 n 개의 비트 그룹 각각은 비트 그룹 내의 m 개의 비트 모두가 상기 내로우 너비에 포함되지 않는 제1 비트 그룹 및 비트 그룹 내의 m 개의 비트 중 적어도 일부가 상기 내로우 너비에 포함되는 제2 비트 그룹 중 어느 하나에 해당하고, 상기 워드 서브블록에 포함된 n 개의 비트 서브블록 각각은 상기 불량 비트 셀을 포함하는 불량 비트 서브블록 및 상기 불량 비트 셀을 포함하지 않는 정상 비트 서브블록 중 어느 하나에 해당하며, 상기 캐쉬 제어부는 상기 다수의 워드 서브블록 중 상기 정상 비트 서브블록의 개수가 상기 제2 비트 그룹의 개수 이상인 적어도 하나의 워드 서브블록을 검색하고, 상기 검색된 적어도 하나의 워드 서브블록 중에서 상기 어느 하나의 워드 서브블록을 선택하여 상기 데이터를 기록할 수 있다.

- [0013] 상기 캐쉬 제어부는 상기 n 개의 비트 그룹 중 상기 제2 비트 그룹에 해당하는 비트 그룹을 상기 어느 하나의 워드 서브블록에 포함된 정상 비트 서브블록에 우선적으로 기록할 수 있다.
- [0014] 상기 캐쉬 제어부는 상기 워드 서브블록 단위로 상기 기록된 데이터를 상기 캐쉬부에서 독출(read)하되, 상기 독출되는 워드 서브블록에 상기 불량 비트 서브블록이 포함되어 있는 경우, 상기 독출되는 워드 서브블록 내의 정상 비트 서브블록에 기록된 비트를 독출하고, 상기 독출되는 워드 서브블록 내의 불량 비트 서브블록에 포함된 비트 셀의 개수와 대응되는 0의 값을 가지는 비트를 생성하고, 상기 생성된 0의 값을 가지는 비트와 상기 독출된 비트를 조합하여 상기 기록된 데이터를 복원할 수 있다.
- [0015] 상기 워드 서브블록에 포함된 n 개의 비트 서브블록 각각은 상기 불량 비트 셀을 포함하는 불량 비트 서브블록 및 상기 불량 비트 셀을 포함하지 않는 정상 비트 서브블록 중 어느 하나에 해당하며, 상기 캐쉬 제어부는 상기 다수의 워드 서브블록 중 상기 정상 비트 서브블록의 개수가 상기 내로우 너비 값보다 큰 최소의 m 의 배수를 m 으로 나눈 값보다 크거나 같은 적어도 하나의 워드 서브블록을 검색하고, 상기 검색된 적어도 하나의 워드 서브블록 중에서 상기 어느 하나의 워드 서브블록을 선택하여 상기 데이터를 기록할 수 있다.
- [0016] 또한, 본 발명의 다른 실시예에 따르면, 다수의 비트 셀로 구성되며, 물리적으로 구분되는 n (2 이상의 정수임)개의 캐쉬 영역을 포함하는 캐쉬부; 및 상기 캐쉬부 내에서의 상기 일부의 불량 비트 셀의 존재 정보 및 상기 캐쉬부에 기록하고자 하는 데이터의 내로우 너비의 값에 기초하여 상기 데이터를 상기 캐쉬부에 기록하는 캐쉬 제어부를 포함하되, 상기 캐쉬부는 m (2 이상의 정수임)개의 비트 셀을 포함하는 다수의 비트 서브블록으로 구성되고, 다수의 워드 서브블록을 포함하며, 상기 다수의 워드 서브블록 각각은 상기 n 개의 비트 서브블록을 포함하고, 상기 다수의 워드 서브블록 각각에 포함된 n 개의 비트 서브블록은 서로 다른 상기 캐쉬 영역에 존재하며, 상기 데이터는 m 개의 비트를 각각 포함하는 n (2 이상의 정수임)개의 비트 그룹을 포함하고, 상기 다수의 워드 서브블록 중 어느 하나의 워드 서브블록에 기록되는 것을 특징으로 하는 프로세서가 제공된다.
- [0017] 또한, 본 발명의 또 다른 실시예에 따르면, 다수의 비트 셀로 구성되며, 물리적으로 구분되는 n (2 이상의 정수임)개의 캐쉬 영역을 포함하는 캐쉬에 데이터를 기록하는 방법에 있어서, 상기 캐쉬 내의 불량 비트 셀의 존재 정보 및 상기 캐쉬부에 기록하고자 하는 데이터의 내로우 너비의 값에 기초하여 상기 데이터를 상기 캐쉬부에 기록(write)하는 단계를 포함하되, 상기 캐쉬는 m (2 이상의 정수임)개의 비트 셀을 포함하는 다수의 비트 서브블록으로 구성되고, 다수의 워드 서브블록을 포함하며, 상기 다수의 워드 서브블록 각각은 상기 n 개의 비트 서브블록을 포함하고, 상기 다수의 워드 서브블록 각각에 포함된 n 개의 비트 서브블록은 서로 다른 상기 캐쉬 영역에 존재하며, 상기 데이터는 m 개의 비트를 각각 포함하는 n (2 이상의 정수임)개의 비트 그룹을 포함하고, 상기 다수의 워드 서브블록 중 어느 하나의 워드 서브블록에 기록되는 것을 특징으로 하는 데이터 기록/독출 방법이 제공된다.

발명의 효과

- [0018] 본 발명에 따르면, 공정 변이에 의해 발생하는 결함(fault) 비트 셀로 인하여 데이터의 기록이 불가능한 영역을 최소화할 수 있게 된다.
- [0019] 또한, 본 발명에 따르면, 공정 변이에 의해 사용 불가능한 메모리 장치 내지 프로세서의 수를 줄임으로써 메모리 장치 내지 프로세서의 수율을 높일 수 있게 된다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 일 실시예에 따른 프로세서의 개략적인 구성을 도시한 블록도이다.
- 도 2 내지 도 7은 본 발명의 일 실시예에 따른 프로세서의 구조 및 캐쉬부에 데이터를 기록하는 동작을 설명하기 위한 도면이다.
- 도 8은 본 발명의 일 실시예에 따라서 캐쉬부에 기록된 데이터를 독출하는 동작을 설명하기 위한 도면이다.
- 도 9는 도 9는 본 발명의 일 실시예에 따른 데이터 기록/독출 방법의 전체적인 흐름을 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어

야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0022] 이하에서, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다.

[0023] 도 1은 본 발명의 일 실시예에 따른 프로세서의 개략적인 구성을 도시한 블록도이다.

[0024] 도 1을 참조하면, 본 발명의 일 실시예에 따른 프로세서(100)는 메모리 장치(110) 및 프로세싱부(120)를 포함한다. 그리고, 메모리 장치(110)는 캐쉬부(111) 및 캐쉬 제어부(112)를 포함한다. 이하, 각 구성요소 별로 그 기능을 상세하게 설명하기로 한다.

[0025] 캐쉬부(111)는 다수의 비트 셀을 포함하며, 각 비트 셀에는 하나의 비트가 저장된다. 앞서 설명한 바와 같이 다수의 비트 셀 중 대부분은 비트를 기록할 수 있는 정상 비트 셀이지만, 일부는 공정 변이에 의해 발생한 비트를 기록할 수 없는 결함(fault) 비트 셀인 것으로 가정한다.

[0026] 그리고, 본 발명의 일 실시예에 따르면, 캐쉬부(111)는 프로세서(100)에 포함되는 모든 캐쉬를 포함하는 개념일 수도 있고, 프로세서(100)에 포함된 캐쉬 중에서 라스트 레벨 캐쉬(LLC: Last-Level Cache)만을 포함하는 개념일 수도 있다.

[0027] 캐쉬 제어부(112)는 캐쉬부(111)로의 데이터의 기록(write) 내지 캐쉬부(111)로부터의 데이터의 독출(read)을 제어한다. 즉, 캐쉬 제어부(112)는 캐쉬부(111)로 데이터를 기록하거나 캐쉬부(111)에 기록된 데이터를 독출한다.

[0028] 그리고, 프로세싱부(120)는 캐쉬부(111)로부터 독출된 데이터를 프로세싱한다.

[0029] 이하, 도 2 내지 도 7을 참조하여 본 발명의 일 실시예에 따른 프로세서(100)의 구조 및 캐쉬부(111)에 데이터를 기록하는 동작을 상세하게 설명하고, 도 8을 참조하여 캐쉬부(111)에 기록된 데이터를 독출하는 동작을 상세하게 설명한다.

[0030] 먼저, 도 2 및 도 3을 참조하면, 캐쉬부(111)는 n (2 이상의 정수임)개의 캐쉬 영역(113)을 포함할 수 있다. 여기서 캐쉬 영역(113)은 캐쉬부(111) 내에서 물리적으로 구분되는 영역일 수 있다.

[0031] 보다 상세하게, 도 2에서는 캐쉬부(111)에 포함된 n 개의 캐쉬 영역이 평면적으로 배치된 일레(즉, 2D 프로세서에 포함되는 캐쉬부(111)의 형태)를 도시하고 있고, 도 3에서는 캐쉬부(111)에 포함되는 n 개의 캐쉬 영역(113)이 수직인 방향으로 적층되어 배치된 일레(즉, 3D 프로세서에 포함되는 다수의 캐쉬 레이어로 구성된 캐쉬부(111)의 형태)를 도시하고 있다. 즉, 본 발명의 프로세서(100)는 n 개의 캐쉬 영역(113)이 평면적으로 배치되는 2D 프로세서일 수도 있고, n 개의 캐쉬 영역(113)이 수직으로 배치되는 3D 프로세서일 수도 있다.

[0032] 또한, 캐쉬부(111)에 포함된 n 개의 캐쉬 영역(113) 중 적어도 일부는 별개의 공정을 통해 제작된 웨이퍼를 이용하여 생성된 것일 수 있다. 이러한 경우, 프로세서(100)는 3D 프로세서인 것이 바람직하다.

[0033] 그리고, 캐쉬부(111)는 m (2 이상의 정수임)개의 비트 셀을 포함하는 다수의 비트 서브블록으로 구획된다. 여기서, 비트 서브블록의 크기는 캐쉬 라인(Cache Line)의 크기보다 작을 수 있다. 다시 말해, m 은 캐쉬 라인에 포함된 비트 셀의 개수보다 작을 수 있다.

[0034] 또한, n 개의 비트 서브블록이 그룹핑되어 하나의 워드 서브블록을 구성한다. 즉, 하나의 워드 서브블록은 n 개의 비트 서브블록을 포함하고, 그 크기는 " $m \times n$ "이 된다. 그리고, 워드 서브블록에 포함된 n 개의 비트 서브블록 각각은 결함 비트 셀을 포함하는 결함 비트 서브블록 및 결함 비트 셀을 포함하지 않는 정상 비트 서브블록으로 분류될 수 있다.

[0035] 그리고, 하나의 워드 서브블록에 포함되는 n 개의 비트 서브블록은 서로 다른 캐쉬 영역(113)에 존재하는 것일 수 있다. 즉, n 개의 캐쉬 영역 각각에서 하나의 비트 서브블록이 선택되고, 이들이 그룹핑되어 하나의 워드 서브블록으로 구성할 수 있다.

[0036] 따라서, 도 4를 참조하면, 캐쉬부(111)의 캐쉬 라인의 크기가 64 바이트이고, 캐쉬 영역의 개수(n)가 4개이며, 비트 서브블록의 크기가 16 비트인 경우, 워드 서브블록의 크기는 64(16×4) 비트이고, 하나의 캐쉬 라인은 32개의 비트 서브블록 및 8개의 워드 서브블록을 포함할 수 있다. 이 경우, 앞서 설명한 바와 같이 캐쉬 라인에 포함되는 비트 서브블록의 가로 라인은 캐쉬 영역과 대응될 수 있다.

[0037] 한편, 종래 기술에 따르면, 캐쉬 라인에 결함 비트 셀이 하나라도 포함된 경우 캐쉬 라인 전체에 데이터를 기록

할 수 없었다. 다시 말해, 캐쉬 라인이 64바이트의 크기를 가지는 경우, 캐쉬 라인에 포함된 512개의 비트 셀 중에서 단 하나의 비트 셀이 결합 비트 셀인 경우에도 512개의 비트 셀 모두를 사용할 수 없게 되는 문제점이 있었다.

[0038] 본 발명에서는 상기와 같은 문제점을 해결하기 위해, 캐쉬 라인보다 크기가 작은 "비트 서브블록" 단위로 결합 비트 셀이 포함된 캐쉬의 부분을 사용하지 않는 방법을 제안한다. 이에 대해 상세히 설명하면 아래와 같다.

[0039] 본 발명의 일 실시예에 따르면, 데이터는 워드 서브블록 단위로 캐쉬부(111)에 기록될 수 있다. 따라서, 캐쉬부(111)에 기록되는 데이터는 워드 서브블록의 크기와 동일한 크기($m \times n$)를 가지고, m 개의 비트를 각각 포함하는 n 개의 비트 그룹을 포함하며, 하나의 비트 그룹은 하나의 비트 서브블록에 저장된다.

[0040] 그리고, 데이터는 소정의 내로우 너비를 가진다. 여기서, 데이터의 내로우 너비는 최상위 비트에서 시작하여 최초로 발생하는 0이 아닌 값을 가지는 비트로부터 데이터의 최하위 비트 사이까지의 비트를 포함하는 너비를 의미하고, 내로우 너비의 값은 상기 최초로 발생하는 0이 아닌 값을 가지는 비트로부터 데이터의 최하위 비트 사이까지의 비트 개수와 대응되는 개념이다.

[0041] 그리고, 데이터에 포함된 n 개의 비트 그룹 각각은 상기 n 개의 비트 그룹 각각은 비트 그룹 내의 m 개의 비트 모두가 내로우 너비에 포함되지 않는 제1 비트 그룹 및 비트 그룹 내의 m 개의 비트 중 적어도 일부가 내로우 너비에 포함되는 제2 비트 그룹 중 어느 하나로 분류될 수 있다.

[0042] 예를 들어, 캐쉬부(111)가 앞서 도 4에서 설명한 바와 같이 구성되고, 기록하고자 하는 데이터가 "3ad305c(16진수)"인 경우, 해당 데이터는 도 5에 도시된 바와 같이 표시된다. 이 경우 데이터의 최상위 비트에서 시작하여 최초로 발생하는 0이 아닌 값은 "3"이 되므로, 데이터의 내로우 너비는 도면부호 510과 대응되고, 내로우 너비 값은 "3"으로부터 "c"까지의 비트의 개수($28(=7 \times 4)$ 비트)와 대응된다. 또한, 비트 그룹 A 및 B에 포함되는 비트들은 내로우 너비에 포함되지 않으므로 비트 그룹 A 및 B는 제1 비트 그룹에 해당하고, 비트 그룹 C 및 D에 포함되는 비트 중 적어도 일부는 내로우 너비에 포함되므로, 비트 그룹 C 및 D는 제2 비트 그룹에 해당한다.

[0043] 그런데, 도 5에 도시된 데이터에 있어, 비트 그룹 A 및 B에 포함된 비트는 최상위 비트로 시작하여 모두 "0"의 값을 가지므로 비트이므로 의미없는 데이터라 할 수 있으며, 비트 그룹 C 및 D에 포함된 비트(0의 값을 가지는 비트와 1의 값을 가지는 비트가 조합된 것)가 의미있는 데이터라 할 수 있다.

[0044] 따라서, 본 발명에서는 내로우 너비 값을 이용하여 데이터 중에서 의미있는 데이터를 우선적으로 비트 서브블록 단위로 기록함으로써 기록되는 비트의 수를 줄임과 동시에 결합 비트 셀에 의해 사용되지 못하는 캐쉬의 부분을 최소화한다.

[0045] 즉, 본 발명에 따르면, 캐쉬 제어부(112)는 캐쉬부(111) 내의 결합 비트 셀의 존재 정보 및 캐쉬부(111)에 기록하고자 하는 데이터의 내로우 너비 값(Narrow Width Value)에 기초하여 데이터를 캐쉬부(111)에 기록한다.

[0046] 보다 상세하게, 캐쉬 제어부(112)는 기록하고자 하는 데이터에 포함된 제2 비트 그룹의 개수를 먼저 파악한다. 이 후, 캐쉬 제어부(112)는 캐쉬부(111)에 포함되는 다수의 워드 서브블록 중 정상 비트 서브블록의 개수가 제2 비트 그룹의 개수 이상인 적어도 하나의 워드 서브블록을 검색하고, 검색된 적어도 하나의 워드 서브블록 중에서 어느 하나의 워드 서브블록을 선택하여 데이터를 기록할 수 있다.

[0047] 이 때, 제2 비트 그룹의 개수는 데이터의 내로우 너비 값보다 큰 최소의 m 의 배수를 m 으로 나눈 값과 대응된다. 일례로, 상기한 도 5의 일례의 경우에 있어 설명의 편의를 위해 하나의 문자를 하나의 비트로 가정하면, 제2 비트 그룹의 개수($=2$)는 내로우 너비 값($=7$)보다 큰 최소의 $m(=4)$ 의 배수인 8을 $m(=4)$ 으로 나눈 값($=2$)과 대응된다.

[0048] 따라서, 상기한 캐쉬 제어부(112)의 동작을 다른 관점에서 설명하면, 캐쉬 제어부는 우선 기록하고자 하는 데이터의 내로우 너비 값이 얼마인지를 파악한 후, 데이터의 내로우 너비 값보다 큰 최소의 m 의 배수를 m 으로 나눈 값 이상의 정상 비트 서브블록을 포함하는 적어도 하나의 워드 서브블록을 검색하고, 그 중에서 어느 하나의 워드 서브블록을 선택하여 데이터를 기록할 수 있다.

[0049] 상기와 같은 과정에 의해 어느 하나의 워드 서브블록이 선택되는 경우, 캐쉬 제어부(112)는 n 개의 비트 그룹 중 제2 비트 그룹에 해당하는 비트 그룹을 어느 하나의 워드 서브블록에 포함된 정상 비트 서브블록에 우선적으로

기록한다. 그리고, 캐쉬 제어부(112)는 여분의 정상 비트 서브블록이 있는 경우, 해당 여분의 정상 비트 서브블록은 모두 "0"으로 기록한다.

[0050] 일례로서, 기록하고자 하는 데이터가 도 5와 같은 경우, 캐쉬 제어부는 도 6에 도시된 바와 같이 데이터를 워드 서브블록에 기록할 수 있다.

[0051] 보다 상세하게, 도 6의 (a) 및 (b)는 선택된 워드 서브블록에 포함된 정상 비트 서브블록의 개수와 데이터의 제 2 비트 그룹의 개수가 동일한 경우를 도시하고 있고, 도 6의 (c) 및 (d)는 선택된 워드 서브블록에 포함된 정상 비트 서브블록의 개수가 데이터의 제2 비트 그룹의 개수보다 큰 경우를 도시하고 있다. 도 6에서는 제2 비트 그룹이 데이터 내에서의 순서에 따라 워드 서브블록 내에서 순차적으로 저장되는 것으로 도시하였으나, 이는 일례에 불과한 것으로서, 제2 비트 그룹의 저장 순서는 다양한 방식으로 결정될 수 있다.

[0052] 한편, 데이터가 기록되지 않는 결합 비트 서브블록에 포함되는 비트 셀은 정상 비트 셀이라 하더라도 비트가 기록되지 않으므로, 본 발명에서는 불필요한 에너지의 소모를 줄이기 위해, 결합 비트 서브블록에 포함되는 정상 비트 셀에 비트가 기록되지 않는 경우, 해당 정상 비트 셀에 인가되는 전압을 Gated-Vdd 기법을 이용하여 차단시킬 수 있다.

[0053] 또한, 본 발명의 일 실시예에 따르면, 캐쉬 제어부(112)는 최근 최소 사용(LRU: least Recently Used) 기법을 활용하여 데이터를 기록할 하나의 워드 서브블록을 선택할 수 있다.

[0054] 보다 상세하게, 캐쉬 제어부(112)는 검색된 적어도 하나의 워드 서브블록에 해당 데이터가 기록될 수 있는지를 확인하는데, 종래기술에 따르면, LRU 블록을 교체될 데이터 블록(victim)을 선택하지만, 본 발명의 경우 내로우 너비 값을 사용하여 데이터를 기록하는 바, 도 7의 (a)에 도시한 바와 같이 LRU 블록에 데이터를 기록할 수 없는 경우가 존재할 수 있다. 따라서, 캐쉬 제어부(112)는 도 7의 (b)에 도시된 바와 같이 LRU 블록의 다음 LRU 블록을 확인하여 데이터를 기록할 수 있는지 여부를 확인하는 동작을 반복적으로 수행하여 최종적으로 데이터를 기록할 하나의 워드 서브블록을 선택할 수 있다.

[0055] 또한, 본 발명의 일 실시예에 따르면, 결합 비트 셀의 존재 정보는 프로세서(100) 내지 메모리 장치(110)의 제조 단계 내지 테스트 단계에서 생성될 수 있는 결합 비트맵(Fault bitmap)로부터 획득될 수 있다. 즉, 워드 서브블록에 포함된 비트 서브블록이 정상 비트 서브블록인지 결합 비트 서브블록인지 여부는 결합 비트맵을 사용하여 확인될 수 있다. 일례로, 결합 비트맵은 앞서 정의한 비트 서브블록 단위로 결합 비트 셀이 포함되어 있는지를 표시한 지도일 수 있다(지도 상에서, 결합 비트 셀이 포함된 비트 서브블록의 위치에는 "1"의 값이 할당되고 결합 비트 셀이 포함되지 않은 비트 서브블록의 위치에는 "0"의 값이 할당됨).

[0056] 그리고, 상기에서 설명한 데이터의 기록 동작은 별개의 공정을 통해 제작된 웨이퍼를 이용하여 다수의 캐쉬 레이어를 적층하여 생성되는 3D 프로세서에 보다 용이하게 적용될 수 있다.

[0057] 이에 대해 보다 상세히 살펴보면, 종래의 경우 웨이(way)를 분산시켜 데이터를 기록하거나(웨이 파티션, Way-Partition), 세트(set)을 분산하여 데이터를 기록(세트 파티션, Set-Partition)하는 기법이 있었으나, 이는 3D 프로세서에 비효율적이라는 문제점이 있었다.

[0058] 보다 상세하게, 웨이 파티션 기법의 경우, 하나의 세트 안에 있는 캐쉬 라인들이 각기 다른 레이어로 분산되기는 하지만, 하나의 캐쉬 라인이 같은 레이어에 위치하므로 결합 비트 셀이 존재하는 캐쉬 라인 전체를 사용하지 못하게 되어 성능이 저하되는 문제점이 있었다. 또한, 세트 파티션 기법의 경우, 세트 안에 있는 캐쉬 라인들이 서로 근접하여 위치하므로 시스템적 변이(Systemic Variation)에 의해 결함이 발생할 확률이 매우 높아지는 문제점이 있었다. 따라서, 본 발명에 따른 프로세서(100)는 3D 프로세서에 보다 용이하게 적용될 수 있다.

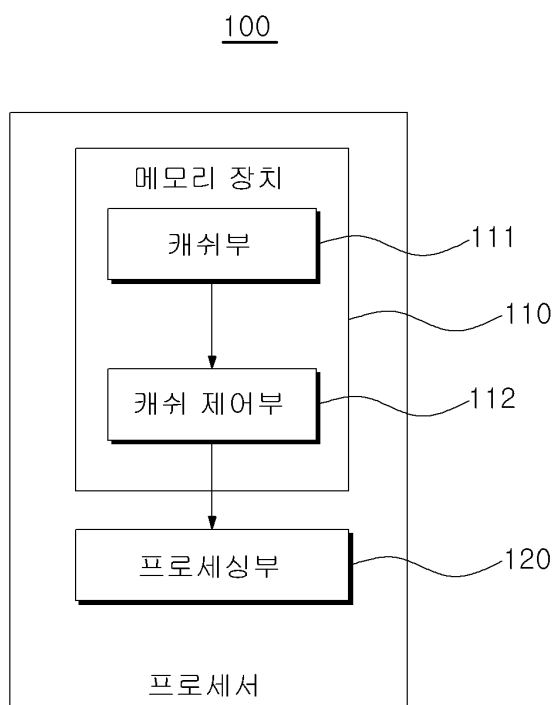
[0059] 한편, 본 발명의 일 실시예에 따르면, 캐쉬 제어부(112)는 워드 서브블록 단위로 상기 기록된 데이터를 캐쉬부(111)에서 독출하되, 독출되는 워드 서브블록에 불량 비트 서브블록이 포함되어 있는 경우, 독출되는 워드 서브블록 내의 정상 비트 서브블록에 기록된 비트를 독출하고, 독출되는 워드 서브블록 내의 불량 비트 서브블록에 포함된 비트 셀의 개수와 대응되는 0의 값을 가지는 비트를 생성하고, 상기 생성된 0의 값을 가지는 비트와 상기 독출된 비트를 조합하여 데이터를 복원할 수 있다.

[0060] 다시 말해, 앞서 설명한 바와 같이, 워드 서브블록 내에 불량 비트 서브블록이 존재하는 경우, 해당 워드 서브블록에 저장된 데이터는 연속되는 0을 포함하는 의미없는 데이터인 제1 비트 그룹이 포함된 데이터이므로, 캐쉬 제어부(112)는 불량 비트 서브블록에 포함된 비트 셀의 개수와 대응되는 비트에 대해서는 0의 값을 할당하고, 이 값을 정상 비트 서브블록에서 독출한 비트와 조합하여 데이터를 복원할 수 있다.

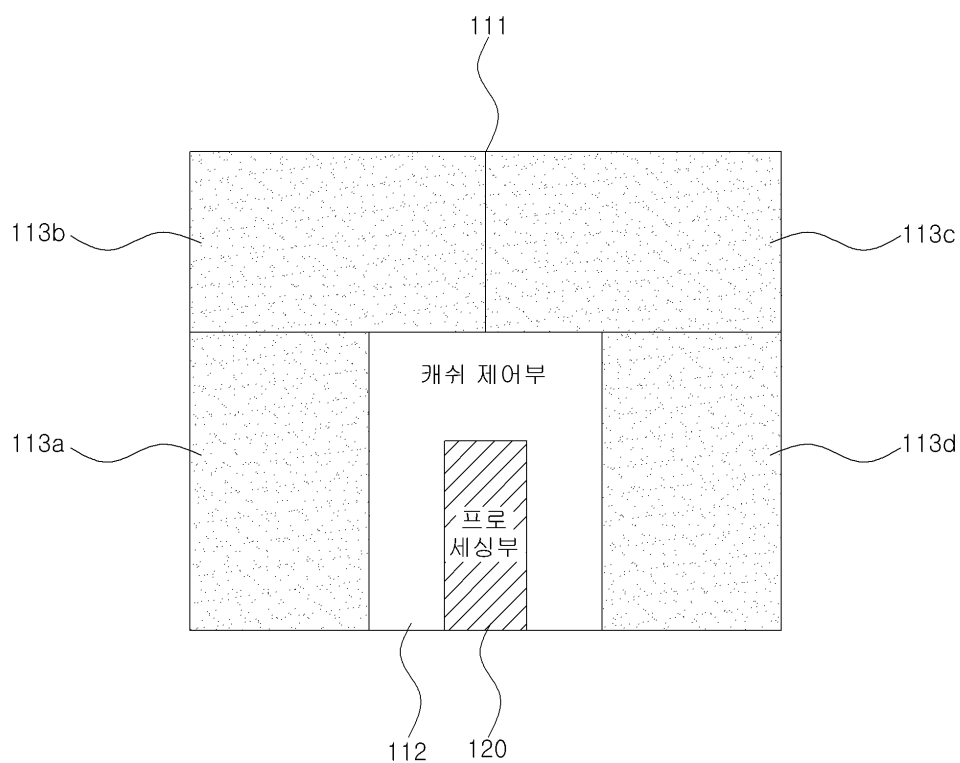
- [0061] 일례로서, 도 8을 참조하면, 레이어(영역) 1 및 3에 포함되는 비트 서브블록은 정상 비트 서브블록이고, 레이어 2 및 4에 포함되는 비트 서브블록은 결함 비트 서브블록이므로, 캐쉬 제어부(112)는 우선 정상 비트 서브블록에서 데이터를 독출한 후 이를 데이터의 하위 비트로 설정하고, 불량 비트 서브블록에 포함된 비트 셀의 개수만큼 생성된 0의 값을 가지는 비트를 데이터의 상위 비트로 설정하여 데이터를 최종적으로 독출할 수 있다.
- [0062] 이와 같이 본 발명의 일 실시예에 따른 프로세서(100) 내지 메모리 장치(110)는 워드 서브블록에 결함 비트 셀을 포함하는 비트 서브블록이 존재한다 하더라도 데이터의 내로우 너비를 이용하여 기록하고자 하는 데이터에 포함된 의미없는 비트들을 기록하지 않도록 함으로써 캐쉬 내의 데이터 저장 공간을 최대한으로 활용할 수 있는 장점이 있다. 이에 따라, 캐쉬 라인 단위로 결함 비트 셀이 포함된 캐쉬의 부분을 사용하지 않게 되어 캐쉬의 활용을 최대화할 수 있게 된다.
- [0063] 도 9는 본 발명의 일 실시예에 따른 데이터 기록/독출 방법의 전체적인 흐름을 도시한 순서도이다. 이하, 각 단계 별로 수행되는 과정을 설명한다.
- [0064] 먼저, 단계(S910)는 데이터를 기록하는 단계이다.
- [0065] 보다 상세하게, 단계(S911)에서는 기록하고자 하는 데이터의 내로우 너비 값을 확인하고, 단계(S912)에서는 캐쉬 내의 불량 비트 셀의 존재 정보를 이용하여 내로우 너비 값에 맞는 워드 서브블록(즉, 데이터를 기록할 수 있는 워드 서브블록)을 검색한다. 그리고, 단계(S913)에서는 검색된 워드 서브블록에 데이터를 기록한다.
- [0066] 단계(S910)의 데이터 기록 과정은 앞서 도 2 내지 도 7을 통해 설명한 내용이 그대로 적용 가능하므로, 이에 대한 보다 상세한 설명은 생략하기로 한다.
- [0067] 다음으로, 단계(S920)은 데이터를 독출하는 단계이다.
- [0068] 보다 상세하게, 단계(S920)에서는 앞서 도 8에서 설명한 바와 같이, 독출되는 워드 서브블록에 상기 불량 비트 서브블록이 포함되어 있는 경우, 독출되는 워드 서브블록 내의 정상 비트 서브블록에 기록된 비트를 독출하고, 독출되는 워드 서브블록 내의 불량 비트 서브블록에 포함된 비트 셀의 개수와 대응되는 0의 값을 가지는 비트를 생성한 후, 상기 생성된 0의 값을 가지는 비트와 상기 독출된 비트를 조합하여 데이터를 복원할 수 있다.
- [0069] 또한, 본 발명의 실시예들은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 본 발명의 일 실시예들의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0070] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

도면

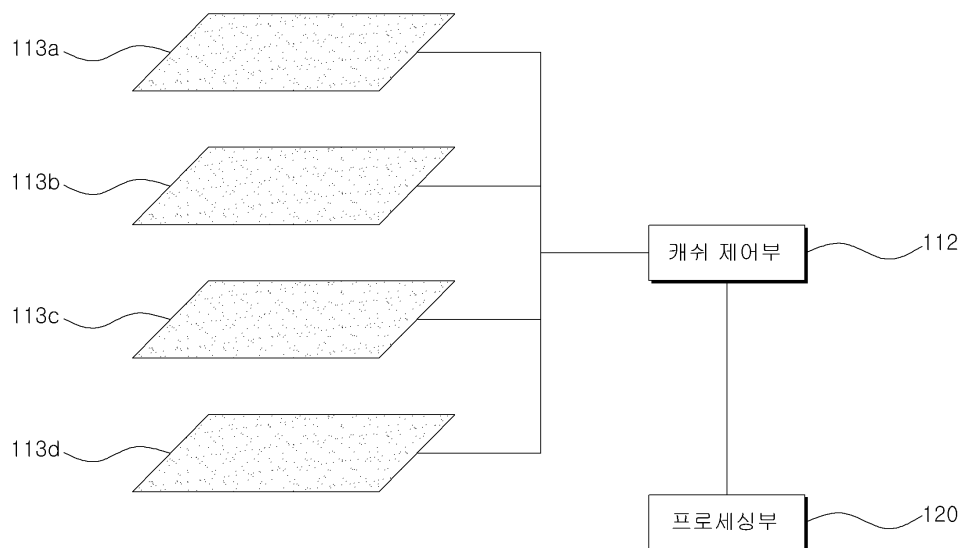
도면1



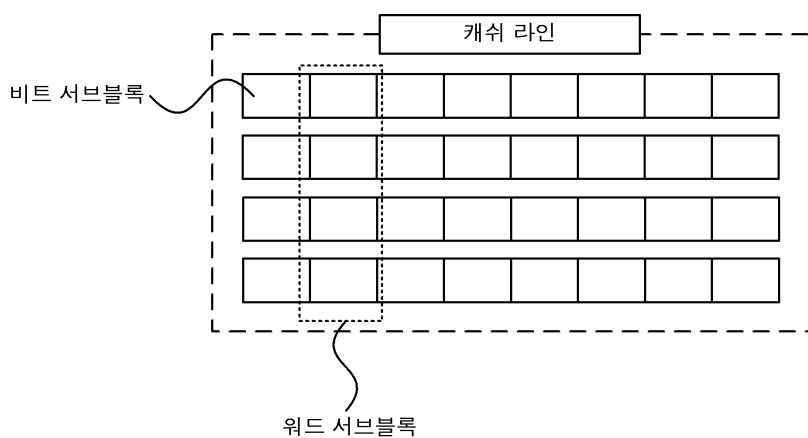
도면2



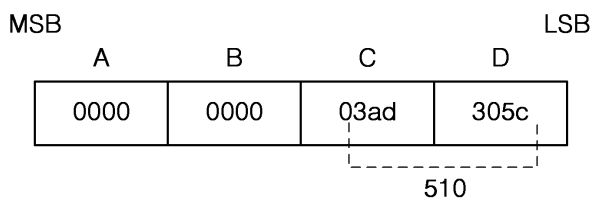
도면3



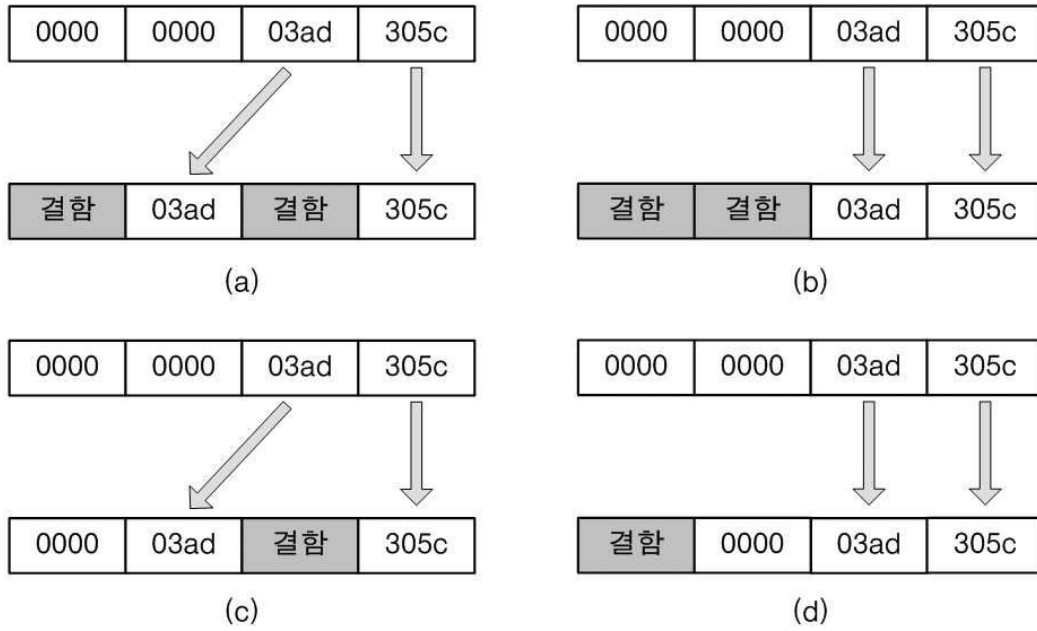
도면4



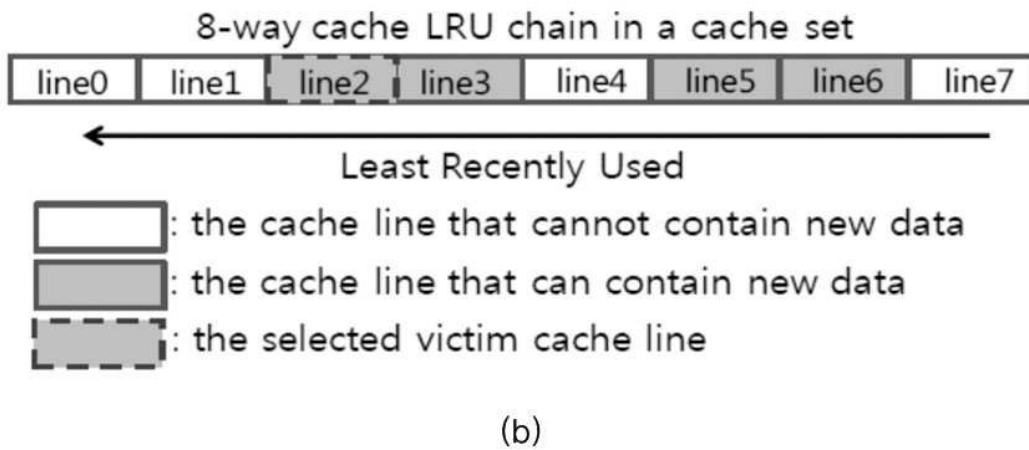
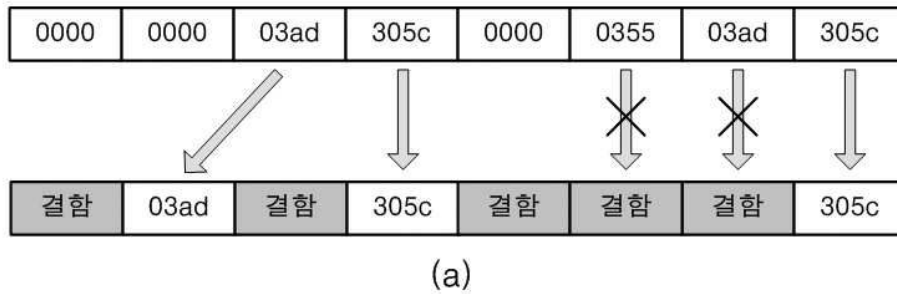
도면5



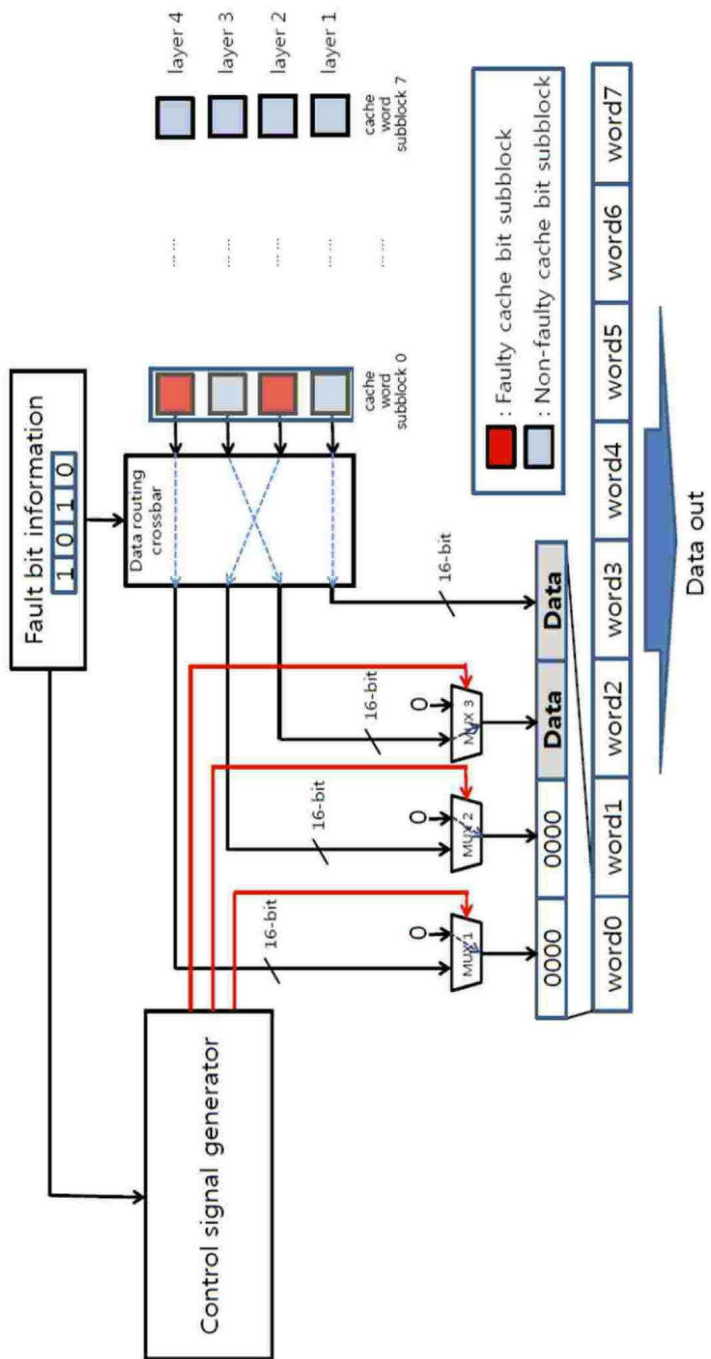
도면6



도면7



도면8



도면9

