

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7561589号
(P7561589)

(45)発行日 令和6年10月4日(2024.10.4)

(24)登録日 令和6年9月26日(2024.9.26)

(51)国際特許分類	F I
H 0 2 M 3/28 (2006.01)	H 0 2 M 3/28 W
G 0 1 R 31/26 (2020.01)	H 0 2 M 3/28 B
G 0 1 R 31/28 (2006.01)	G 0 1 R 31/26 B
	G 0 1 R 31/28 P

請求項の数 10 (全16頁)

(21)出願番号	特願2020-198413(P2020-198413)	(73)特許権者	390005175
(22)出願日	令和2年11月30日(2020.11.30)		株式会社アドバンテスト
(65)公開番号	特開2022-86417(P2022-86417A)		東京都千代田区丸の内1丁目6番2号
(43)公開日	令和4年6月9日(2022.6.9)	(74)代理人	100105924
審査請求日	令和5年9月21日(2023.9.21)		弁理士 森下 賢樹
		(74)代理人	100109047
			弁理士 村田 雄祐
		(74)代理人	100109081
			弁理士 三木 友由
		(74)代理人	100133215
			弁理士 真家 大樹
		(72)発明者	清水 貴彦
			東京都千代田区丸の内1丁目6番2号
			株式会社アドバンテスト内
		(72)発明者	今井 祥一朗

最終頁に続く

(54)【発明の名称】 電源装置、電源ユニット、試験装置

(57)【特許請求の範囲】

【請求項1】

スタック接続される複数チャンネルの電源ユニットを備え、
前記複数チャンネルの電源ユニットはそれぞれ、
正極出力および負極出力と、
制御信号に応じて、前記正極出力と前記負極出力の間に出力電圧を発生する出力段と、
前記出力電圧を示す電圧検出信号を生成する電圧検出器と、
を備え、
前記複数チャンネルのひとつであるマスターチャンネルの電源ユニットは、
前記複数チャンネルの残りであるスレーブチャンネルの電源ユニットから前記電圧検出
10
信号を受信し、全チャンネルの前記電圧検出信号にもとづくフィードバック信号を生成す
るフィードバック信号生成部と、
前記フィードバック信号が目標値に近づくように、前記制御信号を生成するフィードバ
ックコントローラと、
をさらに備え、
全チャンネルの前記出力段は、前記マスターチャンネルの前記フィードバックコントロ
ーラが生成する前記制御信号にもとづいて動作することを特徴とする電源装置。

【請求項2】

前記マスターチャンネルの電源ユニットは、前記出力段の出力電流を示す電流検出信号
を生成する電流検出器をさらに備え、

前記フィードバックコントローラは、前記電流検出信号が所定のリミット値を超えると
き、前記電流検出信号が前記リミット値に近づくように、前記制御信号を生成することを
特徴とする請求項 1 に記載の電源装置。

【請求項 3】

前記複数チャンネルの電源ユニットは、前記フィードバック信号生成部、前記フィード
バックコントローラおよび前記電流検出器を備え、同様に構成されており、

各電源ユニットは、マスターモードとスレーブモードが選択可能であり、前記マスター
モードに設定されたとき、前記フィードバック信号生成部、前記フィードバックコントロ
ーラが有効化され、前記スレーブモードに設定されたとき、前記フィードバック信号生成
部と前記フィードバックコントローラが無効化されることを特徴とする請求項 2 に記載の
電源装置。

10

【請求項 4】

前記フィードバック信号は、前記全チャンネルの前記電圧検出信号の平均値であること
を特徴とする請求項 1 から 3 のいずれかに記載の電源装置。

【請求項 5】

前記マスターチャンネルは、前記複数チャンネルのうち最上段に位置することを特徴と
する請求項 1 から 4 のいずれかに記載の電源装置。

【請求項 6】

複数個をスタックして電源装置を構成可能な電源ユニットであって、

正極出力および負極出力と、

制御信号に応じて、前記正極出力と前記負極出力の間に出力電圧を発生する出力段と、
前記出力電圧を示す電圧検出信号を生成する電圧検出器と、

マスターチャンネルに設定されたときにアクティブとなり、全チャンネルの前記電圧検
出信号にもとづくフィードバック信号を生成するフィードバック信号生成部と、

前記マスターチャンネルに設定されたときにアクティブとなり、前記フィードバック信
号が目標値に近づくように、制御信号を生成するフィードバックコントローラと、

前記マスターチャンネルに設定されたとき、他のチャンネルから前記電圧検出信号を受
信するとともに、他のチャンネルに前記制御信号を送信し、スレーブチャンネルに設定さ
れたとき、前記マスターチャンネルから前記制御信号を受信するとともに、前記マスター
チャンネルに前記電圧検出信号を送信するインタフェース回路と、

を備えることを特徴とする電源ユニット。

20

30

【請求項 7】

前記出力段の出力電流を示す電流検出信号を生成する電流検出器をさらに備え、

前記マスターチャンネルに設定されたとき、前記フィードバックコントローラは、前記
電流検出信号が所定のリミット値を超えると、前記電流検出信号が前記リミット値に近
づくように、前記制御信号を生成することを特徴とする請求項 6 に記載の電源ユニット。

【請求項 8】

前記フィードバック信号は、前記全チャンネルの前記電圧検出信号の平均値であること
を特徴とする請求項 6 または 7 に記載の電源ユニット。

【請求項 9】

請求項 6 から 8 のいずれかに記載の電源ユニットを複数個、スタック接続して構成され
る電源装置。

40

【請求項 10】

被試験デバイスに対して電力を供給する請求項 1 から 5、9 のいずれかに記載の電源装
置を備えることを特徴とする試験装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デバイスに電源電圧もしくは電源電流を供給する電源装置に関する。

【背景技術】

50

【 0 0 0 2 】

近年、省エネルギー化を目的として、高電圧を高速にスイッチングすることで高効率な電力変換が可能な SiC (炭化ケイ素) FET (Field-Effect Transistor) や GaN (窒化ガリウム) HEMT (High Electron Mobility Transistor) などのパワーデバイスの研究開発が盛んになっている。それにともない、高電圧を印加するデバイス試験の需要も増大し、試験時間短縮の要求が強くなっている。それらのデバイス試験においては 1000V 、デバイスによっては 2000V の高電圧かつ高精度な直流電圧印加が必要である。

【 0 0 0 3 】

試験装置用の電源装置の最高出力電圧が、負荷に供給すべき高電圧に満たない場合、複数のチャンネルの電源装置 (以下、電源ユニットと称する) を直列接続 (以下、スタック接続) する必要がある。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 文献 】 特開 2013 - 138557 号公報

【 文献 】 特表 2013 - 535949 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

図 1 は、高電圧電源 100R のブロック図である。図 1 を参照すると、高電圧電源 100R は、スタック接続された複数チャンネル $\text{CH}1 \sim \text{CH}N$ の電源ユニット $110_1 \sim 110_N$ を備える。各チャンネルの電源ユニット 110 は、一次側 P と二次側 S を有し、一次側 P と二次側 S は、トランスやキャパシタなどのアイソレーションバリア 112 を介して絶縁されている。複数の電源ユニット $110_1 \sim 110_N$ の一次側 P の接地端子 GND 同士は、共通に接続される。

20

【 0 0 0 6 】

電源ユニット 110 の二次側 S には、正極出力 OUTP と負極出力 OUTN が設けられ、正極出力 OUTP と負極出力 OUTN の間には、出力段 120 が設けられる。図 1 の構成では、全チャンネルが独立に動作し、 i 番目 ($i = 1 \sim N$) のチャンネルの出力段 120 は、自身の出力電圧 V_i が目標値 V_{REF} に近づくように定電圧制御される。

30

【 0 0 0 7 】

i 番目 ($1 \leq i \leq N - 1$) のチャンネルの電源ユニット 110_i の負極出力 OUTN は、 $i + 1$ 番目のチャンネルの電源ユニット $110_ (i + 1)$ の正極出力 OUTP と接続される。1 番目のチャンネルの電源ユニット 110_1 の正極出力 OUTP は負荷 1 と接続され、 N 番目のチャンネルの電源ユニット 110 の負極出力 OUTN は接地される。

【 0 0 0 8 】

負荷 1 の両端間に供給される高電圧 V_{OUTH} は、各チャンネルの出力段 120 の発生電圧 $V_1 \sim V_N$ の和であり、以下の式で表される。

$$V_{\text{OUTH}} = \sum_{i=1}^N V_i$$

$V_1 \sim V_N$ それぞれが V_{REF} に安定化される定常状態では、出力電圧 V_{OUTH} は、 $N \times V_{\text{REF}}$ となる。

40

【 0 0 0 9 】

複数のチャンネルの電源ユニットをスタック接続する場合の問題を説明する。図 2 (a) は、高電圧電源の出力電圧の波形図 (シミュレーション結果) であり、図 2 (b) は、スタック段数 N とセトリング時間の関係を示す図である。なお、電圧波形は、セトリング後の電圧レベルで除算して正規化している。"simulation" は、図 2 (a) の波形から得られるスタック段数 N とセトリング時間の関係を示しており、スタック段数 N を増やすほど、セトリング時間が長くなってしまふ。一方で、"expectation" で示すように、セトリング時間はスタック段数 N に係わらず一定であることが望まれる。

【 0 0 1 0 】

50

本開示の一態様は係る状況においてなされたものであり、その例示的な目的のひとつは、セトリング時間を短縮した高電圧電源の提供にある。

【課題を解決するための手段】

【0011】

本開示のある態様の電源装置は、スタック接続される複数チャンネルの電源ユニットを備える。複数チャンネルの電源ユニットはそれぞれ、正極出力および負極出力と、制御信号に応じて、正極出力と負極出力の間に出力電圧を発生する出力段と、出力電圧を示す電圧検出信号を生成する電圧検出器と、を備える。複数チャンネルのひとつであるマスターチャンネルの電源ユニットは、複数チャンネルの残りであるスレーブチャンネルの電源ユニットから電圧検出信号を受信し、全チャンネルの電圧検出信号にもとづくフィードバック信号を生成するフィードバック信号生成部と、フィードバック信号が目標値に近づくように、制御信号を生成するフィードバックコントローラと、をさらに備える。全チャンネルの出力段は、マスターチャンネルのフィードバックコントローラが生成する制御信号にもとづいて動作する。

10

【0012】

本開示のある態様は、電源ユニットである。この電源ユニットは、複数個をスタックして電源装置を構成可能である。電源ユニットは、正極出力および負極出力と、制御信号に応じて、正極出力と負極出力の間に出力電圧を発生する出力段と、出力電圧を示す電圧検出信号を生成する電圧検出器と、マスターチャンネルに設定されたときにアクティブとなり、全チャンネルの電圧検出信号にもとづくフィードバック信号を生成するフィードバック信号生成部と、マスターチャンネルに設定されたときにアクティブとなり、フィードバック信号が目標値に近づくように、制御信号を生成するフィードバックコントローラと、マスターチャンネルに設定されたとき、他のチャンネルから電圧検出信号を受信するとともに、他のチャンネルに制御信号を送信し、スレーブチャンネルに設定されたとき、マスターチャンネルから制御信号を受信するとともに、マスターチャンネルに電圧検出信号を送信するインタフェース回路と、を備える。

20

【0013】

なお、以上の構成要素の任意の組み合わせや、本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

30

【0014】

本開示のある態様によれば、スタック段数が多いときのセトリング時間を短縮できる。

【図面の簡単な説明】

【0015】

【図1】高電圧電源のブロック図である。

【図2】図2(a)は、高電圧電源の出力電圧の波形図(シミュレーション結果)であり、図2(b)は、スタック段数Nとセトリング時間の関係を示す図である。

【図3】図1の高電圧電源の等価回路図である。

【図4】実施の形態に係る電源装置を備える試験装置を示すブロック図である。

【図5】実施例1に係るマスターチャンネルの電源ユニットの構成例を示すブロック図である。

40

【図6】実施例2に係る電源ユニットのブロック図である。

【図7】図7(a)、(b)は、マスターモード、スレーブモードにおける図6の電源ユニットの状態を示す図である。

【図8】電源ユニットの具体的な構成例を示すブロック図である。

【図9】図8の電源ユニットを2個組み合わせた電源装置の動作波形図である。

【発明を実施するための形態】

【0016】

(実施形態の概要)

本開示のいくつかの例示的な実施形態の概要を説明する。この概要は、後述する詳細な

50

説明の前置きとして、実施形態の基本的な理解を目的として、1つまたは複数の実施形態のいくつかの概念を簡略化して説明するものであり、発明あるいは開示の広さを限定するものではない。またこの概要は、考えられるすべての実施形態の包括的な概要ではなく、実施形態の欠くべからざる構成要素を限定するものではない。便宜上、「一実施形態」は、本明細書に開示するひとつの実施形態（実施例や変形例）または複数の実施形態（実施例や変形例）を指すものとして用いる場合がある。

【0017】

はじめに、スタック段数 N が大きいほど、セトリング時間が長くなる理由について、本発明らが考察した結果を説明する。

【0018】

図3は、図1の高電圧電源100Rの等価回路図である。図1に示すように、各チャンネルの電源ユニット110は、一次側Pの接地端子GNDと二次側Sの負極出力OUTNの間に、アイソレーション容量 C_{ISO} が存在する。図3に示すように、アイソレーション容量 C_{ISO} は、出力段120から静電容量負荷として見え、スタックの段数（チャンネル数） N が増えるほど、静電容量負荷が大きくなる。

【0019】

チャンネルごとに、静電容量負荷の大きさが異なるため、セトリング性能は、チャンネルごとにばらつくこととなる。このセトリング性能のばらつきが、高電圧電源100Rの出力電圧 V_{OUTH} のセトリング時間が長くなる原因のひとつとなる。

【0020】

加えて、電源ユニット110（出力段120）には、電流クランプ機能（過電流保護機能）が実装される場合が多い。具体的には、電源ユニット110の出力段120は、その出力電流が所定のリミット値より低い状態では、定電圧制御が有効であるが、出力電流がリミット値を超えると、定電圧制御が無効となり、出力電流がリミット値に制限される（電流クランプ制御あるいは定電流制御ともいう）。

【0021】

静電容量負荷が存在する状態で電圧印加を行うと、静電容量負荷に対して突入電流が流れ込む。各出力段120の出力電流は、負荷に流れる負荷電流と、突入電流の合計であるところ、突入電流の大きさは、チャンネルごとに異なる場合がある。すなわち1段目のチャンネルではアイソレーション容量 C_{ISO} が見えないため、突入電流が発生しにくいのに対して、2段目以降のチャンネルでは、静電容量 C_{ISO} が見えるため、突入電流が発生しやすい。

【0022】

一部のチャンネルで大きな突入電流が発生すると、そのチャンネルの出力段120の動作モードが、定電圧制御から電流クランプ制御に移行する。電流クランプ制御と定電圧制御が併存すると、図2(a)に示したように、高電圧電源100Rの出力電圧 V_{OUTH} に変曲点が現れて波形が歪む。そしてスタック段数が増えるほど、充電すべき静電容量が増えるため、出力電圧 V_{OUTH} が上昇する傾きは小さくなるため、セトリング時間が長くなる。

【0023】

以下では、セトリング時間の増加を抑制するための技術を説明する。

【0024】

一実施形態に係る電源装置は、スタック接続される複数チャンネルの電源ユニットを備える。複数チャンネルの電源ユニットはそれぞれ、正極出力および負極出力と、制御信号に応じて、正極出力と負極出力の間に出力電圧を発生する出力段と、出力電圧を示す電圧検出信号を生成する電圧検出器と、を備える。複数チャンネルのひとつであるマスターチャンネルの電源ユニットは、複数チャンネルの残りであるスレーブチャンネルの電源ユニットから電圧検出信号を受信し、全チャンネルの電圧検出信号にもとづくフィードバック信号を生成するフィードバック信号生成部と、フィードバック信号が目標値に近づくように、制御信号を生成するフィードバックコントローラと、をさらに備える。全チャンネル

10

20

30

40

50

の出力段は、マスターチャンネルのフィードバックコントローラが生成する制御信号にもとづいて動作する。

【 0 0 2 5 】

この構成によると、複数チャンネルの電源ユニットの出力段が、同じ制御信号にもとづいて動作する。そのため、チャンネルごとのセトリング性能のばらつきを解消することができ、これにより、チャンネル数を増やしたときにセトリング時間が増加するのを抑制できる。

【 0 0 2 6 】

一実施形態において、マスターチャンネルの電源ユニットは、出力段の出力電流を示す電流検出信号を生成する電流検出器をさらに備えてもよい。フィードバックコントローラは、電流検出信号が所定のリミット値を超えると、電流検出信号がリミット値に近づくように、制御信号を生成してもよい。

10

【 0 0 2 7 】

電流クランプ制御は、マスターチャンネルが主導して全チャンネルで一斉に有効となる。したがって、電流クランプ制御と定電圧制御との混在を防止でき、セトリング時間が長くなるのを抑制できる。

【 0 0 2 8 】

複数チャンネルの電源ユニットはそれぞれ、フィードバック信号生成部とフィードバックコントローラを備え、同様に構成されてもよい。各電源ユニットは、マスターモードとスレーブモードが選択可能であり、マスターモードに設定されたとき、フィードバック信号生成部とフィードバックコントローラが有効化され、スレーブモードに設定されたとき、フィードバック信号生成部とフィードバックコントローラが無効化されてもよい。なお、「ある回路ブロックを無効化する」ことは、当該ブロックを動作させない場合のみでなく、動作はさせるが、その出力を遮断あるいはマスクするなどして使用しない場合も含みうる。

20

【 0 0 2 9 】

同じ電源ユニットを複数用意し、接続関係を組み替えて、モードを適切に設定することにより、負荷の個数を変化させたりすることが可能となる。たとえばN個の電源ユニットがある場合に、N個をスタックしてそのうちのひとつをマスターモード、残りをスレーブモードとすれば、1個の負荷に対して電力を供給できる。あるいは、N個すべてをマスターモードとして独立に使用すれば、N個の負荷に対して電力を供給できる。

30

【 0 0 3 0 】

フィードバック信号は、全チャンネルの電圧検出信号の平均値であってもよい。これにより、全チャンネルの出力段や電圧検出器の特性のばらつきを加味して、正確な電圧を生成できる。

【 0 0 3 1 】

マスターチャンネルは、複数チャンネルのうち最上段に位置してもよい。突入電流がもっとも少ない最上段をマスターチャンネルとすることにより、電流クランプがかかりにくくなり、セトリング時間を短くできる。

【 0 0 3 2 】

40

一実施形態に係る電源ユニットは、複数個をスタックして電源装置を構成可能である。電源ユニットは、正極出力および負極出力と、制御信号に応じて、正極出力と負極出力の間に出力電圧を発生する出力段と、出力電圧を示す電圧検出信号を生成する電圧検出器と、マスターチャンネルに設定されたときにアクティブとなり、全チャンネルの電圧検出信号にもとづくフィードバック信号を生成するフィードバック信号生成部と、マスターチャンネルに設定されたときにアクティブとなり、フィードバック信号が目標値に近づくように、制御信号を生成するフィードバックコントローラと、マスターチャンネルに設定されたとき、他のチャンネルから電圧検出信号を受信するとともに、他のチャンネルに制御信号を送信し、スレーブチャンネルに設定されたとき、マスターチャンネルから制御信号を受信するとともに、マスターチャンネルに電圧検出信号を送信するインタフェース回路と

50

、を備える。

【 0 0 3 3 】

この構成によると、複数チャンネルをスタックした場合に、すべての電源ユニットの出力段が、同じ制御信号にもとづいて動作する。そのため、チャンネルごとのセトリング性能のばらつきを解消することができ、これにより、チャンネル数を増やしたときにセトリング時間が増加するのを抑制できる。また、同じ電源ユニットを複数用意し、接続関係を組み替えて、モードを適切に設定することにより、負荷の個数を変化させたりすることが可能となる。

【 0 0 3 4 】

(実施形態)

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【 0 0 3 5 】

本明細書において、「部材 A が、部材 B と接続された状態」とは、部材 A と部材 B が物理的に直接的に接続される場合のほか、部材 A と部材 B が、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

【 0 0 3 6 】

同様に、「部材 C が、部材 A と部材 B の間に設けられた状態」とは、部材 A と部材 C、あるいは部材 B と部材 C が直接的に接続される場合のほか、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

【 0 0 3 7 】

図 4 は、実施の形態に係る電源装置 1 0 0 を備える試験装置 2 を示すブロック図である。試験装置 2 は、D U T (被試験デバイス) 1 に電圧信号や電流信号などの試験信号を印加し、D U T 1 の応答を測定する。D U T 1 の種類は特に限定されないが、高耐圧パワーランジスタやパワーモジュールなどの 1 0 0 0 V を超えるような高電圧の電圧印加を必要とするデバイス、あるいはそうしたデバイスを含む回路、もしくは回路システムが、本試験装置 2 の試験対象として好適である。

【 0 0 3 8 】

試験装置 2 は、D U T 1 に電源信号を供給する電源装置 1 0 0 を備える。電源信号は、典型的には、所定の電圧レベルに安定化された電圧信号 V_{OUTH} である。なお、図 4 では、D U T 1 に直接、電源信号 V_{OUTH} が供給されているが、その限りでなく、この電源信号 V_{OUTH} は、D U T 1 の周辺回路や、D U T 1 を駆動する回路、D U T 1 とのインタフェースとなる回路に供給されてもよい。

【 0 0 3 9 】

試験装置 2 は、電源装置 1 0 0 に加えて、電圧センサや電流センサ、信号発生器やドライバ、コンパレータ、A / D コンバータ、D / A コンバータなどを備えるが、それらは D U T 1 の種類や試験項目に応じており、図 4 では省略している。

【 0 0 4 0 】

電源装置 1 0 0 は、スタック接続される複数 N チャンネル (C H 1 ~ C H N) の電源ユニット 2 0 0 _ 1 ~ 2 0 0 _ N を備える。各電源ユニット 2 0 0 は、正極出力 O U T P と負極出力 O U T N を有している。電源ユニット 2 0 0 は、図 1 の電源ユニット 1 1 0 と同様に、絶縁された 1 次側と 2 次側を有しているが、図 4 には二次側の構成のみを示す。負極出力 O U T N は、二次側の基準電位 (グランド) をなす。

【 0 0 4 1 】

i 番目 (1 i N - 1) のチャンネルの電源ユニット 1 1 0 _ i の負極出力 O U T N

10

20

30

40

50

は、 $i + 1$ 番目のチャンネルの電源ユニット 110_i ($i + 1$) の正極出力 $OUTP$ と接続される。1 番目のチャンネルの電源ユニット 110_1 の正極出力 $OUTP$ は負荷 1 と接続され、 N 番目のチャンネルの電源ユニット 110 の負極出力 $OUTN$ は接地される。

【0042】

複数チャンネルの電源ユニット 200 はそれぞれ、出力段 210 、電圧検出器 220 を備える。 i 番目 ($i = 1 \sim N$) の電源ユニット 200_i の出力段 210 は、制御信号 V_{ctrl} に応じて、正極出力 $OUTP$ と負極出力 $OUTN$ の間に出力電圧 V_i を発生する。また i 番目の電源ユニット 200_i の電圧検出器 220 は、対応する出力電圧 V_i を示す電圧検出信号 V_{si} を生成する。

【0043】

本実施形態において、複数 N チャンネル $CH1 \sim CHN$ は、ひとつがマスターチャンネルに、残りがスレーブチャンネルに設定される。その限りでないが、図 4 では 1 番目のチャンネル $CH1$ がマスターチャンネルであり、2 番目 $\sim N$ 番目のチャンネル $CH2 \sim CHN$ がスレーブチャンネルである。

【0044】

マスターチャンネルとスレーブチャンネルとの間は、信号の送受信が可能となっている。スレーブチャンネルの電源ユニット $200_2 \sim 200_N$ は、電圧検出信号 $V_{s1} \sim V_{sN}$ を、マスターチャンネルの電源ユニット 200_1 に送信する。

【0045】

マスターチャンネルの電源ユニット 200_1 は、出力段 210 および電圧検出器 220 に加えて、フィードバック信号生成部 230 およびフィードバックコントローラ 240 を備える。

【0046】

フィードバック信号生成部 230 は、スレーブチャンネルの電源ユニット $200_2 \sim 200_N$ から電圧検出信号 $V_{s2} \sim V_{sN}$ を受信し、全チャンネル $CH1 \sim CHN$ の電圧検出信号 $V_{s1} \sim V_{sN}$ にもとづくフィードバック信号 V_{fb} を生成する。たとえばフィードバック信号 V_{fb} は、複数の電圧検出信号 $V_{s1} \sim V_{sN}$ の単純平均値であってもよい。なお、フィードバック信号 V_{fb} はそれに限定されない。

【0047】

たとえば複数のチャンネルの電源ユニット $200_1 \sim 200_N$ にバラツキが存在する場合、バラツキを考慮した係数を利用して、重み付け平均を取ってもよい。

【0048】

フィードバックコントローラ 240 には、目標値 V_{ref} が入力される。フィードバックコントローラ 240 は、フィードバック信号 V_{fb} が目標値 V_{ref} に近づくように、制御信号 V_{ctrl} の信号レベル (大きさ) をフィードバック制御する。

【0049】

フィードバックコントローラ 240 が生成した制御信号 V_{ctrl} は、マスターチャンネルの出力段 210 に供給される。さらにこの制御信号 V_{ctrl} は、マスターチャンネルの電源ユニット 200_1 から、スレーブチャンネルの電源ユニット $200_2 \sim 200_N$ に伝送される。そして全チャンネル $CH1 \sim CHN$ の出力段 210 は、マスターチャンネル $CH1$ のフィードバックコントローラ 240 が生成する制御信号 V_{ctrl} にもとづいて動作する。

【0050】

以上が電源装置 100 の基本構成である。

【0051】

この構成によると、複数チャンネル $CH1 \sim CHN$ の電源ユニット $200_1 \sim 200_N$ の出力段 210 が、同じ制御信号 V_{ctrl} にもとづいて動作する。そのため、チャンネルごとのセトリング性能のばらつきを解消することができ、これにより、チャンネル数 N を増やしたときにセトリング時間が増加するのを抑制できる。

【0052】

10

20

30

40

50

本開示は、図４のブロック図や回路図として把握され、あるいは上述の説明から導かれるさまざまな装置、方法に及ぶものであり、特定の構成に限定されるものではない。以下、本発明の範囲を狭めるためではなく、発明の本質や動作の理解を助け、またそれらを明確化するために、より具体的な構成例や実施例を説明する。

【００５３】

（実施例１）

図５は、実施例１に係るマスターチャンネルの電源ユニット２００＿１の構成例を示すブロック図である。この電源ユニット２００＿１は電流クランプ機能を有する。具体的には電源ユニット２００＿１は、図４の電源ユニット２００＿１に加えて、電流検出器２５０を備える。電流検出器２５０は、出力段２１０の出力電流 I_{OUT} を示す電流検出信号 I_{s1} を生成する。この電流検出信号 I_{s1} は、フィードバックコントローラ２４０に入力される。

10

【００５４】

フィードバックコントローラ２４０は、電流検出信号 I_{s1} が所定のリミット値より低い状態では、上述のように、フィードバック信号 V_{fb} が目標値 V_{ref} に近づくように、制御信号 V_{ctrl} を生成する（定電圧制御）。一方、電流検出信号 I_{s1} がリミット値を超えた状態では、定電圧制御が無効となり、電流検出信号 I_{s1} がリミット値に近づくように、制御信号 V_{ctrl} を生成する（電流クランプ制御）。

【００５５】

電流クランプ機能に関するハードウェアはマスターチャンネルにのみ設けられ、あるいは、後述のように、設けられる場合であっても、スレーブチャンネルにおいて当該ハードウェアは無効化される。

20

【００５６】

マスターチャンネルにおいて電流検出信号 I_{s1} がリミット値を超えると、電流クランプ制御のための制御信号 V_{ctrl} が生成され、これによって、全チャンネルの出力段２１０が動作する。つまり電流クランプ制御は、マスターチャンネルが主導して全チャンネルで一斉に有効となる。したがって、図１の構成において生じていた、電流クランプ制御と定電圧制御との混在を防止でき、セtring時間が長くなるのを抑制できる。

【００５７】

なお、図３を参照して説明したように、複数チャンネルをスタックする場合、最も高電位側のチャンネルが、アイソレーション容量 C_{iso} の影響を受けにくく、したがって突入電流が発生しにくいといえる。したがって、マスターチャンネルに電流クランプ機能を実装する場合、突入電流が発生しにくい最上段のチャンネルをマスターチャンネルとすることで、電流クランプがかかりにくくなるため、セtring時間をさらに短縮できる。

30

【００５８】

（実施例２）

マスターチャンネルの電源ユニット２００と、スレーブチャンネルの電源ユニット２００は、はじめから別々の構成として設計しておいてもよいが、以下で説明するように、同じ構成として、マスターチャンネルとして動作させるときのモードと、スレーブチャンネルとして動作させるときのモードを、切りかえ可能に構成してもよい。

40

【００５９】

図６は、実施例２に係る電源ユニット２００のブロック図である。この電源ユニット２００は、マスターチャンネル、スレーブチャンネルの両方で使用可能である。電源ユニット２００は、モードセクタ２６０、マルチプレクサ（スイッチ）２７０を備える。

【００６０】

モードセクタ２６０は、マスターチャンネルで使用されるときマスターモード、スレーブチャンネルで使用されるときスレーブモードであることを示すモード制御信号 $MODE$ を生成する。モード制御信号 $MODE$ は、フィードバック信号生成部２３０、フィードバックコントローラ２４０、電流検出器２５０のイネーブル端子に入力され、これらのブロックは、モード制御信号 $MODE$ がマスターモードを示すときにイネーブル、スレーブ

50

モードを示すときにディセーブルとなる。

【 0 0 6 1 】

マルチプレクサ 2 7 0 のひとつの入力ノードには、同じ電源ユニット 2 0 0 内のフィードバックコントローラ 2 4 0 の出力が接続される。またマルチプレクサ 2 7 0 の別の入力ノードには、別の電源ユニット 2 0 0 において生成された制御信号 V_{ctrl} が入力可能となっている。マルチプレクサ 2 7 0 は、モード制御信号 $MODE$ がマスターモードを示すときに、同じ電源ユニット 2 0 0 内の制御信号（内部制御信号） V_{ctrl_int} を選択し、スレーブモードを示すときに他の電源ユニット 2 0 0 で生成された外部からの制御信号 V_{ctrl_ext} を選択する。

【 0 0 6 2 】

また電源ユニット 2 0 0 は、その内部で生成した制御信号 V_{ctrl_int} 、電圧検出信号 V_{si} は、外部に出力可能となっている。また電源ユニット 2 0 0 は、外部で生成された制御信号 V_{ctrl_ext} 、電圧検出信号 V_{si} を受信可能となっている。

【 0 0 6 3 】

図 7 (a)、(b) は、マスターモード、スレーブモードにおける図 6 の電源ユニット 2 0 0 の状態を示す図である。図 7 (a)、(b) において、ディセーブルとなるブロックや信号線は一点鎖線で示す。

【 0 0 6 4 】

図 8 は、電源ユニット 2 0 0 の具体的な構成例を示すブロック図である。この電源ユニット 2 0 0 は、その制御系がデジタル回路のアーキテクチャで実装され、検出信号や制御信号はデジタル信号である。

【 0 0 6 5 】

出力段 2 1 0 は、D / A コンバータ 2 1 2 およびパワーアンプ 2 1 4 を含む。出力段 2 1 0 は、入力されたデジタルの制御信号 V_{ctrl} をアナログの制御信号に変換する。パワーアンプ 2 1 4 は、アナログの制御信号を増幅し、正極出力 $OUTPUT$ に出力する。

【 0 0 6 6 】

電圧検出器 2 2 0 は、電圧センサアンプ 2 2 2 と A / D コンバータ 2 2 4 を含む。電圧センサアンプ 2 2 2 は、2 つの出力 $OUTPUT$ と $OUTN$ 間の電圧 V_i を増幅する。A / D コンバータ 2 2 4 は、センサアンプ 2 2 2 の出力をデジタルの電圧検出信号 V_{si} に変換する。電圧検出信号 V_{si} はインタフェース回路 2 8 0 を介して他のチャンネルと共有可能となっている。

【 0 0 6 7 】

フィードバック信号生成部 2 3 0 は、加減算器 2 3 2 および除算器 2 3 4 を含む。加減算器 2 3 2 は、同じチャンネルおよび他のチャンネルの電圧検出信号 V_{si} を加算する。除算器 2 3 4 は、加減算器 2 3 2 の出力を、チャンネル数 N で除算し、平均値にもとづくフィードバック信号 V_{fb} を生成する。除算器 2 3 4 は、加減算器 2 3 2 の出力に係数 $1 / N$ を乗算する係数回路とも把握できる。

【 0 0 6 8 】

電流検出器 2 5 0 は、センサ抵抗 2 5 2、センサアンプ 2 5 4、A / D コンバータ 2 5 6 を含む。センサ抵抗 2 5 2 は、出力段 2 1 0 の出力電流 I_{OUT} の経路上に設けられる。センサ抵抗 2 5 2 には、出力電流 I_{OUT} に比例した電圧降下が発生する。センサアンプ 2 5 4 は、センサ抵抗 2 5 2 の電圧降下を増幅する。A / D コンバータ 2 5 6 は、センサアンプ 2 5 4 の出力をデジタルの電流検出信号 I_{si} に変換する。フィードバックコントローラ 2 4 0 には、電圧の目標値 V_{ref} と、電流のリミット値 I_{lim} が入力される。

【 0 0 6 9 】

加減算器 2 4 2 は、目標値 V_{ref} とフィードバック信号 V_{fb} の差分（電圧誤差 V_{err} ）を生成する。加減算器 2 4 6 は、リミット値 I_{lim} と電流検出信号 I_{si} の差分（電流誤差 I_{err} ）を生成する。

【 0 0 7 0 】

セクタ 2 4 8 は、 $I_{si} < I_{lim}$ のときに、電圧誤差 V_{err} を選択し（定電圧制

10

20

30

40

50

御)、 $I_{s_i} > I_{lim}$ のときに、電流誤差 I_{err} を選択する(電流クランプ制御)。

【0071】

フィルタ244は、セクタ248の出力にもとづいて、制御信号 V_{ctrl} を生成する。その限りでないが、フィルタ244は、PI(比例積分)制御器やPID(比例積分微分)制御器などで構成することができる。定電圧制御では、電圧誤差 V_{err} がゼロに近づくように、制御信号 V_{ctrl} のレベルがフィードバックにより調節され、電流クランプ制御では、電流誤差 I_{err} がゼロに近づくように、制御信号 V_{ctrl} のレベルがフィードバックにより調節される。フィルタ244のパラメータは、定電圧制御と電流クランプ制御とで切りかえてもよい。

【0072】

フィードバックコントローラ240およびフィードバック信号生成部230は、CPU(Central Processing Unit)、DSP(Digital Signal Processor)またはFPGA(Field Programmable Gate Array)などで構成することができる。

【0073】

インタフェース回路280は、他のチャンネルのインタフェース回路280との間で、電圧検出信号や制御信号 V_{ctrl} を送受信可能である。

【0074】

図9は、図8の電源ユニット200を2個組み合わせた電源装置の動作波形図である。実施形態に係る電源装置と従来の電源装置それぞれの波形が示される。1段1000V出力の電源ユニットが2チャンネルスタックされており、出力電圧は2000Vである。従来の方式の波形(ii)では、電圧印加直後の立ち上がりが速いが、1000Vを超えたあたりからの上昇が緩やかとなっている。これは上段のチャンネルは電圧印加制御のセトリング波形となる一方で、下段のチャンネルが静電容量への突入電流による電流クランプ制御となりセトリング時間の増加を招いているためである。これに対して実施形態に係る波形(i)は、電圧印加制御で両者のチャンネルがバランスを取りながら動作するため、セトリング時間が短縮できていることが分かる。本実施形態によれば、2000Vへのセトリング時間を従来の12msから4msへと従来比1/3以下に短縮されていることが確認できた。

【0075】

以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセス、それらの組み合わせには、さまざまな変形例が存在しうる。以下、こうした変形例について説明する。

【0076】

図8では、その制御系がデジタル回路のアーキテクチャで実装される電源ユニット200について説明したが、その限りでなく、制御系をアナログ回路で構成してもよい。

【0077】

電流クランプ機能について、マスターチャンネルにおいて出力電流を監視することとしたがその限りでない。たとえば、ひとつのスレーブチャンネルにおいて出力電流を監視し、スレーブチャンネルにおいて得られた電流検出値を、マスターチャンネルに送信してもよい。マスターチャンネルのフィードバックコントローラ240は、スレーブチャンネルの電流検出信号 I_s にもとづいて、電流クランプ制御をかけてもよい。

【0078】

あるいは全チャンネルの電流検出器を有効化し、スレーブチャンネルからマスターチャンネルに電流検出信号を送信するようにしてもよい。マスターチャンネルのフィードバックコントローラ240は、全チャンネルの電流検出信号の最大値が、リミット値 I_{lim} を超えないように、電流クランプ制御をかけてもよい。

【0079】

実施の形態にもとづき本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

10

20

30

40

50

【符号の説明】

【 0 0 8 0 】

1 ... D U T、 2 ... 試験装置、 1 0 0 ... 電源装置、 2 0 0 ... 電源ユニット、 2 1 0 ... 出力段、 2 2 0 ... 電圧検出器、 2 3 0 ... フィードバック信号生成部、 2 4 0 ... フィードバックコントローラ、 2 5 0 ... 電流検出器、 2 6 0 ... モードセクタ、 2 7 0 ... マルチプレクサ、 2 8 0 ... インタフェース回路。

10

20

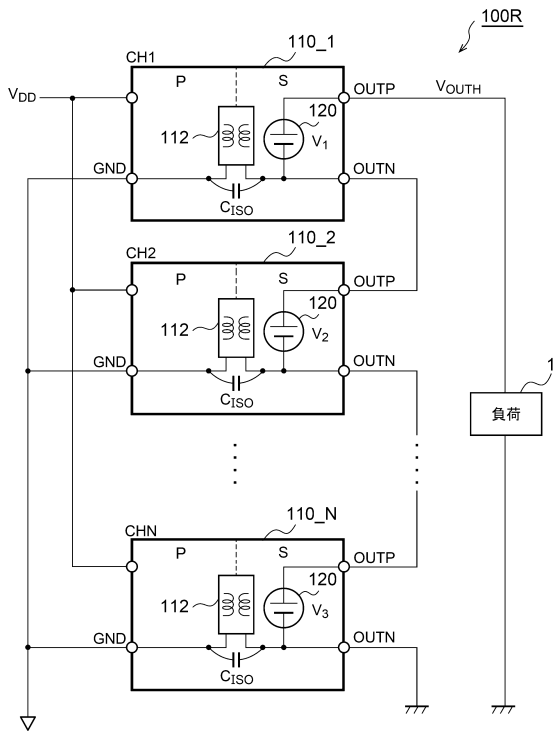
30

40

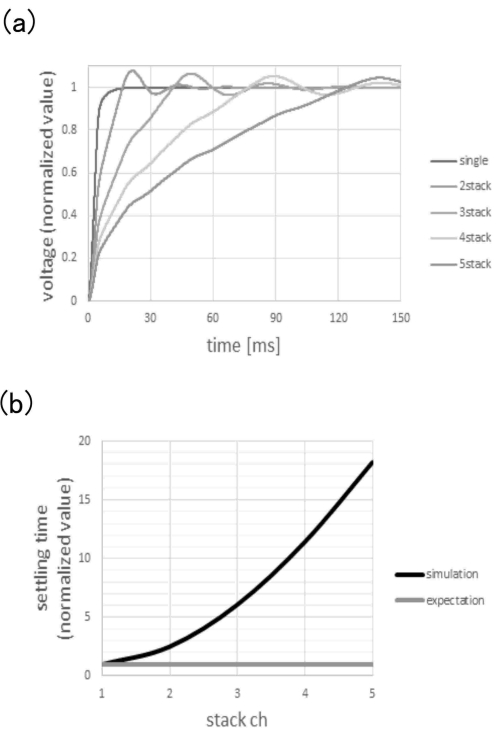
50

【図面】

【図 1】



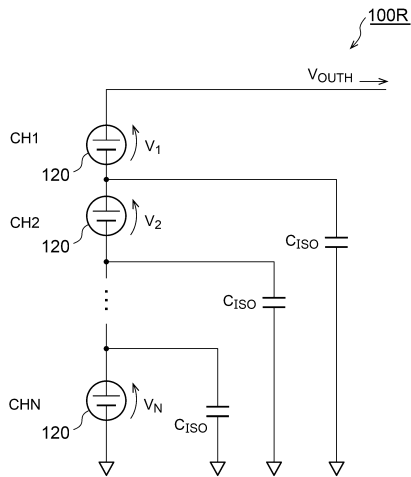
【図 2】



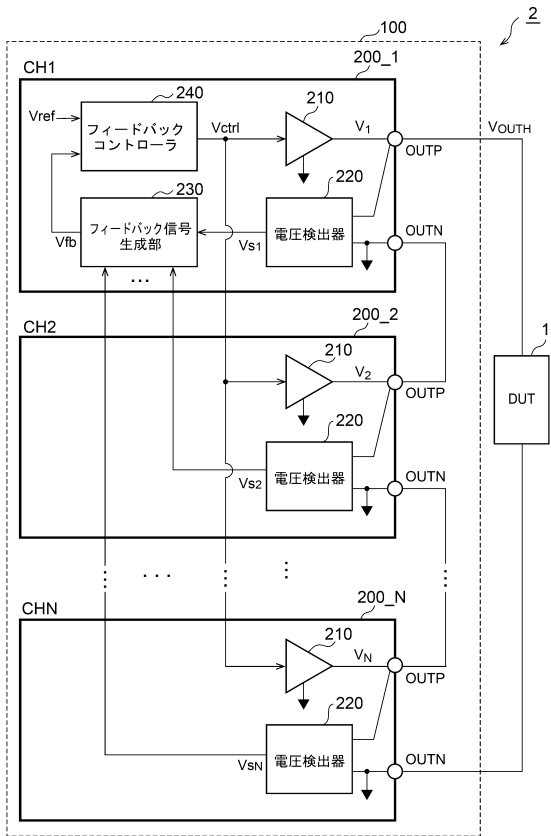
10

20

【図 3】



【図 4】

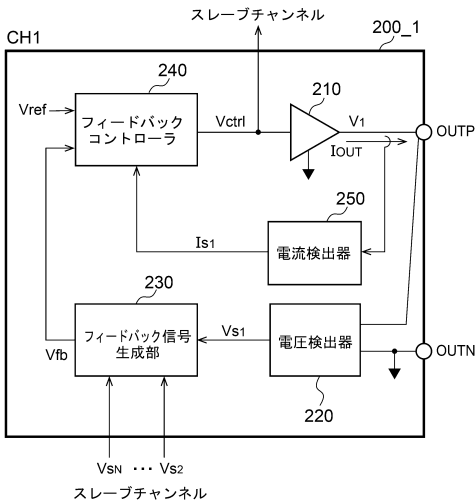


30

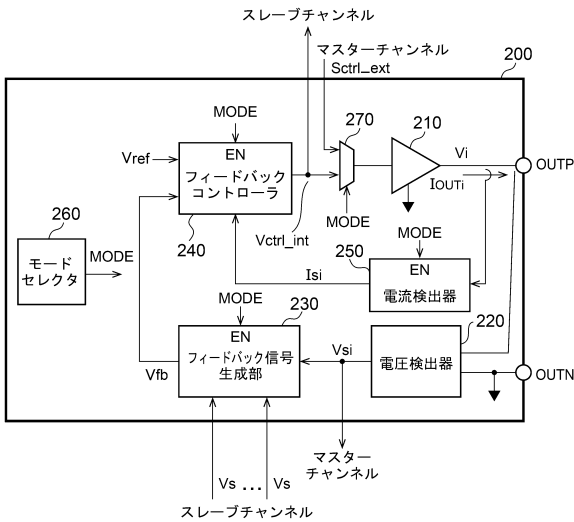
40

50

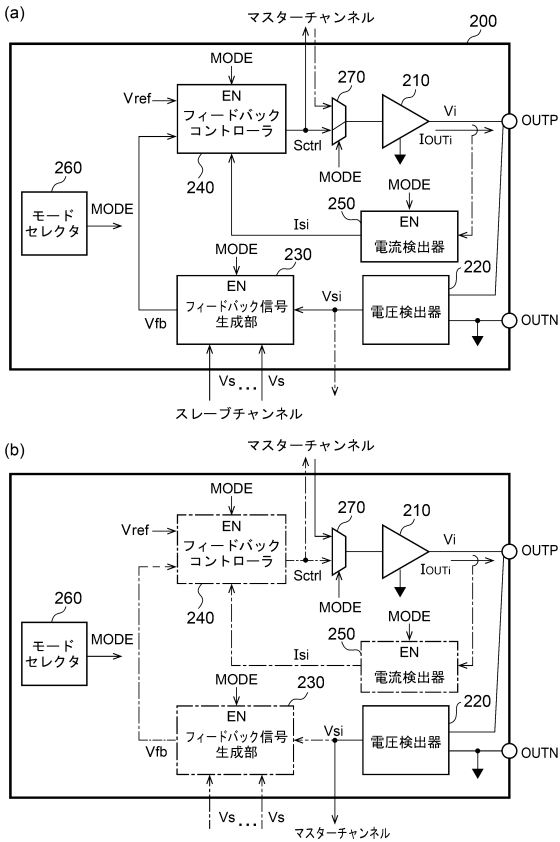
【図 5】



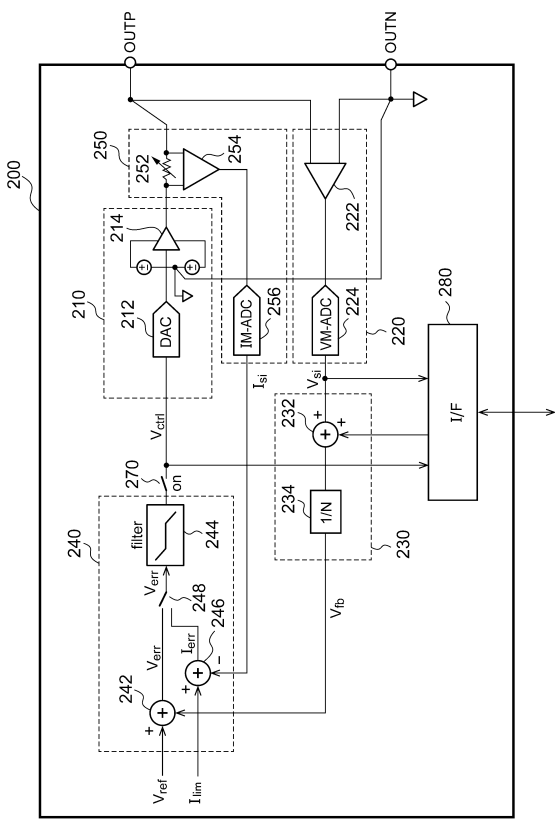
【図 6】



【図 7】



【図 8】



10

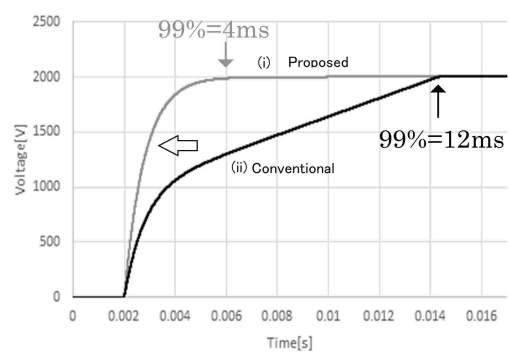
20

30

40

50

【図 9】



10

20

30

40

50

フロントページの続き

東京都千代田区丸の内 1 丁目 6 番 2 号 株式会社アドバンテスト内

審査官 武内 大志

- (56)参考文献 特開 2 0 1 4 - 1 4 7 1 9 6 (J P , A)
米国特許出願公開第 2 0 2 0 / 0 2 9 5 5 6 3 (U S , A 1)
特開 2 0 1 6 - 2 0 8 7 4 2 (J P , A)
特開平 1 - 1 2 9 7 1 8 (J P , A)
特開昭 6 2 - 2 2 1 8 7 2 (J P , A)
特開 2 0 1 7 - 1 2 7 1 9 5 (J P , A)
特開 2 0 1 5 - 6 5 7 3 8 (J P , A)
特開平 8 - 2 8 9 5 4 1 (J P , A)
特開 2 0 0 3 - 3 0 4 6 8 8 (J P , A)
特開 2 0 1 7 - 3 3 4 2 2 (J P , A)
特開 2 0 0 2 - 1 6 5 4 4 1 (J P , A)
(58)調査した分野 (Int.Cl. , D B 名)
H 0 2 M 3 / 2 8
G 0 1 R 3 1 / 2 6
G 0 1 R 3 1 / 2 8