



(12) 发明专利

(10) 授权公告号 CN 103377171 B

(45) 授权公告日 2016. 03. 30

(21) 申请号 201310137331. 5

(22) 申请日 2013. 04. 19

(30) 优先权数据

13/452, 078 2012. 04. 20 US

(73) 专利权人 国际商业机器公司

地址 美国纽约

(72) 发明人 A·布于克托苏诺格卢 P·G·埃玛

A·M·哈特斯泰因 M·B·希利

K·K·凯拉斯

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 于静 张亚非

(51) Int. Cl.

G06F 15/76(2006. 01)

(56) 对比文件

US 7232708 B2, 2007. 06. 19,

US 2011012181 A1, 2011. 01. 20,

US 2011078412 A1, 2011. 03. 31,

审查员 鱼冰

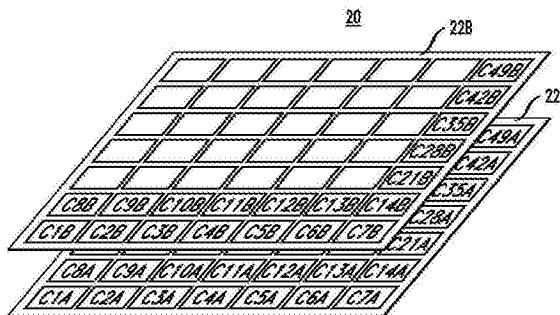
权利要求书3页 说明书15页 附图15页

(54) 发明名称

处理器系统、半导体封装以及用于操作计算机处理器的方法

(57) 摘要

本发明涉及处理器系统、半导体封装以及用于操作计算机处理器的方法。提供了一种三维(3-D)处理器结构,其通过以层叠配置连接处理器而构造。例如,处理器系统包括包含第一处理器的第一处理器芯片,以及包含第二处理器的第二处理器芯片。第一和第二处理器芯片以层叠配置连接,其中第一和第二处理器通过第一和第二处理器芯片之间的垂直连接而连接。处理器系统还包括模式控制电路,其选择性地配置第一和第二处理器芯片中的第一和第二处理器,以在多种运行模式中的一种模式下操作,其中,处理器可被选择性的配置为独立操作、聚集资源、共享资源和/或被组合以形成单个处理器映像。



1. 一种处理器系统,包括:

包含第一处理器的第一处理器芯片;

包含第二处理器的第二处理器芯片,

其中,所述第一和第二处理器芯片以层叠配置连接,其中所述第一和第二处理器通过所述第一和第二处理器芯片之间的垂直连接而连接,所述第一和第二处理器具有相同的子系统区域布局;以及

模式控制电路,其选择性地配置所述第一和第二处理器芯片的所述第一和第二处理器,以在多种操作模式中的一种模式下操作,其中所述多种操作模式包括:

第一操作模式,其中所述第一和第二处理器独立地操作;以及

第二操作模式,其中通过组合所述第一和第二处理器的相应子系统区域中的较快区域并关闭所述第一和第二处理器的相应子系统区域中的较慢区域,所述第一和第二处理器被配置为作为单个处理器来操作。

2. 如权利要求 1 所述的处理器系统,其中,所述第一和第二处理器芯片基本相同。

3. 如权利要求 1 所述的处理器系统,其中,所述多种操作模式还包括第三操作模式,其中所述第一和第二处理器芯片两者都是活动的,其中,通过聚集来自所述第一和第二处理器二者的元件来配置所述第一处理器芯片的所述第一处理器的微体系结构,且其中,通过聚集来自所述第一和第二处理器二者的元件来配置所述第二处理器芯片的所述第二处理器的微体系结构。

4. 如权利要求 3 所述的处理器系统,其中,聚集的元件包括所述第一和第二处理器的执行单元的部分。

5. 如权利要求 3 所述的处理器系统,其中,聚集的元件包括高速缓存。

6. 如权利要求 5 所述的处理器系统,其中,聚集的高速缓存包括所述第一和第二处理器的高速缓存,其被垂直连接且逻辑上作为所述第一和第二处理器之间的共享高速缓存来操作。

7. 如权利要求 3 所述的处理器系统,其中,聚集的元件包括寄存器组。

8. 如权利要求 1 所述的处理器系统,其中,所述多种操作模式还包括第四操作模式,其中所述第一处理器芯片是活动的且所述第二处理器芯片是不活动的,并且其中,通过利用不活动的所述第二处理器芯片的所述第二处理器的一部分来增强活动的所述第一处理器芯片的第一处理器的微体系结构。

9. 如权利要求 8 所述的处理器系统,其中,通过利用不活动的所述第二处理器芯片的所述第二处理器的执行单元的一部分来增强所述第一处理器的所述微体系结构。

10. 如权利要求 8 所述的处理器系统,其中,通过将所述第一处理器的高速缓存与不活动的所述第二处理器芯片的所述第二处理器的高速缓存进行组合来增强所述第一处理器的所述微体系结构。

11. 如权利要求 8 所述的处理器系统,其中,在利用不活动的所述第二处理器芯片的所述第二处理器的所述部分时,活动的所述第一处理器芯片的所述第一处理器在加速模式下以增加的功率来操作。

12. 如权利要求 1 所述的处理器系统,其中,所述多种操作模式还包括第五操作模式,其中所述第一和第二处理器芯片共享处理器互连结构。

13. 如权利要求 1 所述的处理器系统,其中,所述多种操作模式还包括第六操作模式,其中所述第一和第二处理器芯片两者都是活动的,并且其中,所述第一和第二处理器被配置为作为单个处理器来操作,并聚集其线程来增加可被所述第一和第二处理器使用的线程数量。

14. 如权利要求 1 所述的处理器系统,其中,所述第一和第二处理器芯片是多处理器芯片,每个具有互相对准的  $n$  个相应的处理器,其中,第一处理器芯片包括第一处理器互连结构,所述第一处理器互连结构将所述第一处理器芯片的  $n$  个处理器互相连接到一起,其中,所述第一处理器芯片中的每个处理器连接到所述第一处理器互连结构中的点,并且其中,所述第二处理器芯片上的每个相应的对准的处理器通过使用所述第一和第二处理器芯片之间的垂直连接而被连接到所述第一处理器互连结构的相同点。

15. 如权利要求 14 所述的处理器系统,其中,所述第一和第二处理器芯片之间的每组对准的处理器逻辑上表现为在所述处理器系统的仲裁控制方案中的单个节点。

16. 如权利要求 14 所述的处理器系统,其中,所述第二处理器芯片包括第二处理器互连结构,所述第二处理器互连结构将所述第二处理器芯片中的  $n$  个处理器连接到一起,其中,所述第一和第二处理器互连结构的组合在所述第一和第二处理器芯片的任意两个处理器之间提供了至少两个独立的通信路径。

17. 一种半导体封装,包括:

封装基板;以及

处理器系统,其包含在所述封装基板上安装的多个 3-D 层叠处理器芯片,其中,每个 3-D 层叠处理器芯片包括:

包含第一处理器的第一处理器芯片;

包含第二处理器的第二处理器芯片,

其中,所述第一和第二处理器芯片以层叠配置连接,其中所述第一和第二处理器通过所述第一和第二处理器芯片之间的垂直连接而连接,所述第一和第二处理器具有相同的子系统区域布局;以及

模式控制电路,选择性地配置每个所述 3-D 层叠处理器芯片中的所述第一和第二处理器芯片的所述第一和第二处理器,以在多种操作模式中的一种模式下操作,其中所述多种操作模式包括:

第一操作模式,其中所述第一和第二处理器独立地操作;以及

第二操作模式,其中通过组合所述第一和第二处理器的相应子系统区域中的较快区域并关闭所述第一和第二处理器的相应子系统区域中的较慢区域,所述第一和第二处理器被配置为作为单个处理器来操作。

18. 一种操作计算机处理器的方法,所述计算机处理器包括具有第一处理器的第一处理器芯片以及具有第二处理器的第二处理器芯片,其中,所述第一和第二处理器芯片以层叠配置连接,其中所述第一和第二处理器通过所述第一和第二处理器芯片之间的垂直连接而连接,所述第一和第二处理器具有相同的子系统区域布局,所述方法包括:

产生第一控制信号以在第一操作模式下操作所述计算机处理器,在所述第一操作模式中,所述第一和第二处理器被配置为聚集或共享资源;以及

产生第二控制信号以在第二操作模式下操作所述计算机处理器,在所述第二操作模式

中,所述第一和第二处理器两者独立地操作,

在所述第一操作模式下,通过组合所述第一和第二处理器的相应子系统区域中的较快区域并关闭所述第一和第二处理器的相应子系统区域中的较慢区域,所述第一和第二处理器被配置为作为单个处理器来操作。

19. 如权利要求 18 所述的方法,其中在所述第一操作模式下,所述第一和第二处理器芯片都是活动的,所述第一和第二处理器芯片都是活动的,其中,通过聚集来自所述第一和第二处理器二者的元件来配置所述第一处理器芯片的所述第一处理器的微体系结构,且其中,通过聚集来自所述第一和第二处理器二者的元件来配置所述第二处理器芯片的所述第二处理器的微体系结构。

20. 如权利要求 19 所述的方法,其中,聚集的元件包括所述第一和第二处理器的执行单元的部分。

21. 如权利要求 19 所述的方法,其中,聚集的元件包括高速缓存。

22. 如权利要求 21 所述的方法,其中,聚集的高速缓存包括所述第一和第二处理器的高速缓存,其被垂直连接且逻辑上作为所述第一和第二处理器之间的共享高速缓存来操作。

23. 如权利要求 19 所述的方法,聚集的元件包括寄存器组。

24. 如权利要求 18 所述的方法,其中,在所述第一操作模式下,所述第一处理器芯片是活动的且所述第二处理器芯片是不活动的,并且其中,通过利用不活动的所述第二处理器芯片的所述第二处理器的一部分来增强活动的所述第一处理器芯片的所述第一处理器的微体系结构。

25. 如权利要求 19 所述的方法,其中,通过利用不活动的所述第二处理器芯片的所述第二处理器的执行单元的部分来增强所述第一处理器的所述微体系结构。

26. 如权利要求 24 所述的方法,其中,通过将所述第一处理器的高速缓存与不活动的所述第二处理器芯片的所述第二处理器的高速缓存进行组合来增强所述第一处理器的所述微体系结构。

27. 如权利要求 24 所述的方法,其中,在利用不活动的所述第二处理器芯片的所述第二处理器的所述部分时,活动的所述第一处理器芯片的所述第一处理器在加速模式下以增加的功率来操作。

28. 如权利要求 18 所述的方法,其中,在所述第一操作模式下,所述第一和第二处理器芯片两者都是活动的,并且其中,所述第一和第二处理器被配置为作为单个处理器来操作,并聚集其线程来增加可被所述第一和第二处理器使用的线程数量。

## 处理器系统、半导体封装以及用于操作计算机处理器的方法

### 技术领域

[0001] 本领域一般涉及通过以层叠配置连接处理器而形成的三维(3-D)多处理器器件,以及用于控制 3-D 层叠多处理器器件以选择性地在多种操作模式中的一种模式下操作的方法。

### 背景技术

[0002] 在半导体处理器芯片制造领域,在处理器技术的早期很多公司都生产单芯片处理器。在最近十年左右,摩尔定律继续缩小尺寸,很多公司和其他实体已经设计了在单层上具有多个处理器的处理器芯片。但是,随着每个芯片上的处理器数量的持续增加,处理器之间的片上通信变得有问题。例如,随着处理器芯片的 2D 尺寸增加以适应更多处理器,处理器之间的水平布线长度增加(在 mm 或 cm 范围中),导致处理器之间通信的周期延迟,并需要沿着处理器之间的通信路径来使用高功率片上驱动器。此外,与处理器之间的通信相关的周期延迟随着处理器工作频率的增加而增加

### 发明内容

[0003] 本发明的示例性实施例一般包括通过以层叠配置连接处理器而形成的三维(3-D)处理器器件,以及用于控制 3-D 层叠多处理器器件以选择性地在多种操作模式中的一种模式下操作的方法。

[0004] 在本发明的一个示例性实施例中,处理器系统包括包含第一处理器的第一处理器芯片以及包含第二处理器的第二处理器芯片。第一和第二处理器芯片以层叠配置连接,其中第一和第二处理器通过第一和第二处理器芯片之间的垂直连接而连接。处理器系统还包括模式控制电路,其选择性地配置第一和第二处理器芯片的第一和第二处理器,以在多种操作模式中的一种模式下操作。

[0005] 在一种示例性操作模式下,第一和第二处理器两者都是活动的,并且通过聚集来自第一和第二处理器二者的元件来配置第一处理器芯片的第一处理器的微体系结构,并通过聚集来自第一和第二处理器二者的元件来配置第二处理器芯片的第二处理器的微体系结构。例如,聚集的元件可以是第一和第二处理器的执行单元的部分、高速缓存或寄存器组。

[0006] 在另一示例性运行模式下,第一处理器芯片是活动的且第二处理器芯片是不活动的,并且通过利用不活动的第二处理器芯片的第二处理器的一部分来增强活动的第一处理器芯片的第一处理器的微体系结构。通过利用不活动的第二处理器芯片的第二处理器的执行单元的部分来增强第一处理器的微体系结构。通过将第一处理器的高速缓存与不活动的第二处理器芯片的第二处理器的高速缓存进行组合来增强第一处理器的微体系结构。在利用不活动的第二处理器芯片的第二处理器的部分时,活动的第一处理器芯片的第一处理器在加速模式下以增加的功率来操作。

[0007] 在又一示例性操作模式下,第一和第二处理器芯片共享处理器互连结构。

[0008] 在另一示例性操作模式下,第一和第二处理器芯片两者都是活动,并且第一和第二处理器被配置为作为单个处理器来操作,并聚集其线程来增加可被第一和第二处理器使用的线程数量。

[0009] 在另一示例性运行模式下,其中第一和第二处理器具有相同的子系统区域布局,通过组合第一和第二处理器的相应子系统区域中的较快区域并关闭第一和第二处理器的相应子系统区域中的较慢区域,第一和第二处理器被配置为作为单个处理器来运行。

[0010] 在本发明的另一示例性实施例中,一种半导体封装包括封装基板以及处理器系统,该处理器系统包含在封装基板上安装的多个 3-D 层叠处理器芯片。每个 3-D 层叠处理器芯片包括包含第一处理器的第一处理器芯片以及具有第二处理器的第二处理器芯片。第一和第二处理器芯片以层叠配置连接,其中第一和第二处理器通过第一和第二处理器芯片之间的垂直连接而连接。所述半导体封装还包括模式控制电路,其选择性地配置每个 3-D 层叠处理器芯片中的第一和第二处理器芯片的第一和第二处理器,以在多种操作模式中的一种模式下运行。

[0011] 在本发明的又一示例性实施例中,提供了一种用于操作计算机处理器的方法,该计算机处理器包括具有第一处理器的第一处理器芯片以及具有第二处理器的第二处理器芯片,其中,第一和第二处理器芯片以层叠配置连接,其中第一和第二处理器通过第一和第二处理器芯片之间的垂直连接而连接。所述方法包括产生第一控制信号以在第一模式下操作计算机处理器,在第一模式中,第一和第二处理器被配置为聚集或共享资源;以及产生第二控制信号以在第二模式下操作计算机处理器,在第二模式中,第一和第二处理器两者独立地操作。

[0012] 根据说明性实施例的下列详细描述并结合附图,本发明的这些和其他示例性实施例、特征、目标和优势将变得明显。

## 附图说明

[0013] 图 1 是多处理器芯片的示意性透视图。

[0014] 图 2 是根据本发明的说明性实施例的 3-D 层叠多处理器结构的示意性透视图。

[0015] 图 3 是芯片封装结构的示意图。

[0016] 图 4 概念性地示出了根据本发明的另一示例性实施例的 3-D 层叠多处理器结构。

[0017] 图 5 示意性地示出了根据本发明的另一示例性实施例的基于图 4 所示的概念实现的 3-D 层叠多处理器结构的物理实现。

[0018] 图 6 示意性地示出了根据本发明的示例性实施例的用于控制 3-D 层叠多处理器结构的多模态操作的方法。

[0019] 图 7 是可以应用本发明的原理的处理器的示意性平面图。

[0020] 图 8 是根据本发明的示例性实施例的 3-D 层叠多处理器器件的示意性透视图,该器件包括一对处理器,其具有和图 7 所示的相同的处理器布局。

[0021] 图 9A 是根据本发明示例性实施例的 3-D 层叠多处理器器件的示意性透视图,该器件包括互相垂直层叠在彼此顶上的具有对准的 L2 和 L3 高速缓存的第一和第二处理器。

[0022] 图 9B 是根据本发明的示例性实施例的图 9A 的 3-D 层叠多处理器器件的示意性透

视图,该器件具有结合的 L3 高速缓存,作为第一和第二处理器的共享 L3 高速缓存来操作。

[0023] 图 9C 是根据本发明的示例性实施例的图 9A 的 3-D 层叠多处理器器件的示意性透视图,该器件具有结合的 L3 高速缓存以及 L2 高速缓存,作为第一和第二处理器的共享 L2 高速缓存和共享 L3 高速缓存来操作。

[0024] 图 10 是根据本发明的又一示例性实施例的 3-D 层叠多处理器器件的示意性透视图。

[0025] 图 11 示意性地示出了根据本发明的示例性实施例的图 10 所示的处理器各个部件之间的通信路径。

[0026] 图 12 示意性地示出了平面处理器系统的处理器互连结构。

[0027] 图 13 示意性地示出了根据本发明的示例性实施例的 3-D 层叠多处理器系统的处理器互连结构。

[0028] 图 14 示意性地示出了根据本发明的另一示例性实施例的 3-D 层叠多处理器系统的处理器互连结构。

[0029] 图 15 是根据本发明的示例性实施例的 3-D 层叠多处理器系统的示意性顶部透视图,其具有基于图 14 中的处理器互连结构的处理器互连结构。

[0030] 图 16 示意性地示出了根据本发明的又一示例性实施例的 3-D 层叠多处理器系统的处理器互连结构。

[0031] 图 17A 示意性地示出了根据本发明的示例性实施例的具有相同布局的两个处理器,其中,两个相同处理器的相应区域被标识为比其对手区域更快或更慢。

[0032] 图 17B 示意性地示出了根据本发明的示例性实施例的 3-D 层叠处理器结构,该结构是通过垂直层叠图 17A 中示出的两个处理器而形成并作为单处理器来操作,该单处理器由每个处理器的相应区域中的最快区域构成。

[0033] 图 18 示意性地示出了根据本发明的示例性实施例的用于实现 3-D 层叠处理器系统中的提前运行(run-ahead)功能的方法。

## 具体实施方式

[0034] 现在将针对通过以层叠配置连接处理器而形成的 3-D 多处理器器件以及用于控制 3-D 层叠多处理器器件以选择性地在多种操作模式中的一种模式下操作的方法,来更详细地描述本发明的示例性实施例。

[0035] 图 1 是可以应用本发明的原理的多处理器芯片的示意性透视图。特别地,图 1 示意性地示出了包含半导体管芯 12 的多处理器芯片 10,其具有在管芯 12 上形成的多个处理器 C1、C2、……、C49 (一般被表示为 Cn)。处理器 Cn 被布置在“平面”系统中,其中,每个处理器 Cn 在 2-D 空间中具有其自己专用的足印(footprint)。如本领域普通技术人员容易理解的,使用形成为芯片 10 的 BEOL (后段制程)结构的水平布线和电互连,处理器 Cn 可以在 2-D 平面中互相连接。

[0036] 在图 1 所示的平面系统中,随着处理器数量增加,处理器之间的通信变得有问题。例如,芯片的 2D 尺寸增加以适应更多的处理器,处理器之间的水平布线长度增加(mm 或 cm 的范围中),导致处理器之间的通信路径的周期延迟。该周期延迟需要沿着处理器之间的通信路径来使用高功率片上驱动器。此外,周期延迟还会随着操作频率的增加而增加。

[0037] 本发明的原理利用片上层叠技术使用多层处理器芯片来形成 3-D 层叠多处理器结构,其中,两个或更多个处理器芯片被集成到具有单芯片“足印”的单个层叠系统(即,层叠的处理器芯片表现为单个芯片)。这里使用的术语“处理器芯片”是指具有一个或多个处理器的任意半导体芯片或管芯。这里使用的术语“多处理器芯片”是指具有两个或更多个处理器的任意半导体芯片或管芯。通常,在 3-D 层叠结构中,两个或更多个芯片层包括对准并使用短垂直互连来互连的处理器,从而一个层中的处理器与另一层中的相应处理器对准并垂直连接。可以理解,当不同处理器芯片层上的两个不同处理器或处理器部件/元件被称为互相“对准”时,术语“对准”是指,例如,两个不同处理器或处理器部件/元件在不同层上至少部分重叠或完全重叠。就此,处理器芯片的不同层上的两个处理器或处理器的部件/元件可以完全对准,这在于处理器或部件在处理器芯片的 3D 层叠中的每个平面的相同 2D 位置。或者,处理器或处理器的部件/元件可以基本上对准,但在处理器芯片的 3D 层叠中的每个平面的 2D 位置之间存在某些偏移量。

[0038] 例如,图 2 是根据本发明的示例性实施例的 3-D 层叠多处理器结构的示意性透视图。特别地,图 2 示意性地示出了 3-D 层叠多处理器芯片 20,其包含第一多处理器芯片 22A 和在第一多处理器芯片 22A 的顶部上垂直层叠的第二多处理器芯片 22B。在图 2 的一个示例性实施例中,多处理器芯片 22A 和 22B 基本上相同(部件结构相同,但互连结构可以变化),并被示为具有 49 个集成的处理器,类似于图 1 中示出的多处理器芯片 10。特别地,第一多处理器芯片 22A 包括多个处理器 C1A、C2A、……、C49A,且第二多处理器芯片 22B 包括多个处理器 C1B、C2B、……、C49B。第一和第二多处理器芯片 22A 和 22B 互相垂直层叠并互相连接,从而成对的处理器 C1A/C1B、C2A/C2B、……、C49A/C49B (一般地 C<sub>n</sub>A/C<sub>n</sub>B) 对准并使用垂直互连来互相连接。

[0039] 使用图 2 所示的示例性结构,每个对准的处理器叠层 C<sub>n</sub>A/C<sub>n</sub>B 包括多个垂直连接的处理器,其共享相同的 I/O 连接。这些 I/O 连接被内部多路复用,从而在 2D 空间中的每个处理器位置,多个垂直层叠(和连接)的处理器 C<sub>n</sub>A/C<sub>n</sub>B (对应其他层叠的处理器)逻辑上表现为作为单个处理器来操作和实现功能。本发明的原理可被扩展为包含在封装基板上一起封装的多个 3-D 层叠处理器芯片(例如如图 2 所示)。现在将参考图 3、4 和 5 来更详细地讨论这些原理。

[0040] 图 3 是可以应用本发明的原理的芯片封装结构的示意图。特别地,图 3 示出了处理器系统 30,其包含封装基板 32 和在封装基板 32 上安装的多个处理器芯片 P1、P2、P3、P4、P5 和 P6。封装基板 32 包括形成电布线 34 的多个电互连和迹线(trace),其提供处理器芯片 P1、P2、P3、P4、P5 和 P6 之间的全交叉连接。处理器芯片 P1、P2、P3、P4、P5 和 P6 中的每个是相同的,且可以是多处理器芯片,每个具有多个处理器。

[0041] 图 4 和 5 示意性地示出了根据本发明的另一示例性实施例的 3-D 层叠处理器系统。特别地,图 4 是示例性 3-D 层叠多处理器封装结构 40 的概念图。与图 3 中示出的封装结构 30 类似,图 4 中的 3-D 层叠多处理器封装结构 40 包括封装基板 32 和在封装基板 32 上安装的多个第一层处理器芯片 P1A、P2A、P3A、P4A、P5A 和 P6A。封装基板 32 包括构成电气布线 34 的多个电气互连和迹线,其提供了处理器芯片 P1A、P2A、P3A、P4A、P5A 和 P6A 之间的全交叉(all-to-all)连接。处理器芯片 P1A、P2A、P3A、P4A、P5A 和 P6A 中的每个是相同的,且可以是每个都具有多个处理器的多处理器芯片。



[0042] 还如图 4 所示,使用短垂直连接 36,多个第二层处理器芯片 P1B、P2B、P3B、P4B、P5B 和 P6B 被垂直布置和安装在相应的第一层处理器芯片 P1A、P2A、P3A、P4A、P5A 和 P6A 上。第二层处理器芯片 P1B、P2B、P3B、P4B、P5B 和 P6B 与相应的第一层处理器芯片 P1A、P2A、P3A、P4A、P5A 和 P6A 相同,且可以是多处理器芯片,每个具有多个处理器。图 4 示出了多条虚线 34a,表示第二芯片封装层中的处理器芯片 P1B、P2B、P3B、P4B、P5B 和 P6B 之间的虚拟全交叉布线。这些虚拟布线 34a 不是物理存在的,而是表示第二层处理器芯片 P1B、P2B、P3B、P4B、P5B 和 P6B 互相连接并可以使用在封装基板 32 上形成的相同物理布线 34 来通信。

[0043] 图 5 示意性地示出了根据本发明的另一示例性实施例的基于图 4 所示的概念实现的 3-D 层叠多处理器结构 50 的物理实现。如图 5 所示,在 3-D 层叠多处理器封装结构 50 中物理存在的仅有布线是在封装基板 32 上形成的布线 34 以及在相应的处理器芯片叠层 P1A/P1B、P2A/P2B、P3A/P3B、P4A/P4B、P5A/P5B 和 P6A/P6B 之间形成的短垂直互连 36。在图 5 的 3-D 层叠多处理器封装结构 50 中,给定的垂直叠层 P1A/P1B、P2A/P2B、P3A/P3B、P4A/P4B、P5A/P5B 和 P6A/P6B 中的处理器芯片将使用在处理器芯片之间形成的垂直连接 36 来互相通信(且这些垂直连接 36 包括在不同处理器芯片层中的相应对准处理器之间形成的连接)。

[0044] 根据本发明的示例性实施例,可以使用已知的半导体制造技术来结合两个处理器芯片,其中,两个相同的处理器芯片可以“面朝背”或“面对面”地接合在一起。在面朝背的配置中,第一处理器芯片的活动表面(面)与第二处理器芯片的非活动表面(背)连接,其中,两个处理器芯片的处理器和其他相应部件被对准。使用该结构,垂直布线(例如导电过孔)可以被形成在第一处理器芯片的活动表面中,并被暴露作为第一处理器芯片的活动表面上的第一接触衬垫阵列,且垂直布线(例如硅通孔)可被穿过第二处理器芯片的背侧形成并被暴露作为第二处理器芯片的非活动表面上的第二接触衬垫阵列。当第一和第二处理器芯片面朝背结合时,第一和第二接触衬垫阵列可以被焊接在一起,由此形成对准的处理器元件之间的短垂直连接。为了缩短垂直连接的长度,可以使用已知的技术来研磨第二处理器芯片的背侧以使管芯更薄。

[0045] 在“面对面”的配置中,其中,互为镜像的两个相同的处理器芯片(功能相同)被接合,从而第一处理器芯片的活动表面(面)接合到第二处理器芯片的活动表面(面),两个芯片的处理器和其他元件被对准。使用该结构,垂直布线(例如导电过孔)可以被形成在第一处理器芯片的活动表面中,并被暴露作为第一处理器芯片的活动表面上的第一接触衬垫阵列,且垂直布线可以被形成在第二处理器芯片的活动表面中,并被暴露作为第二处理器芯片的活动表面上的第二接触衬垫阵列。当第一和第二处理器芯片被面对面结合时,第一和第二接触衬垫阵列可以被焊接在一起,由此形成对准的处理器元件之间的短垂直连接

[0046] 使用 3-D 层叠处理器系统,两个或更多个处理器大致(或真正)位于其平面空间的同一位置处,但位于不同层,且可以通过聚集和/或共享资源来独立或协作地操作,以增加功能并且和每个芯片在 2 维封装中都具有各自空间的平面系统中的实现相比改善了操作阈值、可靠性和性能。下面参考图 6-18 来更详细地描述用于控制 3-D 层叠多处理器以在一个或多个处理器资源聚集和/或共享模式下选择性地操作的方法。通常,用于选择性地控制 3-D 层叠多处理器的示例性方法使得一组层叠处理器能同时操作,而对于特定应用仍然互相独立。对于下面讨论的其他应用,两个或更多个垂直层叠的处理器可被控制,使用处理器层之间的短垂直连接作为快速通信路径,可以通过在各层之间共享或聚集资源(例如线

程、执行单元、高速缓存等)以协作的方式来选择性地操作,以提供增强的操作。

[0047] 根据本发明的示例性实施例,控制方案被用于控制两个或更多个垂直层叠处理器的多模态操作,从而垂直叠层中的处理器可被选择性地控制以独立或协作的方式来操作。例如,图 6 示意性地示出了根据本发明的示例性实施例的用于控制 3-D 层叠多处理器结构的多模态操作的方法。特别地,如图 6 所示的控制方案包括多路复用器 61,其选择性地接收多个配置参数组 62 和 64 以及配置模式控制信号 66 作为输入。配置参数的不同组 A 和 B 被选择性地作为机器输入 68 输出到给定的处理器的垂直叠层,其中,该机器输入配置处理器叠层以在机器输入 68 所指定的多种不同操作模式中的一种模式下操作。尽管为了容易说明仅示出了两组输入配置参数 A 和 B,三组或更多个不同组的配置参数可被输入并被多路复用器 61 选择性地输出。应该理解,图 6 的控制方案对于一个处理器叠层来说是本地的系统,且给定处理器系统中的每个处理器叠层将具有如图 6 所示的相应控制电路。

[0048] 图 6 的控制系统可以被全局控制系统例如服务处理器控制,该全局控制系统扫描控制信息并将配置控制信号 66 输出到处理器系统中的每个多路复用器 61,以给定的方式来配置处理器叠层。使用在垂直层叠处理器内部(芯片上)的电路来控制各个 I/O 端口(被共享或旁路),以及可被用于控制给定处理器叠层中的不同处理器层之间的资源共享和/或聚集的其他开关,从每个多路复用器 61 输出到相应处理器叠层的机器输入 68 可被进一步多路复用和/或解码。

[0049] 在如下讨论的本发明的各个示例性实施例中,当垂直叠层叠中的两个或更多个处理器在空间上重合时,处理器及其部件可以以各种方式被协同地组合,给予处理器元组(processor-tupled)系统多种新用途来提升性能。开始,需要注意,由于垂直处理器叠层将两个或更多个处理器(或多或少准确地或大致)在彼此顶上放置,作为初始印象,这看来不可能,因为这使得与主要倾向于位于处理器中的任意热点相关的发热加倍。就此,示例性控制装置可被实现,通过调节操作电压和/或操作频率以在较低功率级别下运行层叠处理器,来控制位于一处的处理器的叠层的功率,例如,从而总功率(例如,总功率密度和/或总功耗)是可管理的。

[0050] 更具体而言,在本发明的一个示例性实施例中,可以在多种操作模式中的一种模式下操作通过垂直层叠并连接多个处理器芯片而制造的 3D 层叠处理器器件,以控制 3D 层叠处理器器件的功率。例如,在具有第一和第二处理器芯片的 3D 层叠处理器器件中,3D 层叠处理器器件可以选择性地在第一模式下操作,其中,第一处理器芯片被开启且第二处理器芯片被关闭。在第一模式下,第一处理器芯片中的每个处理器被开启,并可以以最大频率和满功率来操作,其总功率可以被封装结构支持。(例如,特定热点处的功率密度被控制,从而对于给定的封装结构,封装中的给定热点处的热不会过大)。

[0051] 在另一操作模式下,3D 层叠处理器器件可以选择性地在第二模式下操作,其中,第一和第二处理器芯片两者都被开启。在该情形下,两个处理器芯片都可以以最大频率和功率级别来操作,其总功率(例如功率密度或功耗)可以被封装结构支持。在另一情形下,在操作的第二模式下,第一和第二处理器芯片中的每个处理器可低于全功率来操作,从而 3D 层叠处理器器件的总功率和在仅有第一处理器芯片或第二处理器芯片中的每个处理器以满功率和/或最大频率操作时的 3D 层叠处理器器件的总功率基本相同。换句话说,为了获得相同的功耗或功率密度分布图,每个处理器芯片层中的处理器可在较低的电源电压(或较

低的工作频率)下操作,从而总功耗与其中只有一个处理器芯片层上的处理器是活动的第一模式相同或类似。

[0052] 根据本发明的原理的功率控制方案基于下列事实:提供给处理器的功率可被降低相当大的百分比(例如 50%),而处理器的工作频率仅需要降低小得多的数量(例如 10%)。功率控制方案可被用于选择性地控制处理器的电源电压,或通过调整操作频率,其中每个用于调整处理器芯片的总体功耗。于是,在具有多个平面的处理器的 3D 层叠处理器芯片结构中,调节电源电压以及选择性地关闭处理器平面的子集的能力使得系统中可以存在包括一个或多个模式的操作模式的范围,其中多个处理器平面以较低的电压来操作,以将总功率保持为与操作单个处理器平面时所消耗的总功率基本相同(或者通过保持在操作多个处理器平面时在 3-D 层叠的处理器芯片结构中的给定热点处的功率密度与操作一个处理器平面时相同)。

[0053] 在 3-D 处理器叠层中,每组垂直层叠处理器在每种功率控制操作模式下使用在封装中以及封装外的相同组的互连信号。就此,由于垂直叠层中的每个处理器芯片层共享相同的互连信号,即使是在处理器芯片以较低的频率操作时(在第二模式下),所需的通信要求也较少(较少的 I/O 带宽)。这样,由于保持功耗恒定的约束所需的较低频率操作而在 3-D 叠层中的每层产生的较低带宽要求激发了本发明的原理,其采用互连信号和封装 I/O 信号的重用(多路复用)技术。

[0054] 在本发明的另一示例性实施例中,在包括两层或多层层叠处理器芯片的处理器系统中,其中每个处理器芯片包括一个或多个处理器,其中,不同处理器芯片层中的处理器通过不同处理器芯片层之间的垂直连接来连接,模式控制电路(例如如上参考图 6 所示和描述)可以选择性地配置不同芯片层中的两个或更多个处理器以在多种操作模式中的一种模式下操作。例如,在一个操作模式下,给定层叠中的一个或多个或所有处理器芯片可以独立操作,其中,独立操作的处理器芯片的层之间的垂直连接可被用作叠层中独立操作的处理器芯片之间的通信路径。

[0055] 在另一操作模式下,不同处理器芯片层中的各部件/资源可被聚集以扩大不同处理器芯片层上的一个或多个处理器的微体系结构。如本领域普通技术人员容易理解,处理器的“微体系结构”是指处理器的物理(硬件)配置。处理器的微体系结构包括部件例如高速缓存、总线结构(路径宽度)、执行单元、指令单元、算术单元等的布置和数量。例如,假设 3-D 层叠处理器芯片器件包括具有第一处理器的第一处理器芯片以及具有第二处理器的第二处理器芯片。在一种操作模式下,其中第一和第二处理器芯片两者都是活动的,可以通过聚集来自第一和第二处理器二者的元件来配置或增强第一处理器芯片的第一处理器的微体系结构,且可以通过聚集来自第一和第二处理器二者的元件来配置或增强第二处理器芯片的第二处理器的微体系结构。在另一实施例中,第一处理器芯片可以是活动的而第二处理器芯片可以是不活动的,其中,通过利用不活动的第二处理器芯片的第二处理器的一部分来增强活动的第一处理器芯片的第一处理器的微体系结构。聚集元件可以是执行单元、寄存器组、高速缓存等的部分。

[0056] 在另一示例性操作模式下,可以在不同处理器芯片层上的不同处理器之间共享不同处理器芯片层中的各个部件/资源。例如,如下所解释,不同处理器芯片层上的两个不同处理器可以组合其高速缓存(例如 L1、L2、或 L3 高速缓存)来创建大小加倍的高速缓存,仍

然被两个处理器活动共享。在该情形下,聚集(组合)的部件或资源被不同处理器共享。在又一示例性操作模式下,给定叠层中的不同处理器芯片层上的两个或更多个不同的处理器可被组合以操作单个处理器映像。下面将参考图 7、8、9A、9B、9C、10、11、12、13、14、15、16、17A、17B 和 18 来更详细地解释本发明的示例性实施例,其示出了用于聚集和 / 或共享和 / 或组合处理器资源的不同操作模式。

[0057] 例如,图 7 和 8 示出的示例性操作模式用于选择性地配置不同处理器芯片层上的不同处理器,以聚集和 / 或共享不同处理器的执行单元的部分来提升一个或多个不同处理器的执行能力。图 7 是可以应用本发明的原理的处理器 70 的示意性平面图。图 7 示意性地示出了处理器 70 的微体系结构,其中,处理器 70 包括各部件例如 L3 高速缓存 71、L2 高速缓存 72、执行单元 73 和指令单元 74。执行单元 73 包括第一浮点单元 75 和第二浮点单元 76 (其中,第一和第二浮点单元 75 和 76 是相同的) 以及一组浮点寄存器 77。可以使用图 7 中的多个处理器 70 来形成例如如图 8 所示的 3-D 层叠多处理器结构。

[0058] 特别地,图 8 是 3-D 层叠多处理器器件 80 的示意性透视图,其包括第一处理器 70A 和在第一处理器 70A 的顶部垂直层叠的第二处理器 70B。在图 8 的示例性实施例中,处理器 70A 和 70B 在结构上相同,并具有如图 7 所示的处理器布局。特别地,第一处理器 70A 包括 L3 高速缓存 71A、L2 高速缓存 72A、执行单元 73A 以及指令单元 74A。执行单元 73A 包括第一浮点单元 75A 和第二浮点单元 76A (其中,第一和第二浮点单元 75A 和 76A 是相同的) 以及一组浮点寄存器 77A。此外,第二处理器 70B 包括 L3 高速缓存 71B、L2 高速缓存 72B、执行单元 73B 和指令单元 74B。指令单元 73B 包括第一浮点单元 75B 和第二浮点单元 76B (其中,第一和第二浮点单元 75B 和 76B 是相同的) 以及一组浮点寄存器 77B。

[0059] 在本发明的一个示例性实施例中,第一和第二处理器 70A 和 70B 的执行单元 73A 和 73B 互相对准并使用短垂直连接来互相连接。使用该结构,执行单元可以被垂直布线,从而对于图 8 中示出的两个处理器 70A 和 70B,第一处理器 70A 的执行单元 73A 功能上可以包括处理器对的执行单元 73A/73B 的一半元件,且第二处理器 70B 的执行单元 73B 功能上可以包括处理器对的执行单元 73A/73B 的另一半元件,其中,每一对的一半元件被选择,以最小化每个执行单元的平面面积。

[0060] 与传统的平面几何相比,执行单元的该 3-D 聚集是有利的。在传统的平面系统中,位于相同平面中的两个处理器的执行单元可以被连接,从而一个执行单元的输出可以是第二执行单元的输入。但是,两个处理器的执行单元之间的“水平”电互连可以相对较长(例如 5mm-20mm),从而在处理器之间的信号传输中会存在一个或两个“死”周期,这导致信号传输中的不想要的延迟。相反,在例如如图 8 所示的 3-D 层叠处理器上处理器体系结构中,每个处理器上的执行单元的一半元件被有效地聚集成新的执行单元,从而每个平面中的执行单元的面积实际更小。由于每个处理器的相同元件在空间上位于一处,(可以)通过跨 3-D 层垂直连接执行单元元件来实现两个处理器的聚集部件的面积。

[0061] 例如,在图 8 的示例性实施例中,假设每个处理器 70A 和 70B 具有两个相同的浮点单元 75A/76A 和 75B/76B。在第一处理器平面 70A 中,由于浮点单元 75A 和 76A 之间的水平距离,需要用 1-2 个周期的延时从第一浮点单元 75A 的输出向第二浮点单元 76A 的输入发送信号。但是,如果在两个平面中位于一处的一对第一浮点单元 75A 和 75B 被垂直连接,且位于一处的一对第二浮点单元 76A 和 76B 被垂直连接,则第一处理器 70A 的执行单元 73A

可以利用垂直连接的一对第一浮点单元 7A 和 75B,且第二处理器 70B 的执行单元 73B 可以利用垂直连接的一对第二浮点单元 76A 和 76B,从而每个处理器 70A 和 70B 的执行单元仍具有两个浮点单元。

[0062] 处理器元件 75A 和 76A 以及处理器元件 75B 和 76B 之间的垂直连接提供了处理器功能的更短路径,并允许使用来自 3-D 架构中的不同处理器平面的元件来构造每个处理器 70A 和 70B。这有效地降低了每个处理器的平面几何,并从执行流程中移除死周期,因为从(一个平面上的)一个执行元件的输出到(另一平面上的)执行元件的输入的路径要快得多。这些原理可被用于执行单元的其他对准的部件例如算术单元等,以及其他处理器元件例如 L2 和 L3 高速缓存,如下将更详细地解释。

[0063] 在图 8 所示的本发明的其他示例性实施例中,处理器 70A 和 70B 中的每个可以互相独立地使用,其中,跨越处理器层的处理器单元之间的垂直连接不会被用于聚集或共享资源。例如,在一个操作模式下,处理器 70A 或 70B 两者都可以以降低的功率(例如一半功率)来运行(典型地在不相关的程序上),从而总功率与仅有一个处理器 70A 或 70B 以全功率操作时基本相同。在另一操作模式下,例如,处理器 70A 或 70B 中的一个可以被关闭而另一个可以在高速模式(例如加速(turbo)模式)下以双倍功率来操作。

[0064] 在本发明的另一示例性实施例中,在增强的“加速”操作模式下,处理器 70A 或 70B 中的一个可以被停用(不活动),且另一个可以在高速模式(或加速模式)下以双倍功率来操作,但其中,不活动的处理器的执行单元中的特定元件可以被活动的处理器使用,由此提升其执行能力。例如,在图 8 的示例性实施例中,第二处理器 70B(主处理器)可以被开启并在高速的加速模式下以增加的功率来操作,而处理器 70A 可以被关闭,但其中,可以使用第一(不活动的)处理器 70A 的元件来增大第二(活动的)处理器 70B 的微体系结构。通过特定的例子,在增强的加速模式下操作时,第一(不活动的)处理器 70A 的浮点单元 75A 和 76A 以及寄存器 77A 可以被第二(活动的)处理器 70B 的执行单元 73B 使用,于是第二处理器 70B 可以使用四个浮点单元 75A、75B、76A、76B 以及额外的寄存器 77A 以提升的速度来操作。该增大的结构允许第二处理器 70B 更快速并更有效地操作代码。在该架构中,模式控制方案可以被配置,从而给定的处理器可以被关闭,而允许通过耦合或解耦到不活动处理器的所需部件的功率线路来使不活动的处理器的一个或多个部件被选择性的通电和断电。

[0065] 在本发明的另一示例性实施例中,可以使用垂直连接来结合不同处理器芯片层中的不同高速缓存,从而处理器可以在高速缓存层级中的任意特定级别下作为单个共享高速缓存来操作高速缓存。例如,如果两个层叠处理器的其 L2 高速缓存对准且其 L3 高速缓存对准,则对准的一对 L2 高速缓存可以作为具有两倍容量的单个共享 L2 高速缓存来操作,且对准的一对 L3 高速缓存可以作为具有两倍容量的单个共享 L3 来操作。现在将参考图 9A、9B 和 9C 来更详细地解释这些原理。

[0066] 图 9A 是 3-D 层叠多处理器器件 90 的示意性透视图,该器件具有第一处理器 90A 以及在第一处理器 90A 的顶部上垂直层叠的第二处理器 90B。在图 9A 的示例性实施例中,处理器 90A 和 90B 在结构上相同,并具有各自的处理器核心 91A 和 91B、L2 高速缓存 92A 和 92B、以及 L3 高速缓存 93A 和 93B。如图 9A 所示,L2 高速缓存 92A 和 92B 被对准并具有相同的足印(2D 区域)。此外,L3 高速缓存 93A 和 93B 被对准并具有相同的足印。在该 3-D 层叠架构中,对准的 L2 高速缓存 92A 和 92B 可以被垂直连接并作为单个共享 L2 高速缓存来

操作。此外,对准的 L3 高速缓存 93A 和 93B 可以被垂直连接并作为单个共享 L3 高速缓存来操作。

[0067] 例如,图 9B 是图 9A 中的 3-D 层叠多处理器器件 90 的示意性透视图,其中,L3 高速缓存 93A 和 93B 被结合并可以通过处理器 90A 和 90B 中的一个或两者作为共享 L3 高速缓存 93A/B 来操作。类似地,图 9C 是图 9A 中的 3-D 层叠多处理器器件 90 的示意性透视图,其中 L2 高速缓存 92A 和 92B 也被结合并可以通过处理器 90A 和 90B 中的一个或两个作为共享 L2 高速缓存 92A/B 来操作。特别地,在一个示例性实施例中,其中处理器 90A 和 90B 的 L2 和 L3 高速缓存被垂直连接在一起,可以在两种备选模式下使用 L2 和 L3 高速缓存——或者作为独立的高速缓存,其中它们之间的跨层连接未被使用,或者在层之间共享,由此提升层中所有处理器的高速缓存容量。

[0068] 3-D 层叠高速缓存架构的优势在于,高速缓存的存储容量被加倍,而不用增加高速缓存存取时间。确实,一般已知高速缓存的存取速度与高速缓存面积的平方根成比例。在图 9B 和 9C 中所示的示例性实施例中,垂直连接对准的 L2 和 L3 高速缓存不会增加高速缓存面积,因为相应的 L2 和 L3 高速缓存的足印空间上重合。就此,由于结合的 L2 高速缓存 92A/B 的面积以及结合的 L3 高速缓存 93A/B 的面积不会由于垂直连接而增加,高速缓存的存取速度保持相同。为了使运行不同程序的处理器 90A 和 90B 能够存取相同处理器地址空间,高速缓存控制方案可以被容易地实现,以控制并组织共享的高速缓存目录并维持各高速缓存层之间的高速缓存一致性(cache coherence)。

[0069] 在本发明的另一示例性实施例中,3-D 层叠处理器器件可被形成包含可结合的多个处理器,以增加处理器的 3-D 叠层中的单个处理器映像所支持的线程数量。例如,在 3-D 层叠处理器器件中,该处理器器件包含具有第一处理器的第一处理器芯片以及具有第二处理器的第二处理器芯片,第一和第二处理器芯片两者都可以是活动的,其中,第一和第二处理器可被配置为作为单个处理器来操作,并聚集其线程来增加第一和第二处理器可使用的线程的数量。这允许 3-D 叠层中的单个处理器的多线程能力被有效提升,而不需要与在单个处理器自身上必须使用额外的线程相关的开销(线程)。现在将参考图 10 和 11 来更详细地解释这些原理。

[0070] 图 10 是 3-D 层叠处理器器件 100 的示意性透视图,该器件包括第一处理器 100A 以及在第一处理器 100A 的顶部上垂直层叠的第二处理器 100B。在图 10 的示例性实施例中,第一和第二处理器 100A 和 100B 是多线程处理器,并具有相同的处理器和寄存器组。特别地,第一处理器 100A 包括四组寄存器 101A、102A、103A 和 104A 来实现四个线程。类似地,第二处理器 100B 包括四组寄存器 101B、102B、103B 和 104B 来实现四个线程。

[0071] 在图 10 的示例性实施例中,通过垂直对准并连接处理器 100A 和 100B,3-D 处理器叠层可以聚集方式作为具有相应的更多的线程的单个多线程处理器来操作。例如,在图 10 的例子中,两个处理器 100A 和 100B 的四个线程 101A、101B、102A、102B、103A、103B、104A 或 104B 可以共同运行,从而 3-D 处理器叠层 100 表现为运行八个线程的单个处理器。独立地,对于 3-D 中的系统级仲裁,当两个或更多个处理器被对准时,该组处理器将表现为系统的仲裁方案中的单个节点。这样,当额外的处理器被添加到新的层叠平面时,例如如下讨论的仲裁“树”复杂度不会增加。

[0072] 对于传统的平面系统,可以用增加数量的独立寄存器组来制造处理器,以实现可

同时操作的更多线程,以增加多个程序的处理能力。但是,随着每个处理器的线程数的增加,处理器的平面尺寸增加,导致寄存器组和处理器执行单元之间的通信的周期延迟以及增加的功率。使用如图 10 所示的 3-D 层叠体系结构,使用更少的寄存器组来支持每个处理器的更少线程,处理器可被简化,而在需要时聚集处理器层之间的线程,以增加给定层可以使用的线程总数。假设给定应用程序的大多数工作量以四个或更少的线程来操作,如图 10 所示的处理器 100A 和 100B 可以被优化为四线程处理器。如果给定的工作量需要多于四个线程(多达 8 个线程)而执行,则 3-D 处理器叠层 100 中的处理器 100A 和 100B 可以被组合并作为具有八个线程的单个处理器来操作。

[0073] 在图 10 的示例性实施例中,控制方案和通信路径被实现,以支持跨不同层的线程聚集,并连接层之间的高速缓存并维持高速缓存一致性。这些控制方案和通信路径被设计,以便当不同层的线程实际上共享其地址空间时,每个处理器将看到相同状态。在图 11 中示意性地示出了这些概念。

[0074] 特别地,图 11 示意性地示出了根据本发明的示例性实施例的图 10 所述的处理器的各个部件之间的通信路径。如图 11 所示,第一处理器 100A 包括多个寄存器组 101A、102A、103A 和 104A (还分别被表示为 T0、T2、T4 和 T6),它们和第一处理器单元 105A、L2 和 L3 高速缓存 110A、指令高速缓存 112A 以及数据高速缓存 114A 相关联。类似地,第二处理器 100B 包括多个寄存器组 101B、102B、103B 和 104B (还分别被表示为 T1、T3、T5 和 T7),它们和第二处理器单元 105B、L2 和 L3 高速缓存 110B、指令高速缓存 112B 以及数据高速缓存 114B 相关联。

[0075] 指令高速缓存 112A 和 112B 以及数据高速缓存 114A 和 114B 接收在各 L2 或 L3 高速缓存 110A 和 / 或 110B 中存储的程序指令和数据。L2 和 / 或 L3 高速缓存 110A 和 / 或 110B 可以被结合和共享,例如如上参考图 9C 所讨论。在指令高速缓存 112A 和 112B 中存储的程序指令被各个处理器 105A 和 105B 以一个或多个线程来执行,且给定线程的执行状态被存储在线程状态寄存器 T0、T1、T2、T3、T4、T5、T6、T7 中各自的一个。当从程序指令的执行产生数据时,处理器 105A 在其数据高速缓存 114A 中存储数据,且处理器 105B 在其各自的数据高速缓存 114B 中存储数据。根据本发明的原理,跨处理器 105A 和 105B 以及数据高速缓存 114A 和 114B 之间的层的额外通信路径 116 可被用于促进一致的存储。该通信路径 116 可以以处理器上处理器(processor-on-processor)来实现,因为当处理器对准时端口在空间上并置。

[0076] 尽管图 10 和 11 的示例性实施例示出的处理器每个具有寄存器组来支持 4 个工作线程,本发明的原理可被容易地扩展为每个处理器具有 n 个线程,其中,如果每个处理器是 n- 路多线程的,处理器对可以作为 2n- 路多线程处理器来操作,如系统的其余部分所看到的。再一次,使用该实现,在大多数时间操作 n 个线程时这尤其有用(其中每个处理器的线程不是很繁忙),且由此允许基本处理器针对 n- 线程操作来优化,但在需要时具有扩展系统到操作 2n 个线程的能力。

[0077] 如上所述,当两个或更多个处理器在 3-D 层叠配置中对准时,处理器将表现为系统的仲裁方案中的单个节点。使用该架构,仲裁“树”(或更一般地,处理器互连结构)可以被构造,从而当额外的处理器被添加到新的层叠平面时,复杂度不会增加。现在将参考图 12、13、14、15 和 16 来更详细地讨论根据本发明的原理的示例性处理器互连结构。

[0078] 图 12 示意性地示出了平面处理器系统的处理器互连方案。特别地,图 12 示出了平面处理器系统 120,其包括布置在相同平面上的第一处理器 120A 和第二处理器 120B。第一处理器 120A 包括多个处理器 P1A、P2A、P3A、P4A、P5A、P6A、P7A 和 P8A (全体为 PnA) 以及各个 L3 高速缓存。第一处理器 120A 的处理器 PnA 通过处理器互连结构 122A 来通信。类似地,第二处理器 120B 包括多个处理器 P1B、P2B、P3B、P4B、P5B、P6B、P7B 和 P8B (全体为 PnB) 以及各个 L3 高速缓存。第二处理器 120A 的处理器 PnB 通过处理器互连结构 122B 来通信。在图 12 的示例性实施例中,处理器互连结构 122A 和 122B 被表示为“树”结构,其实现标准的仲裁方案。

[0079] 此外,如图 12 所示,通信总线 122A 和 122B 使用总线互连结构 124 来互连。在图 12 的平面系统 120 中,该总线互连结构 124 在 2D 平面中相对较长。根据本发明的原理,该处理器互连结构在 3-D 层叠架构中可以更为简化,如图 13 所示。特别地,图 13 示意性地示出了根据本发明的示例性实施例的 3-D 层叠多处理器系统的处理器互连方案。特别地,图 13 示出了平面处理器系统 130,其包括第一处理器 130A 和布置在第一处理器 130A 的顶部上的第二处理器 130B。第一处理器 130A 包括多个处理器 P1A、P2A、……、P8A (全体为 PnA),其使用处理器互连结构 132A 来互连和通信。类似地,第二处理器 130B 包括多个处理器 P1B、P2B、……、P8B (全体为 PnB),其使用处理器通信结构 132B 来互连和通信。处理器互连结构 132A 和 132B 被表示为“树”结构,其实现标准的仲裁方案。

[0080] 还如图 13 所示,处理器互连结构 132A 和 132B 使用连接总线结构 134 来互连。图 13 的总体处理器互连方案与图 12 中的总体处理器互连方案的概念类似,除了总线连接结构 134 (其连接处理器互连结构 132A 和 132B)是用层叠处理器芯片 130A 和 130B 之间的垂直连接而形成。就此,垂直连接总线结构 134 比图 12 所示的平面连接总线结构 124 的长度要短得多。这样,图 13 中的总体处理器互连方案比图 12 中示出的总体处理器互连方案明显更小和更快。

[0081] 图 14 示意性地示出了根据本发明的另一示例性实施例的 3-D 层叠多处理器系统的处理器互连方案。图 14 示意性地示出了 3-D 层叠处理器结构 140,其具有的处理器互连架构在拓扑结构上与图 13 的 3-D 层叠处理器的处理器互连架构相同,但更快且在尺寸方面更为简化。更具体来说,如图 14 所示,使用第二处理器芯片 130B 上的树结构 132B 以及多个垂直总线连接 141、142、143、144、145、146、147 和 148 来实现处理器互连方案,该垂直总线连接从第二处理器芯片 130B 上的树总线结构 132B 的端点延伸到第一处理器芯片 130A 上的各个处理器。图 14 的处理器互连方案考虑了第一和第二处理器芯片 130A 和 130B 上的处理器互相对准,从而第一和第二处理器芯片 130A 和 130B (见图 13) 上的树总线结构 132A 和 132B 的终端端点也被对准。使用该垂直对准,垂直总线连接 141、142、143、144、145、146、147 和 148 (如图 14 所示) 可被实现以代替单个垂直总线互连 134 (如图 13 所示)。确实,由于上处理器芯片 130B 上的总线树结构 132B 的每个终端点与下处理器芯片 130A 上的总线树结构 132A 的终端点对准,可以使用短垂直连接来连接两个树结构 132A 和 132B 的终端点,其然后允许树结构 132A 和 132B 中的一个被忽略且不被使用。现在将参考图 15 来进一步讨论并说明这些原理。

[0082] 特别地,图 15 是根据本发明的示例性实施例的 3-D 层叠多处理器系统的示意性顶部透视图,其具有的处理器互连结构基于图 14 中的处理器互连结构方案。图 15 示出了 3-D



层叠多处理器系统 150,这是图 14 所示的概念系统的物理实现,其中,下处理器芯片 130A 上的处理器 PnA 和上处理器芯片 130B 上的处理器 PnB 与总线树结构 132B 的终端点对准。这允许总线树结构 132B 分别使用短垂直导电过孔连接 141、142、143、144、145、146、147 和 148 在总线树结构 123B 的每个端点终端连接到成对的处理器 P1A/P1B、P2A/P2B、P3A/P3B、P4A/P4B、P5A/P5B、P6A/P6B、P7A/P7B 和 P8A/P8B。由于这些垂直的导电过孔相对较短,每对上/下处理器可以被处理为全局总线 132B 上的单个垂直下降(drop)。再一次,与图 13 所述的单个垂直总线连接结构 134 相比,垂直过孔 141、142、……、148 的使用在对准的处理器之间提供了更短的通信路径。

[0083] 图 16 示意性地示出了根据本发明的又一示例性实施例的 3-D 层叠多处理器系统的处理器互连结构。图 16 示意性地示出了 3-D 层叠处理器结构 160,其具有和图 14 类似的总线架构,除了在下处理器芯片 130A 上包含并使用额外的树结构 162A。额外的树结构 162A 可被用于缩短面内处理器之间的通信路径并增加通信带宽。特别地,在图 16 的示例性实施例中,树结构 162A 可被用于第一处理器芯片 130A 上的处理器 PnA 之间的处理器到处理器的通信,而不必使用短垂直总线互连 141、142、……、148 或上树结构 132B。类似地,树结构 132B 可被用于第二处理器芯片 130B 上的处理器 PnB 之间的处理器到处理器的通信,而不必使用短垂直总线互连 141、142、……、148 或下树结构 162A。

[0084] 在另一控制方案中,树结构 162A 和 132B 两者都可以同时和短垂直互连 141、142、……、148 结合来提供任意两个处理器之间的两个独立通信路径,从而可以实现通信带宽的 2x 增加。确实,假设每个树结构 132B 和 162A 是 16- 字节总线,其需要 16 个周期在处理器之间传送 256 字节的信息。在该实施例中,通过在任意两个处理器之间同时使用两个单独的通信路径来同时发送 32 字节(每个路径 16 字节),通信带宽可被增加到 32 字节,由此将通信带宽提高到 16 个周期的 512 字节。

[0085] 在本发明的另一示例性实施例中,3-D 层叠多处理器器件可被构造为包括可结合且通过组合每个垂直层叠的处理器最快部件而配置为超快处理器的多个处理器。使用先进的技术,在相同的处理器之间可以存在器件性能的明显变化,其中一个处理器的某些子系统可以比另一相同处理器的相同子系统更快,而同时,对于不同的子系统关系可能是相反的。确实,基于器件尺寸和形状的变化以及掺杂的变化等,在给定晶片上形成的具有相同布局 and 宏功能部件的一组相同的处理器可以具有比另一相同处理器的相同部件更快或更慢的部件。

[0086] 就此,根据本发明的另一示例性实施例,当不同处理器芯片层上的两个处理器(第一和第二处理器)具有相同的子系统区域布局时,在一种操作模式下,通过组合第一和第二处理器的相应子系统区域中较快的子系统区域,并通过关闭第一和第二处理器的相应子系统区域中的较慢子系统区域,第一和第二处理器可被配置为作为单个处理器来操作。现在将参考图 17A 和 17B 来更详细地说明和讨论这些原理。

[0087] 特别地,图 17A 示意性的示出了根据本发明的示例性实施例的具有相同布局的两个处理器,其中,两个相同处理器的相应区域被标识为比其对手区域更快或更慢。特别地,图 17A 示出了具有十一个相同主区域(宏) R1、R2、R3、R4、R5、R6、R7、R8、R9 和 R11 的两个相同的处理器 170A 和 170。在制造后,对处理器的这些区域测试速度,因为尽管处理器是相同的,给定处理器的某些区域会比另一相同处理器的相同区域更快/更慢。在图 17A 的示

例性实施例中,第一处理器 170A 的区域 R1、R2、R4、R6、R8、R9 和 R11 被标识为比相同处理器 170B 的相同区域更快(标记为“F”)。此外,第二处理器 170B 的区域 R2、R5、R7 和 R10 被标识为比相同处理器 170A 的相同区域更快(标记为“F”)。

[0088] 图 17B 是根据本发明的示例性实施例的 3-D 层叠多处理器系统 170 的示意图,该系统包括图 17A 中的处理器 170A 和 170B。特别地,图 17B 示意性地示出了根据本发明的示例性实施例的 3-D 层叠处理器结构,该结构是通过垂直层叠图 17A 所示的两个处理器而形成的,并操作为由每个处理器的最快的相应区域构成的单个处理器。在图 17 中,处理器被对准且垂直连接,从而相应的区域 R1、R2、……、R11 被对准并互相连接。两个处理器 170A 和 170B 的高速缓存和执行资源被垂直连接,从而 3-D 层叠处理器系统 170 可以在多种模式中的一种模式下操作。

[0089] 例如,在一种模式下,处理器 170A 和 170B 可以作为独立的处理器来操作,其中,每个处理器是活动的并以一半功率来操作,如上所讨论。在另一示例性实施例中,处理器 170A 或 170B 中的一个可以以满功率或增加的功率(加速模式)来操作,而另一处理器被关闭。在又一实施例中,处理器 170A 和 170B 可以作为单个处理器来操作,其包括每个处理器中被标识为最快版本的区域的那些区域,从而产生的处理器可以作为单个超快处理器来操作,其速度比使用来自仅一个处理器层的所有部件要更快。例如,在图 17B 的示例性实施例中,3-D 层叠处理器结构 170 可作为单个处理器来操作,该单个处理器包括第一处理器 170A 的快区域 R1、R2、R4、R6、R8、R9 和 R11 以及第二处理器 170B 的快区域 R2、R5、R7 和 R10 构成的 11 个区域。

[0090] 在本发明的另一示例性实施例中,3-D 层叠多处理器器件可以具有逻辑上作为单个处理器映像来操作的多个结合的处理器,但其中,至少一个处理器被用作“提前运行(run-ahead)”功能。特别地,通过示例,在具有对准并互相垂直结合的第一和第二处理器的 3-D 层叠多处理器器件中,第一处理器可以是主处理器,负责机器的体系结构状态,且二级处理器可以在主处理器之前操作,以解决分支或更早产生不命中,而二级处理器不会被体系结构或程序限制且不能够改变机器的体系结构状态。

[0091] 在本发明的该示例性实施例中,第一和第二处理器的高速缓存和执行资源被连接在一起,从而它们可以在例如两种备选模式下被使用,即,或用作其中处理器层之间的连接未被使用的独立处理器,或以协作的方式使用,其中,主处理器执行程序且二级处理器操作较简单版本的程序,从而二级处理器可以在主处理器之前产生存储器请求并解决分支,除了其他选项之外,其结果可被主处理器使用以避免长延迟的处理器存取和分支误预测。将参考图 18 来更详细地描述用于实现 3-D 层叠处理器系统中的提前运行或辅助线程的概念。

[0092] 特别地,图 18 示意性地示出了根据本发明的示例性实施例的用于实现 3-D 层叠处理器系统中的提前运行功能的方法。特别地,图 18 示出了由操作主线程的主处理器针对在主和二级处理器之间共享的存储器执行的多个操作 181 和 182,以及与主处理器协作地操作提前运行线程的二级处理器执行的多个操作 184、185、186、187、188 和 189。

[0093] 特别地,如图 18 所示,在 3-D 层叠处理器系统中执行程序时,主处理器从存储器 183 获取指令 181 并执行每个程序指令 182。在执行指令时,主处理器将从共享存储器 183 获取并存储程序数据,并维护对于所有外部实体可见的机器(存储)状态。换句话说,主处理器正确执行程序在于主处理器以正确的顺序来执行指令操作,并且只有在那些改变已知为

正确的时候,才向系统的其余部分显示状态改变信息。但是,为了使程序执行更快,使用更高的指令级别并行性,二级处理器作为“提前运行”的处理器来操作,其中,二级处理器不会确保正确和合法的操作,且不会向系统的其余部分显示状态改变。相反,它以投机的方式尽可能快地操作,且不会关心和程序流程无关的指令。以这种方式来操作,提前运行的处理器将解决很多分支并比主处理器能更早地产生很多必要的高速缓存不命中。这将允许主处理器比一般情况更快地运行。

[0094] 特别地,如图 18 所示,二级处理器将从共享存储器 183 获取指令 184 并执行特定的指令,例如数据获取指令,且响应于该数据获取指令从共享存储器 183 获取数据 185。二级处理器将执行数据存储指令并执行存储器存取操作 186 来确定必要的的数据是否被存储在存储器 183 中。二级处理器将执行简单指令 187 并执行分支指令 188,并抛弃或忽略与确定高速缓存不命中或解决分支重定向无关的所有其他获取的指令 189。在步骤 186 中,当二级处理器看到到来的数据存储指令时,二级处理器将确定对于要存储的数据是否存在于高速缓存线。如果高速缓存线不存在,二级处理器将产生高速缓存不命中并继续以具有为数据存储分配的高速缓存线并获取合适的许可以在新分配的高速缓存线中存储数据(即,确保新的高速缓存线的状态是“数据存储准备好”状态)。如果高速缓存线已经存在,二级处理器将确定该高速缓存线是否处于“数据存储就绪”状态,且如果不是则继续获取合适的许可。通过这种方式,当主处理器执行数据存储指令时,高速缓存线将是可用的并处于“存储就绪”状态,由此避免在执行流程中的高速缓存不命中。

[0095] 二级处理器(提前运行处理器)通过在主处理器看到意外事件之前解决该意外事件来加速主处理器。二级处理器可以以这种方式来操作,因为它不需要执行每个指令,且不需要正确执行程序指令。在 3-D 层叠配置中,由于主和二级处理器是空间重合的且通过短垂直连接来连接,它们可以共享并查看执行状态,且另外比平面配置更容易和更强健地同步,在平面配置中,需要长的布线来交换合适的同步信息。即使在共平面处理器之间使用共平面布线,共平面处理器可能无法同时查看相互的状态。在 3-D 层叠配置中,通过主和二级处理器的资源之间的短垂直连接,辅助线程和主线程之间用以共享值和另外同步处理流程的通信和交互会更容易实现。

[0096] 在本发明的另一示例性实施例中,3-D 层叠多处理器器件可以具有可以作为单个处理器映像来操作的多个结合的处理器,但其中,在其体系结构存储的一部分作为私有存储空间(或便笺空间)来操作,该私有空间不能被 3-D 叠层以外的处理器存取。换句话说,多个处理器可被结合为具有私有存储区域的单个操作实体(从外部看是“处理器”),该私有存储区域可被用于便笺空间或组织其他数据结构,其中,私有存储对于系统中的其他操作实体来说是不可见的。当处理器的元组在提前运行模式或超快加速(Hyper turbo)模式下作为单个逻辑处理器操作或以任意其他方式元组化时,该元组的一个或多个高速缓存可被用作具有应用特定结构的私有存储。

[0097] 尽管这里参考附图描述了本方面的示例性实施例,可以理解本发明不限于那些精确的实施例,且本领域技术人员可以进行各种其他改变和调整,而不偏离所附权利要求书的范围。

10

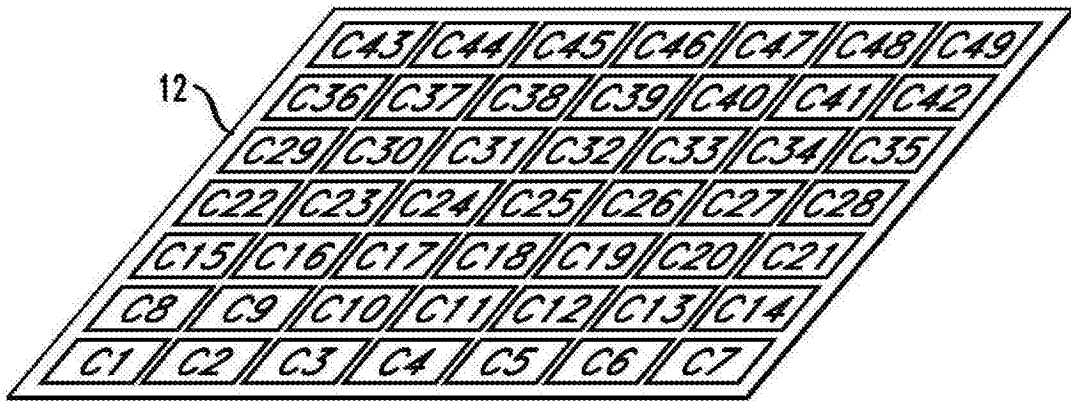


图 1

20

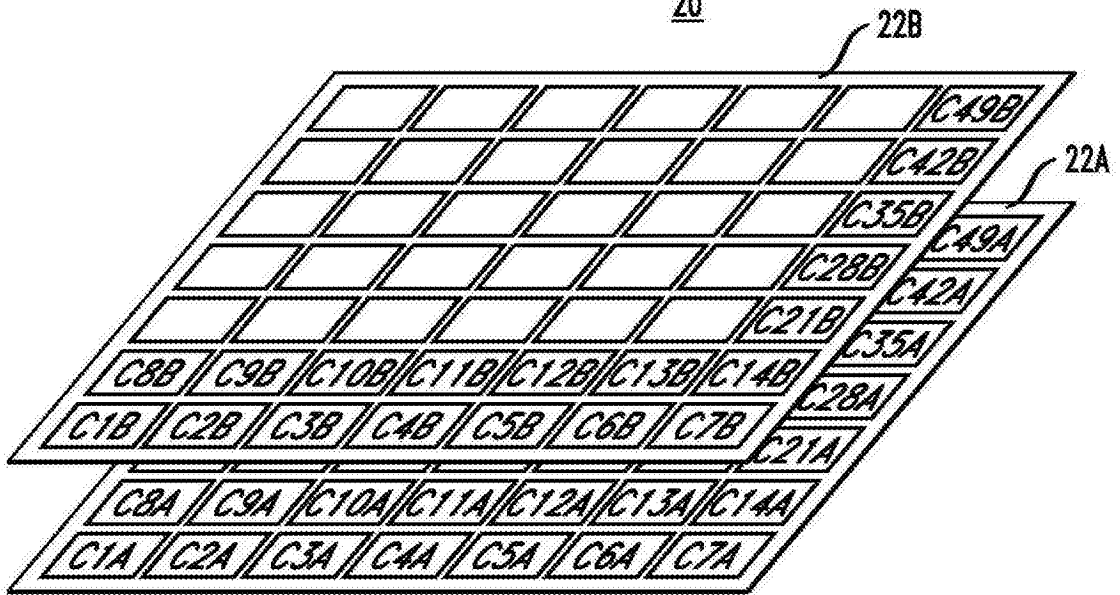


图 2

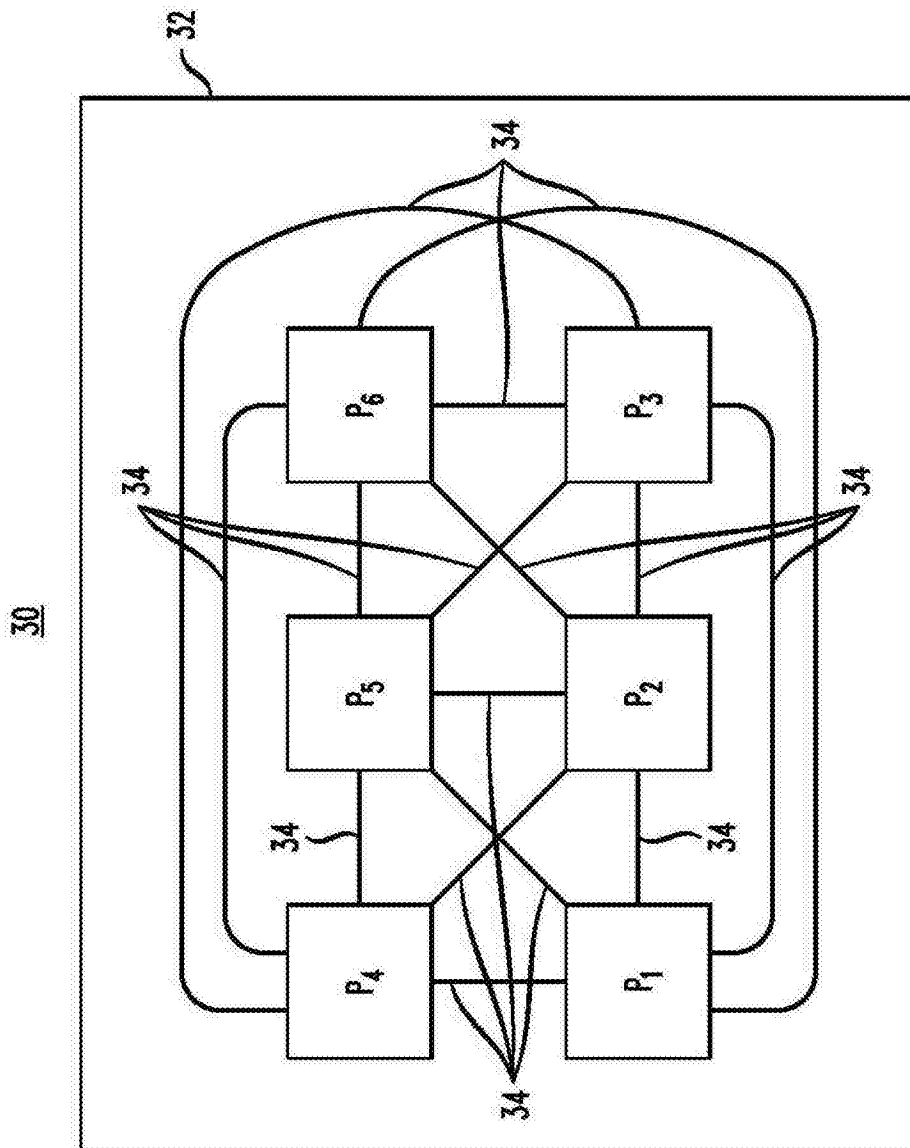


图 3

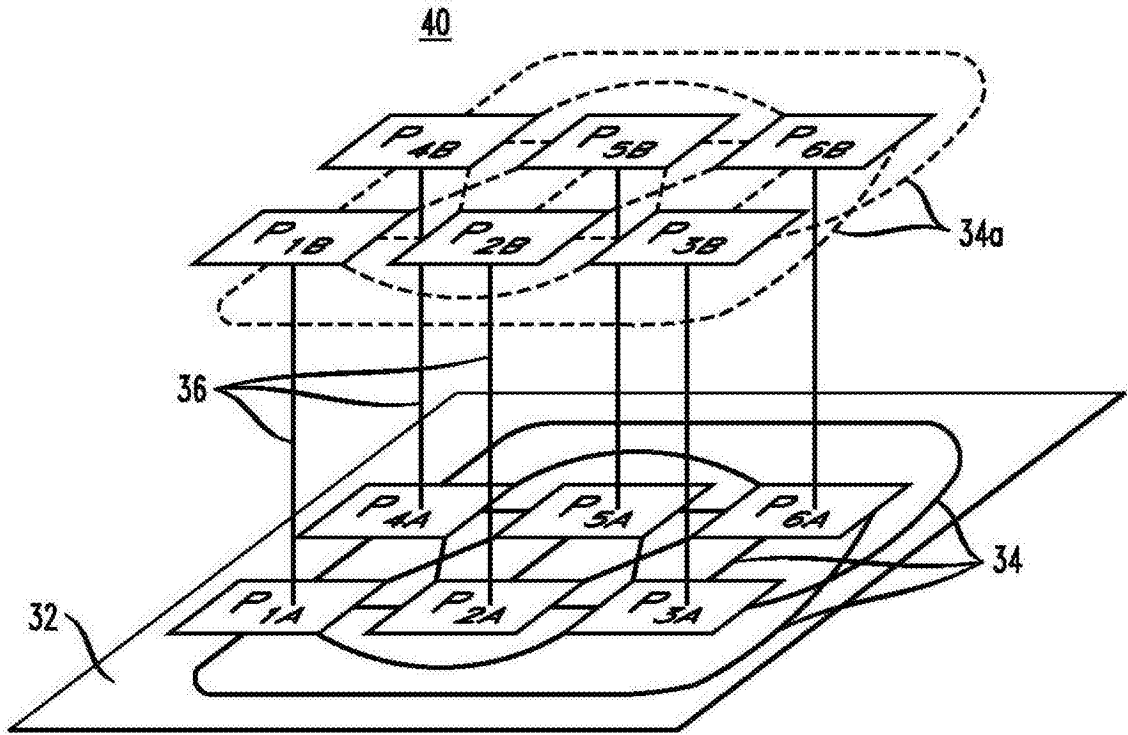


图 4

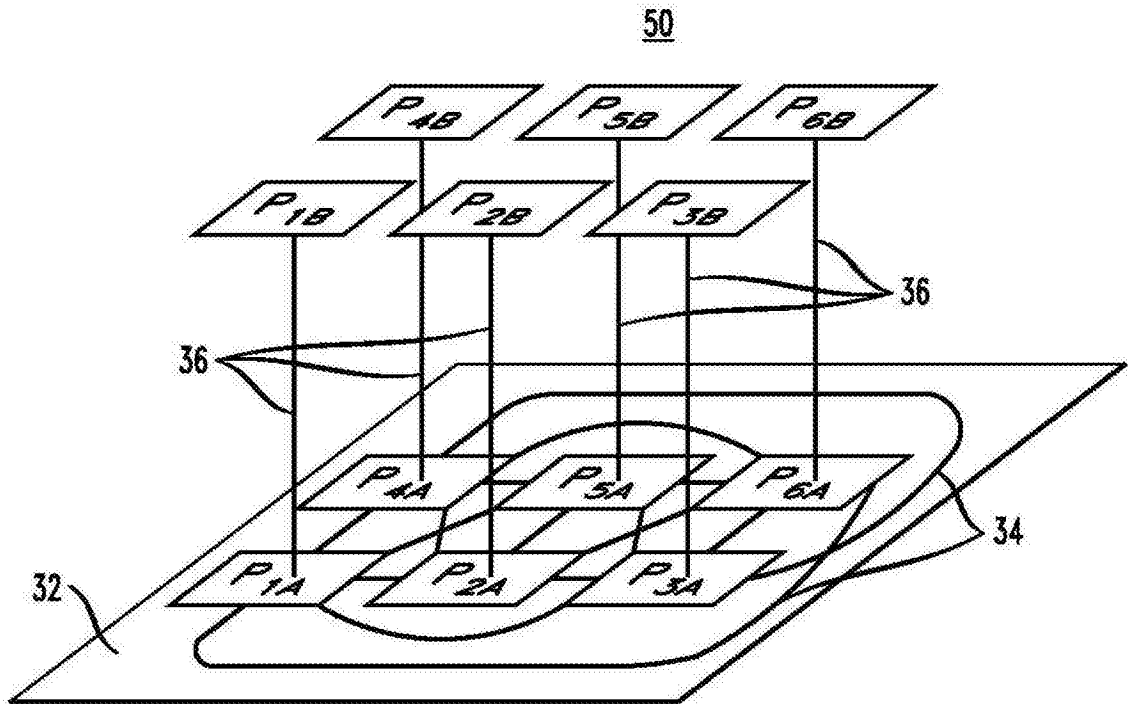


图 5

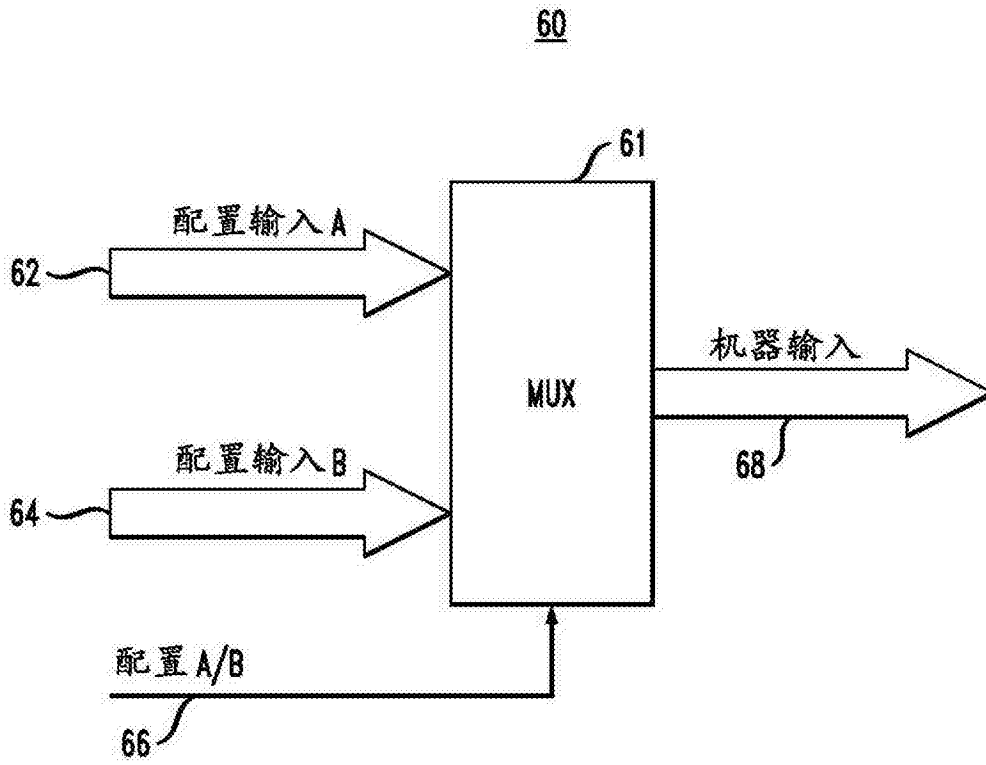


图 6

70

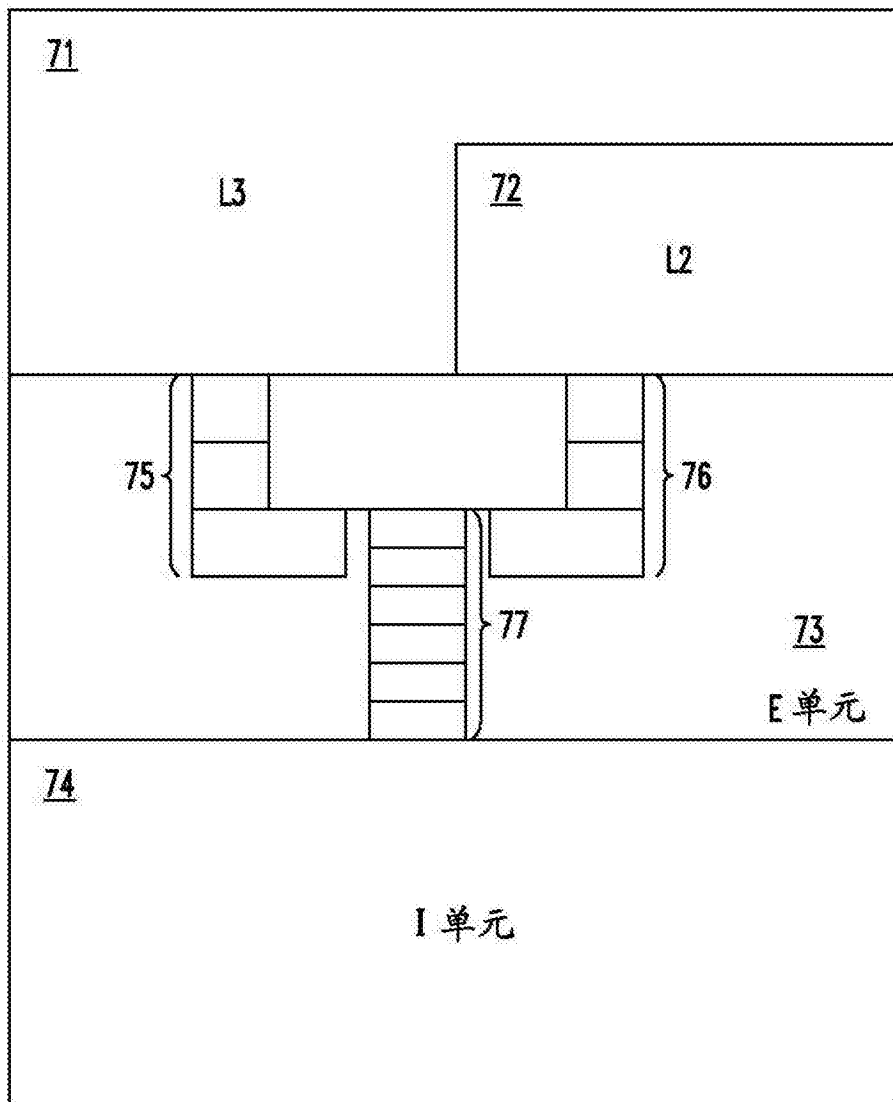


图 7



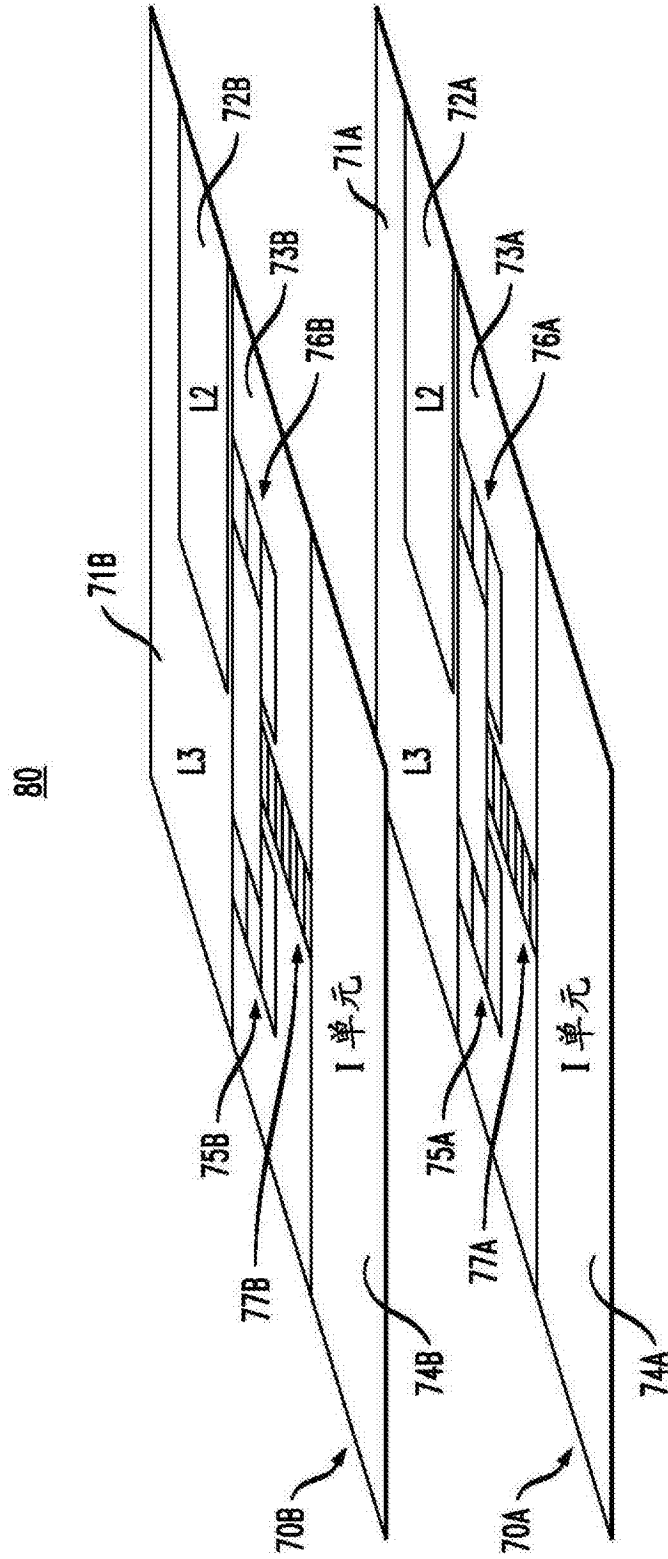


图 8

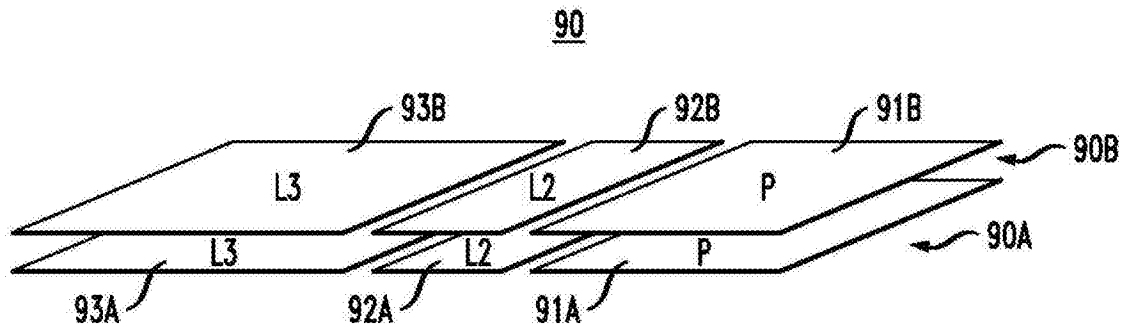


图 9A

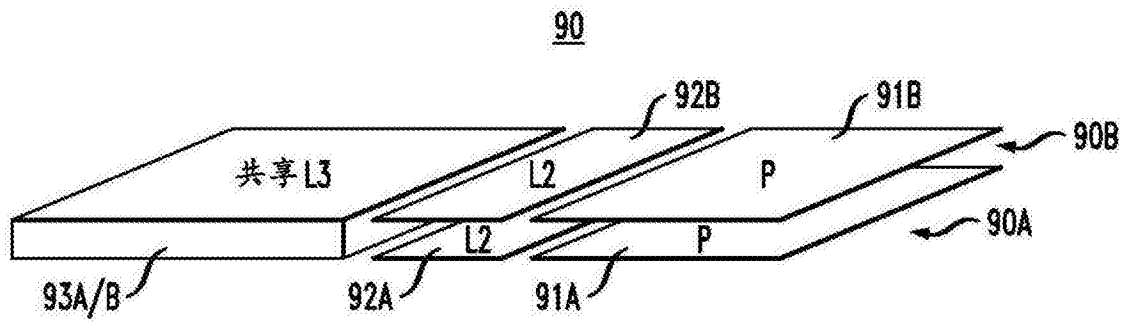


图 9B

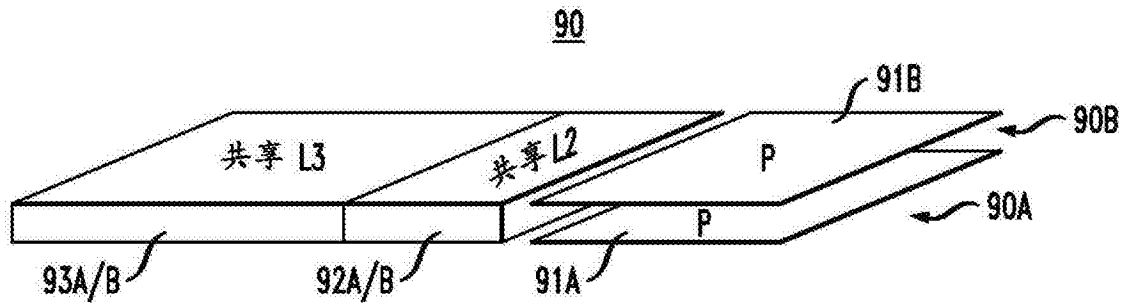


图 9C

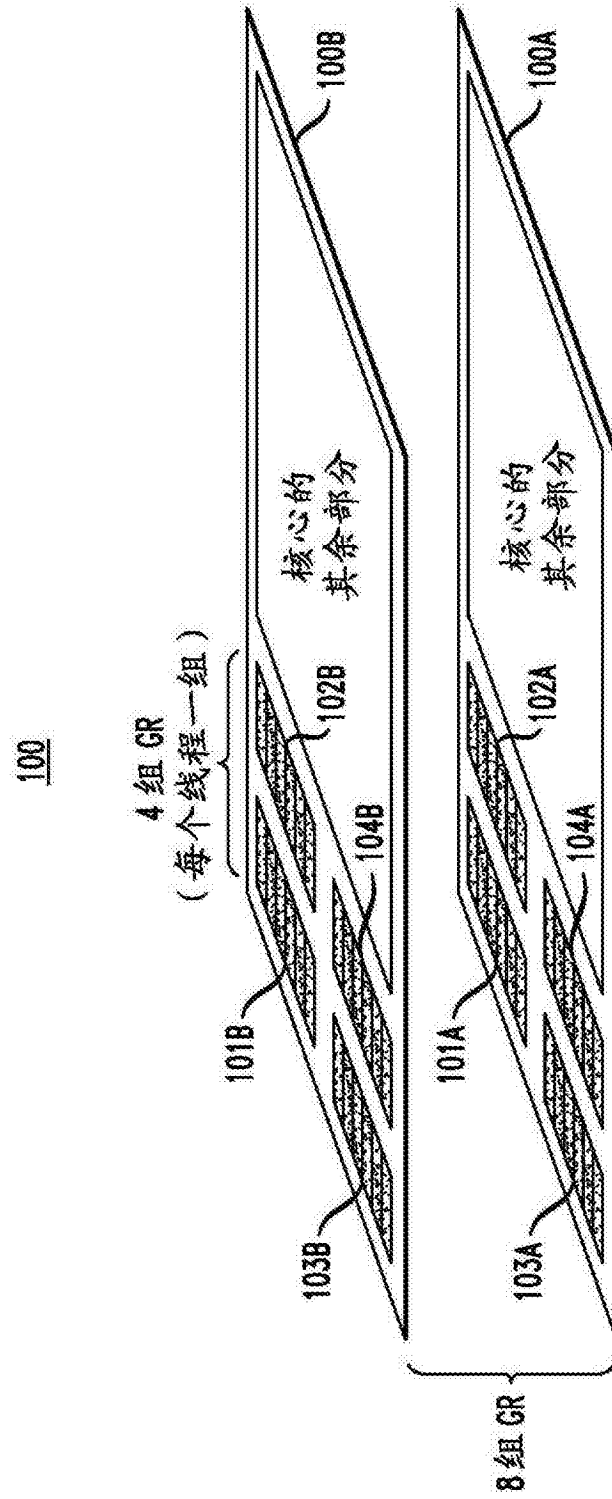


图 10

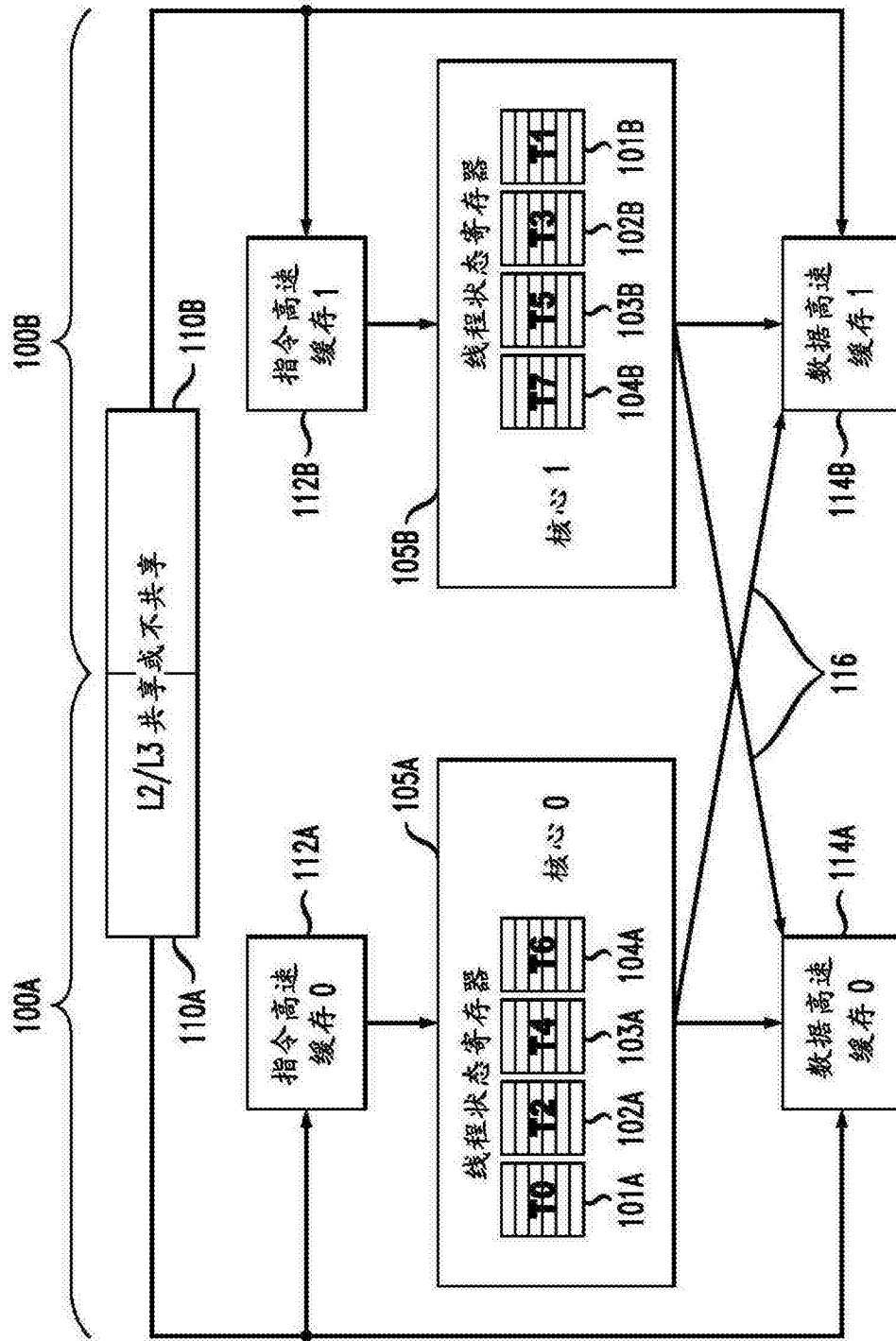


图 11

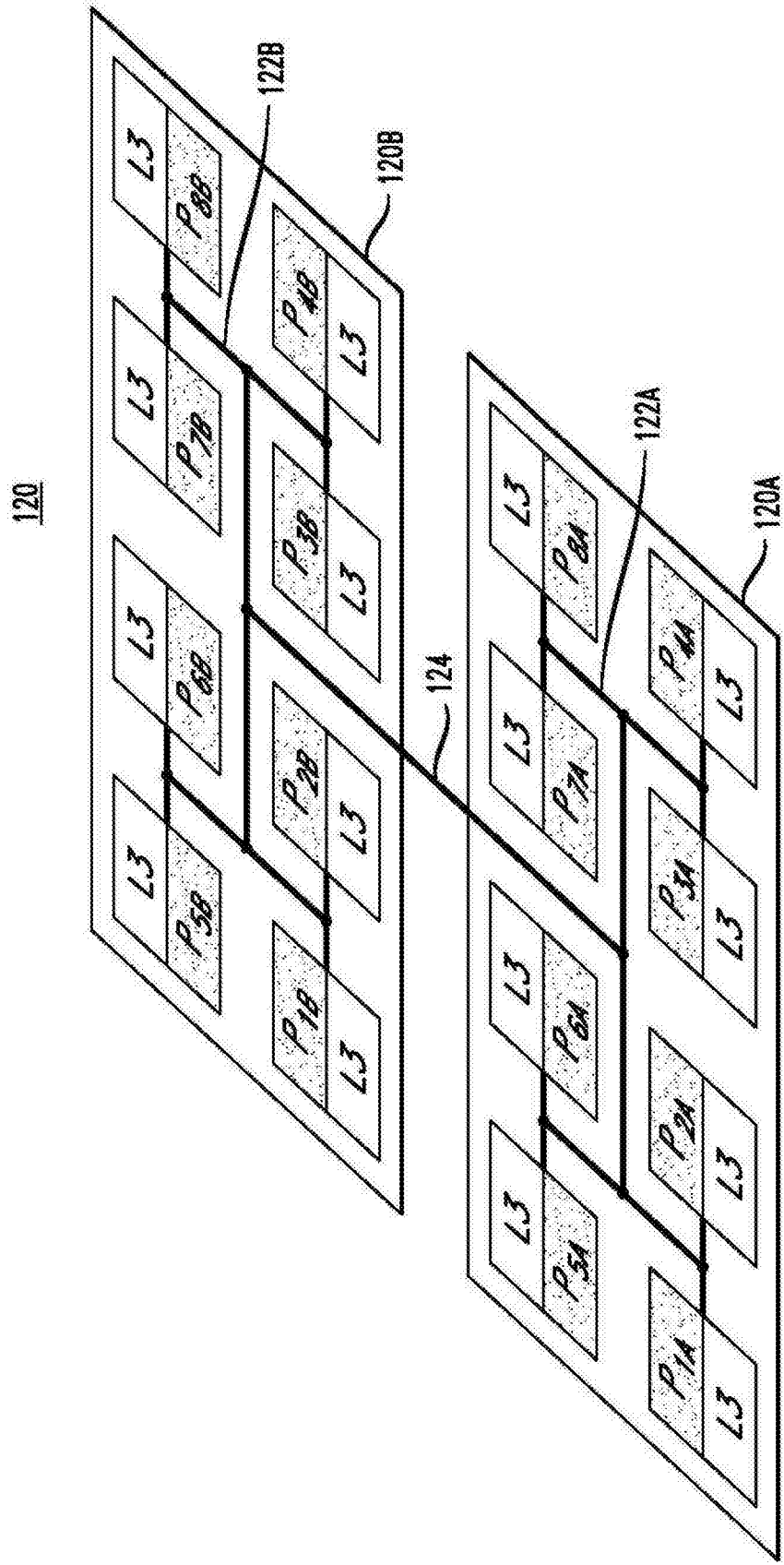


图 12

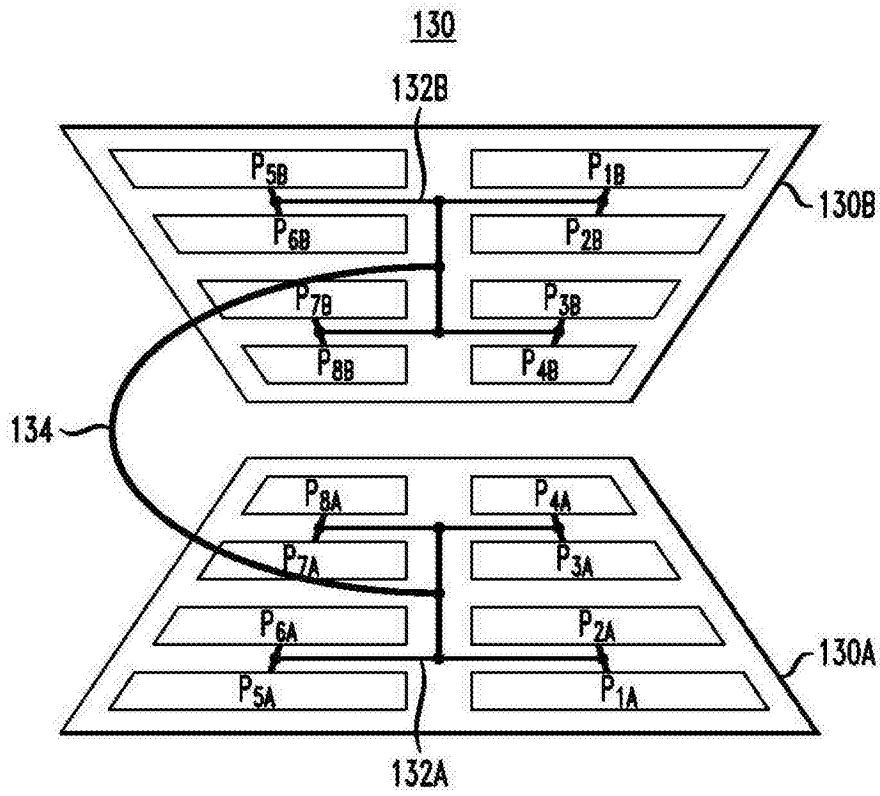


图 13

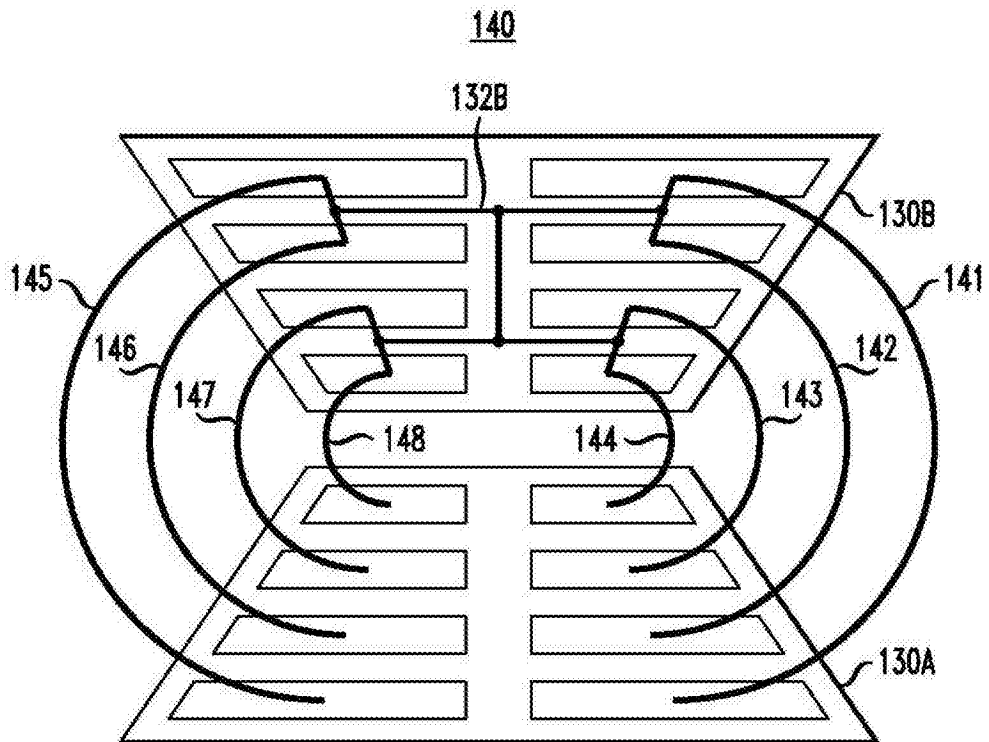


图 14

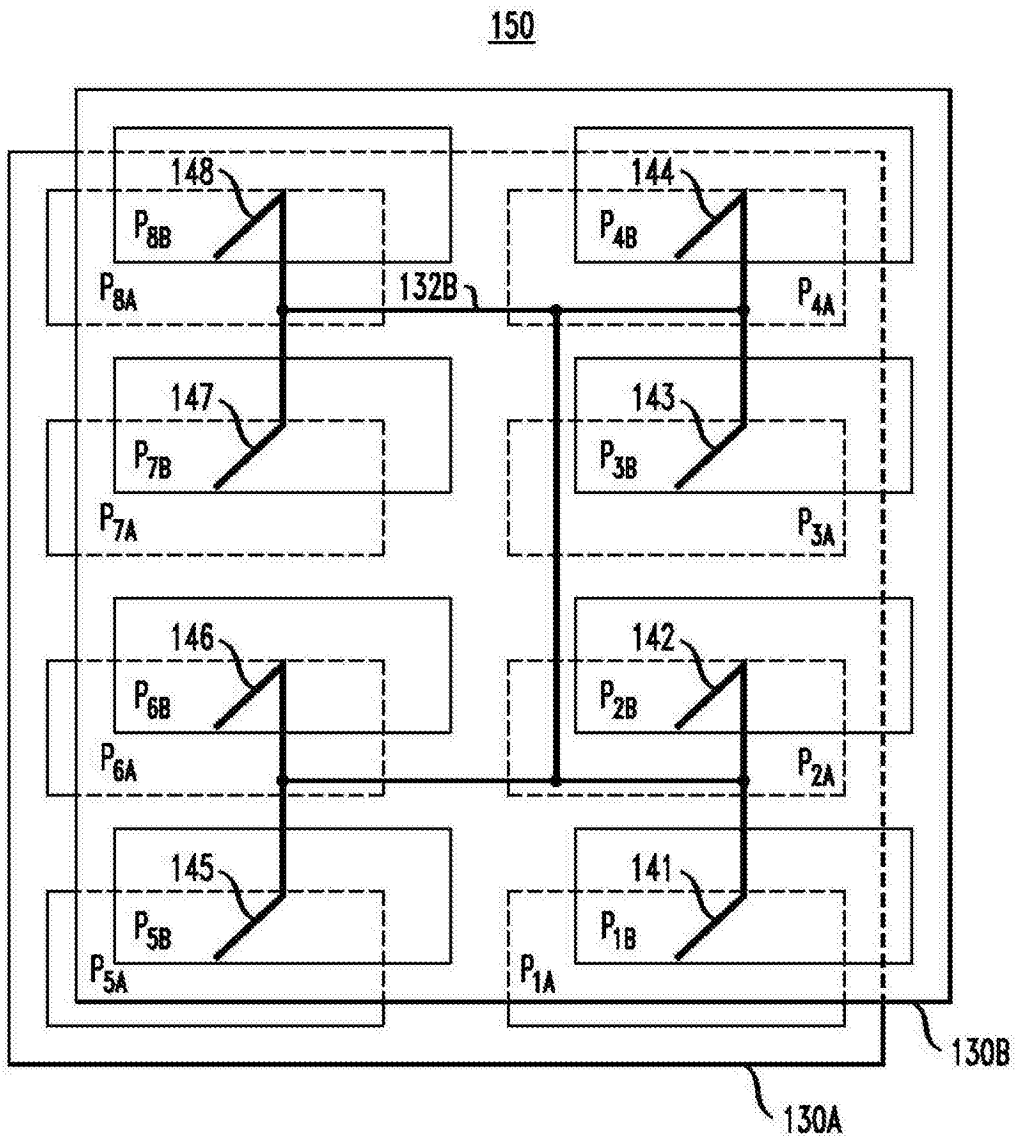


图 15

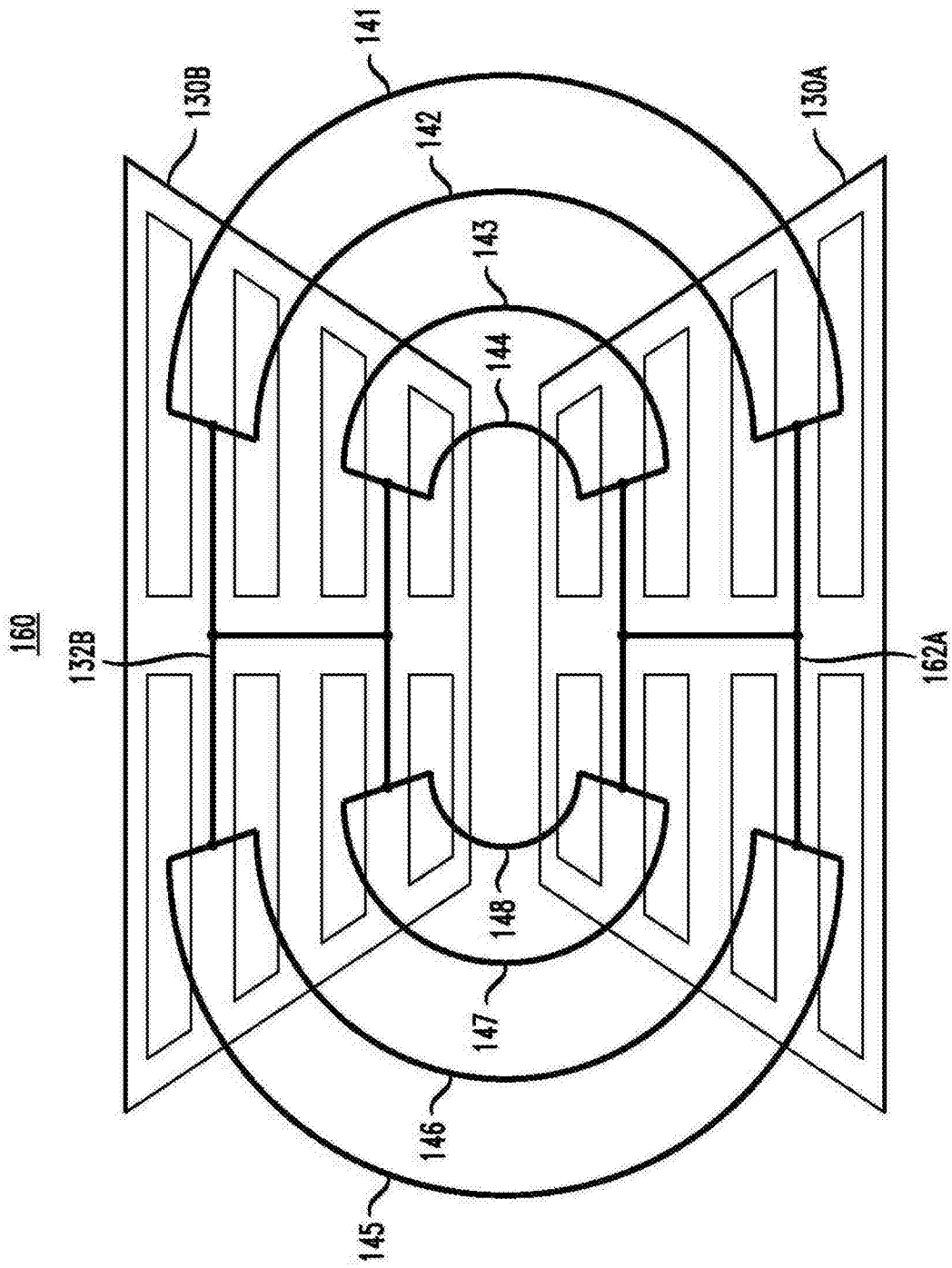


图 16



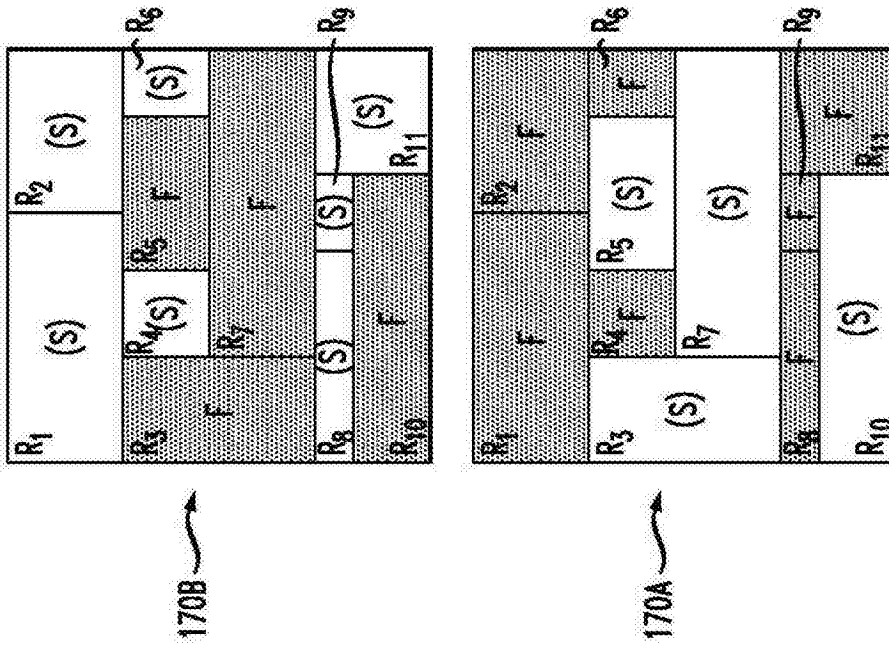


图 17A

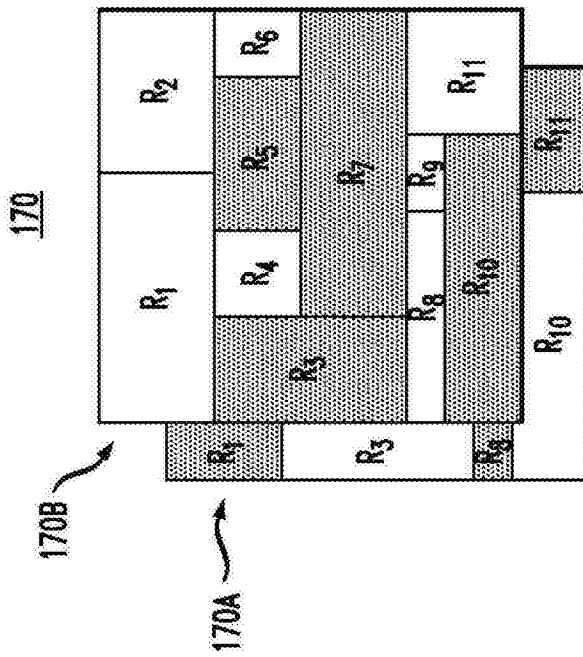


图 17B

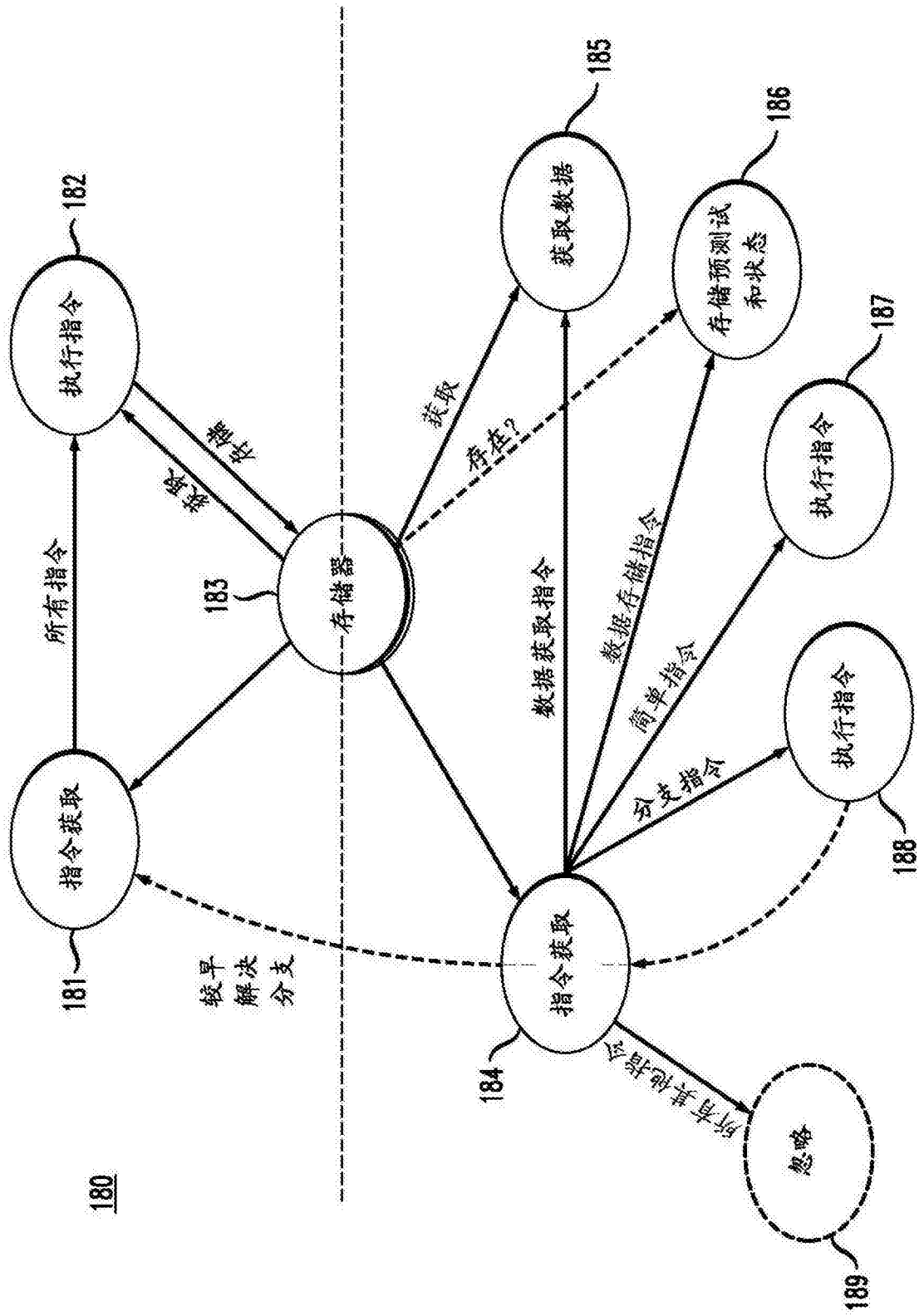


图 18