

(21) 申請案號：107122021

(22) 申請日：中華民國 103 (2014) 年 11 月 13 日

(51) Int. Cl. : H01L23/495 (2006.01)

H01L23/28 (2006.01)

(30) 優先權：2014/03/13 日本

2014-050460

(71) 申請人：日商瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION
(JP)

日本

(72) 發明人：高橋典之 TAKAHASHI, NORIYUKI (JP)

(74) 代理人：周良謀；周良吉

申請實體審查：有 申請專利範圍項數：13 項 圖式數：31 共 62 頁

(54) 名稱

半導體裝置

(57) 摘要

本發明旨在提供一種半導體裝置，可提高半導體裝置中的安裝可靠度。QFP5，包含：晶片焊墊 1c，搭載半導體晶片 2；複數內引線部 1a，配置於晶片焊墊 1c 的周圍；複數外引線部 1b，分別連結於複數內引線部 1a 的每一個；複數打線 4，將半導體晶片 2 的搭接焊墊 2c 與複數內引線部 1a 的每一個電性連接；及密封體 3，密封半導體晶片 2。且半導體晶片 2 的厚度 T1，大於晶片焊墊 1c 的下表面 1cb 至密封體 3 的下表面 3b 的厚度 T5，且密封體 3 的下表面 3b，與複數外引線部 1b 的每一個中的前端部 1be 的距離 D1，大於密封體 3 中半導體晶片 2 的主面 2a 至上表面 3a 的厚度 T4。

無。

指定代表圖：

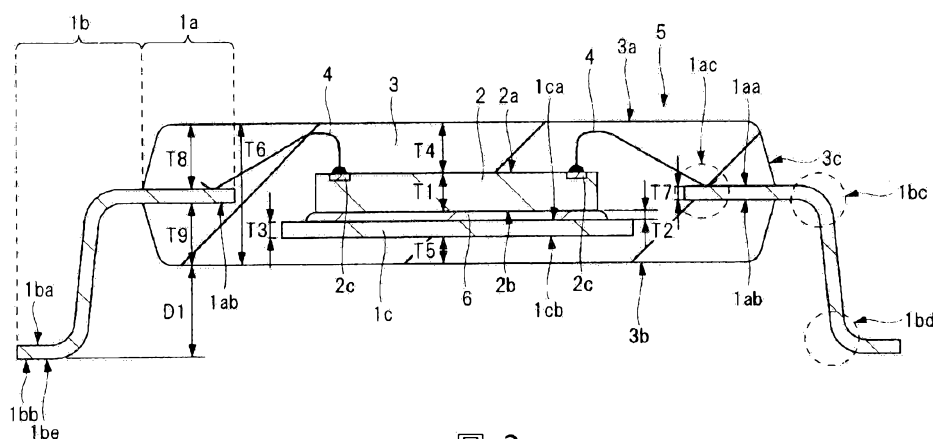


圖 3

符號簡單說明：

1 . . . 引線框

1a . . . 外引線部

1aa . . . 上表面

1ab . . . 下表面

1ac . . . 打線接合部

1b . . . 外引線部

1ba . . . 上表面

1bb . . . 下表面

1bc、1bd . . . 彎曲部

1be . . . 前端部(主接合面)

1c . . . 晶片焊墊(晶片搭載部、薄片)
1ca . . . 上表面(晶片搭載面)
1cb . . . 下表面
2 . . . 半導體晶片
2a . . . 主面
2b . . . 背面
2c . . . 搭接焊墊(接合電極、電極焊墊)
3 . . . 密封體
3a . . . 上表面(表面)
3b . . . 下表面(安裝面)
3c . . . 側面
4 . . . 打線
5 . . . QFP(半導體裝置)
6 . . . 晶粒黏著材
T1 . . . 半導體晶片 2 的厚度
T4 . . . 半導體晶片 2 的主面 2a 至上表面 3a 的厚度
T5 . . . 晶片焊墊 1c 的下表面 1cb 至密封體 3 的下表面 3b 的厚度
T6 . . . 密封體 3 的厚度
T8 . . . 內引線部 1a 各自的打線接合部 1ac 的上表面 1aa 至密封體 3 的上表面 3a 的厚度
T9 . . . 複數內引線部 1a 各自的打線接合部 1ac 的下表面 1ab

至密封體 3 的下表面
3b 的厚度

D1 . . . 密封體 3 的
下表面 3b，與複數外
引線部 1b 的每一個中
的前端部 1be 的距離

【發明說明書】

【中文發明名稱】 半導體裝置

【技術領域】

【0001】

本發明，係關於一種半導體裝置，例如，係關於一種應用於包含「自密封半導體晶片的密封體側面突出的複數引線」的半導體裝置的有效技術。

【先前技術】

【0002】

於例如日本特開2004－319954號公報（專利文獻1）揭示有一具有封裝（package）的半導體裝置中，複數引線從密封體側面朝外側突出的構造。

【0003】

且於例如日本特開平5－3277號公報（專利文獻2）揭示有具有鷗翼形（L字形）的複數外引線的半導體裝置構造。

〔先前技術文獻〕

〔專利文獻〕

【0004】

〔專利文獻1〕日本特開2004－319954號公報

〔專利文獻2〕日本特開平5－3277號公報

【發明內容】

〔發明所欲解決之課題〕

【0005】

搭載在母板（配線基板）上的半導體裝置（半導體封裝）的熱膨脹率，與母板的熱膨脹率不同時，母板與搭載在此母板上的半導體裝置的接合部中，易發生接合不良的情形。此接合不良發生的原因在於，搭載半導體裝置的母板因熱的影響而變形（膨脹、收縮）時，母板的變形量（膨脹量、收縮量），與同樣因熱的影響而變形（膨脹、收縮）的半導體裝置的變形量（膨脹量、收縮量）不同。

【0006】

另一方面，例如QFP（Quad Flat Package，四面扁平封裝）中，作為半導體裝置的外部端子之引線的一部分（外引線部），於密封半導體晶片的密封體的外側彎折。亦即，與母板接合之引線的一部分（外引線部）未由密封體固定。

【0007】

因此，例如圖31的比較例所示，即使母板12相較於半導體裝置（QFP21）大幅收縮S，引線21a的一部分（外引線部）亦追隨此母板12之變動，故不易發生接合不良的情形。

【0008】

然而，近年來，相較於習知的產品，未來傾向於需要在更惡劣環境下使用半導體裝置（例如，車載關聯產品）。

在此，本申請案發明人，檢討關於如何獲得「較習知的QFP具有更高安裝可靠度（安裝強度）的半導體裝置構造」。

【0009】

其他課題與新穎特徵，將由本說明書之記述及附圖揭示。

〔解決課題之手段〕

【0010】

依一實施形態的半導體裝置，包含晶片焊墊、半導體晶片、複數引線、與密封半導體晶片的密封體，上述半導體晶片的厚度，大於上述晶片焊墊的第2面至上述密封體的下表面的厚度。且上述密封體的下表面，與上述複數引線各自的一部分之前端部的距離，大於上述密封體中，上述半導體晶片的主面至上述密封體的上表面的厚度。

〔發明之效果〕

【0011】

依上述一實施形態，可提高半導體裝置中的安裝可靠度。

【圖式簡單說明】

【0012】

〔圖1〕係顯示實施形態的半導體裝置（QFP）構造之一例的俯視圖。

〔圖2〕係顯示沿圖1的A-A線切斷的構造之一例的剖面圖。

〔圖3〕係顯示圖1所示的半導體裝置之詳細構造的放大剖面圖。

〔圖4〕係顯示圖1的半導體裝置安裝於安裝基板的安裝構造之一例的俯視圖。

〔圖5〕係顯示圖4所示的半導體裝置（QFP）的安裝構造之一例的側視圖。

〔圖6〕係顯示實施形態的半導體裝置（QFP）構造的剖面圖。

〔圖7〕係顯示比較例的QFP構造的剖面圖。

〔圖8〕係顯示實施形態的半導體裝置構造之一例的俯視圖。

〔圖9〕係顯示圖8所示的半導體裝置的安裝構造的側視圖。

〔圖10〕係顯示比較例的QFP構造的俯視圖。

〔圖11〕係顯示圖10所示的半導體裝置的安裝構造的側視圖。

〔圖12〕係顯示圖8所示的半導體裝置之焊料塗布狀態的概念圖。

〔圖13〕係顯示比較例的半導體裝置之焊料塗布狀態的概念圖。

〔圖14〕係顯示圖1的半導體裝置之用於組裝的引線框構造之一例的俯視圖。

〔圖15〕係放大顯示圖14的A部構造的放大部分俯視圖。

〔圖16〕係顯示沿圖15的A-A線切斷的構造之一例的剖面圖。

〔圖17〕係顯示圖1的半導體裝置組裝中晶粒接合後的構造之一例的放大部分俯視圖。

〔圖18〕係顯示沿圖17的A-A線切斷的構造之一例的剖面圖。

〔圖19〕係顯示圖1的半導體裝置組裝中打線接合後的構造之一例的放大部分俯視圖。

〔圖20〕係顯示沿圖19的A-A線切斷的構造之一例的剖面圖。

〔圖21〕係顯示圖1的半導體裝置組裝中樹脂封模後的構造之一例的放大部分俯視圖。

〔圖22〕係顯示沿圖21的A-A線切斷的構造之一例的剖面圖。

〔圖23〕係顯示圖1的半導體裝置組裝中壩條 (dam bar) 切斷時的構造之一例的剖面圖。

〔圖24〕係顯示圖1的半導體裝置組裝中雷射標示 (laser marking) 時的構造之一例的剖面圖。

〔圖25〕係顯示圖1的半導體裝置組裝中，外裝電鍍形成後的構造之一例的剖面圖。

〔圖26〕係顯示圖1的半導體裝置組裝中，澆口、前端截切後的構造之一例的放大部分俯視圖。

〔圖27〕係顯示圖1的半導體裝置組裝中，引線切斷、成形後的構造之一例的放大部分俯視圖。

〔圖28〕係顯示圖1的半導體裝置組裝中，角部切斷後的構造之一例的俯視圖。

〔圖29〕係圖28的構造的剖面圖。

〔圖30〕係圖28的構造的外觀立體圖。

〔圖31〕係顯示比較例的半導體裝置安裝於母板的安裝構造的概念圖。

【實施方式】

【0013】

以下實施形態中除特別必要時以外，原則上不重複同一或同樣部分的說明。

【0014】

且以下實施形態中為便於說明有其必要時，雖會分割為複數段落或實施形態說明之，但除特別明示外，此等者相互非無關係，而係處於一方係另一方一部分或全部變形例、詳細內容、補充說明等之關係。

【0015】

且以下實施形態中，提及要素數量等（包含個數、數值、量、範圍等）時，除特別明示及原理上明顯限定於特定數量時等外，不由該特定數量限定，在特定數量以上或以下皆可。

【0016】

且以下實施形態中，其構成要素（亦包含要素步驟等）除特別明示及原理上被認為明顯必須時等外，當然非必須。

【0017】

且以下實施形態中，關於構成要素等，稱「A所構成」、「由A構成」，「具有A」、「包含A」時，除特別明示僅係該要素時等外，當然不排除其以外之要素。同樣地，以下實施形態中，提及構成要素等形狀、位置關係等時，除特別

明示時及原理上被認為明顯非如此時等外，實質上包含近似或類似該形狀等者等。關於上述數值及範圍亦相同。

【0018】

以下，根據圖式詳細說明本發明實施形態。又，用來說明實施形態的全圖中，對具有同一功能的構件賦予同一符號，省略其重複的說明。且為使圖式易於理解，即使係俯視圖有時亦會賦予影線。

【0019】

〔實施形態〕

圖1係顯示實施形態的半導體裝置構造之一例的俯視圖，圖2係顯示沿圖1的A-A線切斷的構造之一例的剖面圖，圖3係顯示圖1所示的半導體裝置之詳細構造的放大剖面圖，圖4係顯示圖1的半導體裝置安裝於安裝基板的安裝構造之一例的俯視圖，圖5係顯示圖4所示的半導體裝置（QFP）的安裝構造之一例的側視圖。

【0020】

<電子裝置>

圖4所示的安裝構造，係在作為配線基板的母板12上搭載複數半導體裝置或電子零件的模組（電子裝置）20。本實施形態中，作為一例，舉車載用母板（係安裝基板，以下，亦稱ECU（Electronic Control Unit）板）12為例說明。又，本實施形態中，為與電容器或電阻器等電子零件區別，將於其外引線部21ab搭載半導體晶片的電子零件，說明為半導體裝置。

【0021】

車載用ECU板中，引擎控制用ECU板，隔著金屬製銷（螺栓）結合引擎室，且被固定。因此，於引擎室產生的熱經由上述金屬製銷傳至ECU板。

【0022】

因此，特別是搭載於引擎控制用ECU板的半導體裝置或電子零件，在惡劣環境下被使用。

【0023】

如圖4所示，在母板12上，搭載QFP13a、13b、13c、13d或SOP（Small Outline Package）14a、14b等各種半導體裝置。且亦搭載電容器（晶片型鉭電容器15、堆疊陶瓷電容器17、鋁電解電容器18）或電阻器（包含晶片電阻）16等各種電子零件。又，此等半導體裝置彼此、某半導體裝置與某電子零件、或是電子零件彼此，經由母板12的配線12a，相互電性連接。

【0024】

且於母板12，插入有複數根（例如5根）金屬製銷（螺栓）19。

【0025】

在此，如上所述，各銷19結合引擎室，故引擎室的熱易於傳達。因此，構成模組（電子裝置）20的母板12中，特別是於各銷19附近，母板12易於變形（膨脹、收縮、扭曲、撓曲等）。換言之，配置（搭載）於銷19附近的半導體裝置或電子零件，相較於未配置（搭載）於銷19附近的半導體裝置或電子零件，處於易於引起安裝不良的環境下。

【0026】

<半導體裝置>

圖1及圖2所示之本實施形態的半導體裝置，係具有密封半導體晶片的密封體，且具有自上述密封體突出的複數引線之半導體封裝。本實施形態中，作為上述半導體裝置之一例，舉複數外引線部（外部連接用端子）1b從由樹脂形成的密封體3突出，且各外引線部1b呈鷗翼形（L字形）彎曲成形之QFP（Quad Flat Package）5為例說明。

【0027】

亦即，QFP5，係作為外部連接端子的複數外引線部1b，自俯視形狀呈大約四角形所構成的密封體3中相互對向的2組的邊，突出的半導體裝置。

【0028】

以下說明關於QFP5之構成，其包含：

晶片焊墊（晶片搭載部，薄片）1c，包含上表面（晶片搭載面）1ca，及與上表面1ca相反側的下表面1cb；

半導體晶片2，搭載在晶片焊墊1c上；

複數引線，配置於晶片焊墊1c的周圍；

及密封體3。

【0029】

且半導體晶片2，包含主面2a、形成於主面2a的複數搭接焊墊（接合電極）2c、及與主面2a相反側的背面2b，如圖2所示，隔著晶粒黏著材6搭載在晶片焊墊1c的上表面1ca上，俾背面2b與晶片焊墊1c的上表面1ca對向。作為晶粒黏著材6，雖使用例如Ag膠等膠狀黏著劑，但亦可使用薄膜狀黏著劑。

【0030】

且晶片焊墊1c，由複數懸置引線（參照後述的圖15）1e支持，不支持晶片焊墊1c的上述複數引線，經由複數打線4分別電性連接半導體晶片2的複數搭接焊墊2c。

【0031】

複數打線4，分別係例如金線或銅線等。

【0032】

且密封體3，包含位於半導體晶片2的主面2a側的上表面（表面）3a、與上表面3a相反側的下表面（安裝面）3b、及位在上表面3a與下表面3b之間的側面3c，

以密封用樹脂等形成。在此，密封體3的下表面3b，位於晶片焊墊1c的下表面1cb側。

【0033】

又，密封體3密封晶片焊墊1c、複數引線各其他部（內引線部）、半導體晶片2及複數打線4，俾上述複數引線的各自的一部分（外引線部）從側面3c突出。

【0034】

亦即，上述複數引線的各自中，埋入密封體3的外引線部21ab之部分係內引線部1a，從密封體3側面3c朝外部突出的部分係外引線部（一部分）1b。又，上述複數引線的各自中，內引線部1a與外引線部1b，一體形成。

【0035】

且複數引線的各自的一部分（外引線部），於密封體3的外側彎折。亦即，複數引線的各自的外引線部1b，呈鷗翼形（L字形）彎折。

【0036】

又，複數引線的各自的外引線部1b中，其表面由電鍍膜（金屬膜）7（參照後述的圖29，惟切斷面除外）包覆。

【0037】

又，密封體3，由例如熱硬化性環氧系樹脂構成。

【0038】

且半導體晶片2，由下列者構成：矽所構成的基材，及形成在上述基材的元件形成面上，且較上述基材的厚度薄的多層配線層。

【0039】

本實施形態的QFP5中，於半導體晶片2的主面2a的上部，及晶片焊墊1c的下表面1cb的下部，分別配置密封體3的一部分。亦即，係將晶片焊墊1c埋入密封體3的內引線部之所謂薄片埋入構造的半導體裝置。

【0040】

又，QFP5中，如圖3所示，半導體晶片2的厚度T1，大於晶片焊墊1c的下表面1cb至密封體3的下表面3b的厚度T5。在此，T1為例如0.4mm，T5為例如0.39mm。

【0041】

又，QFP5，係密封體3內半導體晶片2之占有率高的半導體裝置。在此，所謂半導體晶片2之占有率，係沿密封體3的厚度方向，相對於密封體3的總厚度的半導體晶片2的厚度之比例（支配量）。在此，作為晶片厚度比較對象之一例，可舉晶片下方的密封體3的厚度。QFP5中，如上所述，晶片焊墊1c的下表面1cb側的密封體3的厚度T5，小於半導體晶片2的厚度T1。

【0042】

且QFP5中，密封體3的下表面3b，與複數引線的各自的外引線部1b中的前端部（主接合面）1be的距離D1，大於密封體3中，半導體晶片2的主面2a至密封體3的上表面3a的厚度T4。在此，D1為例如0.73mm，T4為例如0.47mm。

【0043】

又，上述距離D1，係本實施形態的QFP5的間隙量。QFP5的間隙量，係密封體3的下表面3b至外引線部1b的前端部1be之最下點的距離。此時，正確的最下點，考慮到掃描器的尺寸檢查，以自外引線部1b前端0.1mm內側之底面中的最底點（最底部分的點）3邊平均為假層平面（假的層之平面），以此假層平面為最下點。且各外引線部1b的前端部1be中，QFP5與安裝（焊接接合）的母板12的電極焊墊（例如，圖31所示的母板12的端子12b）的表面對向的面（下表面1bb），係主接合面。亦即，各外引線部1b的前端部1be，係焊接材料塗布的面，故形成上述電鍍膜7的整體（除切斷面外）係接合面，而與安裝基板的電極焊墊對向的面（下表面1bb）係主接合面，故此面係主接合面。

【0044】

且QFP5的複數內引線部1a，分別包含接合打線4，且由密封體3密封的打線接合部1ac。另一方面，複數外引線部1b，分別包含朝密封體3的厚度方向彎折的彎曲部1bc，及沿與密封體3的上表面3a平行的方向彎折的彎曲部1bd，以彎曲部1bc與彎曲部1bd形成鷗翼形（L字形）。

【0045】

又，彎曲部1bc及彎曲部1bd，分別形成於外引線部1b，故從密封體3露出，將彎曲部1bc配置成：較內引線部1a的打線接合部1ac更遠離半導體晶片2；另一方面，彎曲部1bd，形成於較彎曲部1bc更遠離半導體晶片2的位置。

【0046】

且複數外引線部1b各自的密封體3的下表面3b至彎曲部1bd的距離（間隔、D1（間隙量）），大於複數內引線部1a各自的打線接合部1ac的上表面1aa至密封體3的上表面3a的厚度T8，或是，複數內引線部1a各自的打線接合部1ac的下表面1ab至密封體3的下表面3b的厚度T9。

【0047】

亦即，QFP5中，呈 $D1 > T8$ ，或是， $D1 > T9$ 。在此，QFP5中，T8、T9，皆為例如0.64mm，但T8、T9未必相同。

【0048】

且QFP5中，密封體3的下表面3b，至複數外引線部1b各自的前端部1be的距離（間隔、D1（間隙量）），大於半導體晶片2的厚度。亦即，QFP5中，呈 $D1 > T1$ 。

【0049】

其次，說明關於本實施形態的QFP5，與根據JEITA（Japan Electronics and Information Technology Industries Association）的QFP、LQFP（Low profile Quad Flat Package）、TQFP（Thin Quad Flat Package）的相異點。

【0050】

圖6係顯示實施形態的半導體裝置（QFP）構造的剖面圖，圖7係顯示比較例的QFP構造的剖面圖，圖8係顯示實施形態的半導體裝置構造之一例的俯視圖，圖9係顯示圖8所示的半導體裝置的安裝構造的側視圖，圖10係顯示比較例的QFP構造的俯視圖，圖11係顯示圖10所示的半導體裝置的安裝構造的側視圖。

【0051】

如上所述，本實施形態的QFP5係間隙量（D1）大的半導體裝置。

【0052】

圖6所示之本實施形態的QFP5的密封體3的厚度，例如圖3所示， $T6 = 1.40\text{mm}$ 。另一方面，根據JEITA之QFP、LQFP、TQFP的密封體的厚度，分別為 2.00mm ， 1.40mm ， 1.00mm 。

【0053】

且本實施形態的QFP5的間隙量，例如圖3所示， $D1 = 0.73\text{mm}$ 。另一方面，根據JEITA之QFP、LQFP、TQFP各自的間隙量（例如，圖7所示之QFP21的 $d1$ ），三類均具有低位值為 0.10mm ，高位值為 0.40mm 。

【0054】

亦即，本實施形態的QFP5，係根據JEITA的構造，密封體3的厚度，雖相當於JEITA之LQFP，但各外引線部1b之長度（特別是，相對於密封體3的厚度方向之長度）長，大於根據JEITA之QFP、LQFP、TQFP的間隙量（特別是高位值）。

【0055】

換言之，母板（配線基板）12上的安裝構造中，如圖8～圖11所示，本實施形態的QFP5中，密封體3與母板12的距離（間隙）較大。

【0056】

又，圖7所示之QFP21，係與根據JEITA之LQFP相同的構造，分別由內引線部21aa與外引線部21ab構成的複數引線21a中，外引線部21ab的前端部21ac的下表面21aba與密封體3的下表面3b的距離，即間隙量d1，小於半導體晶片2的厚度，或晶片焊墊1c的下表面1cb與密封體3的下表面3b的距離。

【0057】

亦即，相較於本實施形態的QFP5的間隙量D1，QFP21的間隙量d1非常小。

【0058】

在此，作為本實施形態的QFP5之比較對象，說明LQFP、TQFP各部分的尺寸之一例。

【0059】

半導體晶片2的厚度中，LQFP=0.40mm，TQFP=0.28mm，晶粒黏著材6的厚度，LQFP、TQFP皆為0.02mm，引線框（內引線部、外引線部等）的厚度中，LQFP=0.125mm或0.15mm，TQFP=0.15mm。

【0060】

且晶片表面至密封體3的上表面3a的厚度中，LQFP=0.59mm，TQFP=0.33mm，晶片焊墊1c的下表面1cb至密封體3的下表面3b的厚度中，LQFP=0.38mm，TQFP=0.23mm（惟因懸置引線1e彎曲引起的晶片焊墊1c的下降量為0.24mm）。又，以上數值僅為一例，可進行各種變更。

【0061】

本實施形態的QFP5中，如上所述，密封體3的厚度相當於JEITA之LQFP，故係可實現密封體3之薄型化的半導體裝置。然而，半導體晶片2因高功能化而難以縮小。因此，本實施形態的QFP5，係密封體3內部的半導體晶片2之占有率傾向於大的半導體裝置，半導體裝置本體的剛性亦高。

【0062】

例如，QFP5中，密封體3的俯視尺寸，係一邊約為5~6mm的正方形，半導體晶片2中其俯視尺寸，係例如一邊約為2~2.5mm的長方形或正方形。

【0063】

將上述密封體3內部的半導體晶片2之占有率大的QFP5安裝於母板12等配線基板時，QFP本體（密封體3）的剛性高，故基板因熱等的影響撓曲時，QFP5的動作難以追隨基板的撓曲。

【0064】

在此，本實施形態的QFP5中，加大各外引線部1b的間隙量，藉此，本體（密封體3）的動作易於追隨基板的撓曲。

【0065】

在此，說明關於半導體晶片2、密封體3與晶片焊墊1c（各引線亦相同）各自的主成分與線膨脹係數。又，熱膨脹率中，雖有作為直線方向膨脹率之指標的線膨脹係數，及作為3維空間中膨脹率之指標的體積膨脹係數，但作為起因於溫度週期負載之應力的發生原因，線膨脹係數之不同會造成很大的影響。

【0066】

因此，本實施形態中，主要著眼於線膨脹係數而說明。

【0067】

QFP5中，半導體晶片2，其主成分為矽，其線膨脹係數為4~5ppm/°C；密封體3（樹脂）中，主成分為環氧樹脂，其線膨脹係數為8~12ppm/°C。因此，半導體晶片2的線膨脹係數小於密封體3的線膨脹係數。

【0068】

包含晶片焊墊1c的引線框1（參照後述的圖14）中，主成分為銅（Cu）材，其線膨脹係數為17ppm/°C。

【0069】

又，安裝有QFP5的母板12中，主成分為樹脂材，其線膨脹係數約為例如15ppm/°C。

【0070】

如上所述，半導體晶片2的線膨脹係數小於密封體3的線膨脹係數，故密封體3內部的半導體晶片2之占有率若大，QFP5本身的線膨脹係數即降低，如上所述，QFP本體（密封體3）的剛性升高。

【0071】

在此，說明關於密封體3內半導體晶片2之占有率高的半導體裝置中，安裝於基板時接合不良的問題。

【0072】

QFP5的密封體3，由熱硬化性環氧系樹脂構成，相對於此，半導體晶片2，由下列者構成：矽所構成的基材；形成在基材的元件形成面上，且較基材的厚度薄的多層配線層（於各配線層間具有絕緣層）。因此，半導體晶片2的線膨脹係數（4~5ppm）低於密封體3的線膨脹係數（8~12ppm）。

【0073】

又，本實施形態中，半導體晶片2的厚度（LQFP：0.40mm，TQFP：0.28mm），大於，例如密封體3中，晶片焊墊1c的下表面1cb至密封體3的下表面3b的厚度（LQFP：0.38mm，TQFP：0.23mm）。

【0074】

此因，近年來，伴隨著半導體裝置之小型化（薄型化），密封體3整體的厚度亦傾向於減小。因此，伴隨著密封體3整體厚度之薄型化，位於晶片焊墊1c下方的密封體3的厚度，較半導體晶片2的厚度薄。其結果，此密封體3內半導體晶片2之占有率增加，半導體裝置本身的線膨脹係數降低（半導體裝置本體（密封體3）的剛性升高）。

【0075】

藉此，如圖31的比較例所示，將QFP21安裝於作為配線基板的母板12的構造中，母板12因熱等的影響沿S方向收縮時，QFP21本體（密封體3）的剛性高，故QFP21的動作難以追隨母板12的撓曲。

【0076】

亦即，母板12與搭載在此母板12上之QFP21的接合部（透過焊料8之外引線部21ab與端子（電極焊墊）12b的接合部）中，搭載QFP21的母板12因熱的影響而變形時，母板12的變形量，與同樣因熱的影響而變形之QFP21的變形量不同，故於上述接合部會發生接合不良的情形。

【0077】

然而，本實施形態的QFP5中，複數外引線部1b各自的間隙量大，故QFP5本體（密封體3）的動作易於追隨母板12的撓曲。

【0078】

在此，圖12係顯示本實施形態的QFP5之焊料塗布狀態。如圖12所示，QFP5中各外引線部1b的間隙量大，故各外引線部1b中焊料8之塗布沿各外引線部1b的高度方向增加。

【0079】

其結果，各外引線部1b與上述接合部之焊料接合的強度升高。且如上述，QFP5本體（密封體3）的動作亦易於追隨母板12的撓曲，故於QFP5可確保高安裝可靠度（安裝強度）。

【0080】

換言之，於本體部（密封體3）的線膨脹係數低的QFP5，亦可提高其安裝可靠度（安裝強度），與安裝基板（母板12）接合不良的情形可以降低。

【0081】

且於各外引線部1b，焊料8的塗布量增加，藉此，可改善QFP5的電氣特性。

【0082】

又，在如本實施形態的QFP5，熱易於滯留在密封體3內，即使是易於發生熱應力的晶片焊墊埋入型半導體裝置中，亦可提高安裝可靠度（安裝強度）。

【0083】

其次，說明關於安裝於圖4所示的母板12（車載用ECU板等）的半導體裝置的安裝構造（模組20）中，半導體裝置接合不良的問題。

【0084】

車載用ECU板中，引擎控制用ECU板，隔著金屬製銷（螺栓）結合於引擎室而被固定。因此，於引擎室產生的熱經由上述金屬製銷傳至ECU板，故特別是，搭載於引擎控制用ECU板的半導體裝置或電子零件，在惡劣環境下被使用。

【0085】

詳細而言，搭載半導體裝置的母板（例如，ECU板）12，由複數個銷（螺栓）19固定於引擎室。各銷19以金屬構成，故其使用環境若暴露於高溫，此銷19的溫度即亦易於上昇。

【0086】

其結果，母板12中，各銷19附近，相較於其他區域（遠離銷19的區域）易於撓曲（易於扭曲）。又，配置（搭載）於此銷19附近的半導體裝置，相較於配置於其他區域的半導體裝置，易於發生接合不良的情形。

【0087】

例如，圖4所示的模組20中，QFP13b、13c，於其附近分別配置有2個銷19，故針對此等QFP13b、13c，採用本實施形態的間隙量大的構造，藉此，即使於易於受到熱影響之QFP13b、13c亦可提高其安裝可靠度（安裝強度）。其結果，可減少與母板12（ECU板）之接合不良的情形。

【0088】

惟當然亦可針對配置於遠離銷19的區域的半導體裝置，採用本實施形態的間隙量大的構造。

【0089】

例如，模組20中，亦可針對QFP13a、QFP13d、或是SOP14a或SOP14b，採用本實施形態的間隙量大的構造。可更提高此等半導體裝置的安裝可靠度（安裝強度）。

【0090】

又，半導體裝置中，可考慮不增大各外引線部1b的間隙量，代之以圖13所示之QFP21的構造。圖13係顯示比較例的半導體裝置之焊料塗布狀態的概念圖。

【0091】

圖13所示之QFP21，呈各外引線部21ab沿基板之安裝面方向較長地延伸的構造。圖13之QFP21的情形下，焊料8的塗布量較本實施形態的QFP5差，故無法充分提高安裝可靠度（安裝強度）。

【0092】

亦即，焊料8的塗布具有方向性，故圖13之QFP21的情形下，焊料8的塗布會停在外引線部21ab的折曲部分。因此，無法確保如本實施形態的QFP5之充分的安裝可靠度（安裝強度），無法如圖4所示的模組20的母板12（ECU板）般，承受在惡劣環境下之使用。

【0093】

<半導體裝置之製造方法>

圖14係顯示圖1的半導體裝置之用於組裝的引線框構造的俯視圖，圖15係放大顯示圖14的A部構造的放大部分俯視圖，圖16係顯示沿圖15的A-A線切斷的

構造的剖面圖，圖17係顯示圖1的半導體裝置組裝中晶粒接合後的構造的放大部分俯視圖，圖18係顯示沿圖17的A-A線切斷的構造的剖面圖。

【0094】

且圖19係顯示圖1的半導體裝置組裝中打線接合後的構造的放大部分俯視圖，圖20係顯示沿圖19的A-A線切斷的構造的剖面圖，圖21係顯示圖1的半導體裝置組裝中，樹脂封模後的構造的放大部分俯視圖，圖22係顯示沿圖21的A-A線切斷的構造的剖面圖。

【0095】

且圖23係顯示圖1的半導體裝置組裝中，壩條切斷時的構造的剖面圖，圖24係顯示圖1的半導體裝置組裝中，雷射標示時的構造之一例的剖面圖，圖25係顯示圖1的半導體裝置組裝中，外裝電鍍形成後的構造之一例的剖面圖，圖26係顯示圖1的半導體裝置組裝中，澆口、前端截切後的構造之一例的放大部分俯視圖。

【0096】

且圖27係顯示圖1的半導體裝置組裝中，引線切斷、成形後的構造之一例的放大部分俯視圖，圖28係顯示圖1的半導體裝置組裝中，角部切斷後的構造之一例的俯視圖，圖29係圖28的構造的剖面圖，圖30係圖28的構造的外觀立體圖。

【0097】

1.準備引線框

本實施形態的半導體裝置組裝中，如圖14所示，準備於框部1f內側形成複數元件區域（元件形成部）1i之薄板狀引線框1。又，所謂元件區域1i，係形成1個QFP5的區域。且本實施形態中，複數元件區域1i，以俯視視之，雖呈矩陣狀配置，但亦可呈一列（單列）配置，形成於1片引線框1的元件區域1i之數量，無特別限定。且本實施形態中，引線框的俯視形狀，呈長方形。又，沿引線框1的框部1f中，相互對向的一對邊（長邊），分別形成定位用或是引導用等複數孔部1g。

且於複數元件區域1i中，相互相鄰的元件區域之間，沿相互對向的一對邊（短邊），形成複數長孔1h。

【0098】

其次，說明關於元件區域1i的詳細內容。

【0099】

1個元件區域1i中，如圖15所示，設置1個晶片焊墊1c。在此，依本實施形態的晶片焊墊的俯視形狀，呈大約四角形。又，此晶片焊墊1c中，各角部由懸置引線1e支持。且於晶片焊墊1c的周圍，形成複數引線。各引線，由內引線部1a，與連結其的外引線部1b構成。又，各外引線部1b的端部，連結設於框部1f內側（晶片焊墊側）之內框1fa。

【0100】

且複數外引線部1b中，於內引線部1a與外引線部1b之交界部稍外側的位置，相鄰的外部彼此由壩條1d連結。

【0101】

又，複數外引線部1b，分別較長地形成，俾於其後的引線成形程序中產生之引線の間隙量大。

【0102】

且由懸置引線1e支持的晶片焊墊1c，如圖16所示，配置於低於複數內引線部1a各自的位置。亦即，於各懸置引線1e的途中形成彎折，藉此晶片焊墊1c，位於低於複數內引線部1a各自的位置。

【0103】

又，引線框1，以例如銅為主成分的金屬材構成。

【0104】

本實施形態中，為便於說明，以1個元件區域1i為代表，舉例說明以下的QFP5之組裝。

【0105】

2.晶粒黏著

引線框準備結束後，進行晶粒黏著。

【0106】

晶粒黏著程序中，如圖17及圖18所示，以晶粒黏著材6使半導體晶片2搭載於晶片焊墊1c的上表面1ca。亦即，將於主面2a形成複數搭接焊墊2c的半導體晶片2，以晶粒黏著材6搭載在晶片焊墊1c上。

【0107】

3.打線接合

晶粒黏著結束後，進行打線接合。

【0108】

打線接合程序中，如圖19及圖20所示，將半導體晶片2的複數搭接焊墊2c，與複數內引線部1a，經由複數打線4分別電性連接。此時，各複數打線4的一端，接合複數內引線部1a各自的打線接合部1ac。

【0109】

4.封模

打線接合結束後，進行封模。

【0110】

封模程序中，如圖21及圖22所示，使用密封用樹脂，將半導體晶片2、晶片焊墊1c、複數內引線部1a及複數打線4密封。首先，於未圖示的樹脂成形模具的模穴內，配置打線接合結束的引線框1，將引線框1以模具夾持後，填充上述密

封用樹脂至上述模穴內，形成密封體3。上述密封用樹脂，係例如熱硬化性環氧樹脂，藉由填充後的熱硬化形成密封體3。

【0111】

又，密封用樹脂，自形成的密封體3的4個角部其中之一注入，故於密封體3以俯視視之的1個角部形成圖21所示之澆口樹脂22。形成密封體3後，如圖22所示，呈複數外引線部1b從密封體3各側面3c突出的狀態。

【0112】

5.引線切斷（壩條切斷）

封模結束後，進行引線切斷（壩條切斷）。

【0113】

壩條切斷程序中，如圖23所示，將配置於相鄰外部間之壩條1d以切斷刀9切斷。又，壩條切斷程序中，僅切斷壩條1d。

【0114】

6.標示

壩條切斷結束後，進行標示。

【0115】

標示程序中，如圖24所示，於密封體3的上表面3a照射雷射10，如後述的圖26所示，賦予既定的製造編號或管理編號等標示11於密封體3的上表面3a。

【0116】

7.電鍍

標示程序結束後，形成電鍍膜。

【0117】

電鍍程序中，如圖25所示，使鉛錫合金電鍍等電鍍膜（外裝電鍍）7形成於複數外引線部1b各表面（包含上表面1ba及下表面1bb的表面）。

【0118】

又，作為電鍍膜7，使用鉛錫合金電鍍時，宜採用無鉛焊料，藉由採用無鉛焊料，可減輕環境負載。在此，所謂無鉛焊料，意指鉛（Pb）含量在0.1wt%以下者，此含量，依RoHS（Restriction of Hazardous Substances）指令的基準決定。

【0119】

8.引線切斷（澆口切斷）

電鍍程序結束後，進行引線切斷（澆口切斷）。

【0120】

澆口切斷程序中，切斷圖21所示之形成澆口樹脂22的角部中之框架。藉此，密封體3，呈由剩下的3個角部被引線框1支持的狀態。

【0121】

9.引線成形

澆口切斷程序結束後，進行引線成形。

【0122】

引線成形程序中，首先，將相互連結各外引線部1b前端彼此的內框1fa自框部1f切離（參照圖26）。其次，連結各外引線部1b前端，直接呈例如圖29所示之鷗翼形（L字形）使外引線部1b成形（彎折）。其後，將相互連結各外引線部1b前端彼此的內框1fa切斷，使各外引線部1b相互分離（參照圖27）。

【0123】

又，此外引線部1b的成形程序，在複數懸置引線1e連結框部1f的狀態下進行。

【0124】

10.引線切斷（角部切斷）

引線成形程序結束後，進行引線切斷（角部切斷）。

【0125】

角部切斷程序中，於圖27所示之支持密封體3的剩下的3個角部，實施框架切斷，使其單片化。藉此，如圖28～圖30所示，各外引線部1b的間隙量大的QFP5之組裝結束。

【0126】

<半導體裝置之安裝方法>

本實施形態的QFP5之安裝中，如圖12所示，於作為安裝基板的母板12以焊料8進行安裝。此時，QFP5中各外引線部1b的間隙量大，故各外引線部1b中焊料8的塗布量增加，焊料8塗布到外引線部1b各自的高度方向之較高的位置（圖3所示的彎曲部1bc）。

【0127】

因此，可提高QFP5各外引線部1b之焊料接合時的接合強度。其結果，可確保QFP5中較高的安裝可靠度（安裝強度）。

【0128】

又，QFP5，係密封體3中半導體晶片2之占有率大的半導體裝置，故即使係半導體晶片2之占有率高的QFP5，亦可提高其安裝可靠度，可減少與母板12之接合不良的情形。

【0129】

且即使係如圖4所示，ECU板（母板12）等之熱的影響度高，在惡劣環境下安裝的QFP13b、13c等，亦可提高其安裝可靠度，可減少與ECU板之接合不良的情形（惟亦可針對母板12上之其他半導體裝置適用間隙量大的構造）。

【0130】

<變形例>

以上，雖已根據實施形態具體說明由本案發明人達成之發明，但本發明不由至此記載之實施形態限定，當然可在不逸脫其要旨之範圍內進行各種變更。

【0131】

〔變形例1〕

上述實施形態中，雖舉QFP為晶片焊墊埋入構造的情形為例說明，但上述QFP，亦可呈晶片焊墊1c的一部分（例如，下表面1cb）從密封體3露出之所謂薄片露出構造。

【0132】

〔變形例2〕

上述實施形態中，雖已說明關於半導體裝置係QFP的情形，但該半導體裝置，亦可係作為外部連接端子的複數引線，自俯視形狀呈大約四角形的密封體3中相互對向的兩個邊突出之所謂SOP（Small Outline Package，小輪廓包）型半導體裝置。

【0133】

〔變形例3〕

上述實施形態的QFP5中，雖已說明沿密封體3的厚度方向密封體內半導體晶片2之占有率若增加，密封體3的線膨脹係數即會降低，但作為半導體晶片2的厚度之比較對象，亦可採用晶片上方的密封體3的厚度。亦即，所謂半導體晶片2之占有率，係沿密封體3的厚度方向，相對於密封體3的總厚度的半導體晶片2的厚度之比例（支配量）。因此，即使晶片焊墊下方的密封體3的厚度大於半導體晶片2的厚度，晶片上方的密封體3的厚度，小於半導體晶片2的厚度時，密封體3的線膨脹係數亦會降低，有密封體3變形（膨脹、收縮）導致半導體裝置之安裝不良之虞。因此，作為晶片厚度比較對象，不限於晶片焊墊下方的密封體3的厚度，亦可採用晶片上方的密封體3的厚度。惟如上述實施形態的QFP5，以打線4電性連接半導體晶片2與引線時，形成於半導體晶片2之上方（主面側）的密封體3的厚度，多半大於半導體晶片2的厚度，俾此打線4不從密封體3的表面露出。

因此，判斷密封體3中半導體晶片2之占有率（支配量）時，宜作為比較對象採用晶片焊墊下方的密封體3的厚度。

【0134】

〔變形例4〕

上述實施形態中，雖已說明半導體裝置（QFP5）中複數外引線部1b分別呈鷗翼形（L字形）形成的情形，但複數外引線部1b，亦可分別呈例如J引線形狀。亦即，半導體裝置，亦可為QFJ（Quad Flat J-leaded Package）或SOJ（Small Outline J-leaded Package）。

【0135】

〔變形例5〕

上述實施形態的半導體裝置組裝中，雖已說明以封模程序形成密封體3，密封體形成後，於各外引線部1b的表面形成電鍍膜（外裝電鍍）7的情形，但亦可準備預先於引線框1的表面整體，形成例如鈀（Pd）為主成分的電鍍膜的引線框1，使用此引線框1組裝半導體裝置。

【0136】

依此組裝，可省略封模程序後的外裝電鍍塗布程序。

【0137】

〔變形例6〕

上述實施形態中，雖已說明外裝電鍍程序中形成於各外引線部1b的電鍍膜7係焊接材料所構成的電鍍膜，上述焊接材料，係實質上不含鉛（Pb）的無鉛焊料的情形，但上述焊接材料，亦可係含鉛的焊接材料。惟考慮到環境污染問題，宜使用上述無鉛焊料所構成的焊接材料。

【0138】

〔變形例7〕

且可在不逸脫於上述實施形態說明之技術構想之要旨之範圍內，組合適用變形例彼此。

【符號說明】

【0139】

- 1 引線框
- 1a 外引線部
- 1aa 上表面
- 1ab 下表面
- 1ac 打線接合部
- 1b 外引線部
- 1ba 上表面
- 1bb 下表面
- 1bc、1bd 彎曲部
- 1be 前端部（主接合面）
- 1c 晶片焊墊（晶片搭載部、薄片）
- 1ca 上表面（晶片搭載面）
- 1cb 下表面
- 1d 壩條
- 1e 懸置引線
- 1f 框部
- 1fa 內框
- 1g 孔部
- 1h 長孔

- 1i 元件區域
- 2 半導體晶片
 - 2a 主面
 - 2b 背面
 - 2c 搭接焊墊（接合電極、電極焊墊）
- 3 密封體
 - 3a 上表面（表面）
 - 3b 下表面（安裝面）
 - 3c 側面
- 4 打線
- 5 QFP（半導體裝置）
- 6 晶粒黏著材
- 7 電鍍膜（金屬膜、外裝電鍍）
- 8 焊料
- 9 切斷刀
- 10 雷射
- 11 標示
- 12 母板（配線基板、安裝基板、模組基板）
 - 12a 配線
 - 12b 端子
- 13a、13b、13c、13d QFP（半導體裝置）
- 14a、14b SOP（半導體裝置）
- 15 電容器（晶片型鉭電容器）
- 16 電阻器

- 17 電容器（堆疊陶瓷電容器）
- 18 電容器（鋁電解電容器）
- 19 銷（螺栓）
- 20 模組（電子裝置）
- 21a 引線
- 21aa 外引線部
- 21ab 外引線部
- 21aba 下表面
- 21ac 前端部
- 22 澆口樹脂
- T1 半導體晶片2的厚度
- T4 半導體晶片2的主面2a至上表面3a的厚度
- T5 晶片焊墊1c的下表面1cb至密封體3的下表面3b的厚度
- T6 密封體3的厚度
- T8 內引線部1a各自的打線接合部1ac的上表面1aa至密封體3的上表面3a的厚度
- T9 複數內引線部1a各自的打線接合部1ac的下表面1ab至密封體3的下表面3b的厚度
- D1 密封體3的下表面3b，與複數外引線部1b的每一個中的前端部1be的距離



【發明摘要】

【中文發明名稱】 半導體裝置

【中文】

本發明旨在提供一種半導體裝置，可提高半導體裝置中的安裝可靠度。

QFP5，包含：晶片焊墊1c，搭載半導體晶片2；複數內引線部1a，配置於晶片焊墊1c的周圍；複數外引線部1b，分別連結於複數內引線部1a的每一個；複數打線4，將半導體晶片2的搭接焊墊2c與複數內引線部1a的每一個電性連接；及密封體3，密封半導體晶片2。且半導體晶片2的厚度T1，大於晶片焊墊1c的下表面1cb至密封體3的下表面3b的厚度T5，且密封體3的下表面3b，與複數外引線部1b的每一個中的前端部1be的距離D1，大於密封體3中半導體晶片2的主面2a至上表面3a的厚度T4。

【英文】

無。

【指定代表圖】 圖3

【代表圖之符號簡單說明】

- 1 引線框
- 1a 外引線部
- 1aa 上表面
- 1ab 下表面
- 1ac 打線接合部
- 1b 外引線部

- 1ba 上表面
- 1bb 下表面
- 1bc、1bd 彎曲部
- 1be 前端部（主接合面）
- 1c 晶片焊墊（晶片搭載部、薄片）
- 1ca 上表面（晶片搭載面）
- 1cb 下表面
- 2 半導體晶片
- 2a 主面
- 2b 背面
- 2c 搭接焊墊（接合電極、電極焊墊）
- 3 密封體
- 3a 上表面（表面）
- 3b 下表面（安裝面）
- 3c 側面
- 4 打線
- 5 QFP（半導體裝置）
- 6 晶粒黏著材
- T1 半導體晶片2的厚度
- T4 半導體晶片2的主面2a至上表面3a的厚度
- T5 晶片焊墊1c的下表面1cb至密封體3的下表面3b的厚度
- T6 密封體3的厚度
- T8 內引線部1a各自的打線接合部1ac的上表面1aa至密封體3的上表面3a的厚度

T9 複數內引線部1a各自的打線接合部1ac的下表面1ab至密封體3的下表面3b的厚度

D1 密封體3的下表面3b，與複數外引線部1b的每一個中的前端部1be的距離

【特徵化學式】

無

【發明申請專利範圍】

【第1項】

一種半導體裝置，包含：

晶片焊墊，包含第1面、以及與該第1面相反側的第2面；

半導體晶片，包含主面、形成於該主面的複數接合電極、以及與該主面相反側的背面，藉由晶粒黏著材搭載在該晶片焊墊的該第1面上，俾使該背面與該晶片焊墊的該第1面對向，該半導體晶片主要由具有第1線膨脹係數之第1材料構成；

複數引線，經由複數打線，分別電性連接該複數接合電極；及

密封體，包含與該半導體晶片的該主面同側的上表面、與該上表面相反側的下表面、位於該上表面與該下表面之間的第1側面、以及位於該上表面與該下表面之間並與該第1側面相反側的第2側面，並且封裝該半導體晶片及該複數打線，該密封體主要由具有比該第1線膨脹係數高的第2線膨脹係數之第2材料構成，

其中，該複數引線各自具有由該密封體所密封之內引線部、以及從該密封體露出之外引線部，

其中，該外引線部具有：

第1部分，與該內引線部連結且朝沿該密封體的該上表面之水平方向延伸，

第2部分，經由第1彎折部而與該第1部分連結，該第1彎折部朝從該上表面向該下表面之該密封體的厚度方向將該外引線部加以彎折，以及

第3部分，經由第2彎折部而與該第2部分連結，該第2彎折部朝該水平方向將該外引線部加以彎折，

其中，該複數引線具有：

第1引線，經由該複數打線中之第1打線電性連接該複數接合電極中之第1接合電極，並從該密封體的該第1側面突出，以及

第2引線，經由該複數打線中之第2打線電性連接該複數接合電極中之第2接合電極，並從該密封體的該第2側面突出，

其中，剖視下，該半導體晶片位在該第1引線的該內引線部與該第2引線的該內引線部之間，

其中，剖視下，該半導體晶片的厚度大於該晶片焊墊之該第2面至該密封體之該下表面的厚度，而該晶片焊墊之該第2面至該密封體之該下表面的該厚度大於該晶片焊墊以及該晶粒黏著材之每一者的厚度，

其中，剖視下，該複數引線各自的間隙量大於0.40mm且小於該密封體之該上表面至該密封體之該下表面的厚度，該間隙量係該密封體之該厚度方向上從該密封體之該下表面至該外引線部之該第3部分的距離，以及

其中，剖視下，該複數引線各自的該間隙量大於該複數引線各自之該內引線部之上表面至該密封體之該上表面的厚度或該複數引線各自之該內引線部之下表面至該密封體之該下表面的厚度，該內引線部的該上表面與該半導體晶片的該主面同側，該內引線部的該下表面與該晶片焊墊的該第2面同側。

【第2項】

如申請專利範圍第1項的半導體裝置，其中

該第1材料為矽，以及

該第2材料為環氧樹脂。

【第3項】

如申請專利範圍第1項的半導體裝置，其中，剖視下，該半導體晶片的該厚度大於該半導體晶片之該主面至該密封體之該上表面的厚度。

【第4項】

如申請專利範圍第1項的半導體裝置，其中，該密封體之該上表面至該密封體之該下表面的該厚度為1.40mm以及1.00mm其中一者。

【第5項】

如申請專利範圍第4項的半導體裝置，其中，該複數引線各自的該間隙量為0.73mm。

【第6項】

如申請專利範圍第4項的半導體裝置，其中，該複數引線各自的厚度為0.125mm或0.15mm。

【第7項】

如申請專利範圍第6項的半導體裝置，其中，該半導體裝置為四面扁平封裝（QFP，Quad Flat Package）。

【第8項】

一種半導體裝置，包含：

晶片焊墊，包含第1面、以及與該第1面相反側的第2面；

半導體晶片，包含主面、形成於該主面的複數接合電極、以及與該主面相反側的背面，藉由晶粒黏著材搭載在該晶片焊墊的該第1面上，俾使該背面與該晶片焊墊的該第1面對向，該半導體晶片主要由具有第1線膨脹係數之第1材料構成；

複數引線，經由複數打線，分別電性連接該複數接合電極；及

密封體，包含與該半導體晶片的該主面同側的上表面、與該上表面相反側的下表面、位於該上表面與該下表面之間的第1側面、以及位於該上表面與該下表面之間並與該第1側面相反側的第2側面，並且封裝該半導體晶片及該複數打線，該密封體主要由具有比該第1線膨脹係數高的第2線膨脹係數之第2材料構成，

其中，該複數引線各自具有由該密封體所密封之內引線部、以及從該密封體露出之外引線部，

其中，該外引線部具有：

第1部分，與該內引線部連結且朝沿該密封體的該上表面之水平方向延伸，

第2部分，經由第1彎折部而與該第1部分連結，該第1彎折部朝從該上表面向該下表面之該密封體的厚度方向將該外引線部加以彎折，以及

第3部分，經由第2彎折部而與該第2部分連結，該第2彎折部朝該水平方向將該外引線部加以彎折，

其中，該複數引線具有：

第1引線，經由該複數打線中之第1打線電性連接該複數接合電極中之第1接合電極，並從該密封體的該第1側面突出，以及

第2引線，經由該複數打線中之第2打線電性連接該複數接合電極中之第2接合電極，並從該密封體的該第2側面突出，

其中，剖視下，該半導體晶片位在該第1引線的該內引線部與該第2引線的該內引線部之間，

其中，剖視下，該半導體晶片的厚度大於該晶片焊墊之該第2面至該密封體之該下表面的厚度，而該晶片焊墊之該第2面至該密封體之該下表面的該厚度大於該晶片焊墊以及該晶粒黏著材之每一者的厚度，

其中，剖視下，該複數引線各自的間隙量大於0.40mm且小於1.0mm，該間隙量係該密封體之該厚度方向上從該密封體之該下表面至該外引線部之該第3部分的距離，以及

其中，剖視下，該複數引線各自的該間隙量大於該複數引線各自之該內引線部之上表面至該密封體之該上表面的厚度或該複數引線各自之該內引線部之

下表面至該密封體之該下表面的厚度，該內引線部的該上表面與該半導體晶片的該主面同側，該內引線部的該下表面與該晶片焊墊的該第2面同側。

【第9項】

如申請專利範圍第8項的半導體裝置，其中
該第1材料為矽，以及
該第2材料為環氧樹脂。

【第10項】

如申請專利範圍第8項的半導體裝置，其中，剖視下，該半導體晶片的該厚度大於該半導體晶片之該主面至該密封體之該上表面的厚度。

【第11項】

如申請專利範圍第8項的半導體裝置，其中，該複數引線各自的該間隙量為0.73mm。

【第12項】

如申請專利範圍第8項的半導體裝置，其中，該複數引線各自的厚度為0.125mm或0.15mm。

【第13項】

如申請專利範圍第12項的半導體裝置，其中，該半導體裝置為四面扁平封裝（QFP，Quad Flat Package）。

