

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年11月2日(02.11.2023)



(10) 国際公開番号

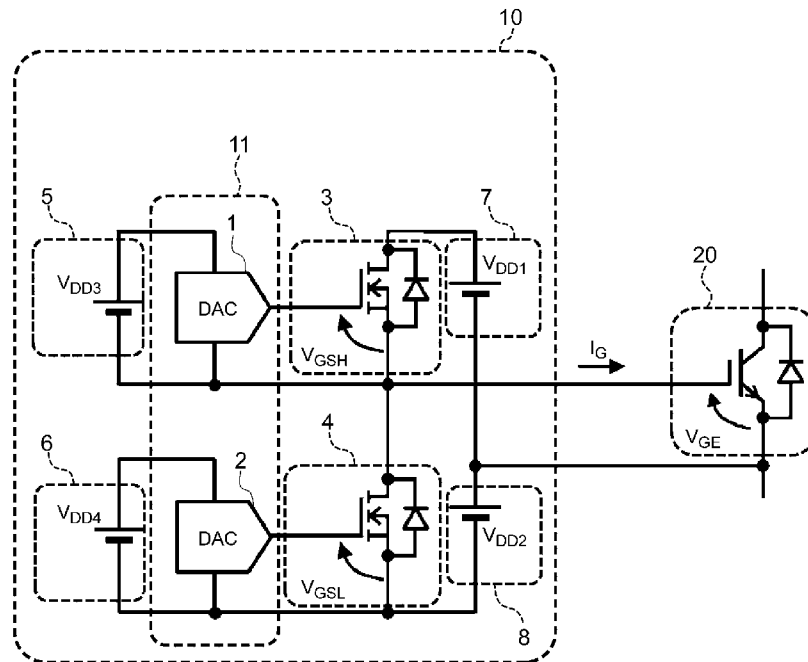
WO 2023/209966 A1

- (51) 国際特許分類:  
*H03K 17/56* (2006.01) *H03K 17/687* (2006.01)
- (21) 国際出願番号: PCT/JP2022/019327
- (22) 国際出願日: 2022年4月28日(28.04.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 国立大学法人東京大学 (THE UNIVERSITY OF TOKYO) [JP/JP]; 〒1138654 東京都文京区本郷七丁目3番1号 Tokyo (JP). 三菱電機株式会社 (MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 高宮 真 (TAKAMIYA Makoto); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 畑勝裕 (HATA Katsuhiko); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 堀井 康平 (HORII Kohei); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 田中 香次 (TANAKA Koji); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 渡部 毅代登 (WATABE Kiyoto); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 弁理士法人ドライト国際特許事務所 (DORAIT IP LAW FIRM); 〒1600023 東京都

(54) Title: GATE DRIVE DEVICE, AND GATE DRIVE SYSTEM

(54) 発明の名称: ゲート駆動装置、および、ゲート駆動システム

[図1]



(57) Abstract: This gate drive device operates on two sides, a high side and a low side, and drives the gate of a power transistor. The gate drive device comprises: control devices that are provided in a pair to configure two sides, and that output three or more levels of switching signals including a high level, a low level, and one or more intermediate levels between the high level and the low level according to inputted control signals; and switching elements that are provided in a pair corresponding to the control devices, and that output a voltage according to the level of the switching signals



WO 2023/209966 A1

新宿区西新宿六丁目15番1号ラ・トゥール新宿411号 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

---

inputted from the control devices to the gate of the power transistor.

(57) 要約 : ゲート駆動装置は、ハイサイドとローサイドの2つのサイドで動作し、パワートランジスタのゲートを駆動する。ゲート駆動装置は、2つのサイドを構成するように対をなして設けられ、入力される制御信号に応じて、ハイレベル、ローレベル、及び、ハイレベルとローレベルとの間の中間レベルを1つ以上含む3以上のレベルのスイッチング信号を出力する制御デバイスと、制御デバイスと対応して対をなして設けられ、制御デバイスから入力されるスイッチング信号のレベルに応じた電圧を、パワートランジスタのゲートに出力するスイッチング素子と、を有する。

## 明 細 書

発明の名称： ゲート駆動装置、および、ゲート駆動システム

### 技術分野

[0001] 本発明は、ゲート駆動装置、および、ゲート駆動システムに関する。

### 背景技術

[0002] IGBT（絶縁ゲート型バイポーラトランジスタ：Insulated Gate Bipolar Transistor）等のパワートランジスタは、ゲートドライバ（ゲート駆動装置とも称される）によりゲート電圧が変化することによりスイッチング制御される。近年、パワートランジスタの省電力化を図るために、改良された制御方法によりゲート電圧を変化させるゲートドライバの開発が行われている。

[0003] 特開2017-135589号公報には、パワートランジスタのゲートドライバを複数のレベルにより可変制御するゲートドライバが開示されている。このゲートドライバによれば、ゲート電圧を複数のレベルにより動的に変化させてパワートランジスタを制御することにより、パワートランジスタの駆動損失の低減が図られている。

### 発明の概要

[0004] パワートランジスタは各端子間で容量を備えており、ゲートの駆動には容量の充放電が必要になる。近年、パワートランジスタの大電力化が図られており、容量の充電のためにゲートに入力される電流は比較的大きく、例えば、40A以上であることが求められる。特開2017-135589号公報に開示された構成のゲートドライバにおいて出力の大電流化を図るためには、より多くのトランジスタを並列に設ける必要があり、ゲートドライバの占有面積が大きくなるという課題がある。

[0005] 本発明は、このような課題を解決するためになされたものであり、より簡易な構成で複数のレベルで出力を可変制御可能なゲート駆動装置、および、ゲート駆動システムを提供することを目的とする。

[0006] 本願発明の一態様のゲート駆動装置は、ハイサイドとローサイドの2つのサイドで動作し、パワートランジスタのゲートを駆動する。ゲート駆動装置は、2つのサイドを構成するように対をなして設けられ、入力される制御信号に応じて、ハイレベル、ローレベル、及び、ハイレベルとローレベルとの間の中間レベルを1つ以上含む3以上のレベルのスイッチング信号を出力する制御デバイスと、制御デバイスと対応して対をなして設けられ、制御デバイスから入力されるスイッチング信号のレベルに応じた電圧を、パワートランジスタのゲートに出力するスイッチング素子と、を有する。

[0007] 本願発明の一態様のゲート駆動システムは、ハイサイドとローサイドの2つのサイドで動作し、パワートランジスタのゲートを駆動する。ゲート駆動システムは、ハイレベル、ローレベル、及び、1以上の中間レベルを含む3以上のレベルで変化可能な制御信号を出力するコントローラと、2つのサイドを構成するように対をなして設けられ、コントローラから出力された制御信号に応じたスイッチング信号を出力する制御デバイスと、制御デバイスと対応して対をなして設けられ、制御デバイスから入力されるスイッチング信号のレベルに応じた電圧を、パワートランジスタのゲートに出力するスイッチング素子と、を有する。

[0008] 本願発明の一態様のゲート駆動装置によれば、制御デバイスは、入力される制御信号に応じて、3以上のレベルのスイッチング信号を出力可能である。そして、スイッチング信号を受信するスイッチング素子が当該スイッチング信号のレベルに応じた電圧をパワートランジスタのゲートに出力する。このような構成により、パワートランジスタのゲート電圧を複数のレベルで動的に制御することが可能となり、パワートランジスタの省電力化を図ることができる。さらに、ゲート駆動装置は、制御デバイス及びスイッチング素子が対をなして設けられるハーフブリッジ構成であり、構成が簡略化されており、ゲート駆動装置の小型化を図ることができる。

[0009] 本願発明の一態様のゲート駆動システムによれば、制御デバイスは、コントローラから入力される3以上のレベルで変化可能な制御信号に応じたスイ

ツチング信号を出力可能である。そして、スイッチング信号を受信するスイッチング素子が当該スイッチング信号のレベルに応じた電圧をパワートランジスタのゲートに出力する。このような構成により、パワートランジスタのゲート電圧を動的に制御することで、パワートランジスタの省電力化を図ることができる。さらに、ゲート駆動システムは、制御デバイス及びスイッチング素子が対をなして設けられるハーフブリッジ構成であり、構成が簡略化されており、ゲート駆動装置の小型化を図ることができる。

### 図面の簡単な説明

- [0010] [図1]図1は、本発明の実施形態のゲートドライバを用いた回路図である。
- [図2]図2は、ゲートドライバ内のICの詳細な構成図である。
- [図3A]図3Aは、ゲートドライバ内のDACの詳細な回路構成図である。
- [図3B]図3Bは、DACの等価回路である。
- [図3C]図3Cは、DACの出力の説明図である。
- [図4]図4は、ゲートドライバのアクティブ駆動の動作例を示すタイミングチャートである。
- [図5A]図5Aは、特性評価において行われるゲートドライバのシングル駆動の動作を示すタイミングチャートである。
- [図5B]図5Bは、ゲート電圧 $V_{GS}$ の特性評価結果を示すグラフである。
- [図5C]図5Cは、ゲート電流 $I_G$ の特性評価結果を示すグラフである。
- [図6A]図6Aは、ゲートドライバのダブルパルス試験の回路構成図である。
- [図6B]図6Bは、ダブルパルス試験のシングル駆動及びアクティブ駆動の評価結果を示すグラフである。
- [図7]図7は、第1変形例のゲートドライバを示す回路図である。
- [図8]図8は、第2変形例のゲートドライバを示す回路図である。

### 発明を実施するための形態

- [0011] 以下、図面を参照して、本発明の実施形態について説明する。
- [0012] 図1は、本発明の実施形態のゲートドライバを用いた回路図である。
- [0013] ゲートドライバ10は、パワートランジスタ20を制御するために、その

出力端子がパワートランジスタ20のゲート及びエミッタと接続されている。パワートランジスタ20は、例えば、IGBT（絶縁ゲート型バイポーラトランジスタ（Insulated Gate Bipolar Transistor））である。以下では、パワートランジスタ20における、エミッタに対するゲートの電位をゲート電圧 $V_{GE}$ と示し、ゲートに入力される電流をゲート電流 $I_G$ と示す。ゲートドライバ10の出力に応じて、パワートランジスタ20のゲート電圧 $V_{GE}$ が変化して、パワートランジスタ20が制御される。なお、ゲート電流 $I_G$ は、パワートランジスタ20の規格に応じた所定値を上回る必要がある。

- [0014] ゲートドライバ10は、ハーフブリッジ構成であり、図上段（ハイサイド）と図下段（ローサイド）との2段の構成を備える。ハーフブリッジ構成のゲートドライバ10においては、ハイサイド及びローサイドのうち一方が制御されている間は他方は動作しない。
- [0015] 後述のように、ゲートドライバ10は、外部から入力されるデジタルの制御信号に応じて、ゲート電圧 $V_{GE}$ 及びゲート電流 $I_G$ を複数のレベルで動的に可変制御する。このようなゲートの制御によって、パワートランジスタ20の駆動損失を低減できる。なお、ゲートドライバ10は、ゲート駆動装置の一例であり、ゲート電圧を可変制御可能なものは、デジタルゲートドライバとも称されることもある。また、ゲートドライバ10の複数のレベルでの動的な可変制御は、アクティブ制御と称される。ゲートドライバ10の1つのレベル（オン／オフ）での制御は、シングルステップ制御またはシングル制御と称される。
- [0016] ゲートドライバ10は、ハイサイドを構成するDAC（デジタルアナログコンバータ：Digital Analog Converter）1、及び、MOSFET（金属酸化膜半導体電界効果トランジスタ：Metal-Oxide-Semiconductor Field-Effect Transistor）3と、ローサイドを構成するDAC2、及び、MOSFET4とを備える。2つのDAC1、2はその制御回路を含めてIC（集積回路：Integrated Circuit）化されており、IC11として実装される。
- [0017] 以下では、ハイサイドのMOSFET3のソースに対するゲートの電圧を

$V_{GS_H}$ と示し、ローサイドのMOSFET 4のソースに対するゲートの電圧を $V_{GS_L}$ と示す。MOSFET 3、4のゲート電圧 $V_{GS_H}$ 、 $V_{GS_L}$ は、DAC 1、2により制御されるため、DAC 1、2から出力されるゲート電圧 $V_{GS_H}$ 、 $V_{GS_L}$ は、MOSFET 3、4のスイッチングのために用いられるため、スイッチング信号と称されることもある。また、MOSFET 3、4には、ドレインとソース間にソース側をアノードとして接続された、つまりMOSFET 3、4に対して逆並列に接続された還流用のダイオードが接続されている。

[0018] ハイサイドにおいて、DAC 1の出力端子がMOSFET 3のゲートと接続されている。DAC 1には電源5から直流の電圧 $V_{DD_3}$ が供給されている。また、電源5の負極側と接続されるDAC 1の一端と、MOSFET 3のソースとが電氣的に接続されている。DAC 1は、外部から入力される制御信号に応じて、供給される電圧 $V_{DD_3}$ を変圧し、所望のタイミングで所望のレベルでMOSFET 3のゲートへ出力する。このようなDAC 1の制御により、ゲート電圧 $V_{GS_H}$ が制御されてMOSFET 3が動作する。

[0019] MOSFET 3は、ソースがパワートランジスタ20のゲートと接続され、ドレインが電源7を介してパワートランジスタ20のエミッタと接続されている。電源7は、直流の電圧 $V_{DD_1}$ を供給し、パワートランジスタ20においてエミッタに対してゲートが高電位となるように、すなわち、ゲート電圧 $V_{GE}$ が正電位となるように設けられる。ハイサイドの制御区間においては、MOSFET 3はゲート電圧 $V_{GS_H}$ に応じて制御され、その結果、パワートランジスタ20のゲート電圧 $V_{GE}$ は、電圧 $V_{DD_1}$ が降圧された正電圧となる。

[0020] ローサイドにおける構成は、ハイサイドの構成と同様である。DAC 2の出力端子がMOSFET 4のゲートと接続されている。DAC 2には電源6から直流の電圧 $V_{DD_4}$ が供給されている。また、電源6の負極側と接続されるDAC 2の一端と、MOSFET 4のソースとが電氣的に接続されている。DAC 2は、外部から入力される制御信号に応じて、供給される電圧 $V_{DD_4}$ を変圧し、所望のタイミングで所望のレベルでMOSFET 4のゲートへ出力

する。このようなDAC 2の制御により、ゲート電圧 $V_{GSL}$ が制御されてMOSFET 4が動作する。

[0021] MOSFET 4は、ドレインがパワートランジスタ20のゲートと接続され、ソースが電源8を介してパワートランジスタ20のエミッタと接続されている。電源8は、直流の電圧 $V_{DD2}$ を供給し、パワートランジスタ20においてゲートに対してエミッタが高電位となるように、すなわち、ゲート電圧 $V_{GE}$ が負電位となるように設けられる。ローサイドの制御区間においては、MOSFET 4はゲート電圧 $V_{GSL}$ に応じて制御され、その結果、パワートランジスタ20のゲート電圧 $V_{GE}$ は、電圧 $V_{DD2}$ が降圧された負電圧となる。

[0022] このように、DAC 1、2の制御に応じてMOSFET 3、4のゲート電圧 $V_{GSH}$ 、 $V_{GSL}$ が制御される。そして、ゲート電圧 $V_{GSH}$ 、 $V_{GSL}$ の変化に応じて、パワートランジスタ20のゲート電圧 $V_{GE}$ 、及び、ゲート電流 $I_G$ が制御される。ハイサイドの制御区間では、パワートランジスタ20のゲート電圧 $V_{GE}$ は、MOSFET 3のゲート電圧 $V_{GSH}$ に応じた正電圧となり、ローサイドの制御区間では、パワートランジスタ20のゲート電圧 $V_{GE}$ は、MOSFET 4のゲート電圧 $V_{GSL}$ に応じた負電圧となる。そして、このようなハイサイド及びローサイドの交互の制御によって、パワートランジスタ20が駆動される。

[0023] 図2は、IC 11の詳細な構成図である。IC 11には、DAC 1、2に対する制御回路が設けられている。なお、この図においては、電源5、6はDAC 1、2に対して右側に記載されている。

[0024] IC 11は、DAC 1、2の制御回路であるシフトレジスタ12、13、及び、エッジデコーダ14を備える。シフトレジスタ12、13、及び、エッジデコーダ14を含む制御回路は、任意の形態のコントローラにより実装されてもよい。シフトレジスタ12は、シリアル信号の入力を受け付けてパラレル信号を出力する。シフトレジスタ13は、パラレル信号の入力を受け付けてシリアル信号を出力する。

[0025] IC 11には、DAC 1、2の制御に用いられる入力信号(IN)及びイネ

ーブル信号 (Enable) と、スキャン設計に用いられる入力信号 (Scan IN) 及びクロック信号 (Scan CLK) と、DAC 1、2からの出力 (ゲート電圧  $V_{GSH}$ 、 $V_{GSL}$ ) の変化タイミングを示すタイミング信号 (Timing) とが入力される。なお、スキャン設計は、シフトレジスタ 12等を用いて実装されるが、その詳細な構成の説明は省略する。

[0026] シフトレジスタ 13は、入力信号 (IN) 及びイネーブル信号 (Enable) に加えて、エッジデコーダ 14からタイミング信号 (Timing) を受け付ける。そして、シフトレジスタ 13は、それぞれ8bitの  $H\_n_{PMOS}$  及び  $H\_n_{NMOS}$  の制御信号をDAC 1に出力し、それぞれ8bitの  $L\_n_{PMOS}$  及び  $L\_n_{NMOS}$  の制御信号をDAC 2に出力する。なお、この出力は、タイミング信号の変化タイミングで、更新される。このように8bitの4つの信号を用いたデジタルの制御信号に基づいてDAC 1、2が動作して、MOSFET 3、4に対するスイッチング信号であるゲート電圧  $V_{GSH}$ 、 $V_{GSL}$  が出力される。次に、DAC 1、2の詳細な構成について、図3A~3Cを用いて説明する。

[0027] 図3Aは、DAC 1の詳細な回路構成図である。図3Bは、DAC 1の等価回路である。図3Cは、DAC 1の出力の説明図である。図3A、3Bに示すように、DAC 1は、図上部の可変抵抗部 15と、図下部の可変抵抗部 16とを備えるため、図3Cに示すように、DAC 1の出力を可変制御できる。以下、DAC 1の構成の詳細について説明する。

[0028] 図3Aに示すように、可変抵抗部 15は、抵抗成分を有するスイッチング素子  $W_P$ 、 $2W_P$ 、 $4W_P$ 、 $8W_P$ 、 $16W_P$ 、 $32W_P$ 、 $64W_P$ 、 $128W_P$  が並列に接続されて構成されている。これらのスイッチング素子  $W_P$  には、一方の端部には電源 5から電圧  $V_{DD3}$  の電圧が供給され、他方の端部はMOSFET 3のゲートと接続されている。

[0029] スwitchング素子  $W_P$  の先頭に付された数字は、素子の有する面積の相対的な大きさを示している。すなわち、スイッチング素子  $2W_P$  は、スイッチング素子  $W_P$  の  $1/2$  倍の大きさの抵抗値を持つ。そして、スイッチング素子  $W_P$ 、 $2W_P$ 、 $4W_P$ 、 $8W_P$ 、 $16W_P$ 、 $32W_P$ 、 $64W_P$ 、 $128W_P$  は、それ

ぞれ、 $H\_n\text{PMOS}[0]\sim[7]$ のレジスタによって制御される。その結果、可変抵抗部15の抵抗値を256段階（0～255：8bit）のレベルで変化させることができる。

[0030] 同様に、可変抵抗部16は、抵抗成分を有するスイッチング素子 $W_N$ 、 $2W_N$ 、 $4W_N$ 、 $8W_N$ 、 $16W_N$ 、 $32W_N$ 、 $64W_N$ 、 $128W_N$ が並列に接続されて構成されている。これらのスイッチング素子 $W_N$ は、一方の端部はMOSFET3のゲートと接続され、他方の端部はMOSFET3のソースと接続されている。スイッチング素子 $W_N$ 、 $2W_N$ 、 $4W_N$ 、 $8W_N$ 、 $16W_N$ 、 $32W_N$ 、 $64W_N$ 、 $128W_N$ は、それぞれ、 $H\_n\text{NMOS}[0]\sim[7]$ のレジスタによって制御される。その結果、可変抵抗部16の抵抗値を256段階（0～255：8bit）のレベルで変化させることができる。

[0031] 図3Bに示すように、DAC1は、 $H\_n\text{PMOS}[0]\sim[7]$ のレジスタにより制御されることで抵抗値が変化する可変抵抗部15と、 $H\_n\text{NMOS}[0]\sim[7]$ のレジスタにより制御されることで抵抗値が変化する可変抵抗部16とが直列に接続された構成と等価となる。可変抵抗部15、16には、電源5から電圧 $V_{DD3}$ が供給される。また、可変抵抗部15と可変抵抗部16との接続点はMOSFET3のゲートと接続され、可変抵抗部15、16の電源5の負極側と接続される端子が、MOSFET3のソースと接続される。

[0032] 図3Cには、DAC1により制御されるMOSFET3のゲート電圧 $V_{GSH}$ が示されている。ゲート電圧 $V_{GSH}$ は、電源5の電圧 $V_{DD3}$ が可変抵抗部15、16の抵抗値に応じて降圧することで定まる。具体的には、可変抵抗部15の抵抗値を $R_p$ とし、可変抵抗部16の抵抗値を $R_N$ とすると、ゲート電圧 $V_{GSH}$ は、 $V_{DD3}$ に対して $(R_N / (R_p + R_N))$ を乗じた値となる。

[0033] 図4は、ゲートドライバ10のアクティブ駆動の動作例を示すタイミングチャートである。ゲートドライバ10に入力されるIN信号がオン（ハイサイド）である場合と、オフ（ローサイド）である場合とが組み合わされて1周期が構成される。

[0034] IN信号がオンである区間 $t_1\sim t_5$ においては、ハイサイドのMOSFET

T3のゲート電圧 $V_{GS_H}$ が複数のレベルで可変制御されるとともに、ローサイドのMOSFET4のゲート電圧 $V_{GS_L}$ はゼロになる。タイミング信号の変化タイミングで、 $H\_n_{PMOS}[0] \sim [7]$ に応じて、MOSFET3のゲート電圧 $V_{GS_H}$ が制御され、パワートランジスタ20のゲート電流 $I_G$ 及びゲート電圧 $V_{GE}$ が制御される。

[0035] 詳細には、区間 $t_1 \sim t_4$ の間において、ゲート電圧 $V_{GS_H}$ は、 $0V \sim V_{DD3}$ の間の複数のレベルが設定され、最終区間 $t_5$ において $V_{DD3}$ となる。一方で、区間 $t_1 \sim t_5$ において、ゲート電圧 $V_{GS_L}$ はゼロのままである。ゲート電圧 $V_{GS_H}$ の変化に応じて、ゲート電流 $I_G$ は正の範囲で増減しながら最終的にはゼロとなる。同時に、ゲート電圧 $V_{GE}$ は、徐々に大きくなり最終的に所定値の $V_{DD1}$ となる。

[0036] 一方で、IN信号がオフである区間 $t_6 \sim t_{10}$ においては、ローサイドのMOSFET4のゲート電圧 $V_{GS_L}$ が複数のレベルで可変制御されるとともに、ハイサイドのゲート電圧 $V_{GS_H}$ はゼロになる。同様に、ゲート電圧 $V_{GS_L}$ は、タイミング信号の入力に応じて電圧レベルが変化するため、IGBT2のゲート電流 $I_G$ は負の領域で制御され、かつ、ゲート電圧 $V_{GE}$ は減少領域で制御することができる。

[0037] この例においては、区間 $t_6 \sim t_9$ の間において、ローサイドのMOSFET4のゲート電圧 $V_{GS_L}$ は、 $0V \sim V_{DD4}$ の間の複数のレベルが設定され、最終区間 $t_{10}$ において $V_{DD4}$ となる。一方で、区間 $t_6 \sim t_{10}$ において、ゲート電圧 $V_{GS_H}$ はゼロのままである。ゲート電圧 $V_{GS_L}$ の変化に応じて、ゲート電流 $I_G$ は負の範囲で増減しながら最終的にはゼロとなる。同時に、ゲート電圧 $V_{GE}$ は、徐々に小さくなって最終的に $-V_{DD2}$ となる。

[0038] このような $t_1 \sim t_{10}$ の制御の繰り返しにより、ゲートドライバ10は、パワートランジスタ20のゲート電流 $I_G$ 及びゲート電圧 $V_{GE}$ を制御することができる。

[0039] 次に、図5A～5Cを用いてゲートドライバ10に対して行った特性評価について説明する。この特性評価では、図4に示されたアクティブ制御では

なく、所定のレベルへの単一の制御であるシングルステップ制御を行った。

[0040] 図5 Aは、特性評価におけるゲートドライバ10のシングルステップ制御の動作を示すタイミングチャートである。図5 Bは、ゲート電圧 $V_{GSH}$ の特性を示すグラフである。図5 Cは、ゲート電流 $I_G$ の特性を示すグラフである。この特性評価は、ゲートドライバ10に $100\mu F$ のフィルムコンデンサが接続された環境で行われ、図5 Aに示されるシングルステップ制御を行うことにより、図5 B、5 Cに示される評価結果を得た。

[0041] 図5 Aに示されるように、IN信号がオフからオンへの切り替えが行われる際に、 $H_{n_{PMOS}}$ を0からn（0～255までの所定値）に変化させるとともに、 $H_{n_{NMOS}}$ を255から60に変化させた。 $H_{n_{PMOS}}$ 及び $H_{n_{NMOS}}$ が変化することにより、MOSFET3のゲート電圧 $V_{GSH}$ 、及び、パワートランジスタ20のゲート電流 $I_G$ が変化する。そして、このような制御におけるnを0～255に変化させることで、図5 B、5 Cに示すようなゲート電圧 $V_{GSH}$ 及びゲート電流 $I_G$ の特性を得た。

[0042] 図5 B、5 Cには、(a)、(b)の2つの条件の測定結果が示されている。(a)には、 $V_{DD1}$ 及び $V_{DD2}$ が15Vであり、 $V_{DD3}$ 及び $V_{DD4}$ が4Vである場合の、nの変化に応じたゲート電圧 $V_{GSH}$ 及びゲート電流 $I_G$ それぞれの特性結果が示されている。(b)には、 $V_{DD1}$ が15Vであり、 $V_{DD2}$ が0Vであり、 $V_{DD3}$ 及び $V_{DD4}$ が3.5Vである場合の、nの変化に応じたゲート電圧 $V_{GSH}$ 及びゲート電流 $I_G$ それぞれの特性結果が示されている。

[0043] 図5 Bによれば、nを段階的に大きくすることで、ゲート電圧 $V_{GSH}$ が大きくなるような略線形の相関が示されている。図5 Cには、nを段階的に大きくすると、ゲート電流 $I_G$ は、 $n=70\sim 100$ から次第に大きくなるような相関が示されている。なお、図5 Cの(a)に示されるように、ゲート電流 $I_G$ は51A程度まで大きくなっている。一般に、大容量のパワートランジスタの制御ではゲート電流 $I_G$ は40A以上であることが求められるが、本実施形態のゲートドライバ10はその要求水準を上回っている。このような評価結果から、本実施形態のゲートドライバ10は、ゲート電圧 $V_{GSH}$ が線形特性

を有し、かつ、ゲート電流  $I_G$  が大容量化されていることが理解できる。

[0044] 次に、図 6 A、6 B を用いて、ダブルパルス試験により得られたゲートドライバ 10 (DGD : Digital Gate Driver) の駆動性能の評価結果について説明する。図 6 A は、ダブルパルス試験の評価環境の回路構成図である。図 6 B は、ダブルパルス試験によるゲートドライバ 10 の駆動性能を示すグラフである。

[0045] 図 6 A には、600 V / 200 A のダブルパルス試験の回路構成図が示されている。この回路では、2 つのパワートランジスタ 31、32 が直列に接続されている。図下方のパワートランジスタ 31 のゲートは、ゲートドライバ 10 からの入力を受け付ける。図上方のパワートランジスタ 32 には、インダクタンス 33 が並列に接続されている。この試験環境では、パワートランジスタ 31、32 として、コレクタとエミッタとの間の電圧の最大値が 6500 V で、コレクタ電流の最大値が 1000 A であるものが用いられた。また、ゲートドライバ 10 において、 $V_{DD1}$  が 15 V であり、 $V_{DD2}$  が 0 V であり、 $V_{DD3}$  及び  $V_{DD4}$  が 3.5 V である。

[0046] 直列接続されるパワートランジスタ 31、32 の両端には、電源 34 が接続され、さらに、電源 34 と並列にコンデンサ 35 が設けられている。電源 34 によって 600 V の電圧が供給されており、インダクタンス 33 には 200 A の電流が流れる。このような環境で、ゲートドライバ 10 を用いてパワートランジスタ 31 を制御することにより、ダブルパルス試験を行った。

[0047] 図 6 B は、図 6 A の環境を用いたダブルパルス試験結果を示す図である。この図には、ダブルパルス試験の結果が、X 軸 (横軸) にパワートランジスタ 31 のオーバーシュート電流 ( $I_{OVERSHOOT}$ ) が示され、Y 軸 (縦軸) にパワートランジスタ 31 の電力損失 ( $E_{LOSS}$ ) が示されている。

[0048] 丸印は、図 5 A に示されたシングルステップ制御によりゲートドライバ 10 を制御する際に  $n$  を 94 から 255 まで変化させた場合のオーバーシュート電流と電力損失との相関が示されている。この図によれば、 $n$  が小さいほどオーバーシュート電流は小さく、 $n$  が大きいほど電力損失が小さいという

トレードオフ関係があることが理解できる。

- [0049] 星印は、ゲートドライバ10をアクティブ制御した場合における結果を示すものである。アクティブ制御においては、図4に示されたように、MOSFET3のゲート電圧 $V_{GS_H}$ 、 $V_{GS_L}$ がオフ（ローレベル）からオン（ハイレベル）と遷移する間に、中間レベルを経るように制御される。なお、図6Bに示される評価結果は、図4とは異なるパターンのアクティブ制御により得られたものである。
- [0050] 星印の結果と $n=96$ の丸印とを比較すると、ほぼ同じオーバーシュート電流で、電力損失を $0.37\text{ J}$ から $0.18\text{ J}$ に51%低減できている。星印の結果と $n=105$ の丸印とを比較すると、ほぼ同じ電力損失で、オーバーシュート電流を $326\text{ A}$ から $242\text{ A}$ に26%低減できている。このように、本実施形態のゲートドライバ10を可変制御することにより、より高効率でパワートランジスタ31、32を駆動できることが理解できる。
- [0051] なお、本実施形態の説明においては、DAC1、2により制御されるスイッチとして、MOSFET3、4を用いたがこれに限らない。MOSFETの代わりに、バイポーラトランジスタを用いてもよい。MOSFETがゲート電圧に応じて制御されるのに対して、バイポーラトランジスタはゲート電流により制御される。そのため、DAC1、2から出力される電流が中間レベルを含む3以上のレベルで制御されることにより、バイポーラトランジスタと接続されるパワートランジスタ20のゲート電圧を可変に動的に制御することができる。
- [0052] また、スイッチング素子を制御する制御デバイスとしては、デジタルアナログコンバータであるDAC1、2を用いたが、これに限らない。入力される制御信号に応じて、ハイレベル、ローレベル、及び、前記ハイレベルと前記ローレベルとの間の中間レベルを1つ以上含む3以上のレベルの信号を出力することが可能なデバイスを、代替的に用いてもよい。
- [0053] さらに、MOSFET3、4を、定格電流の異なるMOSFETに変更することで、ゲートドライバ10から出力されるパワートランジスタ20のゲ

ート電流  $I_G$  の出力電流の最大値を変更することができる。また、DAC 1、2へ電力を供給する電源5、6の電圧  $V_{DD3}$ 、 $V_{DD4}$  を異なる電圧の電源に変更することで、ゲートドライバ10から出力されるゲート電流  $I_G$  の最大値を変更することができる。MOSFET 3、4、及び、電源5、6は、モジュール化されており置換が容易であるので、これらの部品を変更することでゲートドライバ10の性能を変更することができる。

[0054] このように、本実施形態のゲートドライバ10は、2つのDAC 1、2と、MOSFET 3、4を備える。DAC 1、2からの出力は、シフトレジスタ13から入力されるデジタルの制御信号に応じて、ハイレベル、ローレベル、及び、前記ハイレベルと前記ローレベルとの間の中間レベルを1つ以上含む3以上のレベルで可変に動的に制御される。そして、MOSFET 3、4は、DAC 1、2からの出力のレベルに応じて制御対象のパワートランジスタ20のゲート電圧  $V_{GE}$  及びゲート電流  $I_G$  を複数のレベルで動的に制御（アクティブ制御）することができる。その結果、図6Bに示すように、パワートランジスタ20のオーバーシュート電流及び電力損失の双方の低減を図ることができる。

[0055] さらに、DAC 1、2の制御回路は、シフトレジスタ13を備えるIC 11により実装されている。このIC 11には、2つのDAC 1、2に対して制御信号を出力する制御回路（シフトレジスタ12、13、及び、エッジデコーダ14）が1つ設けられている。このように、1つの制御回路を用いて2つのDAC 1、2を制御するように構成されることで、IC 11の小型化を図ることができる。また、ゲートドライバ10は、ハイサイドとローサイドの2つのサイドを備えるハーフブリッジ構成であるため、ターンオン制御及びターンオフ制御の両者において動作させることができる。

[0056] また、本実施形態によれば、DAC 1、2の出力はMOSFET 3、4のゲート電圧  $V_{GSH}$ 、 $V_{GSL}$  であり、このような構成により直接的にMOSFET 3、4のスイッチング制御を行うことができる。MOSFET 3、4のスイッチング制御は、本実施形態のようにゲート電圧  $V_{GSH}$ 、 $V_{GSL}$  を直接的に

制御するのに替えて、MOSFET 3、4のグラウンドに対するゲートの電圧を変化させることで間接的にも実施することができる。これに対して、本実施形態においては、間接的ではなく直接的に変化させることでMOSFET 3、4の制御精度を向上させることができる。

- [0057] 次に、ゲートドライバ10の他の変形例を、図7、8を用いて説明する。
- [0058] 図7は、第1変形例のゲートドライバ10Aを示す図である。この図に示されるゲートドライバ10Aは、図1に示された第1実施形態のゲートドライバ10と比較すると、DAC1に電圧を供給する電源5、DAC2に電圧を供給する電源6、及び、ローサイドの出力電力を構成する電源8が省略されている。同時に、DAC1、2には、電源5、6に替えて、電源7から電圧変換器41、42を変えて所定の電圧が供給されるように構成されている。
- [0059] このような構成となることで、電源5、6（第1の電源）を設けなくても、電源7（第2の電源）の電圧を変圧して供給することで、DAC1、2を駆動することができる。さらに、2つのMOSFET 3、4に対して、1つの電源7（第2の電源）を設けても、ゲートドライバ10Aを構成できる。このような構成によれば、ゲートドライバ10A内の電源の数を削減し、構成を簡略化することができる。
- [0060] 図8は、第2変形例のゲートドライバ10Bを示す図である。この図に示されるゲートドライバ10Bは、図1に示された第1実施形態のゲートドライバ10と比較すると、DAC1とMOSFET 3との間に抵抗51が設けられ、DAC2とMOSFET 4との間に抵抗52が設けられている。このように構成することで、DAC1、2からの出力を平滑化でき、その結果、ゲートドライバ10Bにより動作されるパワートランジスタ20の動作の安定化を図ることができる。
- [0061] 第1変形例に示すように、ゲートドライバ10Aの電源数は削減可能であり、また、第2変形例に示すように、ゲートドライバ10Bは、抵抗51、52を設けることで動作の安定化を図ることができる。これらの変形例に示

される構成以外にも、ゲートドライバ10は、種々の変形例を取り得る。

[0062] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施の形態及び変形が可能とされるものである。また、上述した実施の形態は、本発明を説明するためのものであり、本発明の範囲を限定するものではない。すなわち、本発明の範囲は、実施の形態ではなく、特許請求の範囲によって示される。そして、特許請求の範囲内及びそれと同等の発明の意義の範囲内で施される様々な変形が、本発明の範囲内とみなされる。

## 請求の範囲

- [請求項1]       ハイサイドとローサイドの2つのサイドで動作し、パワートランジスタのゲートを駆動するゲート駆動装置であって、
- 前記2つのサイドを構成するように対をなして設けられ、入力される制御信号に応じて、ハイレベル、ローレベル、及び、前記ハイレベルと前記ローレベルとの間の中間レベルを1つ以上含む3以上のレベルのスイッチング信号を出力する制御デバイスと、
- 前記制御デバイスと対応して対をなして設けられ、前記制御デバイスから入力される前記スイッチング信号のレベルに応じた電圧を、前記パワートランジスタのゲートに出力するスイッチング素子と、を有するゲート駆動装置。
- [請求項2]       前記スイッチング素子は、MOSFETであり、
- 前記制御デバイスは、前記スイッチング素子のゲートに対して、入力される前記制御信号に応じた前記スイッチング信号を出力する、請求項1に記載のゲート駆動装置。
- [請求項3]       前記スイッチング素子は、MOSFETであり、
- 前記制御デバイスは、入力される前記制御信号に応じて、前記スイッチング素子のゲート電圧を3以上のレベルで変化させる、請求項1または2に記載のゲート駆動装置。
- [請求項4]       前記スイッチング素子は、バイポーラトランジスタであり、
- 前記制御デバイスは、入力される前記制御信号に応じて、前記スイッチング素子のゲート電流を3以上のレベルで変化させる、請求項1または2に記載のゲート駆動装置。
- [請求項5]       前記制御デバイスは、入力されるデジタル信号である前記制御信号に基づいて、入力される電圧を変換して前記スイッチング信号として出力するデジタルアナログコンバータである、請求項1または2に記載のゲート駆動装置。
- [請求項6]       前記2つのサイドのうちの少なくとも一方の動作において、前記制

御信号は、前記ハイレベルから前記ローレベルへ変化する間、及び、前記ローレベルから前記ハイレベルへ変化する間の少なくとも一方において、前記中間レベルとなる、請求項1に記載のゲート駆動装置。

[請求項7] 前記スイッチング素子から前記パワートランジスタのゲートに出力可能な最大電流は、前記スイッチング素子の定格電流に応じて定まる、請求項1に記載のゲート駆動装置。

[請求項8] 前記スイッチング素子から前記パワートランジスタのゲートに出力可能な最大電流は、前記制御デバイスへ供給される電圧に応じて定まる、請求項1に記載のゲート駆動装置。

[請求項9] 対をなして設けられる前記制御デバイスに対して、前記制御デバイスに対する前記制御信号を生成するコントローラが1つ設けられている、請求項1に記載のゲート駆動装置。

[請求項10] 前記制御デバイスは、第1の電源から供給される電力の供給を受けて、前記スイッチング信号を出力し、

前記スイッチング素子は、前記スイッチング信号に応じて第2の電源から入力される電圧を変換し、当該変換により得られた前記スイッチング信号のレベルに応じた電圧を、前記パワートランジスタのゲートに出力する、請求項1に記載のゲート駆動装置。

[請求項11] 前記第1の電源は、前記第2の電源を変圧することにより構成される、請求項10に記載のゲート駆動装置。

[請求項12] 対をなす前記スイッチング素子の少なくとも一方に前記第2の電源が設けられる、請求項10または11に記載のゲート駆動装置。

[請求項13] 前記制御デバイスと前記スイッチング素子との間に設けられる抵抗を、さらに有する、請求項1に記載のゲート駆動装置。

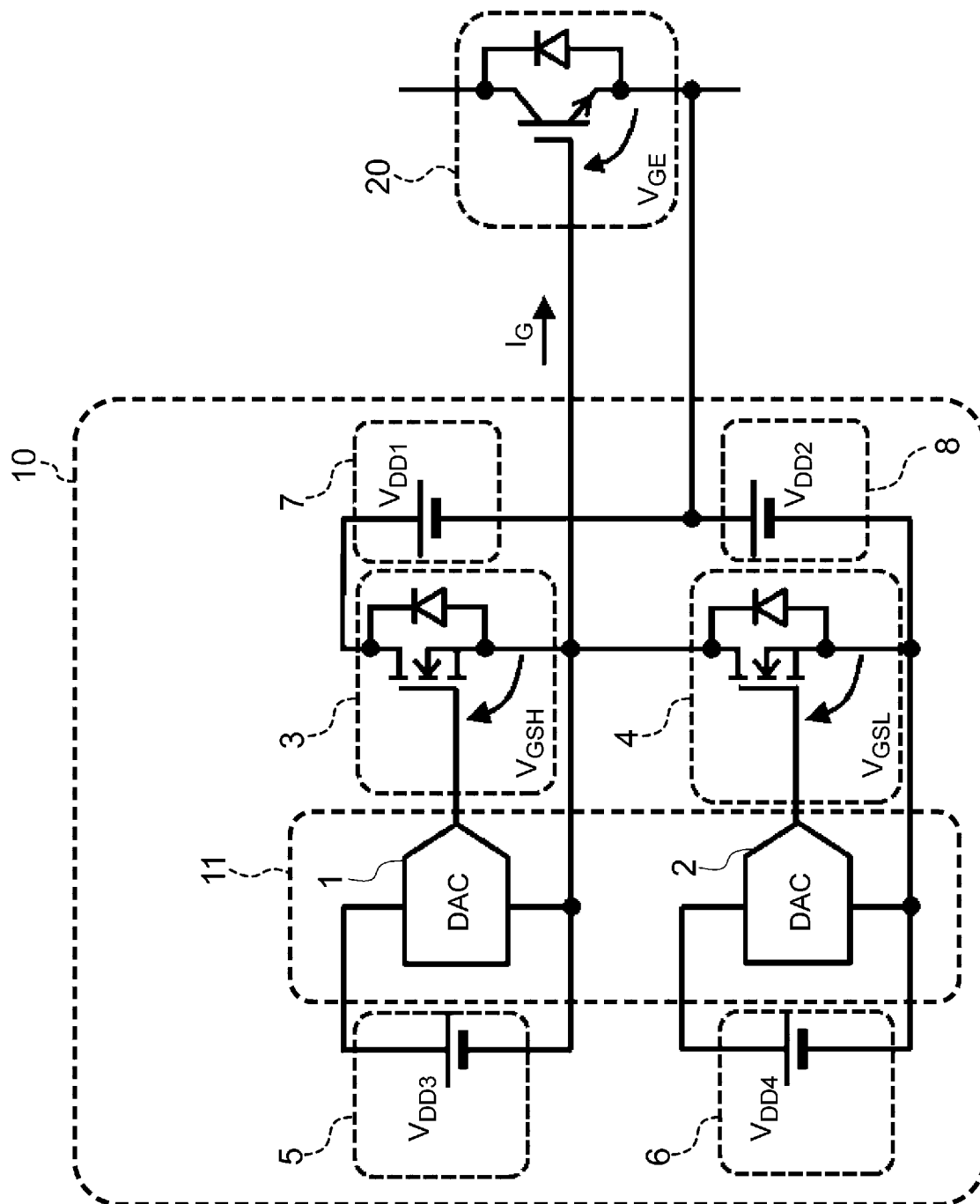
[請求項14] ハイサイドとローサイドの2つのサイドで動作し、パワートランジスタのゲートを駆動するゲート駆動システムであって、

ハイレベル、ローレベル、及び、1以上の中間レベルを含む3以上のレベルで変化可能な制御信号を出力するコントローラと、

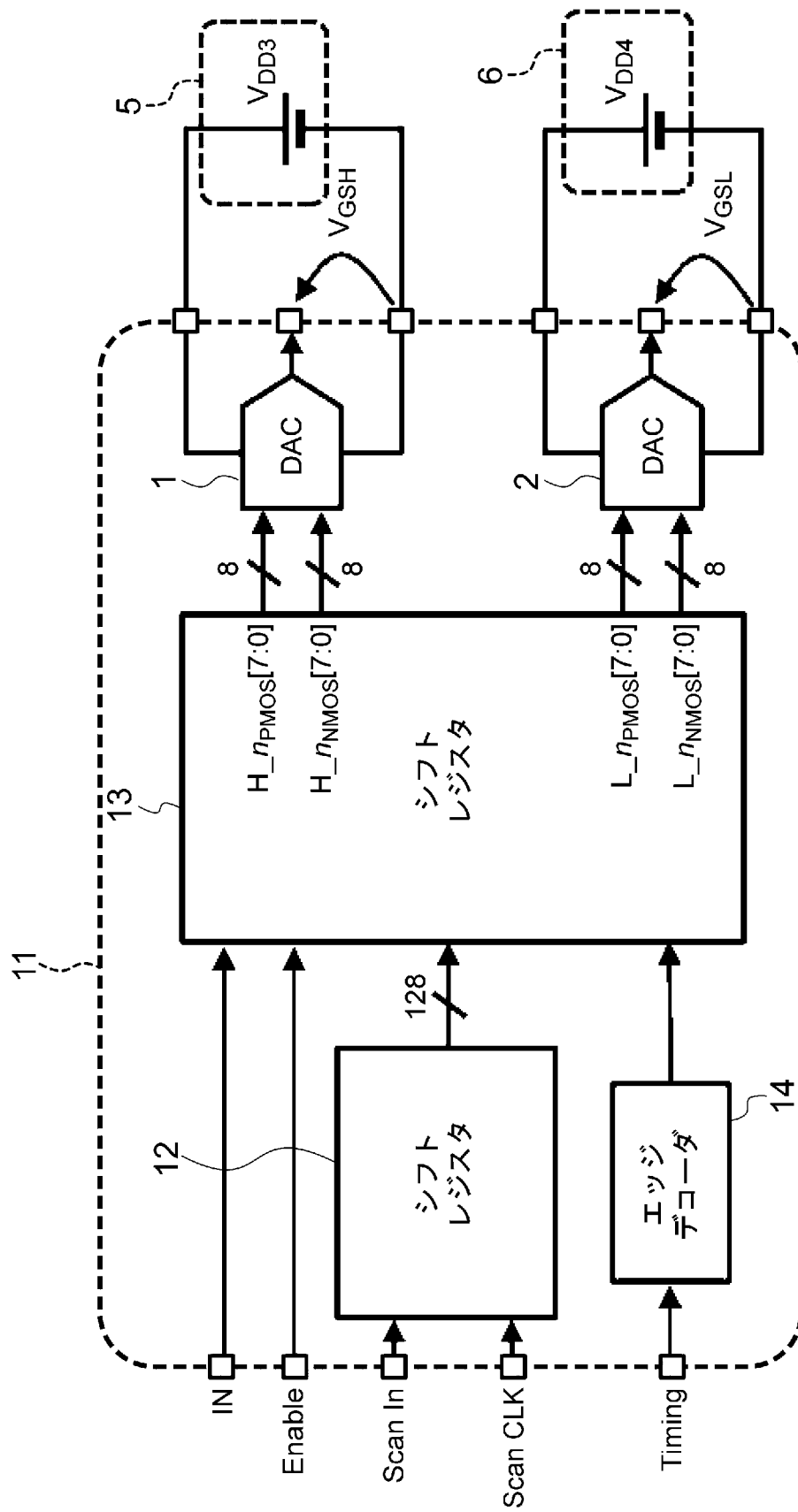
前記2つのサイドを構成するように対をなして設けられ、前記コントローラから出力された前記制御信号に応じたスイッチング信号を出力する制御デバイスと、

前記制御デバイスと対応して対をなして設けられ、前記制御デバイスから入力される前記スイッチング信号のレベルに応じた電圧を、前記パワートランジスタのゲートに出力するスイッチング素子と、を有するゲート駆動システム。

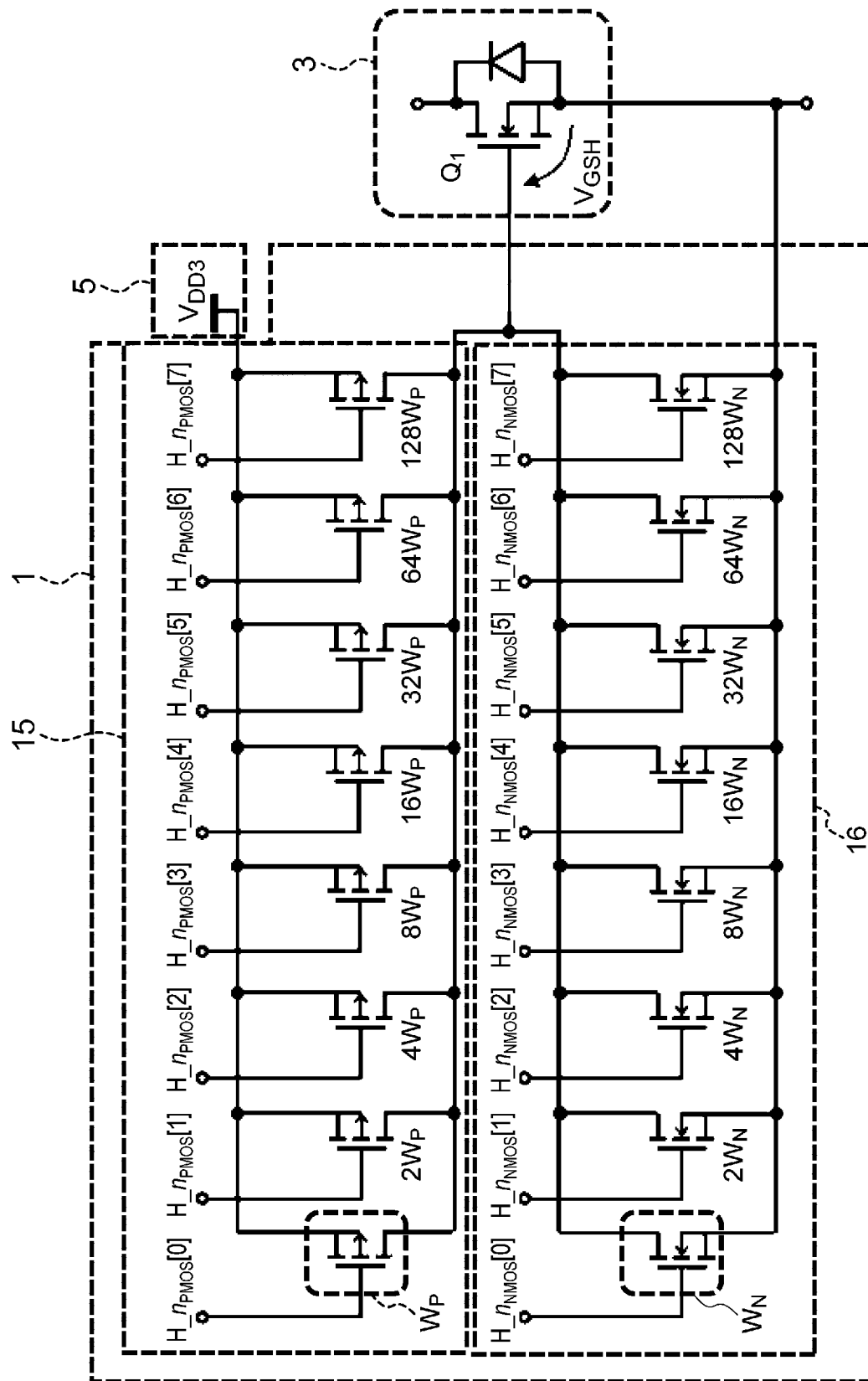
[図1]



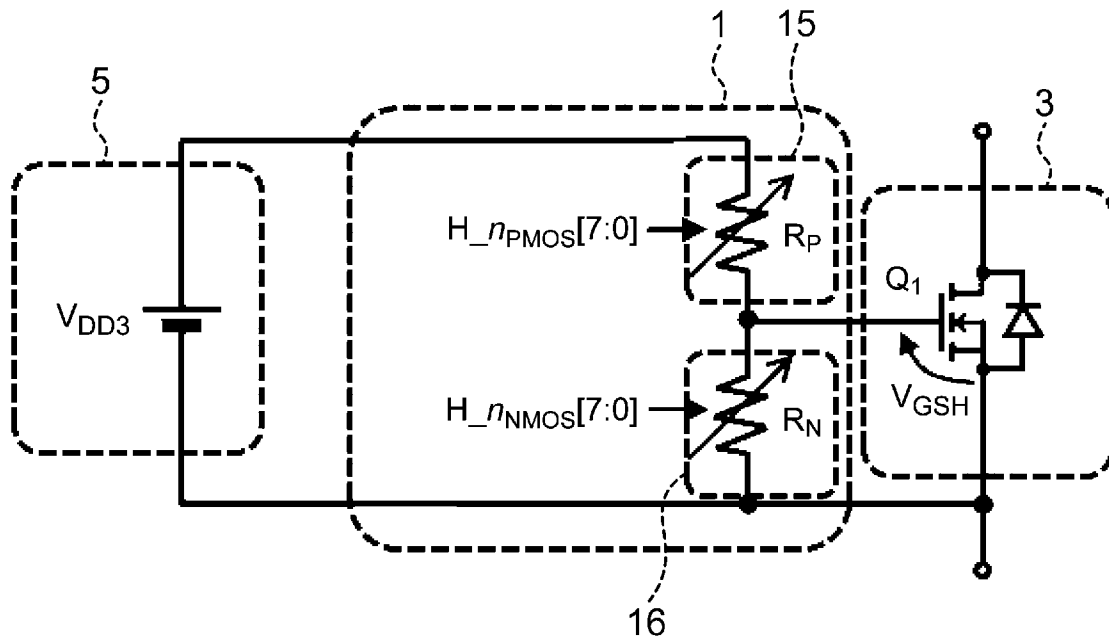
[図2]



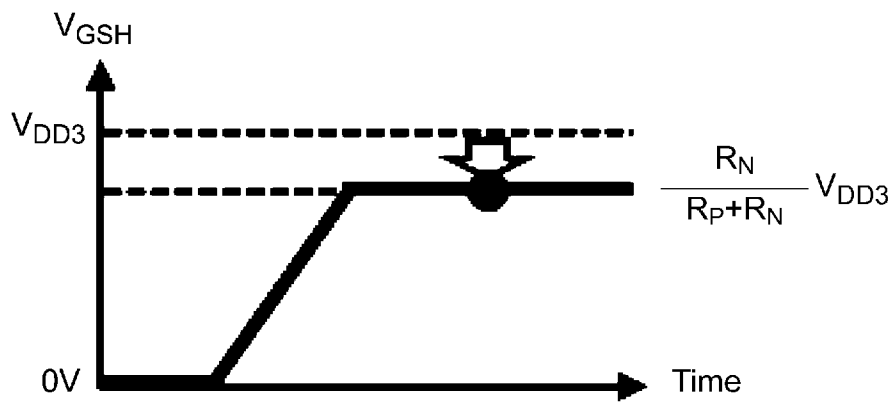
[図3A]



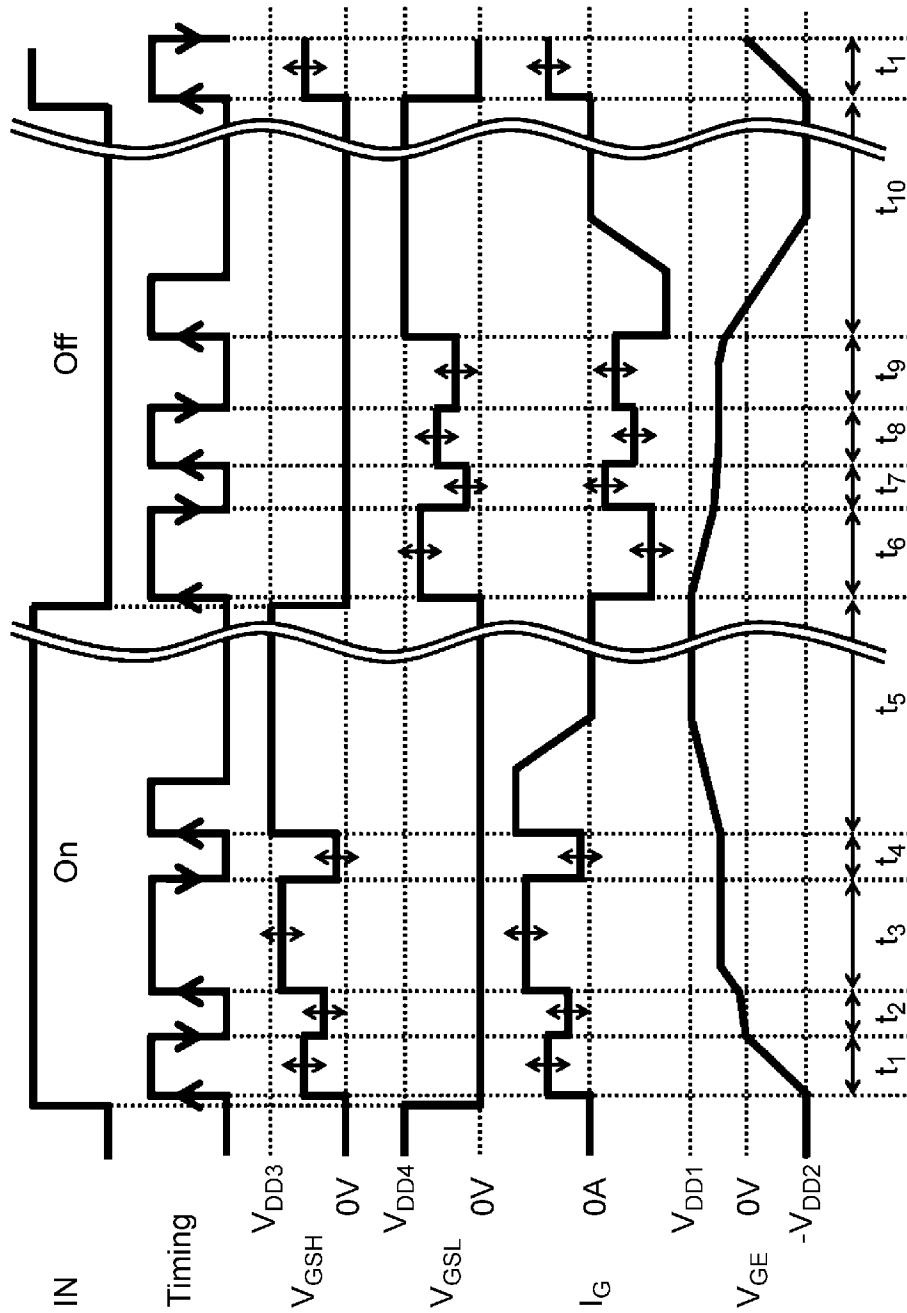
[図3B]



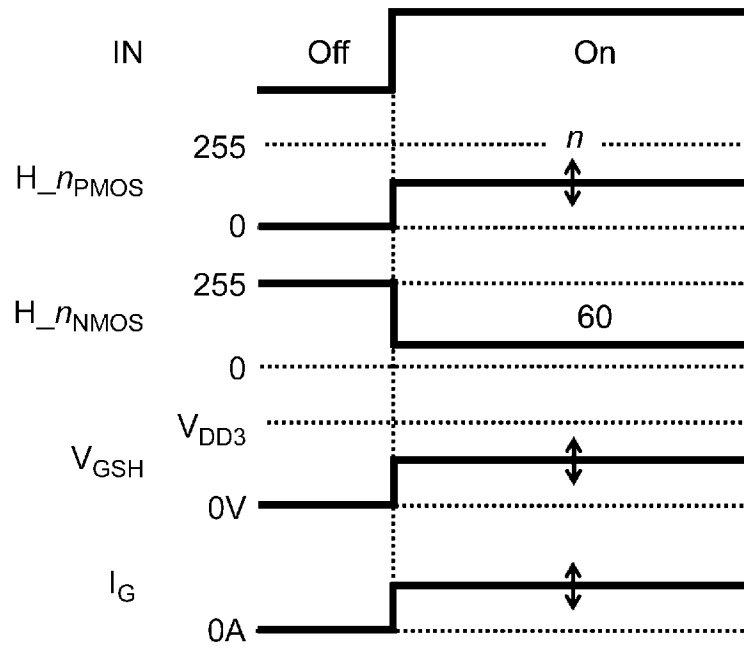
[図3C]



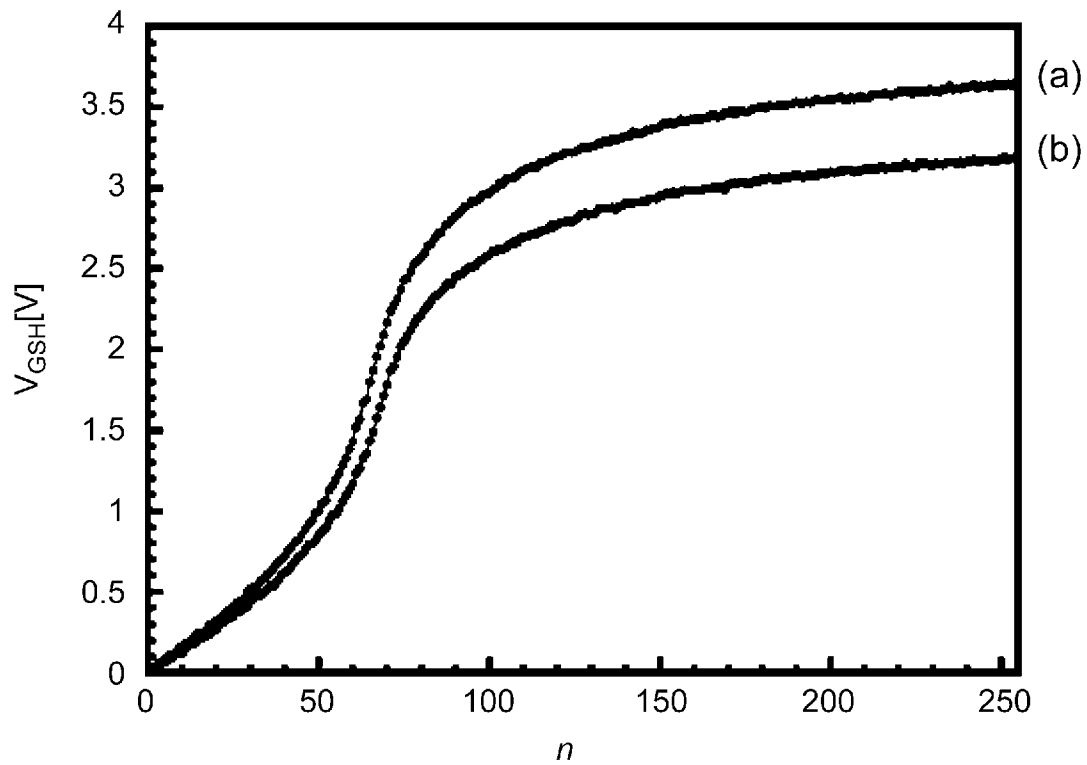
[図4]



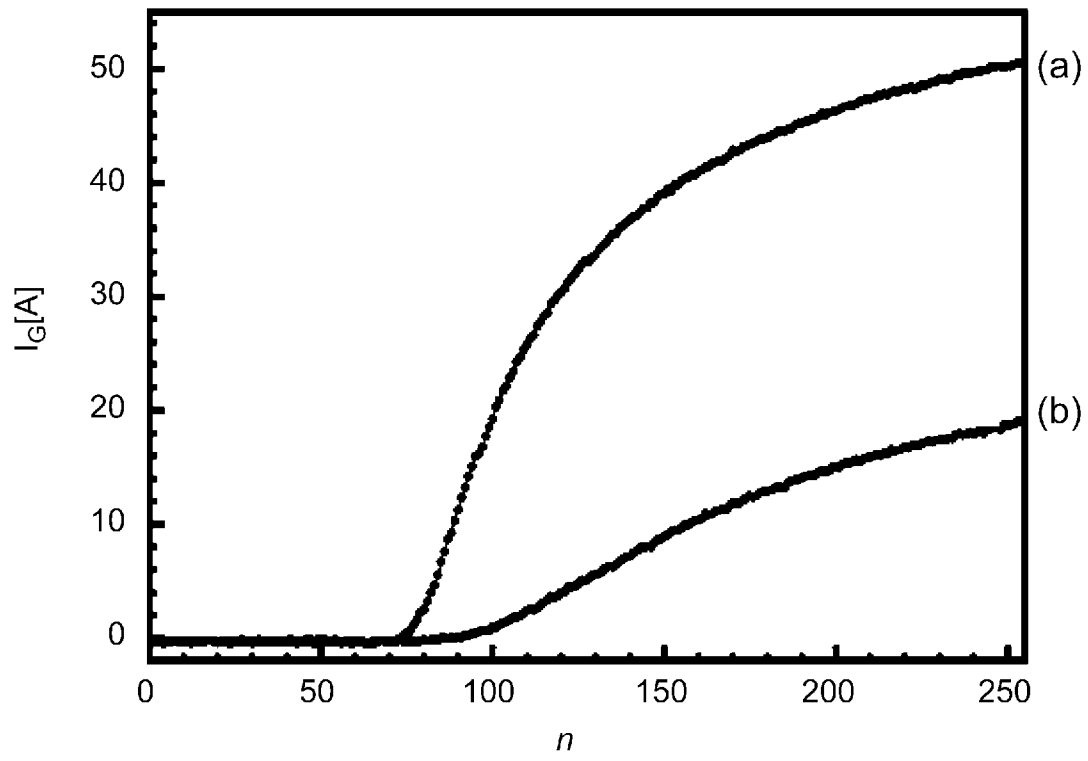
[図5A]



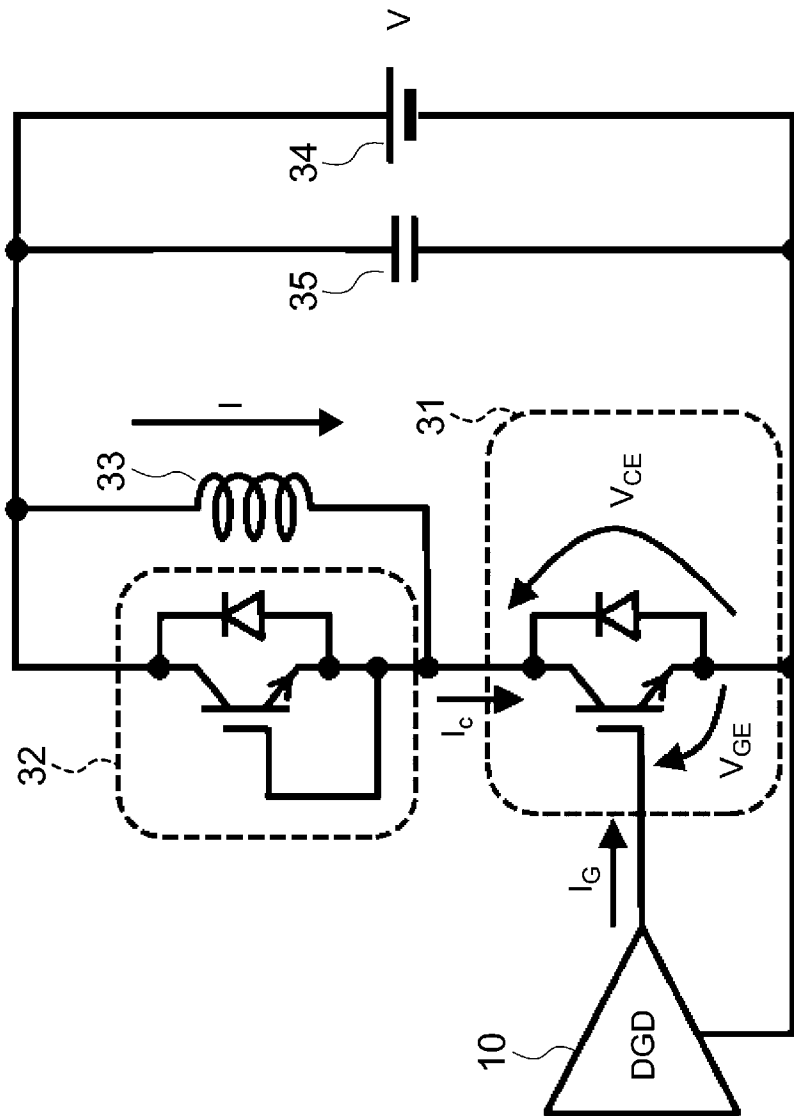
[図5B]



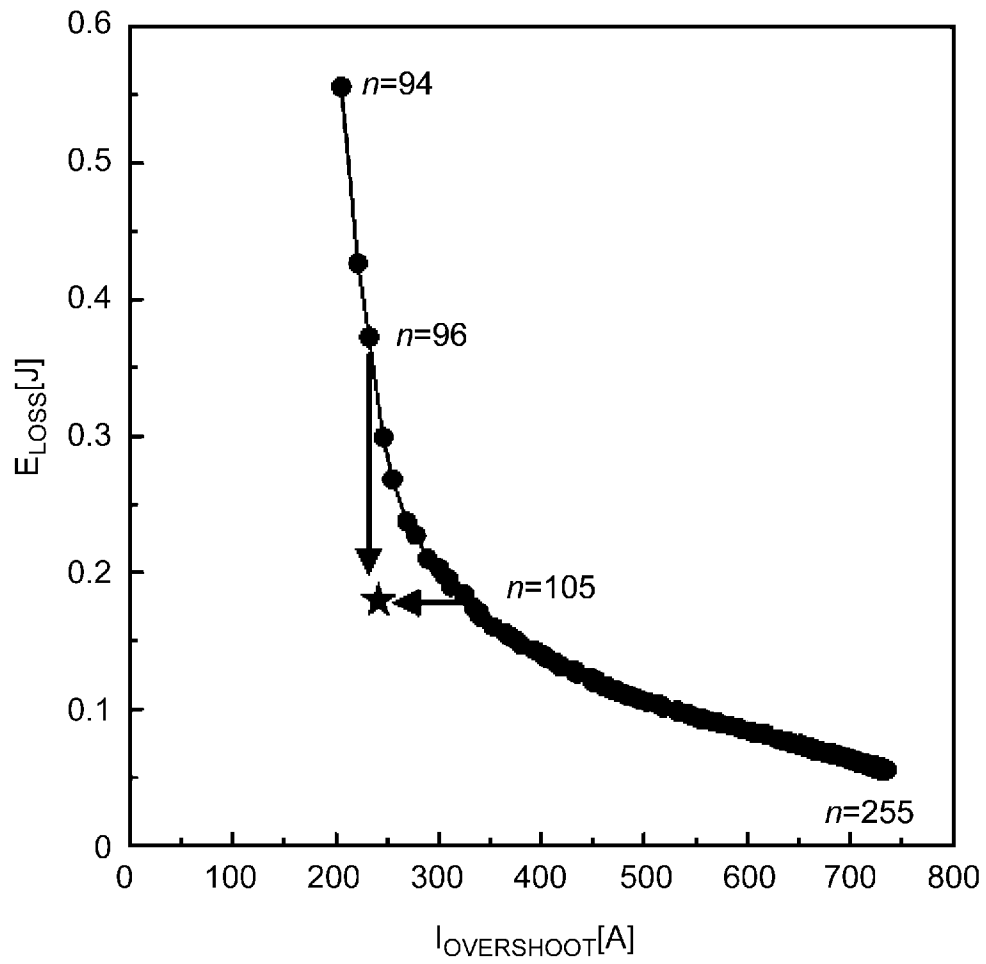
[図5C]



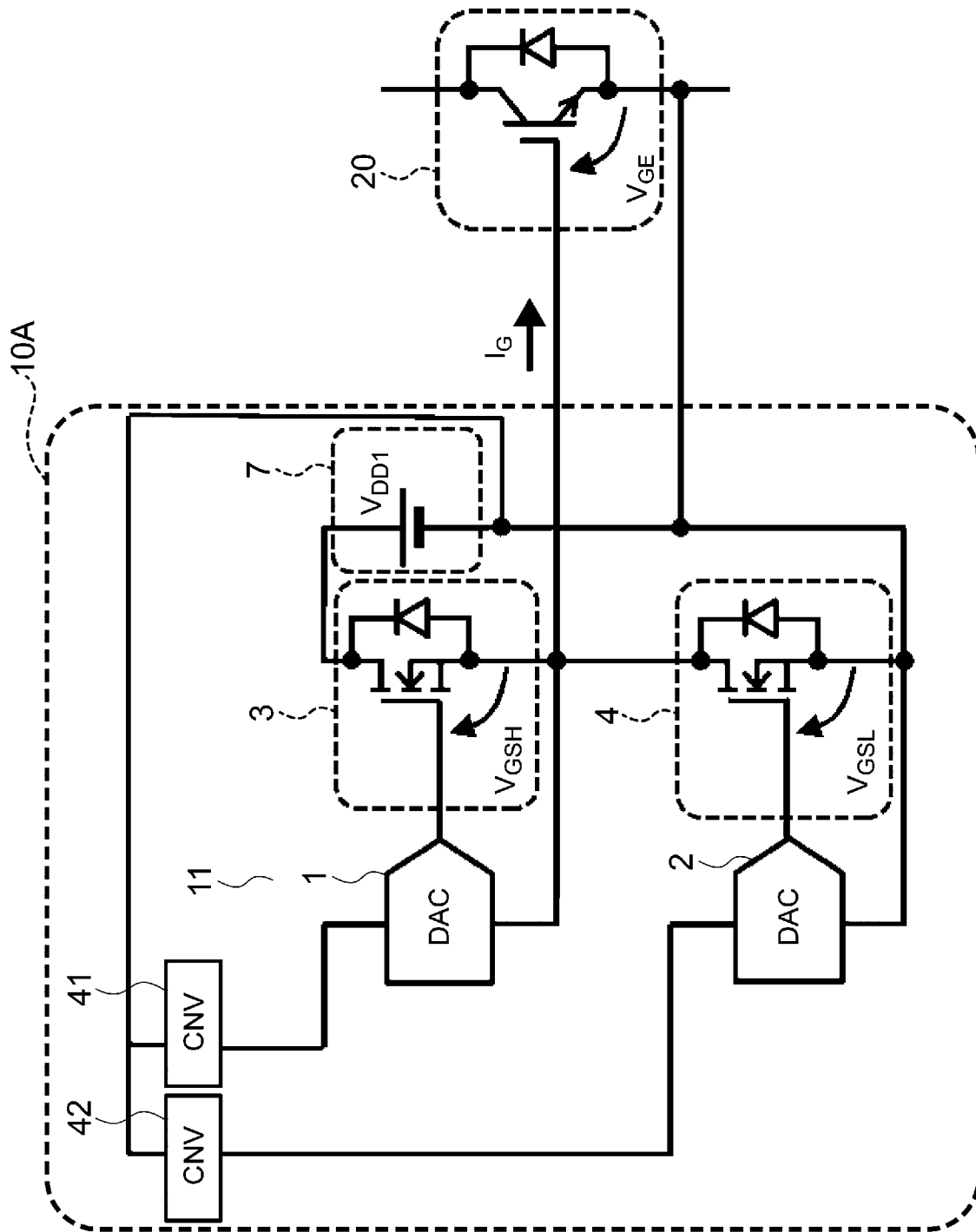
[図6A]



[図6B]



[図7]





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019327

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<b>H03K 17/56</b> (2006.01)i; <b>H03K 17/687</b> (2006.01)i FI: H03K17/687 A; H03K17/56 A		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H03K17/56; H03K17/687		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2016/0329883 A1 (INFINEON TECHNOLOGIES AUSTRIA AG) 10 November 2016 (2016-11-10) paragraphs [0020], [0031], [0032], [0036], fig. 5	1-5, 7-9, 14
Y		6, 10-13
Y	JP 2022-048476 A (TOSHIBA ELECTRONIC DEVICES & STORAGE CORP.) 28 March 2022 (2022-03-28) paragraphs [0027]-[0029], fig. 4, 5	6
Y	US 2016/0134272 A1 (BALANSTRING TECHNOLOGY, LLC) 12 May 2016 (2016-05-12) paragraph [0029], fig. 2	10-12
Y	JP 2005-217774 A (FUJITSU TEN LTD.) 11 August 2005 (2005-08-11) paragraph [0068]	13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>07 June 2022</b>		Date of mailing of the international search report <b>21 June 2022</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No. <b>PCT/JP2022/019327</b>
---

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2016/0329883	A1	10 November 2016	DE 102016108175 A1 paragraphs [0020], [0032], [0033], [0037], fig. 5 CN 106130523 A	
JP	2022-048476	A	28 March 2022	(Family: none)	
US	2016/0134272	A1	12 May 2016	CN 107112988 A paragraph [0029], fig. 2	
JP	2005-217774	A	11 August 2005	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/56(2006.01)i; H03K 17/687(2006.01)i FI: H03K17/687 A; H03K17/56 A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K17/56; H03K17/687 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2016/0329883 A1 (INFINEON TECHNOLOGIES AUSTRIA AG) 10.11.2016 (2016-11-10) 段落[0020], [0031]-[0032], [0036], 図5	1-5, 7-9, 14
Y		6, 10-13
Y	JP 2022-048476 A (東芝デバイス&ストレージ株式会社) 28.03.2022 (2022-03-28) 段落[0027]-[0029], 図4-5	6
Y	US 2016/0134272 A1 (BALANSTRING TECHNOLOGY, LLC) 12.05.2016 (2016-05-12) 段落[0029], 図2	10-12
Y	JP 2005-217774 A (富士通テン株式会社) 11.08.2005 (2005-08-11) 段落[0068]	13
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 07.06.2022	国際調査報告の発送日 21.06.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 竹内 亨 5W 8388 電話番号 03-3581-1101 内線 3534	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/019327

引用文献			公表日	パテントファミリー文献			公表日
US	2016/0329883	A1	10.11.2016	DE	102016108175	A1	
				段落[0020], [0032]-			
				[0033], [0037], 図5			
				CN	106130523	A	
-----							
JP	2022-048476	A	28.03.2022	(ファミリーなし)			
-----							
US	2016/0134272	A1	12.05.2016	CN	107112988	A	
				段落[0029], 図2			
-----							
JP	2005-217774	A	11.08.2005	(ファミリーなし)			
-----							