



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2019년08월22일  
 (11) 등록번호 10-2013130  
 (24) 등록일자 2019년08월16일

- (51) 국제특허분류(Int. Cl.)  
*G11C 19/28* (2006.01) *G11C 7/22* (2015.01)  
*H03K 3/356* (2006.01)
- (21) 출원번호 10-2012-0091627  
 (22) 출원일자 2012년08월22일  
 심사청구일자 2017년07월14일  
 (65) 공개번호 10-2013-0022376  
 (43) 공개일자 2013년03월06일  
 (30) 우선권주장  
 JP-P-2011-182274 2011년08월24일 일본(JP)

- (56) 선행기술조사문헌  
 KR1020090084642 A\*  
 (뒷면에 계속)  
 전체 청구항 수 : 총 3 항

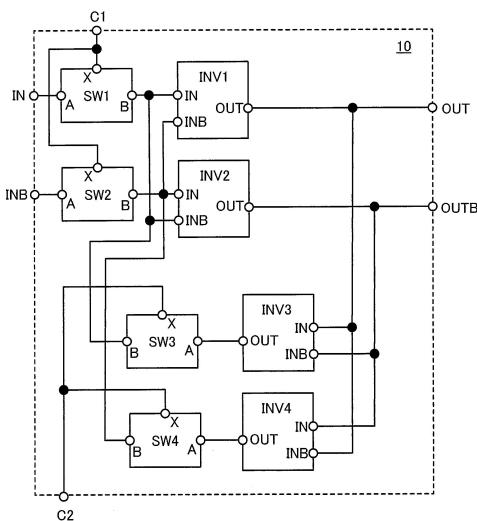
심사관 : 한선경

## (54) 발명의 명칭 반도체 장치

**(57) 요약**

전류 구동 능력이 보다 작은 클록 신호 생성 회로를 적용하는 것이 가능한 반도체 장치를 제공한다.

n채널형 트랜지스터로 구성되는 스위치 및 논리 회로를 가지고, 스위치는 도통 상태 또는 비도통 상태가 클록 신호에 의해 선택되고, 논리 회로는, 부트스트랩 회로와, 입력 신호가 입력되는 입력 단자와, 반전 입력 단자와, 출력 단자를 가지고, 고전원선과 출력 단자의 접속을 반전 입력 단자에 입력되는 신호에 의해 제어하고, 저전원 선과 출력 단자의 접속을 입력 단자에 입력되는 신호에 의해 제어함으로써, 입력 신호가 로우 레벨 전위인 경우에는, 부트스트랩 회로를 사용하여 출력 단자의 전위를 상승시킴으로써 출력 단자로부터 고전원 전위를 출력하고, 트랜지스터는, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 상하에 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 다른쪽은 소스와 접속된다.

**대 표 도 - 도1**

(56) 선 행 기술 조사 문현

US05694061 A\*

US20110063014 A1\*

US20110204365 A1

KR1020110111542 A

\*는 심사관에 의하여 인용된 문현

---

## 명세서

### 청구범위

#### 청구항 1

삭제

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

반도체 장치에 있어서:

논리 회로로서,

제 1 트랜지스터, 제 2 트랜지스터 및 제 3 트랜지스터;

입력 신호가 입력되는 입력 단자;

상기 입력 신호의 논리값이 반전된 신호가 입력되는 반전 입력 단자; 및

출력 신호가 출력되는 출력 단자를 포함하는 상기 논리 회로; 및

제 4 트랜지스터를 포함하는 스위치를 포함하고,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터는 동일한 도전형을 갖고,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터 각각은 채널 형성 영역을 포함하는 산화물 반도체층 및 상기 산화물 반도체층을 개재한 한 쌍의 게이트 전극을 포함하고,

상기 제 1 트랜지스터의 한 쌍의 게이트 전극의 한쪽과 상기 제 2 트랜지스터의 소스 및 드레인의 한쪽은 제 1 전원선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인의 한쪽은 상기 반전 입력 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 한 쌍의 게이트 전극의 다른쪽과 상기 제 1 트랜지스터의 소스 및 드레인의 다른쪽은 상기 제 2 트랜지스터의 한 쌍의 게이트 전극의 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 한 쌍의 게이트 전극의 다른쪽, 상기 제 2 트랜지스터의 소스 및 드레인의 다른쪽, 및 상기 제 3 트랜지스터의 소스 및 드레인의 한쪽은 상기 출력 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 한 쌍의 게이트 전극의 한쪽과 상기 제 4 트랜지스터의 소스 및 드레인의 한쪽은 상기 입력 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 한 쌍의 게이트 전극의 다른쪽과 상기 제 3 트랜지스터의 소스 및 드레인의 다른쪽은 제 2 전원선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 채널 폭은 상기 제 2 트랜지스터 및 상기 제 3 트랜지스터 각각의 채널 폭보다 작고,

상기 제 4 트랜지스터의 채널 폭은 상기 제 1 트랜지스터, 상기 제 2 트랜지스터 및 상기 제 3 트랜지스터 각각의 채널 폭보다 작은, 반도체 장치.

#### 청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

제 4 항에 따른 상기 반도체 장치를 포함하는, 전자 기기.

청구항 16

제 4 항에 있어서,

상기 제 4 트랜지스터의 한 쌍의 게이트 전극의 한쪽은 클록 신호 및 상기 클록 신호의 반전 신호의 한쪽이 입력되는 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 한 쌍의 게이트 전극의 다른쪽은 상기 제 2 전원선에 전기적으로 접속되는, 반도체 장치.

청구항 17

삭제

청구항 18

삭제

## 발명의 설명

## 기술 분야

[0001] 트랜지스터를 사용한 반도체 장치에 관한 것이다. 또는, 그 구동 방법에 관한 것이다.

## 배경 기술

[0002] 시프트 레지스터 등의 반도체 장치를, p채널형 트랜지스터 및 n채널형 트랜지스터 양자를 사용하여 구성하는 것 보다도, 예를 들면 n채널형 트랜지스터만을 사용하여 구성하는 등, 단극성의 트랜지스터를 사용하여 구성함으로써, 제작 공정을 간략화할 수 있다. 단극성의 트랜지스터를 사용하여 구성되며, CMOS(Complementary MOS)와 같은 기능을 갖는 회로는, 유니풀라 CMOS라고도 한다. 단극성의 트랜지스터를 사용하여 구성된 시프트 레지스터는, 예를 들면 특허문헌 1에 개시되어 있다.

[0003] 도 7은, 특허문헌 1에 개시된 시프트 레지스터의 일부의 구성을 도시하는 회로도이다. 시프트 레지스터는, 도 7에 기재한 단(80)을 복수 형성하고, 종속(從續) 접속(캐스케이드 접속)한 구성으로 할 수 있다. 단(80)은, 트랜지스터(81), 트랜지스터(82), 트랜지스터(83), 트랜지스터(84), 용량 소자(85)를 가진다. 단(80)에 포함되는 트랜지스터(트랜지스터(81) 내지 트랜지스터(84))는, 모두 n채널형 트랜지스터로 할 수 있다. 이와 같이 하여, 시프트 레지스터에 포함되는 트랜지스터 모두를 n채널형 트랜지스터로 할 수 있다.

[0004] 단(80)에 있어서, 트랜지스터(81)의 드레인은 단자(C1)에 접속되고, 클록 신호(CLK)가 입력된다. 트랜지스터(81)의 소스는, 출력 단자(OUT) 및 트랜지스터(82)의 드레인에 접속된다. 출력 단자(OUT)로부터 출력되는 신호가 단(80)의 출력 신호가 된다. 트랜지스터(81)의 게이트는 트랜지스터(83)의 소스에 접속된다. 트랜지스터(82)의 소스는 단자(VSS)에 접속되고, 저전원 전위(예를 들면, 접지 전위 등)가 주어진다. 트랜지스터(82)의 게이트는 단자(C2)에 접속되고, 클록 반전 신호(CLKB)가 입력된다. 또한, 클록 반전 신호(CLKB)는 상기의 클록 신호(CLK)의 반전 신호(논리값이 반전된 신호)이다. 트랜지스터(83)의 게이트와 드레인은 입력 단자(IN)에 접속된다. 입력 단자(IN)에는 1단 전의 단(80)의 출력 신호가 입력된다. 트랜지스터(83)의 소스는 트랜지스터(84)의 드레인과 접속된다. 트랜지스터(84)의 소스는 단자(VSS)에 접속되고, 저전원 전위(예를 들면, 접지 전위 등)가 주어진다. 트랜지스터(84)의 게이트는 후단(1단 후)의 단(80)의 출력 단자(OUT)와 접속된다. 용량 소자(85)는, 트랜지스터(81)의 게이트와 소스 사이에 형성된다.

[0005] 단(80)에 있어서, 출력 신호의 하이 레벨 전위는 클록 신호(CLK)의 하이 레벨 전위가 되고, 출력 신호의 로우 레벨 전위는 저전원 전위가 된다. 단(80)을 복수 갖는 시프트 레지스터는, 복수의 단(80)으로부터 순차적으로 출력되는 출력 신호를 사용하여 복수의 부하를 구동한다. 예를 들면, 시프트 레지스터를 표시 장치의 주사선 구동 회로에 사용한 경우에는, 상기 부하는 주사선 및 상기 주사선에 접속된 소자 등에 상당한다.

## 선행기술문헌

### 특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 제2006-24350호

## 발명의 내용

### 해결하려는 과제

[0007] 특허문헌 1에 개시된 시프트 레지스터에서는, 출력 신호의 하이 레벨 전위는 클록 신호(CLK)의 하이 레벨 전위가 된다. 즉, 클록 신호(CLK)의 하이 레벨 전위에 의해, 부하(시프트 레지스터에 의해 구동되는 소자나 시프트 레지스터로부터 신호가 입력되는 배선 등에 상당)를 구동하는 구성이다. 이로 인해, 클록 신호(CLK)를 생성하는 회로(이하, 클록 신호 생성 회로라고도 한다.)는 큰 전류 구동 능력이 필요해진다. 회로의 전류 구동 능력을 크게 하기 위해서는, 상기 회로를 구성하는 소자의 사이즈(예를 들면, 트랜지스터의 채널 폭이나 채널 길이)를 크게 하는, 큰 사이즈의 소자로 구성되는 베퍼를 설치하는 등이 필요해져, 회로 면적이 증대된다. 그래서 본 발명은, 전류 구동 능력이 보다 작은 클록 신호 생성 회로를 적용하는 것이 가능한 시프트 레지스터를 제공하는 것을 과제의 하나로 한다.

[0008] 또한, 이 과제의 기재는, 다른 과제의 존재를 방해하는 것이 아니다. 이것 이외의 과제는, 명세서, 도면, 특허청구의 범위 등의 기재로부터, 저절로 명확해지는 것이며, 명세서, 도면, 특허청구의 범위 등의 기재로부터, 이

것 이외의 과제를 추출하는 것이 가능하다.

## 과제의 해결 수단

[0009] 본 발명의 반도체 장치의 일 형태는, 스위치와, 도통 상태가 된 상기 스위치를 통하여 입력 신호가 입력 단자에 입력되는 논리 회로를 가진다. 또한, 논리 회로란, 입력 단자(입력 단자가 복수 있는 경우에는, 복수의 입력 단자 중 하나에 상당)에 입력되는 신호의 논리값을 반전하여 출력 단자로부터 출력하는 회로(예를 들면, 인버터 회로)를 나타낸다. 스위치는, 그 도통 상태 또는 비도통 상태가 클록 신호(또는 그 반전 신호)에 의해 선택된다. 한편, 논리 회로는, 배선(이하, 고전원선이라고도 한다)으로부터 고전원 전위가 공급되고, 또한, 다른 배선(이하, 저전원선이라고도 한다)으로부터 저전원 전위가 공급되고, 고전원선과 출력 단자의 전기적 접속, 및/ 또는, 저전원선과 출력 단자의 전기적 접속을 선택함으로써, 입력 단자(입력 단자가 복수 있는 경우에는, 복수의 입력 단자 중 하나에 상당)에 입력되는 신호의 논리값을 반전하여 출력 단자로부터 출력한다. 그리고, 논리 회로의 출력을 반도체 장치의 출력으로 한다. 이와 같이 하여, 반도체 장치에 의해 구동되는 부하(예를 들면, 버스 라인이나, 버스 라인에 접속된 소자 등)는, 고전원선 또는 저전원선과 전기적으로 접속되어 구동된다. 또한, 클록 신호 생성 회로는, 반도체 장치에 포함되어도 좋고, 반도체 장치의 외부 회로라도 좋다. 또한, 부하를 포함하여 반도체 장치로 해도 좋다.

[0010] 여기에서, 반도체 장치를 구성하는 모든 트랜지스터는, 동일 도전형으로 할 수 있다. 즉, 스위치 및 논리 회로를 구성하는 모든 트랜지스터는, 동일 도전형으로 할 수 있다. 이 경우에, 논리 회로는 부트스트랩 회로를 가지며, 상기 부트스트랩 회로를 사용하여 출력 신호를 보정하는 구성으로 한다. 즉, 반도체 장치를 구성하는 모든 트랜지스터를 n채널형 트랜지스터로 하고, 논리 회로는, 입력 신호가 하이 레벨 전위인 경우에는, 출력 단자로부터 저전원 전위를 출력하고, 입력 신호가 로우 레벨 전위인 경우에는, 부트스트랩 회로를 사용하여 출력 단자의 전위를 상승시킴으로써 출력 단자로부터 고전원 전위를 출력하는 구성으로 할 수 있다. 또는, 반도체 장치를 구성하는 모든 트랜지스터를 p채널형 트랜지스터로 하고, 논리 회로는, 입력 신호가 로우 레벨 전위인 경우에는, 출력 단자로부터 고전원 전위를 출력하고, 입력 신호가 하이 레벨 전위인 경우에는, 부트스트랩 회로를 사용하여 출력 단자의 전위를 저하시킴으로써 출력 단자로부터 저전원 전위를 출력하는 구성으로 할 수 있다.

[0011] 또한 논리 회로는, 복수의 입력 단자(입력 신호가 입력되는 입력 단자와, 상기 입력 신호의 논리값이 반전된 신호가 입력되는 반전 입력 단자)를 갖는 구성으로 할 수 있다. 그리고, 고전원선 및 저전원선의 한쪽과 출력 단자의 전기적 접속을 반전 입력 단자에 입력되는 신호에 의해 제어하고, 고전원선 및 저전원선의 다른쪽과 출력 단자의 전기적 접속을 입력 단자에 입력되는 신호에 의해 제어함으로써, 입력 단자에 입력된 입력 신호의 논리값을 반전하여 출력 단자로부터 출력하는 구성으로 할 수 있다. 예를 들면, 논리 회로를 구성하는 트랜지스터가 n채널형 트랜지스터인 경우에는, 고전원선과 출력 단자 사이에 형성된 트랜지스터의 게이트를 반전 입력 단자와 전기적으로 접속하고, 상기 반전 입력 단자에 입력되는 신호에 의해 상기 트랜지스터의 온 상태 또는 오프 상태를 제어하고, 저전원선과 출력 단자 사이에 형성된 다른 트랜지스터의 게이트를 입력 단자와 전기적으로 접속하고, 상기 입력 단자에 입력되는 신호에 의해 상기 트랜지스터의 온 상태 또는 오프 상태를 제어함으로써, 입력 단자에 입력된 입력 신호의 논리값을 반전하여 출력 단자로부터 출력하는 구성으로 할 수 있다. 또는 예를 들면, 논리 회로를 구성하는 트랜지스터가 p채널형 트랜지스터인 경우에는, 저전원선과 출력 단자 사이에 형성된 트랜지스터의 게이트를 반전 입력 단자와 전기적으로 접속하고, 상기 반전 입력 단자에 입력되는 신호에 의해 상기 트랜지스터의 온 상태 또는 오프 상태를 제어하고, 고전원선과 출력 단자 사이에 형성된 다른 트랜지스터의 게이트를 입력 단자와 전기적으로 접속하고, 상기 입력 단자에 입력되는 신호에 의해 상기 트랜지스터의 온 상태 또는 오프 상태를 제어함으로써, 입력 단자에 입력된 입력 신호의 논리값을 반전하여 출력 단자로부터 출력하는 구성으로 할 수 있다.

[0012] 또한, 반도체 장치에 포함되는 트랜지스터는, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되는 구성으로 할 수 있다. 여기에서, 한 쌍의 게이트 전극의 한쪽을 상기 트랜지스터의 게이트로 한다. 한 쌍의 게이트 전극의 다른쪽을 백 게이트라고도 부른다. 한 쌍의 게이트 전극의 다른쪽(백 게이트)은, 상기 트랜지스터의 소스와 전기적으로 접속할 수 있다. 또는, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 저전원선과 전기적으로 접속할 수 있다. 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 고전원선과 전기적으로 접속할 수 있다. 또한, 한 쌍의 게이트 전극

의 일방(게이트)과 다른쪽(백 게이트)을 전기적으로 접속하고, 상기 트랜지스터의 게이트로 해도 좋다.

[0013] 또한, 반도체 장치에 포함되는 복수의 트랜지스터 각각은, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되는 구성을 한다. 그리고, 반도체 장치에 포함되는 복수의 트랜지스터 중 몇개는, 한 쌍의 게이트 전극의 한쪽을 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 백 게이트로 하고, 반도체 장치에 포함되는 복수의 트랜지스터 중 다른 트랜지스터는, 한 쌍의 게이트 전극의 한쪽을 백 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 게이트로 해도 좋다. 즉, 반도체 장치에 포함되는 복수의 트랜지스터 중, 몇개와 그 밖의 트랜지스터에서, 「게이트」와 「백 게이트」의 위치 관계를 반대로 하는 것이 가능하다. 예를 들면, 반도체 장치에 포함되는 복수의 트랜지스터 중 몇개를, 반도체층의 하방에 게이트가 형성된 보텀 게이트형 트랜지스터로 하고, 반도체 장치에 포함되는 복수의 트랜지스터 중 다른 트랜지스터를, 반도체층의 상방에 게이트가 형성된 탑 게이트형 트랜지스터로 하는 것도 가능하다. 그리고, 백 게이트는, 상기 트랜지스터의 소스와 전기적으로 접속할 수 있다. 또는, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 백 게이트는 저전원선과 전기적으로 접속할 수 있다. 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 백 게이트는 고전원선과 전기적으로 접속할 수 있다. 또한, 게이트와 백 게이트를 전기적으로 접속하고, 상기 트랜지스터의 게이트로 해도 좋다.

[0014] 예를 들면, 본 발명의 반도체 장치의 일 형태는, 스위치와, 도통 상태가 된 상기 스위치를 통하여 입력 신호가 입력되는 논리 회로를 가지고, 스위치와, 논리 회로를 구성하는 모든 트랜지스터는, n채널형 트랜지스터이며, 스위치는, 도통 상태 또는 비도통 상태가 클록 신호에 의해 선택되고, 논리 회로는, 부트스트랩 회로와, 입력 신호가 입력되는 입력 단자와, 입력 신호의 논리값이 반전된 신호가 입력되는 반전 입력 단자와, 출력 단자를 가지고, 고전원선으로부터 고전원 전위가 공급되고, 저전원선으로부터 저전원 전위가 공급되고, 고전원선과 출력 단자의 전기적 접속을 반전 입력 단자에 입력되는 신호에 의해 제어하고, 저전원선과 출력 단자의 전기적 접속을 입력 단자에 입력되는 신호에 의해 제어함으로써, 입력 신호가 하이 레벨 전위인 경우에는, 출력 단자로부터 저전원 전위를 출력하고, 입력 신호가 로우 레벨 전위인 경우에는, 부트스트랩 회로를 사용하여 출력 단자의 전위를 상승시킴으로써 출력 단자로부터 고전원 전위를 출력하고, n채널형 트랜지스터는, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 소스와 전기적으로 접속된다.

[0015] 또는 예를 들면, 본 발명의 반도체 장치의 일 형태는, 스위치와, 도통 상태가 된 상기 스위치를 통하여 입력 신호가 입력되는 논리 회로를 가지고, 스위치와, 논리 회로를 구성하는 모든 트랜지스터는, p채널형 트랜지스터이며, 스위치는, 도통 상태 또는 비도통 상태가 클록 신호에 의해 선택되고, 논리 회로는, 부트스트랩 회로와, 입력 신호가 입력되는 입력 단자와, 입력 신호의 논리값이 반전된 신호가 입력되는 반전 입력 단자와, 출력 단자를 가지고, 고전원선으로부터 고전원 전위가 공급되고, 저전원선으로부터 저전원 전위가 공급되고, 저전원선과 출력 단자의 전기적 접속을 반전 입력 단자에 입력되는 신호에 의해 제어하고, 고전원선과 출력 단자의 전기적 접속을 입력 단자에 입력되는 신호에 의해 제어함으로써, 입력 신호가 로우 레벨 전위인 경우에는, 출력 단자로부터 고전원 전위를 출력하고, 입력 신호가 하이 레벨 전위인 경우에는, 부트스트랩 회로를 사용하여 출력 단자의 전위를 저하시킴으로써 출력 단자로부터 저전원 전위를 출력하고, p채널형 트랜지스터는, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 소스와 전기적으로 접속된다.

[0016] 상기 트랜지스터의 채널이 형성되는 반도체층은, 산화물 반도체를 사용하여 형성할 수 있다. 또한, 실리콘을 사용하여 형성해도 좋다. 예를 들면, 비정질 실리콘을 사용하여 형성해도 좋고, 다결정 실리콘을 사용하여 형성해도 좋고, 단결정 실리콘을 사용하여 형성해도 좋다.

[0017] 본 발명의 반도체 장치의 일 형태는, 표시 장치라도 좋다. 예를 들면, 액정 소자를 사용한 표시 장치나, EL(일렉트로루미네센스) 소자 등의 발광 소자를 사용한 표시 장치라도 좋다.

[0018] 본 발명의 반도체 장치의 일 형태는, 이미지 센서라도 좋다.

[0019] 본 발명의 반도체 장치의 일 형태는, 연산 회로나 기억 장치라도 좋다. 또한, CPU, 프로그래머블 LSI도 연산 회로의 범주에 포함되는 것으로 한다.

- [0020] 또한, 본 발명의 일 형태는, 상기 반도체 장치를 사용한 전자 기기로 할 수 있다.
- ### 발명의 효과
- [0021] 본 발명의 반도체 장치의 일 형태에서는, 스위치와, 도통 상태가 된 상기 스위치를 통하여 입력 신호가 입력 단자에 입력되는 논리 회로를 가지고, 스위치는, 그 도통 상태 또는 비도통 상태가 클록 신호(또는 그 반전 신호)에 의해 선택된다. 한편, 논리 회로는, 고전원선과 출력 단자의 전기적 접속, 및/또는, 저전원선과 출력 단자의 전기적 접속을 선택함으로써, 입력 신호의 논리값을 반전하여 출력 단자로부터 출력한다. 그리고, 논리 회로의 출력을 반도체 장치의 출력으로 한다. 이와 같이 하여, 반도체 장치에 의해 구동되는 부하는, 고전원선 또는 저전원선과 전기적으로 접속되어 구동된다. 이러한 구성으로 함으로써 반도체 장치는, 클록 신호의 하이 레벨 전위(또는 로우 레벨 전위)를 사용하여 부하를 구동하지 않기 때문에, 클록 신호 생성 회로는 큰 전류 구동 능력을 필요로 하지 않는다. 이로 인해, 클록 신호 생성 회로의 회로 면적을 작게 할 수 있다.
- [0022] 또한, 반도체 장치를 구성하는 모든 트랜지스터를, 동일 도전형으로 함으로써, 반도체 장치의 제작 공정을 간략화할 수 있다. 이와 같이 하여, 제조 수율을 향상시키고, 비용을 삭감할 수 있다. 이 경우에, 논리 회로는 부트스트랩 회로를 사용하여 출력 신호를 보정하는 구성으로 한다. 이와 같이 하여, 단극성의 트랜지스터를 사용하여 구성되는 논리 회로라도, 전원 전압(고전원 전위와 저전원 전위의 차분(差分)과 (개략) 동일한 진폭 전압의 출력 신호가 얻어진다.
- [0023] 또한 논리 회로는, 복수의 입력 단자(입력 신호가 입력되는 입력 단자와, 상기 입력 신호의 논리값이 반전된 신호가 입력되는 반전 입력 단자)를 가지며, 고전원선 및 저전원선의 한쪽과 출력 단자의 전기적 접속을 반전 입력 단자에 입력되는 신호에 의해 제어하고, 고전원선 및 저전원선의 다른쪽과 출력 단자의 전기적 접속을 입력 단자에 입력되는 신호에 의해 제어함으로써, 입력 단자에 입력된 입력 신호의 논리값을 반전하여 출력 단자로부터 출력하는 구성으로 할 수 있다. 이와 같이 하여, 단극성의 트랜지스터를 사용하여 구성되는 논리 회로라도, 고전원선과 출력 단자 사이에 형성된 트랜지스터, 및, 저전원선과 출력 단자 사이에 형성된 트랜지스터 중 한쪽이 온 상태일 때에, 다른쪽을 오프 상태로 할 수 있다. 이로 인해, 고전원선과 저전원선 사이에 형성된 회로에 있어서의 관통 전류를 억제할 수 있다.
- [0024] 또한, 반도체 장치에 포함되는 트랜지스터는, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지며, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되는 구성으로 할 수 있다. 한 쌍의 게이트 전극의 다른쪽(백 게이트)은, 상기 트랜지스터의 소스와 전기적으로 접속할 수 있다. 또는, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 저전원선과 전기적으로 접속할 수 있다. 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 고전원선과 전기적으로 접속할 수 있다. 이와 같이 하여 트랜지스터가 노멀리 온이 되는 것을 억제할 수 있다. 이로 인해, 반도체 장치가 오동작하는 것을 억제하고, 또한 관통 전류도 억제할 수 있다.
- [0025] 이와 같이 하여, 단극성의 트랜지스터를 사용하여 CMOS와 같은 기능을 갖는 유니풀라 CMOS를 실현할 수 있다. 그리고, 클록 신호 생성 회로에 큰 전류 구동 능력을 요구하지 않고, 본 발명의 반도체 장치는, 부하(버스 라인 등)를 구동할 수 있다.
- ### 도면의 간단한 설명
- [0026] 도 1은 실시형태 1에 기재된 반도체 장치의 구성을 도시하는 도면.  
 도 2는 논리 회로 및 스위치의 구성을 도시하는 도면.  
 도 3은 단을 복수 갖는 반도체 장치를 도시하는 도면.  
 도 4는 실시형태 2에 기재된 반도체 장치의 구성을 도시하는 도면.  
 도 5는 증폭 회로의 구성을 도시하는 도면.  
 도 6은 실시형태 3에 기재된 반도체 장치의 구성을 도시하는 도면.  
 도 7은 종래의 반도체 장치의 구성을 도시하는 도면.  
 도 8은 트랜지스터의 구성예를 도시하는 도면.

도 9는 트랜지스터의 제작 방법의 예를 도시하는 도면.

도 10은 전자 기기를 도시하는 도면.

### 발명을 실시하기 위한 구체적인 내용

[0027]

이하, 본 발명의 실시형태에 관해서 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명으로 한정되지 않고, 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에 관해서는 동일한 부호를 상이한 도면간에 공통적으로 사용하고, 그 반복 설명은 생략한다.

[0028]

또한, 도면에 있어서, 크기, 두께, 또는 영역은, 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 본 발명의 실시형태의 일 형태는, 반드시 그 스케일로 한정되지 않는다. 또는, 도면은 이상적인 예를 모식적으로 도시한 것이다. 따라서, 본 발명의 실시형태의 일 형태는, 도면에 나타내는 형상 등으로 한정되지 않는다. 예를 들면, 제조 기술에 의한 형상의 편차, 오차에 의한 형상의 편차 등을 포함하는 것이 가능하다.

[0029]

또한, X와 Y가 접속되어 있다, 라고 명시적으로 기재하는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 여기에서, X, Y는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다. 따라서, 소정의 접속 관계, 예를 들면, 도면 또는 문장에 나타낸 접속 관계로 한정되지 않으며, 도면 또는 문장에 나타낸 접속 관계 이외의 것도 포함하는 것으로 한다.

[0030]

X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들면, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가, X와 Y 사이에 1개 이상 접속되는 것이 가능하다. 또한, 스위치는, 온 오프가 제어되는 기능을 가지고 있다. 즉, 스위치는, 도통 상태(온 상태), 또는, 비도통 상태(오프 상태)가 되고, 전류를 흘릴지 흘리지 않을지를 제어하는 기능을 가지고 있다.

[0031]

X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들면, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 오피 앰프, 차동 증폭 회로, 소스 폴로어 회로, 베퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가, X와 Y 사이에 1개 이상 접속되는 것이 가능하다. 또한, 일례로서, X와 Y 사이에 다른 회로를 끼우고 있어도, X로부터 출력된 신호가 Y로 전달되는 경우에는, X와 Y는 기능적으로 접속되어 있는 것으로 한다.

[0032]

또한, X와 Y가 접속되어 있다, 라고 명시적으로 기재하는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 즉, 전기적으로 접속되어 있다, 라고 명시적으로 기재하는 경우에는, 단순히, 접속되어 있다, 라고만 명시적으로 기재되어 있는 경우와 동일한 것으로 한다.

[0033]

또한, 회로도상으로는 독립되어 있는 구성 요소끼리가 전기적으로 접속하고 있는 것 같이 도시되어 있는 경우라도, 실제로는, 예를 들면 배선의 일부가 전극으로서도 기능하는 경우 등, 하나의 도전층이, 배선 및 전극과 같은 복수의 구성 요소의 기능을 함께 가지고 있는 경우도 있다. 본 명세서에 있어서 전기적으로 접속이란, 이러한, 하나의 도전층이, 복수의 구성 요소의 기능을 함께 가지고 있는 경우도, 그 범주에 포함시킨다.

[0034]

(실시형태 1)

[0035]

본 실시형태에서는, 본 발명의 반도체 장치의 구체적인 일 형태에 관해서, 도 1 내지 도 3을 사용하여 설명한다.

[0036]

반도체 장치는, 도 1에 도시하는 단(10)을 갖는 구성으로 할 수 있다. 단(10)은, 입력 단자(IN)와, 반전 입력 단자(INB)와, 스위치(SW1)와, 스위치(SW2)와, 스위치(SW3)와, 스위치(SW4)와, 논리 회로(INV1)와, 논리 회로(INV2)와, 논리 회로(INV3)와, 논리 회로(INV4)와, 출력 단자(OUT)와, 반전 출력 단자(OUTB)를 가진다.

[0037]

논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 논리 회로(INV4)는 각각, 입력 단자(IN)와, 반전 입력 단자(INB)와, 출력 단자(OUT)를 가지고, 입력 단자(IN)에 입력된 신호를 반전시켜 출력 단자(OUT)로부터 출력한

다. 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 논리 회로(INV4)는, 인버터 회로라고 할 수도 있다. 논리 회로(INV1)의 출력 단자(OUT)는, 논리 회로(INV3)의 입력 단자(IN), 논리 회로(INV4)의 반전 입력 단자(INB), 및 출력 단자(OUT)와 접속된다. 논리 회로(INV2)의 출력 단자(OUT)는, 논리 회로(INV3)의 반전 입력 단자(INB), 논리 회로(INV4)의 입력 단자(IN), 및 반전 출력 단자(OUTB)와 접속된다. 스위치(SW1), 스위치(SW2), 스위치(SW3), 및 스위치(SW4) 각각은, 단자(A)와 단자(B) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 이와 같이 하여, 스위치(SW1)는, 입력 단자(IN)와, 논리 회로(INV1)의 입력 단자(IN) 및 논리 회로(INV2)의 반전 입력 단자(INB) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 스위치(SW2)는, 반전 입력 단자(INB)와, 논리 회로(INV1)의 반전 입력 단자(INB) 및 논리 회로(INV2)의 입력 단자(IN) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 스위치(SW1) 및 스위치(SW2)의 단자(X)는 단자(C1)에 접속되고, 단자(C1)에는 클록 신호 및 그 반전 신호의 한쪽이 입력된다. 스위치(SW3)는, 논리 회로(INV3)의 출력 단자(OUT)와, 논리 회로(INV1)의 입력 단자(IN) 및 논리 회로(INV2)의 반전 입력 단자(INB) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 스위치(SW4)는, 논리 회로(INV4)의 출력 단자(OUT)와, 논리 회로(INV1)의 반전 입력 단자(INB) 및 논리 회로(INV2)의 입력 단자(IN) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 스위치(SW3) 및 스위치(SW4)의 단자(X)는 단자(C2)에 접속되고, 단자(C2)에는 클록 신호 및 그 반전 신호의 다른쪽이 입력된다.

[0038] 도 1에 도시한 단(10)에서는, 클록 신호(또는 그 반전 신호)에 의해 스위치(SW1) 및 스위치(SW2)가 도통 상태인 경우, 클록 신호의 반전 신호(또는 클록 신호)에 의해 스위치(SW3) 및 스위치(SW4)는 비도통 상태가 되고, 클록 신호(또는 그 반전 신호)에 의해 스위치(SW1) 및 스위치(SW2)가 비도통 상태인 경우, 클록 신호의 반전 신호(또는 클록 신호)에 의해 스위치(SW3) 및 스위치(SW4)는 도통 상태가 된다. 이로 인해, 클록 신호에 동기하여, 입력 단자(IN)에 입력된 신호를 유지하는 기능을 가진다. 따라서, 도 1에 도시한 단(10)은, 플립 플롭 회로, 래치 회로라고 부를 수도 있다.

[0039] 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 및 논리 회로(INV4)의 보다 구체적인 구성의 일 형태에 관해서, 도 2a 및 도 2b를 사용하여 설명한다.

[0040] 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 및 논리 회로(INV4)는 각각, 도 2a에 도시하는 논리 회로(INV)로 할 수 있다. 도 2a에 도시한 논리 회로(INV)는, 트랜지스터(101)와, 트랜지스터(102)와, 트랜지스터(103)와, 용량 소자(211)를 가진다. 트랜지스터(101)의 게이트는 전원 전위(V1)가 주어지는 전원선(V1)과 접속되고, 트랜지스터(101)의 드레인은 반전 입력 단자(INB)와 접속되고, 트랜지스터(101)의 소스는 트랜지스터(102)의 게이트와 접속되고, 트랜지스터(102)의 드레인은 전원 전위(V1)가 주어지는 전원선(V1)과 접속되고, 트랜지스터(102)의 소스는 출력 단자(OUT)와 접속되고, 트랜지스터(103)의 게이트는 입력 단자(IN)와 접속되고, 트랜지스터(103)의 소스는 전원 전위(V1)와는 상이한 전원 전위(V2)가 주어지는 전원선(V2)과 접속되고, 트랜지스터(103)의 드레인은 출력 단자(OUT)와 접속된다. 용량 소자(211)의 한 쌍의 전극 중 한쪽은 트랜지스터(102)의 게이트와 접속되고, 용량 소자(211)의 한 쌍의 전극 중에 다른쪽은 트랜지스터(102)의 소스와 접속된다. 또한, 용량 소자(211)를 형성하는 대신에, 트랜지스터(102)의 기생 용량 등을 적극적으로 이용할 수도 있다.

[0041] 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(103)는, 동일 도전형의 트랜지스터로 할 수 있다. 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(103)를 n채널형 트랜지스터로 한 경우, 전원 전위(V1)는 전원 전위(V2)보다도 높게 한다. 또한, 전원 전위(V2)는, 예를 들면 접지 전위로 한다. 즉, 전원 전위(V1)를 고전원 전위로 하고, 전원 전위(V2)를 저전원 전위로 한다. 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(103)를 p채널형 트랜지스터로 한 경우, 전원 전위(V1)는 전원 전위(V2)보다도 낮게 한다. 또한, 전원 전위(V1)는, 예를 들면 접지 전위로 한다. 즉, 전원 전위(V1)를 저전원 전위로 하고, 전원 전위(V2)를 고전원 전위로 한다.

[0042] 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(103) 각각은, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되는 구성으로 할 수 있다. 여기에서, 한 쌍의 게이트 전극의 한쪽을 상기 트랜지스터의 게이트로 한다. 한 쌍의 게이트 전극의 다른쪽을 백 게이트라고도 부른다. 한 쌍의 게이트 전극의 다른쪽(백 게이트)은, 상기 트랜지스터의 소스와 접속할 수 있다. 도 2a에서는, 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(103) 각각이, 게이트와 백 게이트를 가지고, 백 게이트가 소스와 접속되어 있는 구성을 모식적으로 도시하고 있다. 또한, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 전원선(V2)과 접속할 수도 있다. 즉, 상기 트랜지스터가 n

채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)을 저전원선과 접속하고, 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)을 고전원선과 접속할 수도 있다. 이와 같이 하여 각 트랜지스터(트랜지스터(101), 트랜지스터(102) 및 트랜지스터(103))가 노멀리 온이 되는 것을 억제할 수 있다.

[0043] 또한, 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(103) 중 몇개는, 한 쌍의 게이트 전극의 한쪽을 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 백 게이트로 하고, 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(103) 중 다른 트랜지스터는, 한 쌍의 게이트 전극의 한쪽을 백 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 게이트로 해도 좋다. 예를 들면, 트랜지스터(102)는 한 쌍의 게이트 전극의 한쪽을 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 백 게이트로 하고, 트랜지스터(103)는 한 쌍의 게이트 전극의 한쪽을 백 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 게이트로 해도 좋다. 즉, 트랜지스터(102)와 트랜지스터(103)에서, 「게이트」와 「백 게이트」의 위치 관계를 반대로 하는 것이 가능하다. 예를 들면, 트랜지스터(102)와 트랜지스터(103)의 한쪽을 반도체층의 하방에 게이트가 형성된 보텀 게이트형 트랜지스터로 하고, 트랜지스터(102)와 트랜지스터(103)의 다른쪽을 반도체층의 상방에 게이트가 형성된 탑 게이트형 트랜지스터로 하는 것도 가능하다. 그리고, 백 게이트는, 상기 트랜지스터의 소스와 전기적으로 접속할 수 있다. 또는, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 백 게이트는 저전원선과 전기적으로 접속할 수 있다. 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 백 게이트는 고전원선과 전기적으로 접속할 수 있다.

[0044] 도 2a에 도시한 논리 회로(INV)의 동작에 관해서 설명한다.

[0045] 우선, 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(103)가 n채널형 트랜지스터인 경우의 동작에 관해서 설명한다. 입력 단자(IN)에 하이 레벨 전위가 입력되고, 반전 입력 단자(INB)에 로우 레벨 전위가 입력되었을 때, 트랜지스터(103)는 온 상태가 되고, 또한 트랜지스터(102)는 오프 상태가 된다. 이와 같이 하여, 출력 단자(OUT)는 전원선(V2)과 접속되고, 출력 단자(OUT)로부터 전원 전위(V2)(저전원 전위)가 출력된다. 입력 단자(IN)에 로우 레벨 전위가 입력되고, 반전 입력 단자(INB)에 하이 레벨 전위가 입력되었을 때, 트랜지스터(103)는 오프 상태가 되고, 또한 트랜지스터(102)는 온 상태가 된다. 이와 같이 하여, 출력 단자(OUT)는 전원선(V1)과 접속된다. 여기에서, 반전 입력 단자(INB)에 하이 레벨 전위가 입력됨으로써 트랜지스터(101)의 소스의 전위가 소정의 전위(트랜지스터(101)의 게이트의 전위인 전원 전위(V1)에 대해 트랜지스터(101)의 임계값 전압 분만큼 낮은 전위)가 되면, 트랜지스터(101)는 오프 상태가 되고, 그 소스는 플로팅 상태가 된다. 그리고, 그 후에도 트랜지스터(102)의 소스의 전위가 계속해서 상승함으로써, 용량 소자(211)에 의한 용량 결합에 의해 트랜지스터(102)의 게이트의 전위가 상승한다. 이와 같이 하여, 출력 단자(OUT)의 전위는 전원 전위(V1)(또는 그것에 가까운 전위)로 끌어 올려지고, 출력 단자(OUT)로부터 전원 전위(V1)(고전원 전위)가 출력된다. 즉, 도 2a에 도시한 논리 회로(INV)는, 부트스트랩 회로를 가진다고 할 수도 있다.

[0046] 이어서, 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(103)가 p채널형 트랜지스터인 경우의 동작에 관해서 설명한다. 입력 단자(IN)에 로우 레벨 전위가 입력되고, 반전 입력 단자(INB)에 하이 레벨 전위가 입력되었을 때, 트랜지스터(103)는 온 상태가 되고, 또한 트랜지스터(102)는 오프 상태가 된다. 이와 같이 하여, 출력 단자(OUT)는 전원선(V2)과 접속되고, 출력 단자(OUT)로부터 전원 전위(V2)(고전원 전위)가 출력된다. 입력 단자(IN)에 하이 레벨 전위가 입력되고, 반전 입력 단자(INB)에 로우 레벨 전위가 입력되었을 때, 트랜지스터(103)는 오프 상태가 되고, 또한 트랜지스터(102)는 온 상태가 된다. 이와 같이 하여, 출력 단자(OUT)는 전원선(V1)과 접속된다. 여기에서, 반전 입력 단자(INB)에 로우 레벨 전위가 입력됨으로써 트랜지스터(101)의 소스의 전위가 소정의 전위(트랜지스터(101)의 게이트의 전위인 전원 전위(V1)에 대해 트랜지스터(101)의 임계값 전압 분만큼 높은 전위)가 되면, 트랜지스터(101)는 오프 상태가 되고, 그 소스는 플로팅 상태가 된다. 그리고, 그 후에도 트랜지스터(102)의 소스의 전위가 계속해서 저하됨으로써, 용량 소자(211)에 의한 용량 결합에 의해 트랜지스터(102)의 게이트의 전위가 저하된다. 이와 같이 하여, 출력 단자(OUT)의 전위는 전원 전위(V1)(또는 그것에 가까운 전위)로 낮춰지고, 출력 단자(OUT)로부터 전원 전위(V1)(저전원 전위)가 출력된다. 즉, 도 2a에 도시한 논리 회로(INV)는, 부트스트랩 회로를 가진다고 할 수도 있다.

[0047] 논리 회로(INV1), 및 논리 회로(INV2)는 각각, 도 2a에 도시하는 논리 회로(INV)로 하고, 논리 회로(INV3), 및 논리 회로(INV4)는, 도 2b에 도시하는 논리 회로(INV)로 할 수도 있다. 도 2b에 도시한 논리 회로(INV)는, 트랜지스터(104)와, 트랜지스터(105)를 가진다. 트랜지스터(104)의 게이트는 반전 입력 단자(INB)와 접속되고, 트랜지스터(104)의 드레인은 전원 전위(V1)가 주어지는 전원선(V1)과 접속되고, 트랜지스터(104)의 소스는 출력 단자(OUT)와 접속되고, 트랜지스터(105)의 게이트는 입력 단자(IN)와 접속되고, 트랜지스터(105)의 소스는 전원 전위(V1)와는 상이한 전원 전위(V2)가 주어지는 전원선(V2)과 접속되고, 트랜지스터(105)의 드레인은, 출력 단

자(OUT)와 접속된다.

[0048] 트랜지스터(104) 및 트랜지스터(105)는, 동일 도전형의 트랜지스터로 할 수 있다. 트랜지스터(104) 및 트랜지스터(105)를 n채널형 트랜지스터로 한 경우, 전원 전위(V1)는 전원 전위(V2)보다도 높게 한다. 또한, 전원 전위(V2)는, 예를 들면 접지 전위로 한다. 즉, 전원 전위(V1)를 고전원 전위로 하고, 전원 전위(V2)를 저전원 전위로 한다. 트랜지스터(104) 및 트랜지스터(105)를 p채널형 트랜지스터로 한 경우, 전원 전위(V1)는 전원 전위(V2)보다도 낮게 한다. 또한, 전원 전위(V1)는, 예를 들면 접지 전위로 한다. 즉, 전원 전위(V1)를 저전원 전위로 하고, 전원 전위(V2)를 고전원 전위로 한다.

[0049] 트랜지스터(104) 및 트랜지스터(105) 각각은, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되는 구성으로 할 수 있다. 여기에서, 한 쌍의 게이트 전극의 한쪽을 상기 트랜지스터의 게이트로 한다. 한 쌍의 게이트 전극의 다른쪽을 백 게이트라고도 부른다. 한 쌍의 게이트 전극의 다른쪽(백 게이트)은, 상기 트랜지스터의 소스와 접속할 수 있다. 도 2b에서는, 트랜지스터(104) 및 트랜지스터(105) 각각이, 게이트와 백 게이트를 가지고, 백 게이트가 소스와 접속되어 있는 구성을 모식적으로 도시하고 있다. 또한, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 전원선(V2)과 접속할 수도 있다. 즉, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)을 저전원선과 접속하고, 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)을 고전원선과 접속할 수도 있다. 이와 같이 하여 각 트랜지스터(트랜지스터(104) 및 트랜지스터(105))가 노멀리 온이 되는 것을 억제할 수 있다.

[0050] 또한, 트랜지스터(104) 및 트랜지스터(105) 중 한쪽은, 한 쌍의 게이트 전극의 한쪽을 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 백 게이트로 하고, 트랜지스터(104) 및 트랜지스터(105) 중 다른쪽은, 한 쌍의 게이트 전극의 한쪽을 백 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 게이트로 해도 좋다. 예를 들면, 트랜지스터(104)는 한 쌍의 게이트 전극의 한쪽을 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 백 게이트로 하고, 트랜지스터(105)는 한 쌍의 게이트 전극의 한쪽을 백 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 게이트로 해도 좋다. 즉, 트랜지스터(104)와 트랜지스터(105)에서, 「게이트」와 「백 게이트」의 위치 관계를 반대로 하는 것이 가능하다. 예를 들면, 트랜지스터(104)와 트랜지스터(105)의 한쪽을 반도체층의 하방에 게이트가 형성된 보텀 게이트형 트랜지스터로 하고, 트랜지스터(104)와 트랜지스터(105)의 다른쪽을 반도체층의 상방에 게이트가 형성된 탑 게이트형 트랜지스터로 하는 것도 가능하다. 그리고, 백 게이트는, 상기 트랜지스터의 소스와 전기적으로 접속할 수 있다. 또는, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 백 게이트는 저전원선과 전기적으로 접속할 수 있다. 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 백 게이트는 고전원선과 전기적으로 접속할 수 있다.

[0051] 도 2b에 도시한 논리 회로(INV)의 동작에 관해서 설명한다.

[0052] 우선, 트랜지스터(104) 및 트랜지스터(105)가 n채널형 트랜지스터인 경우의 동작에 관해서 설명한다. 입력 단자(IN)에 하이 레벨 전위가 입력되고, 반전 입력 단자(INB)에 로우 레벨 전위가 입력되었을 때, 트랜지스터(104)는 오프 상태가 되고, 또한 트랜지스터(105)는 온 상태가 된다. 이와 같이 하여, 출력 단자(OUT)는 전원선(V2)과 접속되고, 출력 단자(OUT)로부터 전원 전위(V2)(저전원 전위)가 출력된다. 입력 단자(IN)에 로우 레벨 전위가 입력되고, 반전 입력 단자(INB)에 하이 레벨 전위가 입력되었을 때, 트랜지스터(104)는 온 상태가 되고, 또한 트랜지스터(105)는 오프 상태가 된다. 이와 같이 하여, 출력 단자(OUT)는 전원선(V1)과 접속된다. 그러나, 출력 단자(OUT)로부터 출력되는 전위는, 반전 입력 단자(INB)에 입력되는 하이 레벨 전위(예를 들면, 전원 전위(V1))보다도 트랜지스터(104)의 임계값 전압분만큼 낮은 전위보다도 높게 할 수 없다.

[0053] 이어서, 트랜지스터(104) 및 트랜지스터(105)가 p채널형 트랜지스터인 경우의 동작에 관해서 설명한다. 입력 단자(IN)에 로우 레벨 전위가 입력되고, 반전 입력 단자(INB)에 하이 레벨 전위가 입력되었을 때, 트랜지스터(104)는 오프 상태가 되고, 동시에 트랜지스터(105)는 온 상태가 된다. 이와 같이 하여, 출력 단자(OUT)는 전원선(V2)과 접속되고, 출력 단자(OUT)로부터 전원 전위(V2)(고전원 전위)가 출력된다. 입력 단자(IN)에 하이 레벨 전위가 입력되고, 반전 입력 단자(INB)에 로우 레벨 전위가 입력되었을 때, 트랜지스터(104)는 온 상태가 되고, 또한 트랜지스터(105)는 오프 상태가 된다. 이와 같이 하여, 출력 단자(OUT)는 전원선(V1)과 접속된다. 그러나, 출력 단자(OUT)로부터 출력되는 전위는, 반전 입력 단자(INB)에 입력되는 로우 레벨 전위(예를 들면, 전원 전위(V1))보다도 트랜지스터(104)의 임계값 전압분만큼 높은 전위보다도 낮게 할 수 없다.

[0054] 이상과 같이, 도 2b에 도시한 논리 회로(INV)도, 입력 단자(IN)에 입력된 신호의 논리값을 반전하여 출력 단자

(OUT)로부터 출력하는 회로이며, 인버터 회로라고 할 수도 있다. 단, 부트스트랩 회로를 갖지 않는다. 이로 인해, 도 2b에 도시한 논리 회로(INV)는, 전원 전압(고전원 전위와 저전원 전위의 차분에 상당, 즉  $|V1-V2|$ 에 상당)과 동일한, 소정의 진폭의 출력 신호를 출력할 수 없다. 그러나, 도 2a에 도시한 부트스트랩 회로를 갖는 구성의 논리 회로(INV)보다도 회로 구성을 간략화할 수 있다.

[0055] 여기에서, 도 1에 있어서, 논리 회로(INV3)의 출력 및 논리 회로(INV4)의 출력은, 스위치(SW3) 및 스위치(SW4)를 통하여, 논리 회로(INV1) 및 논리 회로(INV2)에 입력되고, 논리 회로(INV1)의 출력 신호 및 논리 회로(INV2)의 출력 신호가 각 단의 출력 단자(OUT) 및 반전 출력 단자(OUTB)로부터의 출력 신호가 된다. 이로 인해, 논리 회로(INV3) 및 논리 회로(INV4)가, 전원 전압(고전원 전위와 저전원 전위의 차분에 상당, 즉  $|V1-V2|$ 에 상당)과 (개략) 동일한 진폭의 출력 신호를 출력할 수 없어도, 논리 회로(INV3)의 출력 및 논리 회로(INV4)의 출력은 논리 회로(INV1) 및 논리 회로(INV2)에 의해 증폭되고, 단(10)의 출력 단자(OUT) 및 반전 출력 단자(OUTB)로부터는 전원 전압(고전원 전위와 저전원 전위의 차분에 상당, 즉  $|V1-V2|$ 에 상당)과 (개략) 동일한 진폭의 출력 신호가 출력된다. 이와 같이 하여, 반도체 장치의 회로 구성을 보다 간략화하면서, 소정의 진폭의 신호를 출력 가능한 반도체 장치가 얻어진다.

[0056] 도 1에 있어서, 스위치(SW1) 및 스위치(SW2) 각각은, 도 2c에 도시하는 바와 같이 트랜지스터(106)를 사용하여 구성한 스위치(SW)로 할 수 있다. 트랜지스터(106)의 게이트는 단자(X)와 접속되고, 트랜지스터(106)의 소스 및 드레인의 한쪽은 단자(A)와 접속되고, 소스 및 드레인의 다른쪽은 단자(B)와 접속되는 구성으로 할 수 있다. 트랜지스터(106)는, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되는 구성으로 할 수 있다. 여기에서, 한 쌍의 게이트 전극의 한쪽을 상기 트랜지스터의 게이트로 한다. 한 쌍의 게이트 전극의 다른쪽을 백 게이트라고도 부른다. 한 쌍의 게이트 전극의 다른쪽(백 게이트)은, 전원선(V2)과 접속할 수 있다. 도 2c에서는, 트랜지스터(106)가, 게이트와 백 게이트를 가지고, 백 게이트가 전원선(V2)과 접속되어 있는 구성을 모식적으로 도시하고 있다. 즉, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)을 저전원선과 접속하고, 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)을 고전원선과 접속할 수도 있다. 또한, 트랜지스터(106)에 있어서, 한 쌍의 게이트 전극의 다른쪽(백 게이트)이, 상기 트랜지스터의 소스와 접속되는 구성을 할 수도 있다. 이와 같이 하여 트랜지스터(106)가 노멀리 온이 되는 것을 억제할 수 있다.

[0057] 도 1에 있어서, 스위치(SW3) 및 스위치(SW4) 각각은, 도 2d에 도시하는 바와 같이 트랜지스터(107)를 사용하여 구성한 스위치(SW)로 할 수 있다. 트랜지스터(107)의 게이트는 단자(X)와 접속되고, 트랜지스터(107)의 소스 및 드레인의 한쪽은 단자(A)와 접속되고, 소스 및 드레인의 다른쪽은 단자(B)와 접속되는 구성으로 할 수 있다. 트랜지스터(107)는, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되는 구성으로 할 수 있다. 여기에서, 한 쌍의 게이트 전극의 한쪽을 상기 트랜지스터의 게이트로 한다. 한 쌍의 게이트 전극의 다른쪽을 백 게이트라고도 부른다. 도 2d에서는, 트랜지스터(107)가, 게이트와 백 게이트를 가지고, 백 게이트가 전원선(V2)과 접속되어 있는 구성을 모식적으로 도시하고 있다. 즉, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)을 저전원선과 접속하고, 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)을 고전원선과 접속할 수도 있다. 또한, 트랜지스터(107)에 있어서, 한 쌍의 게이트 전극의 다른쪽(백 게이트)이, 상기 트랜지스터의 소스와 접속되는 구성을 할 수도 있다. 이와 같이 하여 트랜지스터(107)가 노멀리 온이 되는 것을 억제할 수 있다.

[0058] 여기에서, 스위치는 논리 회로보다도 전류 구동 능력이 작아도 좋기 때문에, 스위치를 구성하는 트랜지스터의 사이즈는, 논리 회로를 구성하는 트랜지스터의 사이즈보다도 작게 할 수 있다. 즉, 트랜지스터(106) 및 트랜지스터(107)의 채널 폭(이하, W, 게이트 폭이라고도 한다)(또는, 채널 길이(이하, L, 게이트 길이라고도 한다)에 대한 채널 폭의 비(W/L))은, 트랜지스터(101), 트랜지스터(102), 트랜지스터(103), 트랜지스터(104) 및 트랜지스터(105)의 어느 하나 또는 모든 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))보다도 작게 할 수 있다. 이와 같이 하여, 반도체 장치의 고정세화, 소형화를 도모할 수 있다.

[0059] 논리 회로(INV3) 및 논리 회로(INV4)는, 출력 단자(OUT)에 접속되는 부하를 직접 구동하지 않기 위해서, 논리 회로(INV1) 및 논리 회로(INV2)보다도 전류 구동 능력이 작아도 좋다. 이로 인해, 논리 회로(INV3) 및 논리 회로(INV4)를 구성하는 트랜지스터(트랜지스터(101), 트랜지스터(102) 및 트랜지스터(103), 특히 트랜지스터(102)

및 트랜지스터(103), 또는, 트랜지스터(104) 및 트랜지스터(105))의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))은, 논리 회로(INV1) 및 논리 회로(INV2)를 구성하는 트랜지스터(트랜지스터(101), 트랜지스터(102) 및 트랜지스터(103), 특히 트랜지스터(102) 및 트랜지스터(103))의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))보다도 작게 할 수 있다. 이와 같이 하여, 반도체 장치의 고정세화, 소형화를 도모할 수 있다.

[0060] 도 2a에 도시한 논리 회로(INV)에 있어서, 트랜지스터(101)는 출력 단자(OUT)에 접속되는 부하를 직접 구동하지 않기 때문에, 트랜지스터(102) 및 트랜지스터(103)보다도 전류 구동 능력이 작아도 좋다. 이로 인해, 트랜지스터(101)의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))은, 트랜지스터(102) 및 트랜지스터(103)의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))보다도 작게 할 수 있다.

[0061] 본 발명의 반도체 장치의 일 형태는, 도 1에 도시한 단(10)을 복수 갖는 구성으로 할 수 있다. 예를 들면, 도 3에 도시하는 바와 같이, 반도체 장치(100)는 단(10)을 복수 가지고, 복수의 단(10)은, 입력 단자(IN)가 전단의 출력 단자(OUT)와 접속되고, 또한 반전 입력 단자(INB)가 전단의 반전 출력 단자(OUTB)와 접속되도록 종속 접속(캐스케이드 접속)되는 구성으로 할 수 있다. 여기에서, 복수의 단(10)의 인접하는 단에 있어서, 단자(C1)에 입력되는 신호의 논리값을 상이하게 할 수 있다(즉, 복수의 단(10)의 인접하는 단에 있어서, 단자(C2)에 입력되는 신호의 논리값을 상이하게 할 수 있다). 예를 들면, 어떤 단(10)에 있어서, 단자(C1)에는 클록 신호를 입력하고, 단자(C2)에는 클록 반전 신호를 입력하고, 상기 단(10)에 인접하는 단(10)에 있어서, 단자(C1)에는 클록 반전 신호를 입력하고 단자(C2)에는 클록 신호를 입력할 수 있다. 도 3에서는, 클록 신호를 CLK로 나타내고, 그 반전 신호를 CLKB로 나타내고 있다. 또한, 종속 접속된 복수의 단(10) 중 최초의 단의 입력 단자(IN) 및 반전 입력 단자(INB)에는, 서로 반전된 신호가 입력되는 구성으로 할 수 있다. 도 3에서는, 최초의 단의 입력 단자(IN)에 신호(SP)가 입력되고, 반전 입력 단자(INB)에는 신호(SP)의 반전 신호(SPБ)가 입력되어 있다.

[0062] 도 3에 도시하는 반도체 장치(100)는, 클록 신호에 동기하여 최초의 단의 입력 단자(IN)에 입력된 신호를 각 단(10)에 순차적으로 유지하는 기능을 가진다. 따라서, 반도체 장치(100)는 시프트 레지스터라고 할 수도 있다. 신호(SP)는 스타트 펄스라고 할 수도 있다. 반도체 장치(100)는, 클록 신호(CLK)에 동기하여 스타트 펄스를 순차적으로 시프트하고, 출력(SR1, SR2, SR3)으로서 출력하는 기능을 가진다. 반도체 장치(100)는, 출력(SR1, SR2, SR3)에 의해 부하를 구동할 수 있다. 또한, 출력(SR1, SR2, SR3)은 각 단(10)의 출력 단자(OUT)로부터의 출력 신호로 했지만 이것으로 한정되지 않는다. 예를 들면, 출력(SR1, SR2, SR3)으로서, 각 단(10)의 반전 출력 단자(OUTB)로부터의 출력 신호를 사용해도 좋다. 또한 짹수번째의 단(10)의 출력(SR2, SR4, SR6)만을 반도체 장치(100)의 출력으로서 사용하고, 부하를 구동해도 좋다.

[0063] 본 실시형태에 있어서 나타낸 반도체 장치에서는, 스위치(스위치(SW1), 스위치(SW2), 스위치(SW3), 스위치(SW4))와, 도통 상태가 된 상기 스위치를 통하여 입력 신호가 입력 단자에 입력되는 논리 회로(논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 논리 회로(INV4))를 가지고, 스위치는, 그 도통 상태 또는 비도통 상태가 클록 신호(또는 그 반전 신호)에 의해 선택된다. 한편, 논리 회로는, 고전원선과 출력 단자의 접속, 및, 저전원선과 출력 단자의 접속을 선택함으로써, 입력 신호의 논리값을 반전하여 출력 단자로부터 출력한다. 그리고, 논리 회로의 출력을 반도체 장치의 출력으로 한다. 이와 같이 하여, 반도체 장치에 의해 구동되는 부하는, 고전원선 또는 저전원선과 접속되어 구동된다. 이러한 구성으로 함으로써 반도체 장치는, 클록 신호의 하이 레벨 전위(또는 로우 레벨 전위)를 사용하여 부하를 구동하지 않기 때문에, 클록 신호 생성 회로는 큰 전류 구동 능력을 필요로 하지 않는다. 이로 인해, 클록 신호 생성 회로의 회로 면적을 작게 할 수 있다.

[0064] 또한, 반도체 장치를 구성하는 모든 트랜지스터를, 동일 도전형으로 함으로써, 반도체 장치의 제작 공정을 간략화할 수 있다. 이와 같이 하여, 제조 수율을 향상시키고, 비용을 삼감할 수 있다. 이 경우에, 논리 회로(논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 및 논리 회로(INV4) 모두, 또는 논리 회로(INV3) 및 논리 회로(INV4)만)는 부트스트랩 회로를 사용하여 출력 신호를 보정하는 구성으로 한다. 이와 같이 하여, 단극성의 트랜지스터를 사용하여 구성되는 논리 회로라도, 전원 전압(고전원 전위와 저전원 전위의 차분에 상당)과 (개략) 동일한 진폭 전압의 출력 신호가 얻어진다.

[0065] 또한 논리 회로는, 복수의 입력 단자(입력 신호가 입력되는 입력 단자와, 상기 입력 신호의 논리값이 반전된 신호가 입력되는 반전 입력 단자)를 가지고, 고전원선 및 저전원선의 한쪽과 출력 단자의 접속을 반전 입력 단자에 입력되는 신호에 의해 제어하고, 고전원선 및 저전원선의 다른쪽과 출력 단자의 접속을 입력 단자에 입력되는 신호에 의해 제어함으로써, 입력 단자에 입력된 입력 신호의 논리값을 반전하여 출력 단자로부터 출력하는 구성으로 할 수 있다. 이와 같이 하여, 단극성의 트랜지스터를 사용하여 구성되는 논리 회로라도, 고전원선과

출력 단자 사이에 형성된 트랜지스터, 및, 저전원선과 출력 단자 사이에 형성된 트랜지스터 중 한쪽이 온 상태일 때에, 다른쪽을 오프 상태로 할 수 있다. 이로 인해, 고전원선과 저전원선 사이에 형성된 회로에 있어서의 관통 전류를 억제할 수 있다.

[0066] 또한, 반도체 장치에 포함되는 트랜지스터는, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되는 구성으로 할 수 있다. 한 쌍의 게이트 전극의 다른쪽(백 게이트)은, 상기 트랜지스터의 소스와 접속할 수 있다. 또는, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 저전원선과 접속할 수 있다. 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 고전원선과 접속할 수 있다. 이와 같이 하여 각 트랜지스터가 노멀리 온이 되는 것을 억제할 수 있다. 이로 인해, 반도체 장치가 오동작하는 것을 억제하고, 또한 관통 전류도 억제할 수 있다.

[0067] 본 실시형태는 다른 실시형태와 자유롭게 조합하여 실시하는 것이 가능하다.

[0068] (실시형태 2)

[0069] 본 실시형태에서는, 본 발명의 반도체 장치의 구체적인 일 형태에 관해서, 도 4 및 도 5를 사용하여 설명한다.

[0070] 반도체 장치는, 도 4에 도시하는 단(10)을 갖는 구성으로 할 수 있다. 단(10)은, 입력 단자(IN)와, 반전 입력 단자(INB)와, 스위치(SW1)와, 스위치(SW2)와, 스위치(SW3)와, 스위치(SW4)와, 논리 회로(INV1)와, 논리 회로(INV2)와, 논리 회로(INV3)와, 논리 회로(INV4)와, 증폭 회로(BUF1)와, 증폭 회로(BUF2)와, 출력 단자(OUT)와, 반전 출력 단자(OUTB)를 가진다.

[0071] 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 논리 회로(INV4)는 각각, 입력 단자(IN)와, 반전 입력 단자(INB)와, 출력 단자(OUT)를 가지고, 입력 단자(IN)에 입력된 신호를 반전시켜 출력 단자(OUT)로부터 출력한다. 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 논리 회로(INV4)는, 인버터 회로라고 할 수도 있다. 증폭 회로(BUF1) 및 증폭 회로(BUF2)는 각각, 입력 단자(IN)와, 반전 입력 단자(INB)와, 출력 단자(OUT)를 가지고, 입력 단자(IN)에 입력된 신호를 임피던스 변환(임피던스를 낮게)하여 출력 단자(OUT)로부터 출력한다. 논리 회로(INV1)의 출력 단자(OUT)는, 증폭 회로(BUF1)의 입력 단자(IN), 및 증폭 회로(BUF2)의 반전 입력 단자(INB)와 접속된다. 논리 회로(INV2)의 출력 단자(OUT)는, 증폭 회로(BUF1)의 반전 입력 단자(INB), 및 증폭 회로(BUF2)의 입력 단자(IN)와 접속된다. 증폭 회로(BUF1)의 출력 단자(OUT)는, 논리 회로(INV3)의 입력 단자(IN), 논리 회로(INV4)의 반전 입력 단자(INB), 및 증폭 회로(BUF2)의 출력 단자(OUT)는, 논리 회로(INV3)의 반전 입력 단자(INB), 논리 회로(INV4)의 입력 단자(IN), 및 반전 출력 단자(OUTB)와 접속된다. 스위치(SW1), 스위치(SW2), 스위치(SW3), 및 스위치(SW4) 각각은, 단자(A)와 단자(B) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 이와 같이 하여, 스위치(SW1)는, 입력 단자(IN)와, 논리 회로(INV1)의 입력 단자(IN) 및 논리 회로(INV2)의 반전 입력 단자(INB) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 스위치(SW2)는 반전 입력 단자(INB)와, 논리 회로(INV1)의 반전 입력 단자(INB) 및 논리 회로(INV2)의 입력 단자(IN) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 스위치(SW1) 및 스위치(SW2)의 단자(X)는 단자(C1)에 접속되고, 단자(C1)에는 클록 신호 및 그 반전 신호의 한쪽이 입력된다. 스위치(SW3)는, 논리 회로(INV3)의 출력 단자(OUT)와, 논리 회로(INV1)의 입력 단자(IN) 및 논리 회로(INV2)의 반전 입력 단자(INB) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 스위치(SW4)는, 논리 회로(INV4)의 출력 단자(OUT)와, 논리 회로(INV1)의 반전 입력 단자(INB) 및 논리 회로(INV2)의 입력 단자(IN) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 스위치(SW3) 및 스위치(SW4)의 단자(X)는 단자(C2)에 접속되고, 단자(C2)에는 클록 신호 및 그 반전 신호의 다른쪽이 입력된다.

[0072] 도 4에 도시한 단(10)에서는, 클록 신호(또는 그 반전 신호)에 의해 스위치(SW1) 및 스위치(SW2)가 도통 상태인 경우, 클록 신호의 반전 신호(또는 클록 신호)에 의해 스위치(SW3) 및 스위치(SW4)는 비도통 상태가 되고, 클록 신호(또는 그 반전 신호)에 의해 스위치(SW1) 및 스위치(SW2)가 비도통 상태인 경우, 클록 신호의 반전 신호(또는 클록 신호)에 의해 스위치(SW3) 및 스위치(SW4)는 도통 상태가 된다. 이로 인해, 클록 신호에 동기하여, 입력 단자(IN)에 입력된 신호를 유지하는 기능을 가진다. 따라서, 도 4에 도시한 단(10)은, 플립 플롭 회로, 래치 회로라고 부를 수도 있다.

[0073] 증폭 회로(BUF1) 및 증폭 회로(BUF2)의 보다 구체적인 구성의 일 형태에 관해서, 도 5를 사용하여 설명한다.

[0074] 증폭 회로(BUF1) 및 증폭 회로(BUF2)는 각각, 도 5에 도시하는 증폭 회로(BUF)로 할 수 있다. 도 5에 도시한 증폭 회로(BUF)는, 트랜지스터(108)와, 트랜지스터(109)와, 트랜지스터(110)와, 용량 소자(212)를 가진다. 트랜지스터(108)의 게이트는 전원 전위(V1)가 주어지는 전원선(V1)과 접속되고, 트랜지스터(108)의 드레인은 입력 단자(IN)와 접속되고, 트랜지스터(108)의 소스는 트랜지스터(109)의 게이트와 접속되고, 트랜지스터(109)의 드레인은 전원 전위(V1)가 주어지는 전원선(V1)과 접속되고, 트랜지스터(109)의 소스는 출력 단자(OUT)와 접속되고, 트랜지스터(110)의 게이트는 반전 입력 단자(INB)와 접속되고, 트랜지스터(110)의 소스는 전원 전위(V1)와는 상이한 전원 전위(V2)가 주어지는 전원선(V2)과 접속되고, 트랜지스터(110)의 드레인은 출력 단자(OUT)와 접속된다. 용량 소자(212)의 한 쌍의 전극 중 한쪽은 트랜지스터(109)의 게이트와 접속되고, 용량 소자(212)의 한 쌍의 전극 중에 다른쪽은 트랜지스터(109)의 소스와 접속된다. 또한, 용량 소자(212)를 형성하는 대신에, 트랜지스터(109)의 기생 용량 등을 적극적으로 이용할 수도 있다.

[0075] 트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110)는, 동일 도전형의 트랜지스터로 할 수 있다. 트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110)를 n채널형 트랜지스터로 한 경우, 전원 전위(V1)는 전원 전위(V2)보다도 높게 한다. 또한, 전원 전위(V2)는, 예를 들면 접지 전위로 한다. 즉, 전원 전위(V1)를 고전원 전위로 하고, 전원 전위(V2)를 저전원 전위로 한다. 트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110)를 p채널형 트랜지스터로 한 경우, 전원 전위(V1)는 전원 전위(V2)보다도 낮게 한다. 또한, 전원 전위(V1)는, 예를 들면 접지 전위로 한다. 즉, 전원 전위(V1)를 저전원 전위로 하고, 전원 전위(V2)를 고전원 전위로 한다.

[0076] 트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110) 각각은, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되는 구성으로 할 수 있다. 여기에서, 한 쌍의 게이트 전극의 한쪽을 상기 트랜지스터의 게이트로 한다. 한 쌍의 게이트 전극의 다른쪽을 백 게이트라고도 부른다. 한 쌍의 게이트 전극의 다른쪽(백 게이트)은, 상기 트랜지스터의 소스와 접속할 수 있다. 도 5에서는, 트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110) 각각이, 게이트와 백 게이트를 가지고, 백 게이트가 소스와 접속되어 있는 구성을 모식적으로 도시하고 있다. 또한, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 전원선(V2)과 접속할 수도 있다. 즉, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)을 저전원선과 접속하고, 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)을 고전원선과 접속할 수도 있다. 이와 같이 하여 각 트랜지스터(트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110))가 노멀리 온이 되는 것을 억제할 수 있다.

[0077] 또한, 트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110) 중 몇개는, 한 쌍의 게이트 전극의 한쪽을 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 백 게이트로 하고, 트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110) 중 다른 트랜지스터는, 한 쌍의 게이트 전극의 한쪽을 백 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 게이트로 해도 좋다. 예를 들면, 트랜지스터(109)는 한 쌍의 게이트 전극의 한쪽을 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 백 게이트로 하고, 트랜지스터(110)는 한 쌍의 게이트 전극의 한쪽을 백 게이트로 하고, 한 쌍의 게이트 전극의 다른쪽을 게이트로 해도 좋다. 즉, 트랜지스터(109)와 트랜지스터(110)에서, 「게이트」와 「백 게이트」의 위치 관계를 반대로 하는 것이 가능하다. 예를 들면, 트랜지스터(109)와 트랜지스터(110)의 한쪽을 반도체층의 하방에 게이트가 형성된 보텀 게이트형 트랜지스터로 하고, 트랜지스터(109)와 트랜지스터(110)의 다른쪽을 반도체층의 상방에 게이트가 형성된 탑 게이트형 트랜지스터로 하는 것도 가능하다. 그리고, 백 게이트는, 상기 트랜지스터의 소스와 전기적으로 접속할 수 있다. 또는, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 백 게이트는 저전원선과 전기적으로 접속할 수 있다. 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 백 게이트는 고전원선과 전기적으로 접속할 수 있다.

[0078] 도 5에 도시한 증폭 회로(BUF)의 동작에 관해서 설명한다.

[0079] 우선, 트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110)가 n채널형 트랜지스터인 경우의 동작에 관해서 설명한다. 입력 단자(IN)에 로우 레벨 전위가 입력되고, 반전 입력 단자(INB)에 하이 레벨 전위가 입력되었을 때, 트랜지스터(110)는 온 상태가 되고, 또한 트랜지스터(109)는 오프 상태가 된다. 이와 같이 하여, 출력 단자(OUT)는 전원선(V2)과 접속되고, 출력 단자(OUT)로부터 전원 전위(V2)(저전원 전위)가 출력된다. 입력 단자(IN)에 하이 레벨 전위가 입력되고, 반전 입력 단자(INB)에 로우 레벨 전위가 입력되었을 때, 트랜지스터(110)는 오프 상태가 되고, 또한 트랜지스터(109)는 온 상태가 된다. 이와 같이 하여, 출력 단자(OUT)는 전원선(V

1)과 접속된다. 여기에서, 입력 단자(IN)에 하이 레벨 전위가 입력됨으로써 트랜지스터(108)의 소스의 전위가 소정의 전위(트랜지스터(108)의 게이트의 전위인 전원 전위(V1)에 대해 트랜지스터(108)의 임계값 전압분만큼 낮은 전위)가 되면, 트랜지스터(108)는 오프 상태가 되고, 그 소스는 플로팅 상태가 된다. 그리고, 그 후에도 트랜지스터(109)의 소스의 전위가 계속해서 상승함으로써, 용량 소자(212)에 의한 용량 결합에 의해 트랜지스터(109)의 게이트의 전위가 상승한다. 이와 같이 하여, 출력 단자(OUT)의 전위는 전원 전위(V1)(또는 그것에 가까운 전위)로 끌어 올려져 출력 단자(OUT)로부터 전원 전위(V1)(고전원 전위)가 출력된다. 즉, 도 5에 도시한 증폭 회로(BUF)는, 부트스트랩 회로를 가진다고 할 수도 있다.

[0080] 이어서, 트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110)가 p채널형 트랜지스터인 경우의 동작에 관해서 설명한다. 입력 단자(IN)에 하이 레벨 전위가 입력되고, 반전 입력 단자(INB)에 로우 레벨 전위가 입력되었을 때, 트랜지스터(110)는 온 상태가 되고, 또한 트랜지스터(109)는 오프 상태가 된다. 이와 같이 하여, 출력 단자(OUT)는 전원선(V2)과 접속되고, 출력 단자(OUT)로부터 전원 전위(V2)(고전원 전위)가 출력된다. 입력 단자(IN)에 로우 레벨 전위가 입력되고, 반전 입력 단자(INB)에 하이 레벨 전위가 입력되었을 때, 트랜지스터(110)는 오프 상태가 되고, 또한 트랜지스터(109)는 온 상태가 된다. 이와 같이 하여, 출력 단자(OUT)는 전원선(V1)과 접속된다. 여기에서, 입력 단자(IN)에 로우 레벨 전위가 입력됨으로써 트랜지스터(108)의 소스의 전위가 소정의 전위(트랜지스터(108)의 게이트의 전위인 전원 전위(V1)에 대해 트랜지스터(108)의 임계값 전압분만큼 높은 전위)가 되면, 트랜지스터(108)는 오프 상태가 되고, 그 소스는 플로팅 상태가 된다. 그리고, 그 후에도 트랜지스터(109)의 소스의 전위가 계속해서 저하됨으로써, 용량 소자(212)에 의한 용량 결합에 의해 트랜지스터(109)의 게이트의 전위가 저하된다. 이와 같이 하여, 출력 단자(OUT)의 전위는 전원 전위(V1)(또는 그것에 가까운 전위)로 낮춰지고, 출력 단자(OUT)로부터 전원 전위(V1)(저전원 전위)가 출력된다. 즉, 도 5에 도시한 증폭 회로(BUF)는, 부트스트랩 회로를 가진다고 할 수도 있다.

[0081] 이상과 같은 동작을 행하기 때문에, 증폭 회로(BUF)는, 베퍼 회로나 레벨 시프터 회로라고 할 수도 있다.

[0082] 또한, 도 4에 있어서, 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3) 및 논리 회로(INV4) 각각은, 실시형태 1에 있어서 도 2b에 도시한 논리 회로(INV)와 같은 구성으로 할 수 있다. 실시형태 1에 있어서 설명한 바와 같이, 도 2b에 도시한 논리 회로(INV)는, 도 2a에 도시한 논리 회로(INV)와 비교하여 회로 구성을 간략화할 수 있지만, 전원 전압(고전원 전위와 저전원 전위의 차분에 상당, 즉  $|V1-V2|$ 에 상당)과 동일한, 소정의 진폭의 출력 신호를 출력할 수 없다.

[0083] 그러나, 도 4에 있어서, 논리 회로(INV3)의 출력 및 논리 회로(INV4)의 출력은, 스위치(SW3) 및 스위치(SW4)를 통하여, 논리 회로(INV1) 및 논리 회로(INV2)에 입력된다. 또한, 논리 회로(INV1) 및 논리 회로(INV2)의 출력은, 증폭 회로(BUF1) 및 증폭 회로(BUF2)에 의해 증폭되고, 각 단(10)의 출력 단자(OUT) 및 반전 출력 단자(OUTB)로부터의 출력 신호가 된다. 이로 인해, 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3) 및 논리 회로(INV4)가, 전원 전압(고전원 전위와 저전원 전위의 차분에 상당, 즉  $|V1-V2|$ 에 상당)과 (개략) 동일한 진폭의 출력 신호를 출력할 수 없어도, 단(10)의 출력 단자(OUT) 및 반전 출력 단자(OUTB)로부터는 전원 전압(고전원 전위와 저전원 전위의 차분에 상당, 즉  $|V1-V2|$ 에 상당)과 (개략) 동일한 진폭의 출력 신호가 출력된다. 이와 같이 하여, 소정의 진폭의 신호를 출력 가능한 반도체 장치가 얻어진다.

[0084] 또한, 도 4에 있어서의 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3) 및 논리 회로(INV4)의 어느 하나 또는 모두는, 실시형태 1에 있어서 도 2a에 도시한 논리 회로(INV)와 같은 구성으로 하는 것도 가능하다.

[0085] 또한, 스위치(SW1) 및 스위치(SW2) 각각은, 실시형태 1에 있어서 도 2c에 도시한 구성과 같은 구성으로 할 수 있기 때문에, 설명은 생략한다. 스위치(SW3) 및 스위치(SW4) 각각은, 실시형태 1에 있어서 도 2d에 도시한 구성과 같은 구성으로 할 수 있기 때문에, 설명은 생략한다.

[0086] 여기에서, 스위치는 논리 회로나 증폭 회로보다도 전류 구동 능력이 작아도 좋기 때문에, 스위치를 구성하는 트랜지스터의 사이즈는, 논리 회로나 증폭 회로를 구성하는 트랜지스터의 사이즈보다도 작게 할 수 있다. 즉, 트랜지스터(106) 및 트랜지스터(107)의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))은, 트랜지스터(104), 트랜지스터(105), 트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110)의 어느 하나 또는 모두의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))보다도 작게 할 수 있다. 이와 같이 하여, 반도체 장치의 고정세화, 소형화를 도모할 수 있다.

[0087] 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 및 논리 회로(INV4)는, 출력 단자(OUT)에 접속되는 부하를 직접 구동하지 않기 때문에, 증폭 회로(BUF1) 및 증폭 회로(BUF2)보다도 전류 구동 능력이 작아도 좋다. 이

로 인해, 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 및 논리 회로(INV4)를 구성하는 트랜지스터(트랜지스터(104) 및 트랜지스터(105))의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))은, 증폭 회로(BUF1) 및 증폭 회로(BUF2)를 구성하는 트랜지스터(트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110), 특히 트랜지스터(109) 및 트랜지스터(110))의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))보다도 작게 할 수 있다. 이와 같이 하여, 반도체 장치의 고정세화, 소형화를 도모할 수 있다.

[0088] 도 4에 도시한 구성의 단(10)은, 도 1에 도시한 구성의 단(10)에 있어서의 논리 회로(INV1) 및 논리 회로(INV2) 대신에, 논리 회로(INV1)와 증폭 회로(BUF1)와 논리 회로(INV2)와 증폭 회로(BUF2)를 형성한 구성에 상당한다. 즉, 도 4에 도시한 구성의 단(10)은, 도 1에 도시한 구성의 단(10)에 있어서의 논리 회로(INV1) 및 논리 회로(INV2)를, 논리값 반전 기능을 갖는 회로와, 증폭 기능을 갖는 회로로 분리한 구성에 상당한다고 할 수도 있다. 여기에서, 논리값 반전 기능을 갖는 회로와, 증폭 기능을 갖는 회로를 분리함으로써, 상기한 바와 같이, 논리값 반전 기능을 갖는 회로(도 4에 있어서의, 논리 회로(INV1) 및 논리 회로(INV2))를 구성하는 트랜지스터의 사이즈를, 증폭 기능을 갖는 회로(도 4에 있어서의, 증폭 회로(BUF1) 및 증폭 회로(BUF2))를 구성하는 트랜지스터의 사이즈보다도 작게 할 수 있다. 이로 인해, 논리값 반전 기능을 갖는 회로(도 4에 있어서의, 논리 회로(INV1) 및 논리 회로(INV2))에 신호를 입력하는 회로(도 4에 있어서의, 스위치(SW1), 스위치(SW2), 스위치(SW3), 스위치(SW4) 등)의 전류 구동 능력은 작게 할 수 있다. 이와 같이 하여, 반도체 장치의 고정세화, 소형화를 도모할 수 있다.

[0089] 도 5에 도시한 증폭 회로(BUF)에 있어서, 트랜지스터(108)는 출력 단자(OUT)에 접속되는 부하를 직접 구동하지 않기 때문에, 트랜지스터(109) 및 트랜지스터(110)보다도 전류 구동 능력이 작아도 좋다. 이로 인해, 트랜지스터(108)의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))은, 트랜지스터(109) 및 트랜지스터(110)의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))보다도 작게 할 수 있다.

[0090] 본 발명의 반도체 장치의 일 형태는, 도 4에 도시한 단(10)을 복수 갖는 구성으로 할 수 있다. 예를 들면, 도 3에 도시하는 바와 같이, 반도체 장치(100)는 단(10)을 복수 가지고, 복수의 단(10)은, 입력 단자(IN)가 전단의 출력 단자(OUT)와 접속되고, 또한 반전 입력 단자(INB)가 전단의 반전 출력 단자(OUTB)와 접속되도록 종속 접속(캐스케이드 접속)되는 구성으로 할 수 있다. 여기에서, 복수의 단(10)의 인접하는 단에 있어서, 단자(C1)에 입력되는 신호의 논리값을 상이하게 할 수 있다(즉, 복수의 단(10)의 인접하는 단에 있어서, 단자(C2)에 입력되는 신호의 논리값을 상이하게 할 수 있다). 예를 들면, 어떤 단(10)에 있어서, 단자(C1)에는 클록 신호를 입력하고, 단자(C2)에는 클록 반전 신호를 입력하고, 상기 단(10)에 인접하는 단(10)에 있어서, 단자(C1)에는 클록 반전 신호를 입력하고 단자(C2)에는 클록 신호를 입력할 수 있다. 도 3에서는, 클록 신호를 CLK로 나타내고, 그 반전 신호를 CLKB로 나타내고 있다. 또한, 종속 접속된 복수의 단(10) 중 최초의 단의 입력 단자(IN) 및 반전 입력 단자(INB)에는, 서로 반전된 신호가 입력되는 구성으로 할 수 있다. 도 3에서는, 최초의 단의 입력 단자(IN)에 신호(SP)가 입력되고, 반전 입력 단자(INB)에는 신호(SP)의 반전 신호(SPB)가 입력되어 있다.

[0091] 도 3에 도시하는 반도체 장치(100)는, 클록 신호에 동기하여 최초의 단의 입력 단자(IN)에 입력된 신호를 각 단(10)에 순차적으로 유지하는 기능을 가진다. 따라서, 반도체 장치(100)는 시프트 레지스터라고 할 수도 있다. 신호(SP)는 스타트 펄스라고 할 수도 있다. 반도체 장치(100)는, 클록 신호(CLK)에 동기하여 스타트 펄스를 순차적으로 시프트하고, 출력(SR1, SR2, SR3)으로서 출력하는 기능을 가진다. 반도체 장치(100)는, 출력(SR1, SR2, SR3)에 의해 부하를 구동할 수 있다. 또한, 출력(SR1, SR2, SR3)은, 각 단(10)의 출력 단자(OUT)로부터의 출력 신호로 했지만 이것으로 한정되지 않는다. 예를 들면, 출력(SR1, SR2, SR3)으로서, 각 단(10)의 반전 출력 단자(OUTB)로부터의 출력 신호를 사용해도 좋다. 또한 짹수번째의 단(10)의 출력(SR2, SR4, SR6)만을 반도체 장치(100)의 출력으로서 사용하고, 부하를 구동해도 좋다.

[0092] 본 실시형태에 있어서 나타낸 반도체 장치에서는, 스위치(스위치(SW1), 스위치(SW2), 스위치(SW3), 스위치(SW4))와, 도통 상태가 된 상기 스위치를 통하여 입력 신호가 입력 단자에 입력되는 논리 회로(논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 논리 회로(INV4))와, 증폭 회로(증폭 회로(BUF1) 및 증폭 회로(BUF2))를 가지고, 스위치는, 그 도통 상태 또는 비도통 상태가 클록 신호(또는 그 반전 신호)에 의해 선택된다. 한편, 증폭 회로는, 고전원선과 출력 단자의 접속, 및 저전원선과 출력 단자의 접속을 선택함으로써, 입력 신호와 동일한 논리값의 신호를 출력 단자(OUT)로부터 출력한다. 그리고, 증폭 회로의 출력을 반도체 장치의 출력으로 한다. 이와 같이 하여, 반도체 장치에 의해 구동되는 부하는, 고전원선 또는 저전원선과 접속되어 구동된다. 이러한 구성으로 함으로써 반도체 장치는, 클록 신호의 하이 레벨 전위(또는 로우 레벨 전위)를 사용하여 부하를 구동하지 않기 때문에, 클록 신호 생성 회로는 큰 전류 구동 능력을 필요로 하지 않는다.

이로 인해, 클록 신호 생성 회로의 회로 면적을 작게 할 수 있다.

[0093] 또한, 반도체 장치를 구성하는 모든 트랜지스터를, 동일 도전형으로 함으로써, 반도체 장치의 제작 공정을 간략화할 수 있다. 이와 같이 하여, 제조 수율을 향상시키고, 비용을 삼감할 수 있다. 이 경우에, 증폭 회로(증폭 회로(BUF1) 및 증폭 회로(BUF2))는 부트스트랩 회로를 사용하여 출력 신호를 보정하는 구성으로 한다. 이와 같이 하여, 단극성의 트랜지스터를 사용하여 구성되는 증폭 회로라도, 전원 전압(고전원 전위와 저전원 전위의 차분에 상당)과 (개략) 동일한 전폭 전압의 출력 신호가 얻어진다.

[0094] 또한 논리 회로는, 복수의 입력 단자(입력 신호가 입력되는 입력 단자와, 상기 입력 신호의 논리값이 반전된 신호가 입력되는 반전 입력 단자)를 가지고, 고전원선 및 저전원선의 한쪽과 출력 단자의 접속을 반전 입력 단자에 입력되는 신호에 의해 제어하고, 고전원선 및 저전원선의 다른쪽과 출력 단자의 접속을 입력 단자에 입력되는 신호에 의해 제어함으로써, 입력 단자에 입력된 입력 신호의 논리값을 반전하여 출력 단자로부터 출력하는 구성으로 할 수 있다. 이와 같이 하여, 단극성의 트랜지스터를 사용하여 구성되는 논리 회로라도, 고전원선과 출력 단자 사이에 형성된 트랜지스터, 및, 저전원선과 출력 단자 사이에 형성된 트랜지스터 중 한쪽이 온 상태일 때에, 다른쪽을 오프 상태로 할 수 있다. 이로 인해, 고전원선과 저전원선 사이에 형성된 회로에 있어서의 관통 전류를 억제할 수 있다.

[0095] 증폭 회로는, 복수의 입력 단자(입력 신호가 입력되는 입력 단자와, 상기 입력 신호의 논리값이 반전된 신호가 입력되는 반전 입력 단자)를 가지고, 고전원선 및 저전원선의 한쪽과 출력 단자의 접속을 반전 입력 단자에 입력되는 신호에 의해 제어하고, 고전원선 및 저전원선의 다른쪽과 출력 단자의 접속을 입력 단자에 입력되는 신호에 의해 제어함으로써, 입력 단자에 입력된 입력 신호와 동일한 논리값의 신호를 출력 단자로부터 출력하는 구성으로 할 수 있다. 이와 같이 하여, 단극성의 트랜지스터를 사용하여 구성되는 증폭 회로라도, 고전원선과 출력 단자 사이에 형성된 트랜지스터, 및, 저전원선과 출력 단자 사이에 형성된 트랜지스터 중 한쪽이 온 상태일 때에, 다른쪽을 오프 상태로 할 수 있다. 이로 인해, 고전원선과 저전원선 사이에 형성된 회로에 있어서의 관통 전류를 억제할 수 있다.

[0096] 또한, 반도체 장치에 포함되는 트랜지스터는, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되는 구성으로 할 수 있다. 한 쌍의 게이트 전극의 다른쪽(백 게이트)은, 상기 트랜지스터의 소스와 접속할 수 있다. 또는, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 저전원선과 접속할 수 있다. 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 고전원선과 접속할 수 있다. 이와 같이 하여 각 트랜지스터가 노멀리 온이 되는 것을 억제할 수 있다. 이로 인해, 반도체 장치가 오동작하는 것을 억제하고, 또한 관통 전류도 억제할 수 있다.

[0097] 본 실시형태는 다른 실시형태와 자유롭게 조합하여 실시하는 것이 가능하다.

[0098] (실시형태 3)

[0099] 본 실시형태에서는, 본 발명의 반도체 장치의 구체적인 일 형태에 관해서, 도 6을 사용하여 설명한다.

[0100] 반도체 장치는, 도 6에 도시하는 단(10)을 갖는 구성으로 할 수 있다. 단(10)은, 입력 단자(IN)와, 반전 입력 단자(INB)와, 스위치(SW1)와, 스위치(SW2)와, 스위치(SW3)와, 스위치(SW4)와, 논리 회로(INV1)와, 논리 회로(INV2)와, 논리 회로(INV3)와, 논리 회로(INV4)와, 증폭 회로(BUF1)와, 증폭 회로(BUF2)와, 증폭 회로(BUF3)와, 증폭 회로(BUF4)와, 출력 단자(OUT)와, 반전 출력 단자(OUTB)를 가진다.

[0101] 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 논리 회로(INV4)는 각각, 입력 단자(IN)와, 반전 입력 단자(INB)와, 출력 단자(OUT)를 가지고, 입력 단자(IN)에 입력된 신호를 반전시켜 출력 단자(OUT)로부터 출력한다. 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 논리 회로(INV4)는, 인버터 회로라고 할 수도 있다. 증폭 회로(BUF1), 증폭 회로(BUF2), 증폭 회로(BUF3) 및 증폭 회로(BUF4)는 각각, 입력 단자(IN)와, 반전 입력 단자(INB)와, 출력 단자(OUT)를 가지고, 입력 단자(IN)에 입력된 신호를 임피던스 변환(임피던스를 낮게)하여 출력 단자(OUT)로부터 출력한다. 논리 회로(INV1)의 출력 단자(OUT)는, 증폭 회로(BUF1)의 입력 단자(IN), 및 증폭 회로(BUF2)의 반전 입력 단자(INB)와 접속된다. 논리 회로(INV2)의 출력 단자(OUT)는, 증폭 회로(BUF1)의 반전 입력 단자(INB), 및 증폭 회로(BUF2)의 입력 단자(IN)와 접속된다. 증폭 회로(BUF1)의 출력 단자(OUT)는, 논리 회로(INV3)의 입력 단자(IN), 논리 회로(INV4)의 반전 입력 단자(INB), 및 출력 단자(OUT)와 접속된다. 증폭 회로(BUF2)의 출력 단자(OUT)는, 논리 회로(INV3)의 반전 입력 단자(INB), 논리 회로(INV4)의 입력 단자(IN)와 접속된다.

(IN), 및 반전 출력 단자(OUTB)와 접속된다. 논리 회로(INV3)의 출력 단자(OUT)는, 증폭 회로(BUF3)의 입력 단자(IN), 및 증폭 회로(BUF4)의 반전 입력 단자(INB)와 접속된다. 논리 회로(INV4)의 출력 단자(OUT)는, 증폭 회로(BUF3)의 반전 입력 단자(INB), 및 증폭 회로(BUF4)의 입력 단자(IN)와 접속된다. 스위치(SW1), 스위치(SW2), 스위치(SW3), 및 스위치(SW4) 각각은, 단자(A)와 단자(B) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 이와 같이 하여, 스위치(SW1)는, 입력 단자(IN)와, 논리 회로(INV1)의 입력 단자(IN) 및 논리 회로(INV2)의 반전 입력 단자(INB) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 스위치(SW2)는, 반전 입력 단자(INB)와, 논리 회로(INV1)의 반전 입력 단자(INB) 및 논리 회로(INV2)의 입력 단자(IN) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 스위치(SW1) 및 스위치(SW2)의 단자(X)는 단자(C1)에 접속되고, 단자(C1)에는 클록 신호 및 그 반전 신호의 한쪽이 입력된다. 스위치(SW3)는, 증폭 회로(BUF3)의 출력 단자(OUT)와, 논리 회로(INV1)의 입력 단자(IN) 및 논리 회로(INV2)의 반전 입력 단자(INB) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 스위치(SW4)는, 증폭 회로(BUF4)의 출력 단자(OUT)와, 논리 회로(INV1)의 반전 입력 단자(INB) 및 논리 회로(INV2)의 입력 단자(IN) 사이의 도통 상태 또는 비도통 상태를 단자(X)에 입력되는 신호에 의해 선택하는 기능을 가진다. 스위치(SW3) 및 스위치(SW4)의 단자(X)는 단자(C2)에 접속되고, 단자(C2)에는 클록 신호 및 그 반전 신호의 다른쪽이 입력된다.

[0102]

도 6에 도시한 단(10)에서는, 클록 신호(또는 그 반전 신호)에 의해 스위치(SW1) 및 스위치(SW2)가 도통 상태인 경우, 클록 신호의 반전 신호(또는 클록 신호)에 의해 스위치(SW3) 및 스위치(SW4)는 비도통 상태가 되고, 클록 신호(또는 그 반전 신호)에 의해 스위치(SW1) 및 스위치(SW2)가 비도통 상태인 경우, 클록 신호의 반전 신호(또는 클록 신호)에 의해 스위치(SW3) 및 스위치(SW4)는 도통 상태가 된다. 이로 인해, 클록 신호에 동기하여, 입력 단자(IN)에 입력된 신호를 유지하는 기능을 가진다. 따라서, 도 6에 도시한 단(10)은, 플립 플롭 회로, 래치 회로라고 부를 수도 있다.

[0103]

증폭 회로(BUF1), 증폭 회로(BUF2), 증폭 회로(BUF3) 및 증폭 회로(BUF4)의 보다 구체적인 구성의 일 형태는, 실시형태 2에 있어서 도 5에 도시한 증폭 회로(BUF)와 같은 구성으로 할 수 있기 때문에, 설명은 생략한다.

[0104]

또한, 도 6에 있어서, 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3) 및 논리 회로(INV4) 각각은, 실시형태 1에 있어서 도 2b에 도시한 논리 회로(INV)와 같은 구성으로 할 수 있다. 실시형태 1에 있어서 설명한 바와 같이, 도 2b에 도시한 논리 회로(INV)는, 도 2a에 도시한 논리 회로(INV)와 비교하여 회로 구성을 간략화할 수 있지만, 전원 전압(고전원 전위와 저전원 전위의 차분에 상당, 즉  $|V1-V2|$ 에 상당)과 동일한, 소정의 진폭의 출력 신호를 출력할 수 없다.

[0105]

그러나, 도 6에 있어서, 논리 회로(INV1) 및 논리 회로(INV2)의 출력은, 증폭 회로(BUF1) 및 증폭 회로(BUF2)에 의해 증폭되고, 각 단의 출력 단자(OUT) 및 반전 출력 단자(OUTB)로부터의 출력 신호가 된다. 또한, 논리 회로(INV3)의 출력 및 논리 회로(INV4)의 출력은, 증폭 회로(BUF3) 및 증폭 회로(BUF4)에 의해 증폭된다. 이로 인해, 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3) 및 논리 회로(INV4)가, 전원 전압(고전원 전위와 저전원 전위의 차분에 상당, 즉  $|V1-V2|$ 에 상당)과 (개략) 동일한 진폭의 출력 신호를 출력할 수 없어도, 단(10)의 출력 단자(OUT) 및 반전 출력 단자(OUTB)로부터는 전원 전압(고전원 전위와 저전원 전위의 차분에 상당, 즉  $|V1-V2|$ 에 상당)과 (개략) 동일한 진폭의 출력 신호가 출력된다. 이와 같이 하여, 소정의 진폭의 신호를 출력 가능한 반도체 장치가 얻어진다.

[0106]

특히, 도 6에 도시한 구성에서는, 스위치(SW3) 및 스위치(SW4)를 통하여 논리 회로(INV1) 및 논리 회로(INV2)에 입력되는 신호도, 증폭 회로(BUF3) 및 증폭 회로(BUF4)에 의해, 전원 전압(고전원 전위와 저전원 전위의 차분에 상당, 즉  $|V1-V2|$ 에 상당)과 (개략) 동일한 진폭의 신호가 된다. 이로 인해, 논리 회로(INV1) 및 논리 회로(INV2)를 구성하는 트랜지스터의 임계값 전압이 시간에 따른 열화 등으로 다소 변동되어도, 이를 논리 회로의 오동작을 억제할 수 있다.

[0107]

또한, 도 6에 있어서의 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3) 및 논리 회로(INV4)의 어느 하나 또는 모두는, 실시형태 1에 있어서 도 2a에 도시한 논리 회로(INV)와 동일한 구성으로 하는 것도 가능하다.

[0108]

또한, 스위치(SW1) 및 스위치(SW2) 각각은, 실시형태 1에 있어서 도 2c에 도시한 구성과 같은 구성으로 할 수 있기 때문에, 설명은 생략한다. 스위치(SW3) 및 스위치(SW4) 각각은, 실시형태 1에 있어서 도 2d에 도시한 구성과 같은 구성으로 할 수 있기 때문에, 설명은 생략한다.

- [0109] 여기에서, 스위치는 논리 회로나 증폭 회로보다도 전류 구동 능력이 작아도 좋기 때문에, 스위치를 구성하는 트랜지스터의 사이즈는, 논리 회로나 증폭 회로를 구성하는 트랜지스터의 사이즈보다도 작게 할 수 있다. 즉, 트랜지스터(106) 및 트랜지스터(107)의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))은, 트랜지스터(104), 트랜지스터(105), 트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110)의 어느 하나 또는 모두의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))보다도 작게 할 수 있다. 이와 같이 하여, 반도체 장치의 고정세화, 소형화를 도모할 수 있다.
- [0110] 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 및 논리 회로(INV4)는, 출력 단자(OUT)에 접속되는 부하를 직접 구동하지 않기 때문에, 증폭 회로(BUF1) 및 증폭 회로(BUF2)보다도 전류 구동 능력이 작아도 좋다. 이로 인해, 논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 및 논리 회로(INV4)를 구성하는 트랜지스터(트랜지스터(104) 및 트랜지스터(105))의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))은, 증폭 회로(BUF1) 및 증폭 회로(BUF2)를 구성하는 트랜지스터(트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110), 특히 트랜지스터(109) 및 트랜지스터(110))의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))보다도 작게 할 수 있다. 이와 같이 하여, 반도체 장치의 고정세화, 소형화를 도모할 수 있다.
- [0111] 도 5에 도시한 증폭 회로(BUF)에 있어서, 트랜지스터(108)는 출력 단자(OUT)에 접속되는 부하를 직접 구동하지 않기 때문에, 트랜지스터(109) 및 트랜지스터(110)보다도 전류 구동 능력이 작아도 좋다. 이로 인해, 트랜지스터(108)의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))은, 트랜지스터(109) 및 트랜지스터(110)의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))보다도 작게 할 수 있다.
- [0112] 증폭 회로(BUF3) 및 증폭 회로(BUF4)는, 출력 단자(OUT)에 접속되는 부하를 직접 구동하지 않기 때문에, 증폭 회로(BUF1) 및 증폭 회로(BUF2)보다도 전류 구동 능력이 작아도 좋다. 이로 인해, 증폭 회로(BUF3) 및 증폭 회로(BUF4)를 구성하는 트랜지스터(트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110), 특히 트랜지스터(109) 및 트랜지스터(110))의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))은, 증폭 회로(BUF1) 및 증폭 회로(BUF2)를 구성하는 트랜지스터(트랜지스터(108), 트랜지스터(109) 및 트랜지스터(110), 특히 트랜지스터(109) 및 트랜지스터(110))의 채널 폭(W)(또는, 채널 길이(L)에 대한 채널 폭의 비(W/L))보다도 작게 할 수 있다. 이와 같이 하여, 반도체 장치의 고정세화, 소형화를 도모할 수 있다.
- [0113] 본 발명의 반도체 장치의 일 형태는, 도 6에 도시한 단(10)을 복수 갖는 구성으로 할 수 있다. 예를 들면, 도 3에 도시하는 바와 같이, 반도체 장치(100)는 단(10)을 복수 가지고, 복수의 단(10)은, 입력 단자(IN)가 전단의 출력 단자(OUT)와 접속되고, 또한 반전 입력 단자(INB)가 전단의 반전 출력 단자(OUTB)와 접속되도록 종속 접속(캐스케이드 접속)되는 구성으로 할 수 있다. 여기에서, 복수의 단(10)의 인접하는 단에 있어서, 단자(C1)에 입력되는 신호의 논리값을 상이하게 할 수 있다(즉, 복수의 단(10)의 인접하는 단에 있어서, 단자(C2)에 입력되는 신호의 논리값을 상이하게 할 수 있다). 예를 들면, 어떤 단(10)에 있어서, 단자(C1)에는 클록 신호를 입력하고, 단자(C2)에는 클록 반전 신호를 입력하고, 상기 단(10)에 인접하는 단(10)에 있어서, 단자(C1)에는 클록 반전 신호를 입력하고 단자(C2)에는 클록 신호를 입력할 수 있다. 도 3에서는, 클록 신호를 CLK로 나타내고, 그 반전 신호를 CLKB로 나타내고 있다. 또한, 종속 접속된 복수의 단(10) 중 최초의 단의 입력 단자(IN) 및 반전 입력 단자(INB)에는, 서로 반전된 신호가 입력되는 구성으로 할 수 있다. 도 3에서는, 최초의 단의 입력 단자(IN)에 신호(SP)가 입력되고, 반전 입력 단자(INB)에는 신호(SP)의 반전 신호(SPB)가 입력되어 있다.
- [0114] 도 3에 도시하는 반도체 장치(100)는, 클록 신호에 동기하여 최초의 단의 입력 단자(IN)에 입력된 신호를 각 단(10)에 순차적으로 유지하는 기능을 가진다. 따라서, 반도체 장치(100)는 시프트 레지스터라고 할 수도 있다. 신호(SP)는 스타트 펄스라고 할 수도 있다. 반도체 장치(100)는, 클록 신호(CLK)에 동기하여 스타트 펄스를 순차적으로 시프트하고, 출력(SR1, SR2, SR3)으로서 출력하는 기능을 가진다. 반도체 장치(100)는, 출력(SR1, SR2, SR3)에 의해 부하를 구동할 수 있다. 또한, 출력(SR1, SR2, SR3)은, 각 단(10)의 출력 단자(OUT)로부터의 출력 신호로 했지만 이것으로 한정되지 않는다. 예를 들면, 출력(SR1, SR2, SR3)으로서, 각 단(10)의 반전 출력 단자(OUTB)로부터의 출력 신호를 사용해도 좋다. 또한 짹수번째의 단(10)의 출력(SR2, SR4, SR6)만을 반도체 장치(100)의 출력으로서 사용하고, 부하를 구동해도 좋다.
- [0115] 본 실시형태에 있어서 나타낸 반도체 장치에서는, 스위치(스위치(SW1), 스위치(SW2), 스위치(SW3), 스위치(SW4))와, 도통 상태가 된 상기 스위치를 통하여 입력 신호가 입력 단자에 입력되는 논리 회로(논리 회로(INV1), 논리 회로(INV2), 논리 회로(INV3), 논리 회로(INV4))와, 증폭 회로(증폭 회로(BUF1), 증폭 회로(BUF2), 증폭 회로(BUF3) 및 증폭 회로(BUF4))를 가지고, 스위치는, 그 도통 상태 또는 비도통 상태가 클록 신호(또는 그 반전 신호)에 의해 선택된다. 한편, 증폭 회로는, 고전원선과 출력 단자의 접속, 및, 저전원선과

출력 단자의 접속을 선택함으로써, 입력 신호와 동일한 논리값의 신호를 출력 단자(OUT)로부터 출력한다. 그리고, 증폭 회로의 출력을 반도체 장치의 출력으로 한다. 이와 같이 하여, 반도체 장치에 의해 구동되는 부하는, 고전원선 또는 저전원선과 접속되어 구동된다. 이러한 구성으로 함으로써 반도체 장치는, 클록 신호의 하이 레벨 전위(또는 로우 레벨 전위)를 사용하여 부하를 구동하지 않기 때문에, 클록 신호 생성 회로는 큰 전류 구동 능력을 필요로 하지 않는다. 이로 인해, 클록 신호 생성 회로의 회로 면적을 작게 할 수 있다.

[0116] 또한, 반도체 장치를 구성하는 모든 트랜지스터를, 동일 도전형으로 함으로써, 반도체 장치의 제작 공정을 간략화할 수 있다. 이와 같이 하여, 제조 수율을 향상시키고, 비용을 삭감할 수 있다. 이 경우에, 증폭 회로(증폭 회로(BUF1), 증폭 회로(BUF2), 증폭 회로(BUF3), 및 증폭 회로(BUF4))는 부트스트랩 회로를 사용하여 출력 신호를 보정하는 구성으로 한다. 이와 같이 하여, 단극성의 트랜지스터를 사용하여 구성되는 증폭 회로라도, 전원 전압(고전원 전위와 저전원 전위의 차분에 상당)과 (개략) 동일한 진폭 전압의 출력 신호가 얻어진다.

[0117] 또한 논리 회로는, 복수의 입력 단자(입력 신호가 입력되는 입력 단자와, 상기 입력 신호의 논리값이 반전된 신호가 입력되는 반전 입력 단자)를 가지고, 고전원선 및 저전원선의 한쪽과 출력 단자의 접속을 반전 입력 단자에 입력되는 신호에 의해 제어하고, 고전원선 및 저전원선의 다른쪽과 출력 단자의 접속을 입력 단자에 입력되는 신호에 의해 제어함으로써, 입력 단자에 입력된 입력 신호의 논리값을 반전하여 출력 단자로부터 출력하는 구성으로 할 수 있다. 이와 같이 하여, 단극성의 트랜지스터를 사용하여 구성되는 논리 회로라도, 고전원선과 출력 단자 사이에 형성된 트랜지스터, 및, 저전원선과 출력 단자 사이에 형성된 트랜지스터 중 한쪽이 온 상태일 때에, 다른쪽을 오프 상태로 할 수 있다. 이로 인해, 고전원선과 저전원선 사이에 형성된 회로에 있어서의 관통 전류를 억제할 수 있다.

[0118] 증폭 회로는, 복수의 입력 단자(입력 신호가 입력되는 입력 단자와, 상기 입력 신호의 논리값이 반전된 신호가 입력되는 반전 입력 단자)를 가지고, 고전원선 및 저전원선의 한쪽과 출력 단자의 접속을 반전 입력 단자에 입력되는 신호에 의해 제어하고, 고전원선 및 저전원선의 다른쪽과 출력 단자의 접속을 입력 단자에 입력되는 신호에 의해 제어함으로써, 입력 단자에 입력된 입력 신호와 동일한 논리값의 신호를 출력 단자로부터 출력하는 구성으로 할 수 있다. 이와 같이 하여, 단극성의 트랜지스터를 사용하여 구성되는 증폭 회로라도, 고전원선과 출력 단자 사이에 형성된 트랜지스터, 및, 저전원선과 출력 단자 사이에 형성된 트랜지스터 중 한쪽이 온 상태일 때에, 다른쪽을 오프 상태로 할 수 있다. 이로 인해, 고전원선과 저전원선 사이에 형성된 회로에 있어서의 관통 전류를 억제할 수 있다.

[0119] 또한, 반도체 장치에 포함되는 트랜지스터는, 채널이 형성되는 반도체층과, 반도체층을 사이에 개재하여 형성된 한 쌍의 게이트 전극을 가지고, 한 쌍의 게이트 전극의 한쪽은 반도체층과 제 1 게이트 절연층을 개재하여 중첩되고, 한 쌍의 게이트 전극의 다른쪽은, 반도체층과 제 2 게이트 절연층을 개재하여 중첩되는 구성으로 할 수 있다. 한 쌍의 게이트 전극의 다른쪽(백 게이트)은, 상기 트랜지스터의 소스와 접속할 수 있다. 또는, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 저전원선과 접속할 수 있다. 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 한 쌍의 게이트 전극의 다른쪽(백 게이트)은 고전원선과 접속할 수 있다. 이와 같이 하여 각 트랜지스터가 노멀리 온이 되는 것을 억제할 수 있다. 이로 인해, 반도체 장치가 오동작하는 것을 억제하고, 또한 관통 전류도 억제할 수 있다.

[0120] 본 실시형태는 다른 실시형태와 자유롭게 조합하여 실시하는 것이 가능하다.

[0121] (실시형태 4)

[0122] 본 실시형태에서는, 상기 실시형태에 있어서 나타낸 반도체 장치를 구성하는 트랜지스터(예를 들면, 트랜지스터(101), 트랜지스터(102), 트랜지스터(103), 트랜지스터(104), 트랜지스터(105), 트랜지스터(106), 트랜지스터(107), 트랜지스터(108), 트랜지스터(109), 트랜지스터(110))의 구성의 일 형태에 관해서, 도 8 및 도 9를 사용하여 설명한다.

[0123] 도 8a에는, 트랜지스터의 상면도를 도시하고, 도 8b에는, 도 8a에 있어서의 A1-A2의 단면도의 예를 도시한다. 도 8에 도시하는 트랜지스터는, 채널이 형성된 반도체층으로서 산화물 반도체를 갖는 층(이하, 산화물 반도체층이라고 한다)을 사용하는 것이다. 산화물 반도체층을 사용하는 것의 장점은, 간단한 프로세스, 저온의 프로세스로, 높은 이동도와 낮은 오프 전류를 실현할 수 있는 것이라고 할 수 있다.

[0124] 도 8b에 도시하는 바와 같이, 트랜지스터(410)는, 절연 표면을 갖는 기판(400) 위의, 게이트 전극(402), 게이트 절연층(404), 산화물 반도체층(412), 드레인 전극(414a), 및 소스 전극(414b)을 포함한다. 또한, 산화물 반도체층(412)에 접하는 게이트 절연층(416)이 형성되고, 게이트 절연층(416) 위에는 또한 게이트 전극(418)이 형성

되어 있다. 또한, 게이트 전극(402) 및 게이트 전극(418)의 한쪽은, 상기의 실시형태에 있어서의 게이트에 상당하고, 게이트 전극(402) 및 게이트 전극(418)의 다른쪽은, 상기의 실시형태에 있어서의 백 게이트에 상당한다. 또한, 소스 전극(414b)은, 상기의 실시형태에 있어서의 소스에 상당하고, 드레인 전극(414a)은, 상기의 실시형태에 있어서의 드레인에 상당한다.

[0125] 또한, 반도체 장치에 포함되는 복수의 트랜지스터 중 몇개는, 게이트 전극(402) 및 게이트 전극(418)의 한쪽을 게이트로 하고, 게이트 전극(402) 및 게이트 전극(418)의 다른쪽을 백 게이트로 하고, 반도체 장치에 포함되는 복수의 트랜지스터 중 다른 트랜지스터는, 게이트 전극(402) 및 게이트 전극(418)의 한쪽을 백 게이트로 하고, 게이트 전극(402) 및 게이트 전극(418)의 다른쪽을 게이트로 해도 좋다. 즉, 반도체 장치에 포함되는 복수의 트랜지스터 중, 몇개와, 그 밖의 트랜지스터에서, 「게이트」와 「백 게이트」의 위치 관계를 반대로 하는 것이 가능하다. 예를 들면, 반도체 장치에 포함되는 복수의 트랜지스터 중 몇개를, 산화물 반도체층(412)의 하방에 형성된 게이트 전극(402)을 게이트로 하는 보텀 게이트형 트랜지스터로 하고, 반도체 장치에 포함되는 복수의 트랜지스터 중 다른 트랜지스터를, 산화물 반도체층(412)의 상방에 형성된 게이트 전극(418)을 게이트로 하는 탑 게이트형 트랜지스터로 하는 것도 가능하다. 그리고, 백 게이트(트랜지스터에 의해, 게이트 전극(402) 또는 게이트 전극(418)이 되는)는, 상기 트랜지스터의 소스와 전기적으로 접속할 수 있다. 또는, 상기 트랜지스터가 n채널형 트랜지스터인 경우에, 백 게이트는 저전원선과 전기적으로 접속할 수 있다. 상기 트랜지스터가 p채널형 트랜지스터인 경우에, 백 게이트는 고전원선과 전기적으로 접속할 수 있다.

[0126] 본 실시형태에서는, 반도체층으로서 산화물 반도체층(412)을 사용한다. 산화물 반도체층(412)을 사용한 트랜지스터(410)는, 오프 전류를 매우 작게 하는 것이 가능하다. 따라서, 이것을 시프트 레지스터 등에 사용함으로써 회로 중의 각 노드의 전위 유지가 용이해져 오동작의 확률을 매우 낮게 억제할 수 있다.

[0127] 트랜지스터(410)에 있어서, 게이트 전극(402) 및 게이트 전극(418)의 다른쪽(백 게이트)은 소스 전극(414b)과 접속할 수 있다. 또한, 트랜지스터(410)가 n채널형 트랜지스터인 경우, 소스 전극(414b)은 저전원선과 접속되어 있어도 좋다. 이와 같이 하여, 트랜지스터(410)가 노멀리 운이 되는 것을 억제할 수 있다. 또한, 게이트 전극(402)과 게이트 전극(418)을 접속하여, 트랜지스터(410)의 게이트로 해도 좋다.

[0128] 도 8에 도시하는 트랜지스터(410)는, 드레인 전극(414a) 및 소스 전극(414b)과, 게이트 전극(402)이 일부 중첩되는 구조이지만, 드레인 전극(414a) 및 소스 전극(414b)과, 게이트 전극(402)이 중첩되지 않는 구조라도 좋다.

[0129] 산화물 반도체층(412)의 결정성은 특별히 한정되지 않는다. 예를 들면, 산화물 반도체층(412)은 비단결정으로 할 수 있고, 비정질이라도, 다결정이라도 좋다. 또한, 비정질 중에 결정성을 갖는 부분을 포함하는 구조라도 좋다.

[0130] 비정질 상태의 산화물 반도체층은, 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이것을 사용하여 트랜지스터를 제작함으로써 계면 산란을 저감시킬 수 있고, 비교적 용이하게, 비교적 높은 이동도를 얻을 수 있다.

[0131] 또한, 결정성을 갖는 산화물 반도체층에서는, 보다 별크내 결함을 저감시킬 수 있다. 그리고, 결정성을 갖는 산화물 반도체층(412)의 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체층보다도 높은 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하며, 구체적으로는, 평균 면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하의 표면 위에 형성하면 좋다.

[0132] 또한, Ra는, JIS B0601:2001(ISO4287:1997)에서 정의되어 있는 산술 평균 거칠기를 곡면에 대해 적용할 수 있도록 삼차원으로 확장한 것이며, 「기준면으로부터 지정면까지의 편차의 절대값을 평균한 값」으로 표현할 수 있고, 이하의 수학식으로 정의된다.

## 수학식 1

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

[0133] 여기에서, 지정면이란, 거칠기 계측의 대상이 되는 면이며, 좌표

$((x_1, y_1, f(x_1, y_1)), (x_1, y_2, f(x_1, y_2)), (x_2, y_1, f(x_2, y_1)), (x_2, y_2, f(x_2, y_2))$ 의 4점으로 표현되는 사각형의 영역으로 하고, 지정면을 xy 평면에 투영한 장방형의 면적을  $S_0$ , 기준면의 높이(지정면의 평균의 높이)를  $Z_0$ 로 한다. Ra는 원자간력 현미경(AFM: Atomic Force Microscope)으로 측정 가능하다.

[0135] 산화물 반도체층(412)으로서 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막을 사용할 수 있다.

[0136] CAAC-OS막은, 완전한 단결정이 아니며, 완전한 비정질도 아니다. CAAC-OS 막은, 비정질상에 결정부를 갖는 결정-비정질 혼상 구조의 산화물 반도체막이다. 또한, 상기 결정부는, 1변이 100nm 미만인 입방체내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는, CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의해 CAAC-OS막의 입계(그레인 바운더리라고도 한다.)는 확인할 수 없다. 이로 인해, CAAC-OS막은, 입계에 기인하는 전자 이동도의 저하가 억제된다.

[0137] CAAC-OS막에 포함되는 결정부는, c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또한 ab면에 수직한 방향에서 볼 때 삼각 형상 또는 육각 형상의 원자 배열을 가지고, c축에 수직한 방향에서 볼 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이 한 결정부간에, 각각 a축 및 b축의 방향이 상이해도 좋다. 본 명세서에 있어서, 단순히 수직이라고 기재하는 경우, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 평행이라고 기재하는 경우, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.

[0138] 또한, CAAC-OS막에 있어서, 결정부의 분포가 일정하지 않아도 좋다. 예를 들면, CAAC-OS막의 형성 과정에 있어서, 산화물 반도체막의 표면층에서부터 결정 성장시키는 경우, 피형성면의 근방에 대해 표면의 근방에서는 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써, 상기 불순물 첨가 영역에 있어서 결정부가 비정질화되는 경우도 있다.

[0139] CAAC-OS막에 포함되는 결정부의 c축은, CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 결정부의 c축의 방향은, CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 방향에 평행한 벡터가 된다. 결정부는, 성막함으로써, 또는 성막후에 가열 처리 등의 결정화 처리를 행함으로써 형성된다.

[0140] CAAC-OS막을 사용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동을 저감시키는 것이 가능하다. 따라서, 상기 트랜지스터는, 신뢰성이 높다.

[0141] 또한, 산화물 반도체막을 구성하는 산소의 일부는 질소로 치환되어도 좋다.

[0142] CAAC-OS막을 얻는 방법으로서는, 3가지를 들 수 있다. 첫번째는, 성막 온도를 200°C 이상 500°C 이하로 하여 산화물 반도체층의 성막을 행하고, 표면에 개략 수직하게 c축 배향시키는 방법이다. 두번째는, 막 두께를 얇게 성막한 후, 200°C 이상 700°C 이하의 가열 처리를 행하고, 표면에 개략 수직하게 c축 배향시키는 방법이다. 세 번째는, 1층째의 막 두께를 얇게 성막한 후, 200°C 이상 700°C 이하의 가열 처리를 행하고, 2층째의 성막을 행하고, 표면에 개략 수직하게 c축 배향시키는 방법이다.

[0143] 산화물 반도체층(412)의 막 두께는, 1nm 이상 30nm 이하(바람직하게는 5nm 이상 10nm 이하)로 하고, 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펠스레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 사용할 수 있다. 또한, 산화물 반도체층(412)은, 스퍼터링 타깃 표면에 대해, 개략 수직하게 복수의 기판 표면이 세트된 상태에서 성막을 행하는 스퍼터링 장치를 사용하여 성막해도 좋다.

[0144] 본 실시형태의 반도체층에 사용하는 산화물 반도체층(412)은, n형 불순물인 수소를 산화물 반도체로부터 제거하고, 주성분 이외의 불순물이 최대한 포함되지 않도록 고순도화하는 것이 바람직하다.

[0145] 또한, 고순도화된 산화물 반도체층 중에서는 캐리어가 매우 적고, 캐리어 밀도는  $1 \times 10^{14}/\text{cm}^3$  미만, 바람직하게는  $1 \times 10^{12}/\text{cm}^3$  미만, 더 바람직하게는  $1 \times 10^{11}/\text{cm}^3$  미만이 된다. 또한, 이와 같이 캐리어가 적은 점에서, 오프 상태에 있어서의 전류(오프 전류)는 충분히 작아진다.

[0146] 구체적으로는, 상기의 산화물 반도체층을 구비하는 트랜지스터에서는, 실온(25°C)에 있어서의 오프 전류를 트랜지스터의 채널 폭으로 나눈 수치에 상당하는 오프 전류 밀도를, 트랜지스터의 채널 길이(L)가 10μm, 트랜지스터

의 소스-드레인간의 전압이 3V인 조건에 있어서,  $100zA/\mu m$  ( $1 \times 10^{-19} A/\mu m$ ) 이하, 또한  $10zA/\mu m$  ( $1 \times 10^{-20} A/\mu m$ ) 이하로 하는 것이 가능하다.

[0147] 또한, 고순도화된 산화물 반도체층을 구비하는 트랜지스터(410)는, 온 전류의 온도 의존성이 거의 나타나지 않고, 오프 전류도 매우 작은 그대로이다.

[0148] 다음에, 도 8에 도시하는 트랜지스터(410)의 제작 공정에 관해서, 도 9를 사용하여 설명한다.

[0149] 우선, 절연 표면을 갖는 기판(400) 위에 도전막을 형성한 후, 포토리소그래피 공정에 의해 게이트 전극(402)을 형성한다. 또한, 상기 포토리소그래피 공정에 사용하는 레지스트 마스크는, 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감시킬 수 있다.

[0150] 절연 표면을 갖는 기판(400)에 사용할 수 있는 기판에 큰 제한은 없지만, 적어도, 나중의 열처리에 견딜 수 있을 정도의 내열성을 가지고 있는 것이 필요해진다. 예를 들면, 바륨보로실리케이트 유리나 알루미노보로실리케이트 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있고, 이들 기판 위에 반도체 소자가 형성된 것을, 기판(400)으로서 사용해도 좋다.

[0151] 또한, 기판(400)으로서, 가요성 기판을 사용하여 반도체 장치를 제작해도 좋다. 가요성을 갖는 반도체 장치를 제작하기 위해서는, 가요성 기판 위에 산화물 반도체층(412)을 포함하는 트랜지스터(410)를 직접 제작해도 좋고, 다른 제작 기판에 산화물 반도체층(412)을 포함하는 트랜지스터(410)를 제작하고, 그 후 가요성 기판으로 박리, 전치해도 좋다. 또한, 제작 기판으로부터 가요성 기판으로 박리, 전치하기 위해서, 제작 기판과 산화물 반도체층(412)을 포함하는 트랜지스터(410) 사이에 박리층을 형성하면 좋다.

[0152] 게이트 전극(402)의 재료로서, 몰리브덴, 티타늄, 탄탈, 텉스텐, 알루미늄, 동, 크롬, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 적용할 수 있다. 또한, 게이트 전극(402)으로서, 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막, 니켈실리사이드 등의 실리사이드막을 사용해도 좋다. 게이트 전극(402)은, 단층 구조로 해도 좋고, 적층 구조로 해도 좋다.

[0153] 또한, 게이트 전극(402)의 재료로서, 인듐주석 산화물, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐아연 산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐주석 산화물, 인듐아연 산화물, 산화규소를 첨가한 인듐주석 산화물 등의 도전성 재료를 적용할 수도 있다. 또한, 상기 도전성 재료와, 상기 금속 재료의 적층 구조로 할 수도 있다.

[0154] 또한, 나중에 성막되는 게이트 절연층(404)과 접하는 게이트 전극(402)의 일층으로서, 질소를 포함하는 금속 산화물막, 구체적으로는, 질소를 포함하는 In-Ga-Zn-O막이나, 질소를 포함하는 In-Sn-O막이나, 질소를 포함하는 In-Ga-O막이나, 질소를 포함하는 In-Zn-O막이나, 질소를 포함하는 Sn-O막이나, 질소를 포함하는 In-O막이나, 금속 질화막(InN, SnN 등)을 사용할 수 있다. 이들의 막은 5eV(전자볼트), 바람직하게는 5.5eV(전자볼트) 이상의 일함수를 가지고, 게이트 전극으로서 사용한 경우, n채널형 트랜지스터의 임계값 전압을 플러스로 할 수 있고, 소위 노멀리 오프의 스위칭 소자를 실현할 수 있다.

[0155] 다음에, 게이트 전극(402) 위에 게이트 절연층(404)을 형성한다.

[0156] 게이트 절연층(404)의 막 두께는, 1nm 이상 20nm 이하로 하고, 스퍼터링법, MBE법, CVD법, 펄스레이저 퇴적법, ALD법 등을 적절히 사용할 수 있다. 또한, 게이트 절연층(404)은, 스퍼터링 타깃 표면에 대해, 개략 수직하게 복수의 기판 표면이 세트된 상태로 성막을 행하는 스퍼터링 장치를 사용하여 성막해도 좋다.

[0157] 게이트 절연층(404)의 재료로서, 산화실리콘막, 산화갈륨막, 산화알루미늄막, 질화실리콘막, 산화질화실리콘막, 산화질화알루미늄막, 또는 질화산화실리콘막을 적용할 수 있다. 게이트 절연층(404)은, 나중에 성막되는 산화물 반도체층(406)과 접하는 부분에 있어서 산소를 포함하는 것이 바람직하다. 특히, 게이트 절연층(404)은, 막 중(별크 중)에 적어도 화학량론비를 초과하는 양의 산소가 존재하는 것이 바람직하며, 예를 들면, 게이트 절연층(404)으로서, 산화실리콘막을 사용하는 경우에는,  $SiO_{2+\alpha}$ (단,  $\alpha > 0$ )로 한다. 본 실시형태에서는, 게이트 절연층(404)으로서,  $SiO_{2+\alpha}$ (단,  $\alpha > 0$ )인 산화실리콘막을 사용한다. 이 산화실리콘막을 게이트 절연층(404)으로서 사용함으로써, 나중에 성막되는 산화물 반도체층(406)에 산소를 공급할 수 있다. 또한, 게이트 절연층(404)은, 제작하는 트랜지스터의 사이즈나 게이트 절연층(404)의 단차 피복성을 고려하여 형성하는 것이 바람직하다.

- [0158] 또한, 게이트 절연층(404)의 재료로서 산화하프늄, 산화이트륨, 하프늄실리케이트( $HfSi_xO_y$ , ( $x>0$ ,  $y>0$ )), 질소가 첨가된 하프늄실리케이트( $HfSiO_xN_y$ ( $x>0$ ,  $y>0$ )), 하프늄알루미네이트( $HfAl_xO_y$ ( $x>0$ ,  $y>0$ )), 산화란탄 등의 high-k 재료를 사용함으로써 게이트 리크 전류를 저감시킬 수 있다. 또한, 게이트 절연층(404)은, 단층 구조로 해도 좋고, 적층 구조로 해도 좋다.
- [0159] 다음에, 게이트 절연층(404) 위에 산화물 반도체층(406)을 성막한다(도 9a 참조).
- [0160] 여기에서, 산화물 반도체층(406)의 형성 공정에 있어서, 산화물 반도체층에 수소, 또는 물이 가능한 한 포함되지 않도록 하기 위해서, 산화물 반도체층(406)의 성막의 전처리로서, 스퍼터링 장치의 예비 가열실에서 게이트 절연층(404)이 형성된 기판을 예비 가열하고, 기판(400) 및 게이트 절연층(404)에 흡착된 수소, 수분 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 또한, 예비 가열실에 설치하는 배기 수단은 크라이오 펌프가 바람직하다.
- [0161] 게이트 절연층(404)에 있어서 산화물 반도체층(406)이 접하여 형성되는 영역에, 평탄화 처리를 행해도 좋다. 평탄화 처리로서는, 특별히 한정되지 않지만, 드라이 에칭 처리, 플라즈마 처리, 또는 연마 처리(예를 들면, 화학적 기계 연마(Chemical Mechanical Polishing: CMP)법)를 사용할 수 있다.
- [0162] 플라즈마 처리로서는, 예를 들면, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행할 수 있다. 역스퍼터링이란, 아르곤 분위기하에서 기판측에 RF 전원을 사용하여 전압을 인가하고 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 사용해도 좋다. 역스퍼터링을 행하면, 게이트 절연층(404)의 표면에 부착되어 있는 분상 물질(파티클, 먼지라고도 한다)을 제거할 수 있다.
- [0163] 평탄화 처리로서, 드라이에칭 처리, 플라즈마 처리, 또는 연마 처리는 복수회 행해도 좋고, 이들을 조합하여 행해도 좋다. 또한, 조합하여 행하는 경우, 공정순도 특별히 한정되지 않으며, 게이트 절연층(404) 표면의 요철 상태에 맞추어 적절히 설정하면 좋다.
- [0164] 또한, 산화물 반도체층(406)은, 성막시에 산소가 많이 포함되는 조건(예를 들면, 산소 100%의 분위기 하에서 스퍼터링법에 의해 성막을 행하는 등)으로 성막하고, 산소를 많이 포함하는(바람직하게는 산화물 반도체가 결정 상태에 있어서의 화학량론적 조성비에 대해, 산소의 함유량이 과잉한 영역이 포함되어 있는) 막으로 하는 것이 바람직하다.
- [0165] 산화물 반도체층(406)에 사용하는 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 감소시키기 위한 스테빌라이저로서, 이들 외에 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.
- [0166] 또한, 기타 스테빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 틀뮴(Tm), 이테르븀(Yb), 루테튬(Lu)의 어느 1종 또는 복수종을 가져도 좋다.
- [0167] 예를 들면, 산화물 반도체로서, 산화인듐, 산화주석, 산화아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기한다), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0168] 또한, 여기에서, 예를 들면, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 상관하지 않는다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어가 있어도 좋다.
- [0169] 또한, 본 실시형태에 있어서, 산화물 반도체층(406)을 스퍼터링법으로 제작하기 위한 타깃으로서는, 조성비로서, In:Ga:Zn=3:1:2[원자 백분률]의 산화물 타깃을 사용하고, In-Ga-Zn계 산화물막(IGZO막)을

성막한다.

[0170] 또한, 타깃의 상대 밀도는 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 상대 밀도가 높은 타깃을 사용함으로써, 성막한 산화물 반도체층(406)은 치밀한 막으로 할 수 있다.

[0171] 산화물 반도체층(406)을, 성막할 때에 사용하는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.

[0172] 감압 상태로 유지된 성막실 내에 기관을 유지한다. 그리고, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타깃을 사용하여 기관(400) 위에 산화물 반도체층(406)을 성막한다. 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들면, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서는, 터보 분자 펌프에 콜드트랩을 가한 것이라도 좋다. 크라이오 펌프를 사용하여 배기한 성막실은, 예를 들면, 수소 원자, 물( $H_2O$ ) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되기 때문에, 상기 성막실에서 성막한 산화물 반도체층(406)에 포함되는 불순물의 농도를 저감시킬 수 있다.

[0173] 또한, 게이트 절연층(404)과 산화물 반도체층(406)을 대기에 해방하지 않고 연속적으로 성막하는 것이 바람직하다. 게이트 절연층(404)과 산화물 반도체층(406)을 대기에 폭로하지 않고 연속하여 성막하면, 게이트 절연층(404) 표면에 수소나 수분 등의 불순물이 흡착되는 것을 방지할 수 있다.

[0174] 다음에, 산화물 반도체층(406)에 포함되는 과잉 수소(물이나 수산기를 포함한다)를 제거(탈수화 또는 탈수소화)하기 위한 가열 처리를 행한다. 산화물 반도체층(406)에 가열 처리를 행함으로써, 과잉 수소가 제거된 산화물 반도체층(408)을 형성할 수 있다(도 9b 참조). 가열 처리의 온도는, 300°C 이상 700°C 이하, 또는 기관의 변형점 미만으로 한다. 가열 처리는 감압하 또는 질소 분위기하 등에서 행할 수 있다. 예를 들면, 가열 처리 장치의 하나인 전기로에 기관을 도입하고, 산화물 반도체층(406)에 대해 질소 분위기하 450°C에 있어서 1시간의 가열 처리를 행한다.

[0175] 또한, 가열 처리 장치는 전기로로 한정되지 않으며, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 사용해도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 행하는 장치이다. 고온의 가스에는, 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가 사용된다.

[0176] 예를 들면, 가열 처리로서, 650°C 내지 700°C의 고온으로 가열한 불활성 가스 중에 기관을 넣고, 수분간 가열한 후, 기관을 불활성 가스 중에서 내보내는 GRTA를 행해도 좋다.

[0177] 또한, 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 열처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0178] 또한, 가열 처리로 산화물 반도체층(406)을 가열한 후, 동일한 로(爐)에 고순도의 산소 가스, 고순도의 일산화이질소 가스, 또는 초건조 에어(CRDS(캐비티 링다운 레이저 분광법) 방식의 노점계를 사용하여 측정한 경우의 수분량이 20ppm(노점 환산으로 -55°C) 이하, 바람직하게는 1ppm 이하, 보다 바람직하게는 10ppb 이하의 공기)를 도입해도 좋다. 산소 가스 또는 일산화이질소 가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 열처리 장치에 도입하는 산소 가스 또는 일산화이질소 가스의 순도를, 6N 이상 바람직하게는 7N 이상(즉, 산소 가스 또는 일산화이질소 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다. 산소 가스 또는 일산화이질소 가스의 작용에 의해, 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 의해 동시에 감소되어 벼린 산화물 반도체를 구성하는 주성분 재료인 산소를 공급할 수 있다.

[0179] 또한, 탈수화 또는 탈수소화를 위한 가열 처리는, 복수회 행해도 좋고, 다른 가열 처리와 겹해도 좋다.

[0180] 탈수화 또는 탈수소화를 위한 가열 처리를, 산화물 반도체층(412)으로서 섬 형상으로 가공되기 전, 막 형상의 산화물 반도체층(406)이 게이트 절연층(404)을 덮은 상태에서 행하면, 게이트 절연층(404)에 포함되는 산소가 가열 처리에 의해 외방 확산되는 것을 방지할 수 있기 때문에 바람직하다.

- [0181] 또한, 탈수화 또는 탈수소화 처리에 의해, 산화물 반도체를 구성하는 주성분재료인 산소가 동시에 탈리되어 감소되어 버릴 우려가 있다. 산화물 반도체층(408)에 있어서, 산소가 탈리된 개소에서는 산소 결손이 존재하고, 상기 산소 결손에 기인하여 트랜지스터의 전기적 특성 변동을 초래하는 도너 준위가 생겨 버린다.
- [0182] 따라서, 탈수화 또는 탈수소화 처리를 행한 산화물 반도체층(408)에, 산소를 공급하는 것이 바람직하다. 산화물 반도체층(408)에 산소를 공급함으로써, 막 중의 산소 결손을 보충할 수 있다.
- [0183] 예를 들면, 산소의 공급원이 되는 산소를 많이(과잉으로) 포함하는 산화물 절연층을 게이트 절연층(404)으로서 사용하고, 산화물 반도체층(408)과 접하여 형성함으로써, 상기 산화물 절연층으로부터 산화물 반도체층(408)으로 산소를 공급할 수 있다. 상기 구성에 있어서, 탈수화 또는 탈수소화 처리로서 가열 처리를 행한 산화물 반도체층(408) 및 산화물 절연층을 적어도 일부가 접한 상태에서 가열 처리를 행함으로써 산화물 반도체층(408)으로의 산소의 공급을 행해도 좋다.
- [0184] 산소의 공급원이 되는 산소를 많이(과잉으로) 포함하는 게이트 절연층(404)과 산화물 반도체층(408)과 접하여 형성함으로써, 상기 게이트 절연층(404)으로부터 산화물 반도체층(408)으로 산소를 공급할 수 있고, 산화물 반도체층(408) 중의 산소 결손을 보충할 수 있다.
- [0185] 다음에, 산화물 반도체층(408)을 포토리소그래피 공정에 의해, 섬 형상의 산화물 반도체층(412)을 형성한다(도 9c 참조). 또한, 상기 포토리소그래피 공정에 사용하는 레지스트 마스크는, 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감시킬 수 있다.
- [0186] 또한, 산화물 반도체층(408)의 에칭은, 드라이 에칭이라도 웨트 에칭이라도 좋으며, 양자를 사용해도 좋다. 예를 들면, 산화물 반도체층(408)의 웨트 에칭에 사용하는 에칭액으로서는, 인산과 아세트산과 질산을 섞은 용액 등을 사용할 수 있다. 또한, IT007N(칸토가가쿠사 제조)을 사용해도 좋다.
- [0187] 다음에, 산화물 반도체층(412)에, 산소(적어도, 산소 라디칼, 산소 원자, 산소 이온, 중 어느 하나를 포함한다)를 도입하여 막 중에 산소를 공급해도 좋다.
- [0188] 산화물 반도체층(412)에, 산소를 도입하여 막 중에 산소를 공급함으로써, 산화물 반도체층(412)을 고순도화할 수 있다. 고순도화된 산화물 반도체층(412)을 갖는 트랜지스터는, 전기 특성 변동이 억제되고 있어, 전기적으로 안정적이다.
- [0189] 산소의 도입 방법으로서는, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.
- [0190] 산소의 도입 공정은, 산화물 반도체층(412)에 산소 도입하는 경우, 산화물 반도체층(412)에 직접 도입해도 좋고, 나중에 성막되는 게이트 절연층(416)을 통과하여 산화물 반도체층(412)에 도입해도 좋다. 산소를 게이트 절연층(416)을 통과하여 도입하는 경우에는, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 사용하면 좋지만, 산소를 노출된 산화물 반도체층(412)으로 직접 도입하는 경우에는, 플라즈마 처리 등도 사용할 수 있다.
- [0191] 산화물 반도체층으로의 산소의 도입은, 탈수화 또는 탈수소화 처리를 행한 후이면 좋고, 특별히 한정되지 않는다. 또한, 상기 탈수화 또는 탈수소화 처리를 행한 산화물 반도체층에, 산소의 도입을 복수회 행해도 좋다.
- [0192] 이어서, 산화물 반도체층(412) 위에, 드레인 전극(414a) 및 소스 전극(414b)(이것과 동일한 층에서 형성되는 배선을 포함한다)이 되는 도전막을 형성한 후, 포토리소그래피 공정에 의해, 드레인 전극(414a) 및 소스 전극(414b)을 형성한다(도 9d 참조).
- [0193] 상기 도전막은 나중의 가열 처리에 견딜 수 있는 재료를 사용한다. 드레인 전극(414a) 및 소스 전극(414b)에 사용하는 도전막으로서는, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소를 포함하는 금속막, 또는 상기한 원소를 성분으로 하는 금속 질화물막(질화티타늄막, 질화몰리브덴막, 질화텅스텐막) 등을 사용할 수 있다. 또한, Al, Cu 등의 금속막의 하측 또는 상측의 한쪽 또는 쌍방에 Ti, Mo, W 등의 고용접 금속막 또는 이들의 금속 질화물막(질화티타늄막, 질화몰리브덴막, 질화텅스텐막)을 적층시킨 구조으로 해도 좋다. 또한, 드레인 전극(414a) 및 소스 전극(414b)에 사용하는 도전막으로서는, 도전성의 금속 산화물로 형성해도 좋다. 도전성의 금속 산화물로서는 산화인듐( $In_2O_3$ ), 산화주석( $SnO_2$ ), 산화아연( $ZnO$ ), 산화인듐산화주석( $In_2O_3-SnO_2$ , ITO라고 약기한다), 산화인듐산화아연( $In_2O_3-ZnO$ ) 또는 이들의 금속 산화물 재료에 산화실리콘을 포함시킨 것을 사용

할 수 있다.

[0194] 다음에, 산화물 반도체층(412), 드레인 전극(414a), 및 소스 전극(414b)을 덮도록, 게이트 절연층(416)을 성막 한다. 또한, 게이트 절연층(416)의 재료 및 성막 방법으로서, 게이트 절연층(404)과 같은 재료 및 성막 방법을 적용할 수 있기 때문에, 상세한 설명은 생략한다.

[0195] 다음에, 게이트 절연층(416) 위에 게이트 전극(418)이 되는 도전막을 형성한 후, 포토리소그래피 공정에 의해, 게이트 전극(418)을 형성한다(도 9e 참조). 또한, 게이트 전극(418)의 재료 및 성막 방법으로서, 게이트 전극(402)과 같은 재료 및 성막 방법을 적용할 수 있기 때문에, 상세한 설명은 생략한다.

[0196] 이상의 공정으로 트랜지스터(410)가 형성된다(도 9e 참조).

[0197] 또한, 게이트 절연층(416), 및 게이트 전극(418) 위에는, 또한 보호 절연층을 형성해도 좋다. 보호 절연층은, 수소나 물 등의, 외부로부터의 침입을 방지한다. 보호 절연층으로서는, 예를 들면, 질화실리콘막, 질화알루미늄막 등을 사용할 수 있다. 성막 방법은 특별히 한정되지 않지만, RF 스퍼터링법은 양산성이 좋기 때문에, 보호 절연층의 성막 방법으로서 적합하다.

[0198] 또한, 보호 절연층 위에는, 트랜지스터 기인의 표면 요철을 저감하기 위한 평탄화 절연막을 형성해도 좋다. 평탄화 절연막으로서는, 폴리이미드, 아크릴, 벤조사이클로부텐 등의 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료) 등을 사용할 수 있다. 또한, 이들의 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연막을 형성해도 좋다.

[0199] 또한, 보호 절연층 또는 평탄화 절연막의 성막후에는, 또한, 대기중, 100°C 이상 200°C 이하, 1시간 이상 30시간 이하의 조건으로, 열처리를 행해도 좋다.

[0200] 이와 같이, 본 실시형태를 사용하여 제작한 고순도화된 산화물 반도체층에 채널이 형성되는 트랜지스터는, 오프전류가 매우 작다고 하는 특징을 가지고 있다. 이로 인해, 이 트랜지스터를 사용함으로써, 노드의 전위 유지가 용이해진다. 따라서, 이것을 시프트 레지스터 등에 사용함으로써, 오동작의 확률을 매우 낮게 억제할 수 있다.

[0201] 본 실시형태는 다른 실시형태와 자유롭게 조합하여 실시하는 것이 가능하다.

[0202] (실시예 1)

[0203] 본 발명의 일 형태에 따르는 반도체 장치는, 여러가지 전자 기기에 사용할 수 있다. 전자 기기로서는, 예를 들면, 퍼스널 컴퓨터(예를 들면, 노트형이나 데스크탑형), 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치), 휴대 전화, 휴대형 게임기, 휴대 정보 단말, 전자 서적, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기를 들 수 있다.

[0204] 전자 기기의 일례에 관해서 도 10a, 도 10b, 및 도 10c를 사용하여 설명한다.

[0205] 도 10a 및 도 10b는 반으로 접을 수 있는 태블릿형 단말이다. 도 10a는, 펼친 상태이며, 태블릿형 단말은, 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 스위치(9034), 전원 스위치(9035), 전력 절약 모드 전환 스위치(9036), 잡금장치(9033), 조작 스위치(9038)를 가진다.

[0206] 표시부(9631a)는, 일부를 터치 패널의 영역(9632a)으로 할 수 있고, 표시된 조작 키(9037)에 터치함으로써 데이터 입력을 할 수 있다. 또한, 표시부(9631a)에 있어서는, 일례로서 절반 정도의 영역이 표시의 기능만을 갖는 구성, 또 다른 절반 정도의 영역이 터치 패널의 기능을 갖는 구성을 나타내고 있지만 상기 구성으로 한정되지 않는다. 표시부(9631a)의 모든 영역이 터치 패널의 기능을 갖는 구성으로 해도 좋다. 예를 들면, 표시부(9631a)의 전면을 키보드 버튼 표시시켜 터치 패널로 하고, 표시부(9631b)를 표시 화면으로서 사용할 수 있다.

[0207] 또한, 표시부(9631b)에 있어서도 표시부(9631a)와 같이, 표시부(9631b)의 일부를 터치 패널의 영역(9632b)으로 할 수 있다. 또한, 터치 패널의 키보드 표시 전환 버튼(9639)이 표시되어 있는 위치에 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631b)에 키보드 버튼 표시할 수 있다.

[0208] 또한, 터치 패널의 영역(9632a)과 터치 패널의 영역(9632b)에 대해 동시에 터치 입력할 수도 있다.

- [0209] 또한, 표시 모드 전환 스위치(9034)는, 세로 표시 또는 가로 표시 등의 표시의 방향을 전환하고, 흑백 표시나 컬러 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9036)는, 태블릿형 단말에 내장되어 있는 광센서로 검출되는 사용시의 외광의 광량에 따라 표시의 휘도를 최적의 것으로 할 수 있다. 태블릿형 단말은 광센서뿐만 아니라, 자이로스코프, 가속도 센서 등의 기울기를 검출하는 센서 등의 다른 검출 장치를 내장시켜도 좋다.
- [0210] 또한, 도 10a에서는 표시부(9631b)와 표시부(9631a)의 표시 면적이 동일한 예를 나타내고 있지만 특별히 한정되지 않으며, 한쪽의 사이즈와 또 다른 한쪽의 사이즈가 상이해도 좋고, 표시의 품질도 상이해도 좋다. 예를 들면 한쪽이 다른쪽보다도 고정세의 표시를 행할 수 있는 표시 패널로 해도 좋다.
- [0211] 도 10b는, 닫은 상태이며, 태블릿형 단말은, 하우징(9630), 태양 전지(9633), 충방전 제어 회로(9634), 배터리(9635), DCDC 컨버터(9636)를 가진다. 또한, 도 10b에서는 충방전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(9636)를 갖는 구성에 관해서 도시하고 있다.
- [0212] 또한, 태블릿형 단말은 반으로 접을 수 있기 때문에, 미사용시에 하우징(630)을 닫은 상태로 할 수 있다. 따라서, 표시부(9631a), 표시부(9631b)를 보호할 수 있기 때문에, 내구성이 우수하고, 장기 사용의 관점에서도 신뢰성이 우수한 태블릿형 단말을 제공할 수 있다.
- [0213] 또한, 이밖에도 도 10a 및 도 10b에 도시한 태블릿형 단말은, 여러 가지 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 캘린더, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력 조작 또는 편집하는 터치 입력 기능, 여러가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다.
- [0214] 태블릿형 단말의 표면에 장착된 태양 전지(9633)에 의해, 전력을 표시부(9631)(표시부(9631a) 및 /또는 표시부(9631b))나, 표시부(9631) 중의 터치 패널이나 영상 신호 처리부 등에 공급할 수 있다. 또한, 태양 전지(9633)를, 하우징(9630)의 적어도 일면(예를 들면, 표시부(9631a) 및 표시부(9631b))가 형성된 면을 표면으로 하면, 그 이면 전체 또는 그 일부)에 설치함으로써, 효율적인 배터리(9635)의 충전을 행하는 구조으로 할 수 있기 때문에 적합하다. 또한 배터리(9635)로서는, 리튬 이온 전지를 사용하면, 소형화를 도모할 수 있는 등의 이점이 있다.
- [0215] 또한, 도 10b에 도시하는 충방전 제어 회로(9634)의 구성, 및 동작에 관해서 도 10c에 블록도를 도시하여 설명한다. 도 10c에는, 태양 전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1 내지 SW3), 표시부(9631)에 관해서 나타내고 있으며, 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1 내지 SW3)가, 도 10b에 도시하는 충방전 제어 회로(9634)에 대응하는 개소가 된다.
- [0216] 외광에 의해 태양 전지(9633)에 의해 발전이 되는 경우의 동작의 예에 관해서 설명한다. 태양 전지(9633)로 발전한 전력은, 배터리(9635)를 충전하기 위한 전압이 되도록 DCDC 컨버터(9636)에서 승압 또는 강압이 이루어진다. 그리고, 표시부(9631)의 동작에 태양 전지(9633)로부터의 전력이 사용될 때는 스위치(SW1)를 온으로 하고, 컨버터(9637)에서 표시부(9631)에 필요한 전압으로 승압 또는 강압을 하게 된다. 또한, 표시부(9631)에서의 표시를 행하지 않을 때는, SW1을 오프로 하고, SW2을 온으로 하고 배터리(9635)의 충전을 행하는 구조으로 하면 좋다.
- [0217] 또한 태양 전지(9633)에 관해서는, 발전 수단의 일례로서 나타냈지만, 특별히 한정되지 않으며, 압전 소자(피에조 소자)나 열전 변환 소자(펠티에 소자) 등의 다른 발전 수단에 의한 배터리(9635)의 충전을 행하는 구조이라도 좋다. 예를 들면, 무선(비접촉)으로 전력을 송수신하여 충전하는 무접점 전력 전송 모듈이나, 또한 다른 충전 수단을 조합하여 행하는 구조으로 해도 좋다.
- [0218] 본 실시예는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.

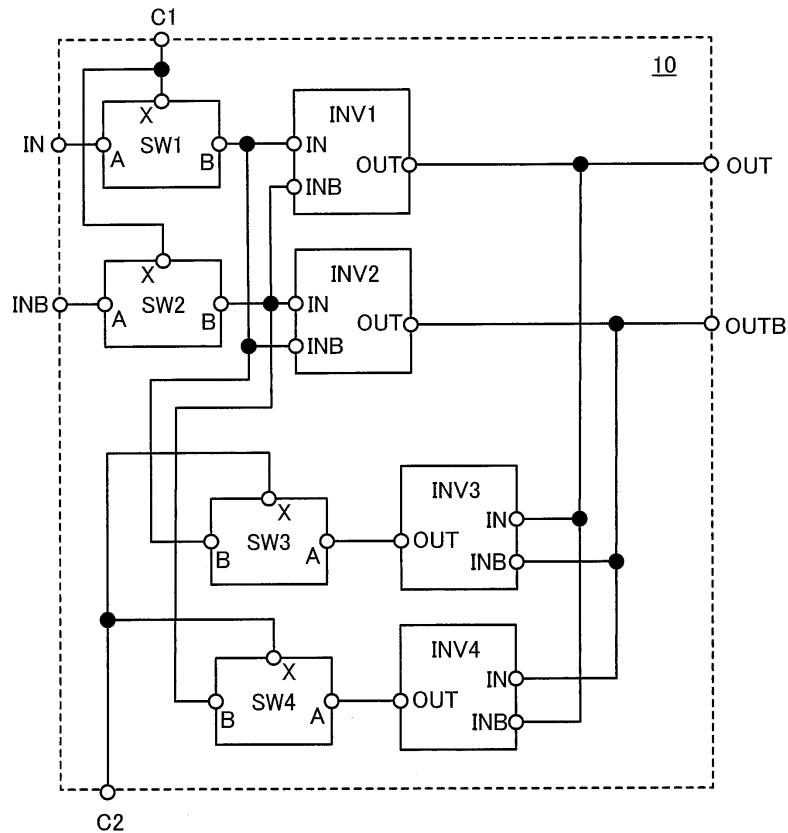
### 부호의 설명

10: 단	80: 단
81: 트랜지스터	82: 트랜지스터
83: 트랜지스터	84: 트랜지스터
85: 용량 소자	100: 반도체 장치

101: 트랜지스터	102: 트랜지스터
103: 트랜지스터	104: 트랜지스터
105: 트랜지스터	106: 트랜지스터
107: 트랜지스터	108: 트랜지스터
109: 트랜지스터	110: 트랜지스터
211: 용량 소자	212: 용량 소자
400: 기판	402: 게이트 전극
404: 게이트 절연층	406: 산화물 반도체층
408: 산화물 반도체층	410: 트랜지스터
412: 산화물 반도체층	414a: 드레인 전극
414b: 소스 전극	416: 게이트 절연층
418: 게이트 전극	9630: 하우징
9631: 표시부	9631a: 표시부
9631b: 표시부	9632a: 영역
9632b: 영역	9033: 잠금장치
9034: 표시 모드 전환 스위치	9035: 전원 스위치
9036: 전력 절약 모드 전환 스위치	9037: 조작 키
9038: 조작 스위치	9639: 키보드 표시 전환 버튼
9633: 태양 전지	9634: 충방전 제어 회로
9635: 배터리	9636: DCDC 컨버터
9637: 컨버터	

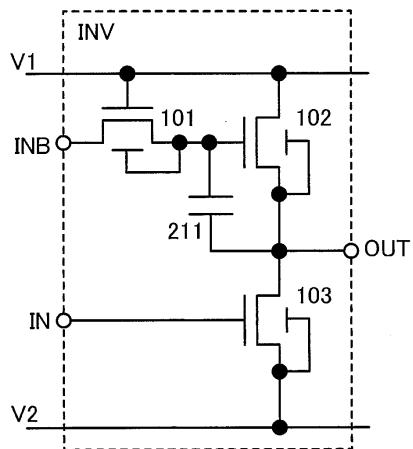
## 도면

## 도면1

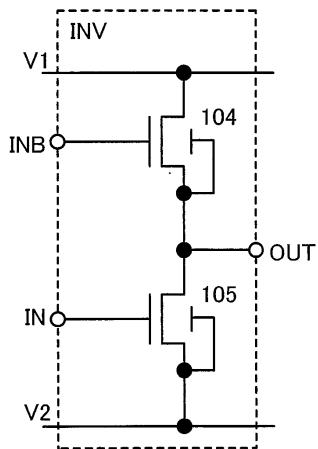


## 도면2

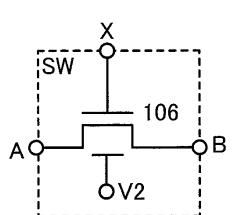
(a)



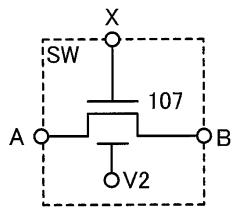
(b)



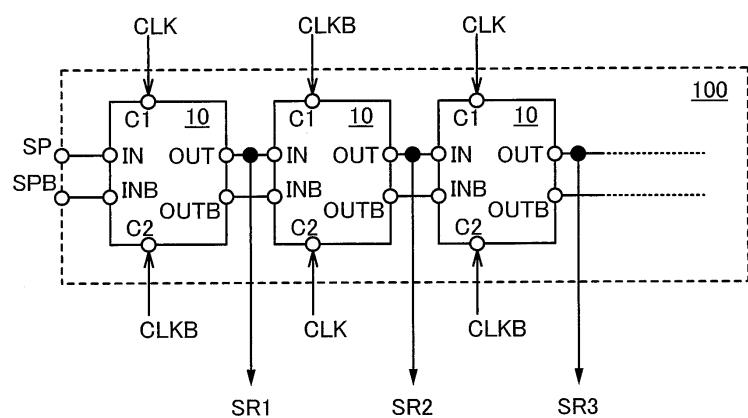
(c)



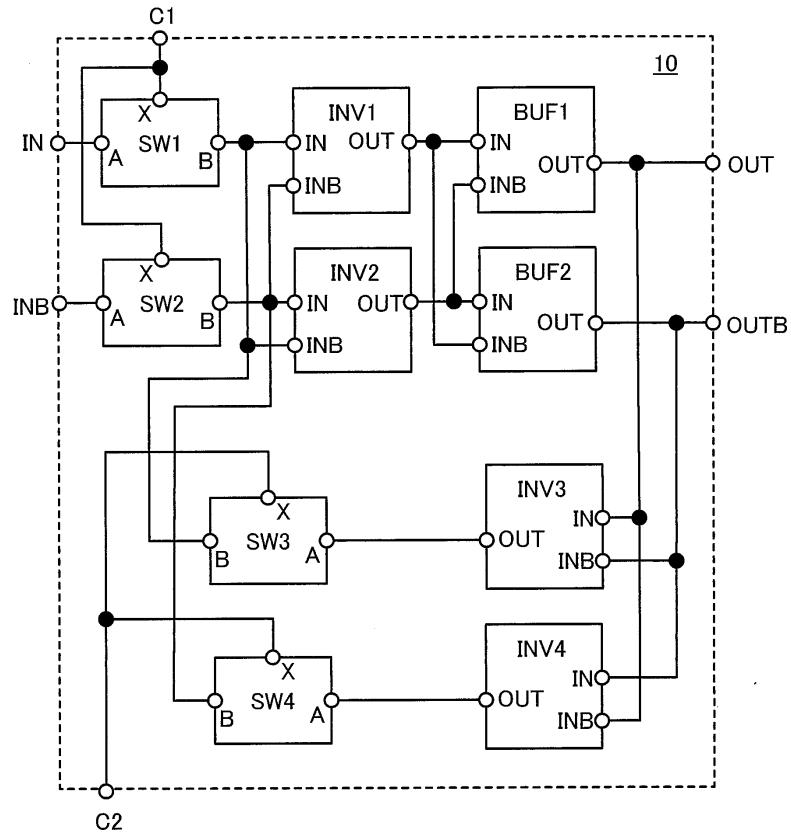
(d)



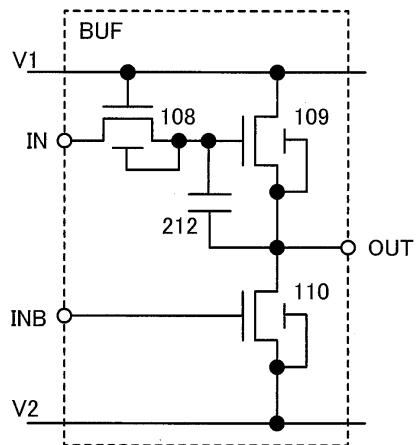
## 도면3



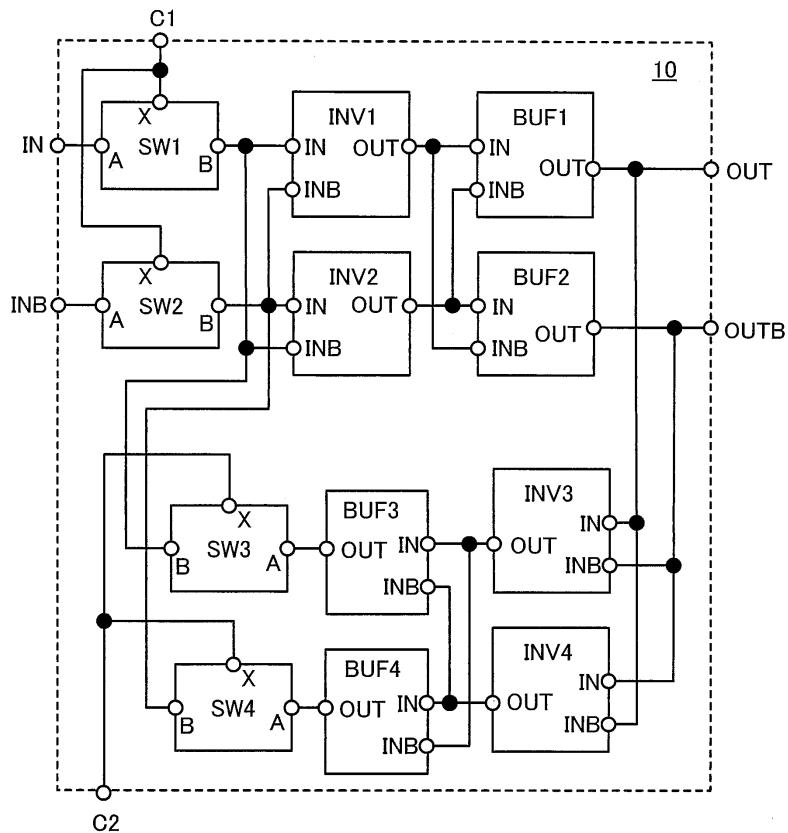
## 도면4



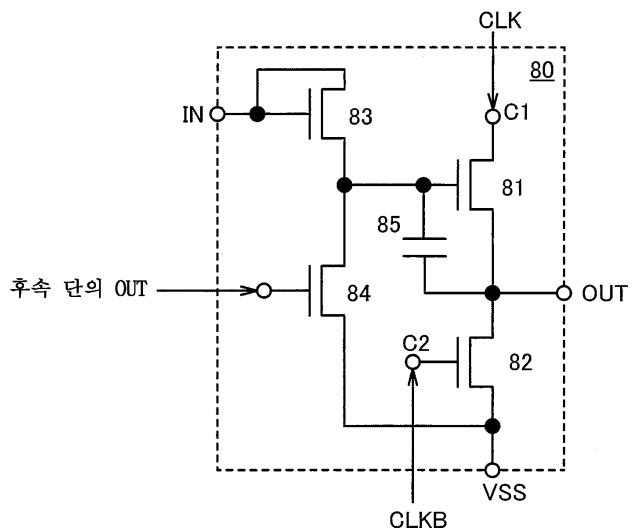
## 도면5



도면6

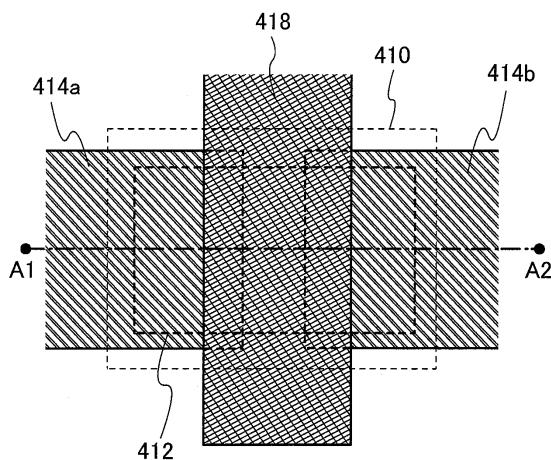


도면7

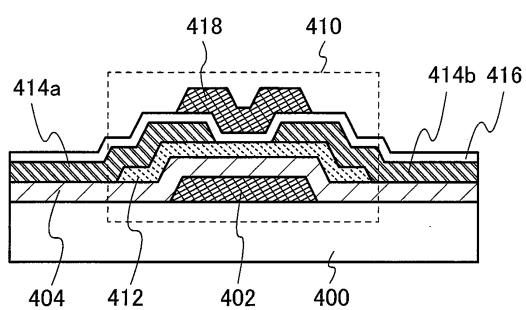


## 도면8

(a)

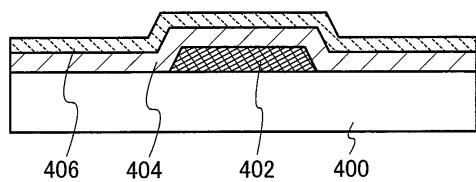


(b)

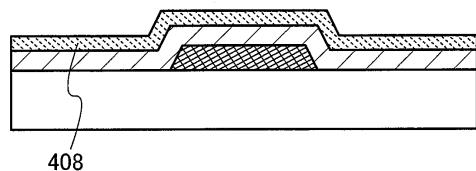


## 도면9

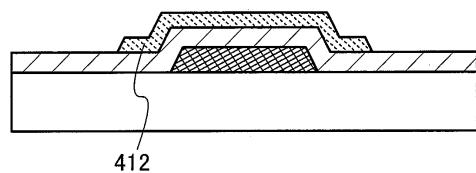
(a)



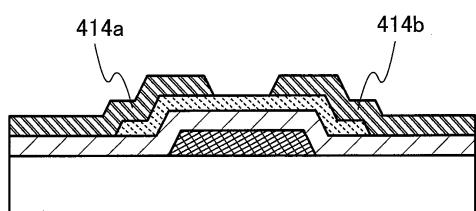
(b)



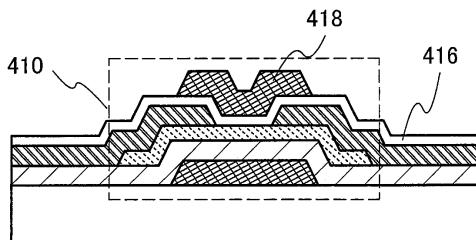
(c)



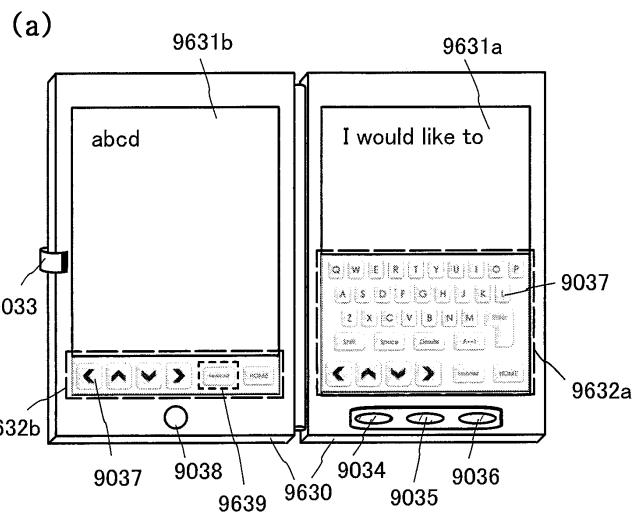
(d)



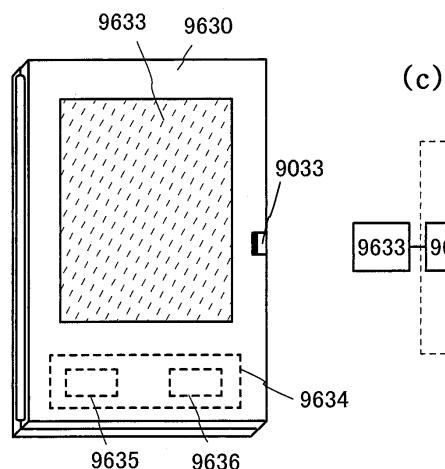
(e)



## 도면10



(b)



(c)

