

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-166301

(P2008-166301A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.		F I		テーマコード (参考)
H O 1 G	4/252	(2006.01)	H O 1 G 1/14 V	5 E 0 0 1
H O 1 G	4/228	(2006.01)	H O 1 G 1/14 F	5 E 0 8 2
H O 1 G	4/12	(2006.01)	H O 1 G 4/12 3 5 2	
H O 1 G	4/30	(2006.01)	H O 1 G 4/30 3 0 1 B	

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号	特願2006-350490 (P2006-350490)	(71) 出願人	000003067
(22) 出願日	平成18年12月26日 (2006.12.26)		T D K 株式会社
			東京都中央区日本橋一丁目13番1号
		(74) 代理人	100105809
			弁理士 木森 有平
		(72) 発明者	五十嵐 克彦
			東京都中央区日本橋一丁目13番1号 T
			D K 株式会社内
		Fターム(参考)	5E001 AB03 AF02 AH04
			5E082 AA01 AB03 GG10 GG28

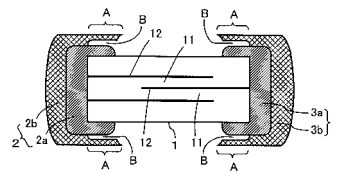
(54) 【発明の名称】 電子部品及びその実装構造

(57) 【要約】

【課題】 積層セラミックコンデンサ等の電子部品において、はんだクラックの発生を確実に防止し、信頼性の高い実装状態を実現する。

【解決手段】 電子部品素体（積層セラミックコンデンサチップ1）の端部に端子電極2，3を備えた電子部品である。端子電極2，3を構成する導体層の一部が他の部材から離間して形成されている。例えば、端子電極2，3の上層側の導体層として導電性樹脂層2b，3bを有し、導電性樹脂層2b，3bの端部が逆傾斜面とされている。あるいは、導電性樹脂層2b，3bの端部において、導電性樹脂層2b，3bとその下に形成された導体層（下地電極層2a，3a）の間に空間Bが形成されている。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

電子部品素体の端部に端子電極を備えた電子部品であって、前記端子電極を構成する導体層の一部が他の部材から離間して形成されていることを特徴とする電子部品。

【請求項 2】

前記端子電極が複数の導体層から構成され、少なくとも最外層の導体層を含む上層側の導体層の一部が他の部材から離間して形成されていることを特徴とする請求項 1 記載の電子部品。

【請求項 3】

前記上層側の導体層の一部が下層の導体層から離間して形成されていることを特徴とする請求項 2 記載の電子部品。

【請求項 4】

前記上層側の導体層として導電性樹脂により形成された導体層を有することを特徴とする請求項 2 または 3 記載の電子部品。

【請求項 5】

前記導電性樹脂により形成された導体層の端部が逆傾斜面とされていることを特徴とする請求項 4 記載の電子部品。

【請求項 6】

前記導電性樹脂により形成された導体層の端部において、当該導体層とその下に形成された導体層の間に空間が形成されていることを特徴とする請求項 4 記載の電子部品。

【請求項 7】

請求項 1 から 6 のいずれか 1 項記載の電子部品が端子電極をはんだ付けすることにより実装基板に実装されていることを特徴とする電子部品の実装構造。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、積層セラミックコンデンサ等の電子部品に関するものであり、特に端子電極の改良に関する。また、本発明は、前記電子部品の実装構造に関する。

【背景技術】**【0002】**

例えば積層セラミック電子部品の代表例である積層セラミックコンデンサは、複数の誘電体セラミック層と内部電極層とが交互に積層された構造を有し、小型、大容量、高信頼性の電子部品として広く利用されている。例えば、1 台の電子機器の中に多数個の積層セラミックコンデンサが使用されることも珍しくない。

【0003】

前記積層セラミックコンデンサにおいては、電子部品素体である積層セラミックコンデンサチップの両端部に内部電極層と電気的に接続されて端子電極が形成されている。そして、この端子電極を配線基板等の実装基板上に形成された接続パッドにはんだ付けすることにより実装され、電気的な接続及び機械的な固定が図られる。積層セラミックコンデンサ以外の電子部品についても同様であり、電子部品の実装方法として、前記はんだ付けが一般的である。

【0004】

はんだ付けにより端子電極の電気的接続及び機械的接続を図る場合、はんだ付けの際に加わる急激な熱応力や、その後の温度サイクルや熱衝撃、さらには外部から加わる応力等に起因して、電子部品素体（例えば積層セラミックコンデンサチップ）にクラックが生じたり、端子電極が剥離する等の問題が生ずるおそれがある。そこで、このような問題に対処するための方策として、端子電極（外部電極）を構成する導体層の一部を導電性樹脂層とすることが検討されている（例えば、特許文献 1 等を参照）。

【0005】

特許文献 1 記載の発明では、誘電体層と内部電極層とを交互に積層してなる磁器素体の

10

20

30

40

50

両端面に、磁器素体側から金属成分とガラス成分を含有する第1導体層、金属成分と樹脂成分を含有する第2導体層、メッキ金属からなる第3導体層からなる外部電極を形成した積層セラミックコンデンサにおいて、第1導体層に含まれるガラス成分の割合や、第2導体層に含まれる樹脂成分の割合を規定するとともに、磁器素体と第1導体との接合強度や、第導体層と第2導体層との接合強度を規定することで、前述の磁器素体のクラックや願部電極の剥離を防止し、実装基板との固着強度を確保するようにしている。

【特許文献1】特許第3363369号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

10

しかしながら、本発明者が検討を重ねた結果、前述の従来技術では、はんだ付け後に生ずるはんだクラックを解消することができないことがわかった。電子部品の端子電極をはんだ付けした場合、例えば熱サイクル後にはんだにクラックが生じ、良好な電氣的接続状態を維持することができない場合がある。極端な場合、前記はんだクラックにより電子部品が実装基板から脱落する等の障害が発生するおそれもある。このようなはんだクラックは、例えば端子電極を導電性樹脂により形成しても、それだけでは解消することはできない。

【0007】

本発明は、前述の従来の実情に鑑みて提案されたものであり、はんだクラックの発生を確実に防止することができ、信頼性の高い実装状態を実現することが可能な電子部品及びその実装構造を提供することを目的とする。

20

【課題を解決するための手段】

【0008】

前述の目的を達成するために、本発明の電子部品は、電子部品素体の端部に端子電極を備えた電子部品であって、前記端子電極を構成する導体層の一部が他の部材から離間して形成されていることを特徴とする。また、本発明の電子部品の実装構造は、前記電子部品が端子電極をはんだ付けすることにより実装基板に実装されていることを特徴とする。

【0009】

電子部品の端子電極をはんだ付けする場合、端子電極の表面及び実装基板の接続パッド表面と接してはんだが供され、これら間を電氣的及び機械的に接続する。ここで、はんだが固着される部分（すなわち、前記端子電極表面と接続用パッド表面）は、電子部品素体に強固に結合されており、何ら緩衝機能を有していないため、例えば端子電極を導電性樹脂で形成しても、はんだに加わる応力を吸収することができず、はんだクラックの発生を抑えることはできない。

30

【0010】

これに対して、端子電極を構成する導体層の一部を他の部材（前記電子部品素体や下層となる導体層）から離間して形成すると、この部分が変形可能となって緩衝材としての機能を果たし、端子電極表面に固着されるはんだに加わる応力を吸収し、これを緩和する。したがって、はんだクラックの発生が効果的に抑えられる。

【発明の効果】

40

【0011】

本発明においては、端子電極を構成する導体層の一部が電子部品素体から離間して形成されており、この部分が緩衝材としての機能を果たすので、はんだクラックの発生を確実に防止することができ、信頼性の高い実装状態を実現することが可能である。

【発明を実施するための最良の形態】

【0012】

以下、本発明を適用した電子部品及びその実装構造について、図面を参照して詳細に説明する。

【0013】

図1は電子部品（積層セラミックコンデンサ）の一例を示すものであり、チップ部品の

50

1種である積層セラミックコンデンサチップ1の両端部分に端子電極2, 3を形成することで構成されている。

【0014】

積層セラミックコンデンサチップ1は、複数の誘電体セラミック層11と内部電極層12とが交互に積層されて構成されており、内部電極層12は、素子本体の対向する2端面に各側端面が交互に露出するように積層されている。素子本体である積層セラミックコンデンサチップ1の形状は特に制限されるものではないが、通常は直方体形状である。その寸法も特に制限はなく、用途に応じて適当な寸法に設定すればよい。

【0015】

積層セラミックコンデンサチップ1を構成する前記誘電体セラミック層11は、誘電体磁器組成物により構成され、誘電体磁器組成物の粉末（セラミック粉末）を焼結することにより形成される。前記誘電体磁器組成物は、例えば組成式 ABO_3 （式中、Aサイトは、Sr、Ca及びBaから選ばれる少なくとも1種の元素で構成される。Bサイトは、Ti及びZrから選ばれる少なくとも1種の元素で構成される。）で表されるペロブスカイト型結晶構造を持つ誘電体酸化物を主成分として含有するもの等を挙げることができる。前記誘電体酸化物の中でも、Aサイト元素をBaとし、Bサイト元素をTiとしたチタン酸バリウム等が好ましい。勿論、これに限定されるものではなく、任意のセラミック材料（誘電体磁器組成物）により形成することができる。

【0016】

前記誘電体磁器組成物中には、主成分の他、各種副成分が含まれていてもよい。副成分としては、Sr、Zr、Y、Gd、Tb、Dy、V、Mo、Zn、Cd、Ti、Sn、W、Ba、Ca、Mn、Mg、Cr、Si及びPの酸化物から選ばれる少なくとも1種が例示される。副成分を添加することにより、例えば主成分の誘電特性を劣化させることなく低温焼成が可能となる。また、誘電体セラミック層11を薄層化した場合の不良の発生が低減され、長寿命化が可能となる。

【0017】

前記誘電体セラミック層11の積層数や厚み等の諸条件は、要求される特性や用途等に応じ適宜決定すればよい。例えば、誘電体セラミック層11の厚みについては、 $1\mu m \sim 50\mu m$ 程度であり、通常は $5\mu m \sim 20\mu m$ 程度であるが、 $5\mu m$ 以下とすることも可能である。積層セラミックコンデンサ2の小型化、大容量化を図る観点では、誘電体セラミック層11の厚さは $3\mu m$ 以下とすることが好ましい。誘電体セラミック層11の積層数は、2層 ~ 300 層程度であるが、特性を考慮すると150層以上とすることが好ましい。

【0018】

前記内部電極層12には、任意の金属材料を用いることができる。例えば、AgやPd、AgPd合金、Pt、Au等の貴金属を用いてもよいし、Ni、Cu、Ni合金又はCu合金等の卑金属を用いてもよい。内部電極層12にNi、Cu、Ni合金又はCu合金等の卑金属を用いることで、貴金属を用いた場合に比べて製造コストを削減することが可能である。なお、内部電極層12の厚みは、用途等に応じて適宜決定すればよく、例えば $0.5\mu m \sim 5\mu m$ 程度であり、好ましくは $1.5\mu m$ 以下である。

【0019】

一方、前記積層セラミックコンデンサチップ1の両端に形成される端子電極2, 3は、積層セラミックコンデンサの外部接続端子となるものであり、この部分のはんだ付けすることにより、配線基板等の実装基板に電氣的に接続され各種回路に組み込まれる。

【0020】

本実施形態の場合、前記端子電極2, 3が2層構造とされ、積層セラミックコンデンサチップ1の内部電極層12と直接接続される下地電極層2a, 3aと、この上に形成される導電性樹脂層2b, 3bとから構成されている。すなわち、下地電極層2a, 3aが下層となる第1の導体層であり、導電性樹脂層2b, 3bが上層となる第2の導体層である。したがって、積層セラミックコンデンサの端子電極2, 3をはんだ付けする際には、こ

10

20

30

40

50

れら導電性樹脂層 2 b , 3 b の表面とはんだが接することになるが、通常は、はんだの濡れ性等を考慮して、導電性樹脂層 2 b , 3 b の表面にめっき被膜を形成し、このめっき被膜にはんだが固着することになる。

【 0 0 2 1 】

ここで、下地電極層 2 a , 3 a の形成には、例えば導電金属材料とガラス成分とを含む電極形成用組成物を用い、これを焼き付けることにより導電金属の焼結層を形成し、これを前記下地電極層 2 a , 3 a とする。導電金属材料としては、電氣的導通が可能なものであれば如何なる金属材料であってもよいが、耐酸化性に優れ緻密な下地電極層 3 の形成が可能で、且つ内部電極層 2 2 の保護機能に優れる貴金属材料が好適である。具体的には、A g、P d、A u、P t、あるいはこれらの合金を挙げることができる。

10

【 0 0 2 2 】

特に、内部電極層 1 2 が卑金属（例えば N i）により形成されている場合、当該内部電極層 1 2 と下地電極層 2 a , 3 a を電氣的に確実に接続するためには、下地電極層 2 a , 3 a が P d、A u、P t から選ばれる少なくとも 1 種を含有することが好ましい。下地電極層 2 a , 3 a に P d、A u、P t のいずれかが含まれていれば、内部電極層 1 2 上に下地電極層 2 a , 3 a を形成した時に、その一部が内部電極層 1 2 に含まれる N i と置換され、電氣的な接続が確実なものとなる。

【 0 0 2 3 】

下地電極層 2 a , 3 a 上に形成される導電性樹脂層 2 b , 3 b は、例えばエポキシ樹脂やフェノール樹脂、エポキシ・フェノール樹脂、ウレタン樹脂等の樹脂材料に、A g、P d、A g P d、A u、P t、C u、N i 等の導電金属の粒子を混入した導電性塗料を用いて形成されるものであり、例えば積層セラミックコンデンサチップ 1 に直接的に熱応力等が加わらないよう、緩衝材として機能するものである。ただし、例えば図 2 に示すように、導電性樹脂層 2 , 3 の全ての部分が積層セラミックコンデンサチップ 1 や下地電極層 2 a , 3 a に密着した状態であると、導電性樹脂層 2 b , 3 b 自体が変形したり変位することはできず、はんだ付け後のはんだに加わる応力に対しては、緩衝材として機能しない。

20

【 0 0 2 4 】

そこで、本実施形態においては、前記導電性樹脂層 2 b , 3 b の端部を逆傾斜面（逆テーパ面）とし、他の部材（ここでは積層セラミックコンデンサチップ 1）と密着しないように、すなわち積層セラミックコンデンサチップ 1 から離間するように形成している。このような形態で導電性樹脂層 2 b , 3 b を形成した場合、その端部 A は積層セラミックコンデンサチップ 1 と密着していないことからフリーの状態となり、また導電性樹脂層 2 , 3 自体が金属等に比べた柔軟であるため、応力が加わった時に変形や変位が可能である。したがって、前記端部 A がはんだに加わる応力に対する緩衝材として機能し、積層セラミックコンデンサの端子電極 2 , 3 のはんだ付け後において、はんだに加わる応力が前記端部 A によって吸収され、はんだクラックの発生が解消される。

30

【 0 0 2 5 】

導電性樹脂層 2 , 3 を前述のような形態で形成するには、例えば導電性樹脂層 2 , 3 の形成に用いる導電性塗料の表面張力を利用すればよい。すなわち、導電性塗料の粘度を調整し、ここに下地電極層 2 a , 3 a を形成した積層セラミックコンデンサチップ 1 をディッピングする。この時、導電性塗料の粘度が高いと、導電性塗料の表面張力によって導電性塗料と積層セラミックコンデンサチップ 1 の境界部分にメニスカスが形成される。この状態で導電性塗料を硬化すれば、前記メニスカスが形成された状態で導電性樹脂層 2 b , 3 b が形成される。形成された導電性樹脂層 2 , 3 においては、前記メニスカス部分が逆傾斜面となる。

40

【 0 0 2 6 】

導電性樹脂層 2 b , 3 b の形態としては、前述の実施形態に限られるものではなく、種々の変更が可能である。例えば、図 3 に示すように、導電性樹脂層 2 b , 3 b の端部 A が、積層セラミックコンデンサチップ 1 のみならず、下層の導体層である下地電極層 2 a , 3 a から離間して形成されていてもよい。この場合には、下地電極層 2 a , 3 a と導電

50

性樹脂層 2 b , 3 b とが下地電極層 2 a , 3 a の端部から後退した位置で密着されており、前記端部 A と下地電極層 2 a , 3 a の間には空間 B が形成されている。このような形態とすることにより、導電性樹脂層 2 b , 3 b の端部 A の自由度が増し、より一層の緩衝効果を発揮する。

【 0 0 2 7 】

図 4 は、図 3 に示す電子部品（積層セラミックコンデンサ）をプリント配線基板等の実装基板 2 0 へ実装した実装構造を示すものである。積層セラミックコンデンサは、端子電極 2 , 3 を実装基板 2 0 上に形成された接続パッド 2 1 , 2 2 にはんだ付けすることにより電氣的及び機械的に接続固定されて実装されている。実装状態では、前記端子電極 2 , 3 の周面（導電性樹脂層 2 b , 3 b の外周面に形成されためっき被膜の表面）と前記接続パッド 2 1 , 2 2 の間にはんだ 3 0 が配され、これらはんだ 3 0 が積層セラミックコンデンサを固着している。

10

【 0 0 2 8 】

前記はんだ付け状態においては、はんだ 3 0 が固着されている外層部分（導電性樹脂層 2 b , 3 b ）に変形あるいは変位可能な端部 A を有している。したがって、はんだ 3 0 に加わる応力が前記端部 A によって吸収され、はんだ 3 0 にクラックが入ることはない。例えば、はんだ付け後の熱サイクルにおいては、はんだ 3 0 が繰り返し膨張・収縮し、その結果、接続パッド 2 1 , 2 2 との界面付近でクラックが発生するが、前記端部 A においてこの膨張・収縮に伴う応力の蓄積が解消されるので、クラックに至ることがない。

【 0 0 2 9 】

20

なお、導電性樹脂層 2 b , 3 b の形態を図 3 に示すようなものとするためには、例えば導電性樹脂層 2 b , 3 b に含まれる樹脂材料とは異なる樹脂材料からなる樹脂層によりマスクを形成し、導電性樹脂層 2 b , 3 b 形成後にマスクとなる樹脂層を除去すればよい。具体的には、図 5 (a) に示すように積層セラミックコンデンサチップ 1 に下地電極層 2 a , 3 a を形成した後、先の端部 A に相当する部分を覆って樹脂層 4 0 を形成する。この樹脂層 4 0 の形成には、導電性樹脂層 2 b , 3 b の形成に用いる導電性塗料に含まれる樹脂材料とは異なる溶媒に溶解する樹脂を用いる。次に、図 5 (b) に示すように、この樹脂層 4 0 及び下地電極層 2 a , 3 a を覆って導電性塗料をディッピング等の手法により塗布する。この時、先の樹脂層 4 0 の端部が外部に臨むように導電性塗料を塗布する。次いで、前記導電性塗料により形成された導電性樹脂層 2 b , 3 b を溶解せず、前記樹脂層 4 0 のみを溶解する溶媒で処理し、図 5 (c) に示すように樹脂層 4 0 を溶解除去する。

30

【 0 0 3 0 】

前述の各実施形態の積層セラミックコンデンサにおいては、導電性樹脂層 2 b , 3 b の端部 A を他の部材（積層セラミックコンデンサチップ 1 や下地電極層 2 a , 3 a 等）から離間した状態で形成しており、当該端部 A においてはんだに加わる応力を吸収し解消するようにしているので、はんだクラックを抑制し、信頼性の高い実装構造を実現することが可能である。

【 0 0 3 1 】

なお、電子部品の構成としては、前記実施形態のものに限られるわけではない。例えば、電子部品としては、積層セラミックコンデンサに限定されるものではなく、種々の電子部品（チップ部品）に適用することが可能である。

40

【 0 0 3 2 】

また、前記実施形態においては、端子電極 2 , 3 が導体層として導電性樹脂層 2 b , 3 b を含んでおり、その形状を工夫することにより他の部材と離間した部分を形成していたが、導電性樹脂層 2 b , 3 b を含まなくてもよい。いずれの場合にも、端子電極 2 , 3 が複数の導体層から構成され、少なくとも最外層の導体層を含む上層側の導体層の一部が他の部材（例えば下層側の導体層）から離間して形成されていればよい。

【 0 0 3 3 】

例えば、図 6 に示すように、前記端子電極 2 , 3 を、Cu とガラスを含む第 1 導体層 2 c , 3 c と、Cu のみからなる第 2 導体層 2 d , 3 d から構成し、前記第 2 導体層 2 d ,

50

3 d の端部 C を積層セラミックコンデンサチップ 1 や第 1 導体層 2 c , 3 c から離間して形成することで、前記端部 C が緩衝材として機能し、はんだクラックが抑制される。Cu のみからなる第 2 導体層 2 d , 3 d は、ガラスを含んでいないので積層セラミックコンデンサチップ 1 に対する密着性が悪く、また焼き付けに際して収縮率も大きいので、図 6 に示すような形態となる。

【実施例】

【0034】

以下、本発明の具体的な実施例について、実験結果に基づいて説明する。

【0035】

実験 1：はんだクラックの確認

卑金属である Ni 内部電極を有するチップコンデンサ（容量 $10 \mu F \pm 20\%$ ）の端子電極形成部分に AgPd 合金（Pd 30 質量%含有）を導電金属材料とする導電ペーストを塗布し、大気中 350 で脱バインダを行った。さらに、320 で水素還元処理を行い、窒素中、950 で焼き付けを行って端子電極を形成した。

【0036】

作成したチップコンデンサの端子電極部分をはんだ付けすることにより配線基板に実装し、熱サイクル試験を行った。熱サイクル試験は、温度範囲 -55 ~ 125 で 3000 サイクル行った。熱サイクル試験前後におけるはんだの状態を図 7 (a) 及び図 7 (b) に示す。図 7 (a) に示すように、熱サイクル試験前には、はんだにクラックが生じていないが、図 7 (b) に示すように、熱サイクル後には、はんだクラックが発生し、接続信頼性を大きく損なうものとなっていた。

【0037】

実験 2：導電性樹脂層による離間部の形成

前記 AgPd 合金の焼結層上に導電性樹脂塗料を用いて図 3 に示すような形状の導電性樹脂層を形成した。導電性樹脂層の形成に際しては、樹脂材料としてエポキシ樹脂、フェノール樹脂、エポキシ・フェノール樹脂、及びウレタン樹脂を用い、4 種類のチップコンデンサ（実施例 1 ~ 実施例 4）を作製した。

【0038】

同様に、前記 AgPd 合金の焼結層上に導電性樹脂塗料を用いて図 2 に示すような形状の導電性樹脂層を形成した。導電性樹脂層の形成に際しては、樹脂材料としてエポキシ樹脂、フェノール樹脂、エポキシ・フェノール樹脂、及びウレタン樹脂を用い、4 種類のチップコンデンサ（比較例 1 ~ 比較例 4）を作製した。

【0039】

これら実施例及び比較例について、実験 1 と同様の熱サイクル試験を行い、はんだクラックの発生状況を調べた。なお、熱サイクル試験は、各実施例及び比較例について 10 サンプルずつ行い、はんだクラックが発生したサンプル数により評価した。結果を表 1 に示す。

【0040】

【表 1】

	導電性樹脂層に含まれる樹脂材料の種類	熱サイクル試験後のはんだクラックの発生数		
		1000サイクル後	2000サイクル後	3000サイクル後
実施例1	エポキシ樹脂	0	0	0
実施例2	フェノール樹脂	0	0	0
実施例3	エポキシ・フェノール樹脂	0	0	0
実施例4	ウレタン樹脂	0	0	0
比較例1	エポキシ樹脂	2	10	10
比較例2	フェノール樹脂	3	10	10
比較例3	エポキシ・フェノール樹脂	3	10	10
比較例4	ウレタン樹脂	7	10	10

【 0 0 4 1 】

表 1 から明らかな通り、導電性樹脂層の形状を工夫し、チップコンデンサや焼結層から離間した部分を設けることで、1000サイクル後は勿論、3000サイクル後においてもはんだクラックの発生は皆無である。これに対して、導電性樹脂層全体を密着形成した各比較例においては、応力緩和作用は得られず、1000サイクルにおいてもはんだクラックの発生が見られ、2000サイクルを越えると全数においてはんだクラックが発生した。

【 0 0 4 2 】

実験 3：導電性樹脂層以外の導体層による離間部の形成

卑金属である Ni 内部電極を有するチップコンデンサ（容量 $10\mu\text{F} \pm 20\%$ ）の端子電極形成部分に Cu とガラスを含む第 1 導電ペーストを塗布し、さらにその上に Cu のみからなる第 2 導体ペーストを塗布した。次いで、大気中 350 で脱バインダを行い、さらに、320 で水素還元処理を行い、窒素中、950 で焼き付けを行ってガラスを含有する導体層とガラスを含有しない導体層を形成した。作製したチップコンデンサの形態は、図 6 に示すようなものであり、ガラスを含有しない導体層の端部がチップコンデンサやガラスを含有する導体層から離間して形成されていた。これを実施例 5 とする。

【 0 0 4 3 】

一方、Cu を含む第 2 導電ペーストのみを塗布し、Cu を含有する導体層のみを端子電極として形成し、これを比較例 5 とした。そして、これら実施例 5 と比較例 5 についても、実験 1 と同様の熱サイクル試験を行い、はんだクラックの発生状況を調べた。熱サイクル試験は、実施例 5 及び比較例 5 について 10 サンプルずつ行い、はんだクラックが発生したサンプル数により評価した。結果を表 2 に示す。

【 0 0 4 4 】

【表 2】

	端子電極の構成	熱サイクル試験後のはんだクラックの発生数		
		1000サイクル後	2000サイクル後	3000サイクル後
実施例5	Cu+ガラス/Cu	0	0	0
比較例5	Cu	8	10	10

【 0 0 4 5 】

導電性樹脂層を形成しない場合にも、他の部材から離間した離間部（ガラスを含有しない導体層の端部）を形成することで、同様の効果が得られ、3000サイクル後においても、はんだクラックの発生は皆無であった。これに対して、ガラスを含有する導体層のみを端子電極として形成した比較例 5 では、応力緩和作用は得られず、1000サイクルにおいて、ほとんどのサンプルではんだクラックの発生が見られた。

【図面の簡単な説明】

【 0 0 4 6 】

【図 1】本発明を適用した電子部品（積層セラミックコンデンサ）の一例を示す概略断面図である。

【図 2】導電性樹脂層全体が密着した積層セラミックコンデンサ（比較例に相当）の一例を示す概略断面図である。

【図 3】本発明を適用した電子部品（積層セラミックコンデンサ）の他の例を示す概略断面図である。

【図 4】図 3 に示す積層セラミックコンデンサの実装基板への実装構造を示す概略断面図である。

【図 5】図 3 に示す形状の導電性樹脂層形成のためのプロセスの一例を示すものであり、（a）はマスクとなる樹脂層の形成工程を示す概略断面図、（b）は導電性樹脂層形成工程を示す概略断面図、（c）はマスクとなる樹脂層の除去工程を示す概略断面図である。

【図 6】導電性樹脂層を含まない端子電極例を示す概略断面図である。

【図 7】熱サイクル試験によるはんだクラックの発生の様子を示すものであり、（a）は

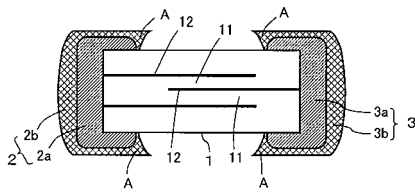
熱サイクル試験前の顕微鏡写真、(b)は3000サイクル後の顕微鏡写真である。

【符号の説明】

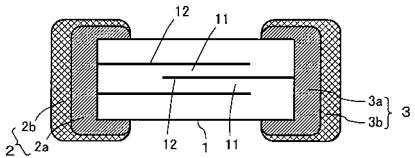
【0047】

1 積層セラミックコンデンサチップ、2, 3 端子電極、2a, 3a 下地電極層、2b, 3b 導電性樹脂層、2c, 3c Cuとガラスを含む第1導体層、2d, 3d Cuのみからなる第2導体層、11 誘電体セラミック層、12 内部電極層、20 実装基板、21, 22 接続パッド、30 はんだ、40 樹脂層

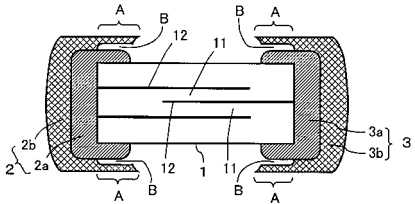
【図1】



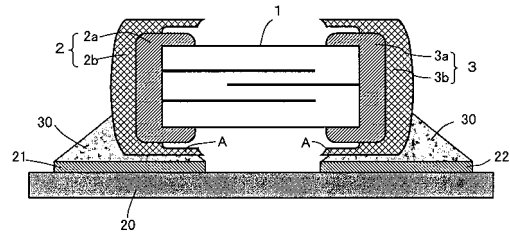
【図2】



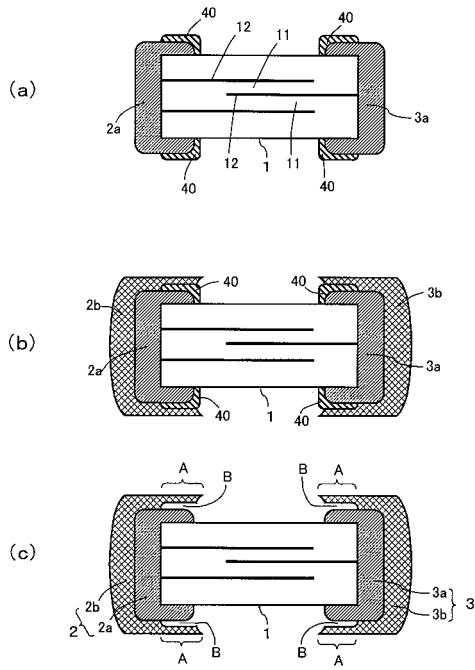
【図3】



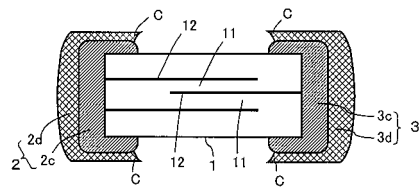
【図4】



【 図 5 】

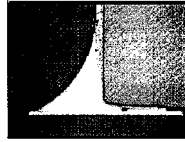


【 図 6 】



【 図 7 】

(a)



(b)

