



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년06월03일
(11) 등록번호 10-1525645
(24) 등록일자 2015년05월28일

(51) 국제특허분류(Int. Cl.)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
(21) 출원번호 10-2011-0088996
(22) 출원일자 2011년09월02일
심사청구일자 2013년02월18일
(65) 공개번호 10-2013-0025595
(43) 공개일자 2013년03월12일
(56) 선행기술조사문헌
JP2005505129 A*
JP2009054973 A*
JP06013259 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
김형준
경기도 수원시 팔달구 권광로 184, 102동 502호
(인계동, 캐슬타워)
(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 10 항

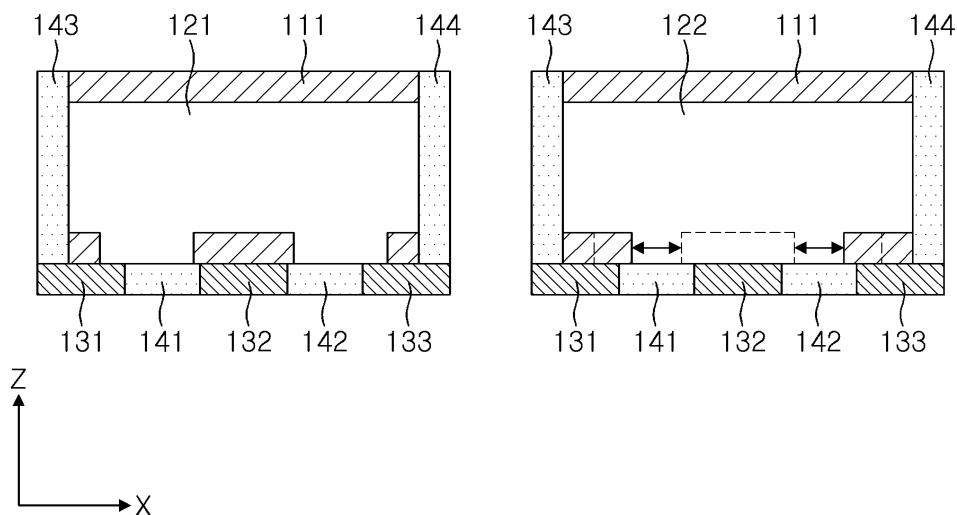
심사관 : 전한철

(54) 발명의 명칭 적층 세라믹 커패시터

(57) 요약

본 발명은 적층 세라믹 커패시터에 관한 것으로, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 세라믹 소체; 상기 세라믹 소체의 내부에 형성되며, 상기 세라믹 소체의 제1면으로 노출되고, 상기 제1면으로 노출된 영역 중 일부가 서로 중첩되는 인출부를 가지는 제1 및 제2 내부전극; 상기 세라믹 소체의 제1면에 형성되며, 상기 인출부와 각각 연결되는 외부전극; 및 상기 세라믹 소체의 제1면, 상기 제1면과 연결된 제3면 및 제4면에 형성되는 절연층;을 포함하고, 상기 인출부는 세라믹 소체의 제3면 또는 제4면과 소정의 간격을 두고 형성될 수 있다.

대표도 - 도4



명세서

청구범위

청구항 1

세라믹 소체;

상기 세라믹 소체의 내부에 형성되며, 상기 세라믹 소체의 제1면, 제3면 및 제4면으로 노출되고, 상기 제1면으로 노출된 영역 중 일부가 서로 중첩되는 인출부를 가지는 제1 및 제2 내부전극;

상기 세라믹 소체의 제1면에 형성되며, 상기 인출부와 각각 연결되는 외부전극; 및

상기 세라믹 소체의 제1면, 상기 제1면과 연결된 제3면 및 제4면에 형성되는 절연층;을 포함하고,

상기 인출부는 세라믹 소체의 제3면 또는 제4면과 소정의 간격을 두고 형성되며, 상기 제1 내부전극은 서로 소정의 간격을 두고 상기 세라믹 소체의 제1 면으로 노출되는 제1 및 제2 인출부를 가지고, 상기 제2 내부전극은 상기 세라믹 소체의 제3면 및 제4면과 소정의 간격을 두고 형성되는 제1 인출부를 가지며, 상기 세라믹 소체의 제1면에 형성된 외부전극은 상기 제1 내부전극의 제1 및 제2 인출부 및 상기 제2 내부전극의 제1 인출부와 각각 연결되는 제1 내지 제3 외부전극을 포함하는 적층 세라믹 커패시터.

청구항 2

제1항에 있어서,

상기 제1 인출부는 상기 세라믹 소체의 제3면과 소정의 간격을 두고 형성되고, 상기 제2 인출부는 상기 세라믹 소체의 제4면과 소정의 간격을 두고 형성되는 적층 세라믹 커패시터.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 제1 및 제2 내부전극은 세라믹 소체의 실장면에 대하여 수직으로 배치되는 적층 세라믹 커패시터.

청구항 6

제1항에 있어서,

상기 절연층은 세라믹 슬러리로 형성되는 적층 세라믹 커패시터.

청구항 7

제1항에 있어서,

상기 외부전극은 상기 제1 및 제2 내부전극의 인출부 중 서로 중첩되지 않는 영역과 연결되는 적층 세라믹 커패시터.

청구항 8

제1항에 있어서,

상기 세라믹 소체의 제1면에 형성되는 절연층은 제1 및 제2 내부전극의 인출부 중 서로 중첩되는 영역을 모두 덮도록 형성되는 적층 세라믹 커패시터.

청구항 9

삭제

청구항 10

제1항에 있어서,

상기 세라믹 소체의 제1면에 형성되는 절연층은 상기 세라믹 소체의 제1면으로부터 측정되는 제1 및 제2 외부전극의 높이보다 작게 형성되는 적층 세라믹 커패시터.

청구항 11

제1항에 있어서,

상기 제1 및 제2 내부전극은 상기 세라믹 소체의 제1면과 대향하는 제2면으로 각각 노출되는 인출부를 가지는 적층 세라믹 커패시터.

청구항 12

제11항에 있어서,

상기 제1 내부전극은 서로 소정의 간격을 두고 상기 세라믹 소체의 제2 면으로 노출되는 제3 및 제4 인출부를 가지고, 상기 제3 인출부는 상기 세라믹 소체의 제3면과 소정의 간격을 두고 형성되고, 상기 제4 인출부는 상기 세라믹 소체의 제4면과 소정의 간격을 두고 형성되는 적층 세라믹 커패시터.

청구항 13

제11항에 있어서,

상기 제2 내부전극은 상기 세라믹 소체의 제2면으로 노출되며, 상기 세라믹 소체의 제3면 및 제4면과 소정의 간격을 두고 형성되는 제2 인출부를 가지는 적층 세라믹 커패시터.

발명의 설명

기술 분야

[0001] 본 발명은 적층 세라믹 커패시터에 관한 것으로, 보다 상세하게는 우수한 정전용량을 가지고, 낮은 등가직렬인덕턴스를 나타내는 적층 세라믹 커패시터에 관한 것이다.

배경 기술

[0002] 일반적으로 커패시터, 인덕터, 압전체 소자, 바리스터 또는 서미스터 등의 세라믹 재료를 사용하는 전자부품은 세라믹 재료로 이루어진 세라믹 본체, 본체 내부에 형성된 내부전극 및 상기 내부전극과 접속되도록 세라믹 본체 표면에 설치된 외부전극을 구비한다.

- [0003] 세라믹 전자부품 중 적층 세라믹 커패시터는 적층된 복수의 유전체층, 일 유전체층을 사이에 두고 대향 배치되는 내부전극, 상기 내부전극에 전기적으로 접속된 외부전극을 포함한다.
- [0004] 적층 세라믹 커패시터는 소형이면서도 고용량이 보장되고 실장이 용이하다는 장점으로 인하여 컴퓨터, PDA, 휴대폰 등의 이동 통신장치의 부품으로서 널리 사용되고 있다.
- [0005] 최근에는 전자제품이 소형화 및 다기능화됨에 따라 칩 부품 또한 소형화 및 고기능화되는 추세이므로, 적층 세라믹 커패시터도 크기가 작고, 용량이 큰 고용량 제품이 요구되고 있다.
- [0006] 또한, 적층 세라믹 커패시터는 LSI의 전원 회로 내에 배치되는 바이패스(bypass) 커패시터로 유용하게 사용되고 있으며, 이러한 바이패스 커패시터로 기능하기 위해서는 적층 세라믹 커패시터가 고주파 노이즈를 효과적으로 제거할 수 있어야 한다. 이러한 요구는 전자장치의 고주파화 경향에 따라 더욱 증가되고 있다. 바이패스 커패시터로 사용되는 적층 세라믹 커패시터는 회로기판 상의 실장 패드 상에 솔더링을 통하여 전기적으로 연결되며 상기 실장 패드는 기판 상의 배선 패턴이나 도전성 비아를 통해 다른 외부 회로와 연결될 수 있다.
- [0007] 적층 세라믹 커패시터는 커패시턴스 성분 외에 등가직렬저항(ESR) 및 등가직렬인덕턴스(ESL) 성분을 함께 가지며, 이러한 등가직렬저항(ESR) 및 등가직렬인덕턴스(ESL) 성분은 바이패스 커패시터의 기능을 저해하게 된다. 특히, 등가직렬인덕턴스(ESL)는 고주파에서 커패시터의 인덕턴스를 높여 고주파 노이즈 제거 특성을 저해하게 된다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 우수한 정전용량을 가지고, 낮은 등가직렬인덕턴스를 나타내는 적층 세라믹 커패시터를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0009] 본 발명의 일 실시형태는 세라믹 소체; 상기 세라믹 소체의 내부에 형성되며, 상기 세라믹 소체의 제1면으로 노출되고, 상기 제1면으로 노출된 영역 중 일부가 서로 중첩되는 인출부를 가지는 제1 및 제2 내부전극; 상기 세라믹 소체의 제1면에 형성되며, 상기 인출부와 각각 연결되는 외부전극; 및 상기 세라믹 소체의 제1면, 상기 제1면과 연결된 제3면 및 제4면에 형성되는 절연층;을 포함하고, 상기 인출부는 세라믹 소체의 제3면 또는 제4면과 소정의 간격을 두고 형성되는 적층 세라믹 커패시터를 제공한다.
- [0010] 상기 제1 내부전극은 서로 소정의 간격을 두고 상기 세라믹 소체의 제1 면으로 노출되는 제1 및 제2 인출부를 가지고, 상기 제1 인출부는 상기 세라믹 소체의 제3면과 소정의 간격을 두고 형성되고, 상기 제2 인출부는 상기 세라믹 소체의 제4면과 소정의 간격을 두고 형성될 수 있다.
- [0011] 상기 제2 내부전극은 상기 세라믹 소체의 제3면 및 제4면과 소정의 간격을 두고 형성되는 제1 인출부를 가질 수 있다.
- [0012] 상기 제1 및 제2 내부전극의 단부는 상기 세라믹 소체의 제3면 및 제4면으로 노출될 수 있다.
- [0013] 상기 제1 및 제2 내부전극은 세라믹 소체의 실장면에 대하여 수직으로 배치될 수 있다.
- [0014] 상기 절연층은 세라믹 슬러리로 형성될 수 있다.
- [0015] 상기 외부전극은 상기 제1 및 제2 내부전극의 인출부 중 서로 중첩되지 않는 영역과 연결될 수 있다.
- [0016] 상기 세라믹 소체의 제1면에 형성되는 절연층은 제1 및 제2 내부전극의 인출부 중 서로 중첩되는 영역을 모두 덮도록 형성될 수 있다.
- [0017] 상기 세라믹 소체의 제3면 또는 제4면에 형성되는 절연층은 상기 세라믹 소체의 제3면 또는 제4면으로 노출되는 유전체층과 연결될 수 있다.
- [0018] 상기 세라믹 소체의 제1면에 형성되는 절연층은 상기 세라믹 소체의 제1면으로부터 측정되는 제1 및 제2 외부전극의 높이보다 작게 형성될 수 있다.

- [0019] 상기 제1 및 제2 내부전극은 상기 세라믹 소체의 제1면과 대향하는 제2면으로 각각 노출되는 인출부를 가질 수 있다.
- [0020] 상기 제1 내부전극은 서로 소정의 간격을 두고 상기 세라믹 소체의 제2 면으로 노출되는 제3 및 제4 인출부를 가지고, 상기 제3 인출부는 상기 세라믹 소체의 제3면과 소정의 간격을 두고 형성되고, 상기 제4 인출부는 상기 세라믹 소체의 제4면과 소정의 간격을 두고 형성될 수 있다.
- [0021] 상기 제2 내부전극은 상기 세라믹 소체의 제2면으로 노출되며, 상기 세라믹 소체의 제3면 및 제4면과 소정의 간격을 두고 형성되는 제2 인출부를 가질 수 있다.

발명의 효과

- [0022] 본 발명의 일 실시형태에 따르면, 내부전극은 세라믹 소체의 유전체층에 최소한의 마진부 또는 갭을 남기고, 최대한 넓은 면적으로 형성될 수 있다. 이에 따라, 제1 및 제2 내부전극의 중첩 영역이 넓어져 고용량의 적층 세라믹 커패시터를 형성할 수 있다.
- [0023] 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극은 인출부에도 중첩 영역이 형성되어 적층 세라믹 커패시터의 용량이 증가될 수 있다.
- [0024] 또한, 외부 극성이 인가되는 제1 및 제2 내부전극 간의 거리가 가까워져 커런트 루프(current loop)가 짧아질 수 있고, 이에 따라 등가직렬인덕턴스(ESL, Equivalent Series Inductance)가 낮아질 수 있다.
- [0025] 본 발명의 일 실시형태에 따르면, 세라믹 소체에 형성되는 절연층은 세라믹 소체의 일면으로 노출되는 제1 및 제2 내부전극의 단부, 제1 및 제2 내부전극의 인출부를 덮어 내부전극 간의 단락을 방지하고, 내습 특성 저하 등의 내부결함을 방지할 수 있다.
- [0026] 본 발명의 일 실시형태에 따르면 절연층은 내부전극이 형성된 유전체층의 일부와 연결될 수 있고, 이에 따라 절연층과 세라믹 소체의 결합 강도가 향상될 수 있다.
- [0027] 본 발명의 일 실시형태에 따르면, 절연층의 높이가 조절될 수 있고, 절연층의 높이를 제1 및 제2 외부전극의 높이보다 낮게 형성하는 경우 적층 세라믹 커패시터가 회로 기관 상에 보다 안정적으로 실장될 수 있다.
- [0028] 본 발명의 일 실시형태에 따르면, 적층 세라믹 커패시터의 전류의 흐름은 복수 개의 외부전극을 통하여 내부전극으로 전달될 수 있고, 이에 따라 적층 세라믹 커패시터의 커패시턴스 성분에 직렬로 연결되는 인덕턴스의 성분의 크기를 매우 작게 할 수 있다.

도면의 간단한 설명

- [0029] 도 1는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.
- 도 2는 도 1에 도시된 적층 세라믹 커패시터의 내부전극 구조를 나타내는 단면도이다.
- 도 3은 도 1에 도시된 적층 세라믹 커패시터의 제조공정 중 일부 공정을 나타내는 개략적인 상부 평면면도이다.
- 도 4는 도 1의 A-A'선에 따른 단면도이다.
- 도 5는 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터를 나타내는 단면도이다.
- 도 6은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.
- 도 7은 도 6에 도시된 적층 세라믹 커패시터의 내부전극 구조를 나타내는 단면도이다.
- 도 8는 도 6에 도시된 적층 세라믹 커패시터의 제조공정 중 일부 공정을 나타내는 개략적인 상부 평면면도이다.
- 도 9는 도 6에 도시된 적층 세라믹 커패시터의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태들을 설명한다. 다만, 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있

으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

- [0031] 도 1는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이고, 도 2는 도 1에 도시된 적층 세라믹 커패시터의 내부전극 구조를 나타내는 단면도이다. 도 3은 도 1에 도시된 적층 세라믹 커패시터의 제조공정 중 일부 공정을 나타내는 개략적인 상부 평면면도이다. 도 4는 도 1의 A-A'선에 따른 단면도이다.
- [0032] 본 실시형태에 따른 적층 세라믹 커패시터는 3단자 수직 적층형 커패시터일 수 있다. “수직 적층형 (vertically laminated or vertical multilayer)” 은 커패시터 내의 적층된 내부전극이 회로기판의 실장 영역면에 수직으로 배치되는 것을 의미하고, “3단자(3-terminal)” 는 커패시터의 단자로서 3개의 단자가 회로기판에 접속됨을 의미한다.
- [0033] 도 1 내지 도 4를 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터는 세라믹 소체(110); 상기 세라믹 소체의 내부에 형성되는 내부전극(121, 122); 상기 세라믹 소체의 일면에 각각 형성되는 절연층(141, 142, 143, 144) 및 외부전극(131, 132, 133)을 포함할 수 있다.
- [0034] 본 실시형태에서, 세라믹 소체(110)는 서로 대향하는 제1면(1) 및 제2면(2)과 상기 제1면 및 제2면을 연결하는 제3면(3), 제4면(4), 제5면 및 제6면(6)을 가질 수 있다. 상기 세라믹 소체(110)의 형상에 특별히 제한은 없지만, 도시된 바와 같이 제1면 내지 제6면을 가지는 육면체 형상일 수 있다. 본 발명의 일 실시형태에 따르면, 제3면(3)과 제4면이 서로 대향하고, 제5면(5) 및 제6면(6)이 서로 대향할 수 있다. 본 발명의 일 실시형태에 따르면, 세라믹 소체의 제1면(1)은 회로기판의 실장 영역에 배치되는 실장 면이 될 수 있다.
- [0035] 본 발명의 일 실시형태에 따르면, x-방향은 제1 및 제2 외부전극이 소정의 간격을 두고 형성되는 방향이고, y-방향은 내부전극이 유전체층을 사이에 두고 적층되는 방향이며, z-방향은 내부전극이 회로기판에 실장되는 방향일 수 있다.
- [0036] 본 발명의 일 실시형태에 따르면, 상기 세라믹 소체(110)는 복수의 유전체층(111)이 적층되어 형성될 수 있다. 상기 세라믹 소체(110)를 구성하는 복수의 유전체층(111)은 소결된 상태로써, 인접하는 유전체층끼리의 경계는 확인할 수 없을 정도로 일체화되어 있을 수 있다.
- [0037] 상기 유전체층(111)은 세라믹 파우더, 유기 용제 및 유기 바인더를 포함하는 세라믹 그린시트의 소성에 의하여 형성될 수 있다. 상기 세라믹 파우더는 높은 유전율을 갖는 물질로서 이에 제한되는 것은 아니나 티탄산바륨($BaTiO_3$)계 재료, 티탄산스트론튬($SrTiO_3$)계 재료 등을 사용할 수 있다.
- [0038] 본 발명의 일 실시형태에 따르면, 세라믹 소체(110) 내부에는 내부전극이 형성될 수 있다.
- [0039] 도 2는 세라믹 소체(110)를 구성하는 유전체층(111)과 상기 유전체층에 형성된 내부전극(121, 122)을 나타내는 단면도이다. 본 발명의 일 실시형태에 따르면, 제1 극성의 제1 내부전극(121)과 제2 극성의 제2 내부전극(122)을 한 쌍으로 할 수 있으며, 일 유전체층(111)을 사이에 두고 서로 대향하도록 y-방향으로 배치될 수 있다. 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극(121, 122)은 적층 세라믹 커패시터의 실장면 즉, 제1면(1)에 수직으로 배치될 수 있다.

- [0040] 본 발명에서 제1 및 제2 는 서로 다른 극성을 의미할 수 있고, 제1 및 제3은 동일한 극성을 의미할 수 있다.
- [0041] 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극은 도전성 금속을 포함하는 도전성 페이스트에 의하여 형성될 수 있다. 상기 도전성 금속은 이에 제한되는 것은 아니나, Ni, Cu, Pd, 또는 이들의 합금일 수 있다.
- [0042] 유전체층을 형성하는 세라믹 그린시트 상에 스크린 인쇄법 또는 그라비아 인쇄법과 같은 인쇄법을 통하여 도전성 페이스트로 내부전극층을 인쇄할 수 있다. 내부전극층이 인쇄된 세라믹 그린시트를 번갈아가며 적층하고 소성하여 세라믹 소체를 형성할 수 있다.
- [0043] 도 2 및 도 3을 참조하면, 제1 및 제2 내부전극(121, 122)은 서로 다른 극성의 외부전극과 연결되기 위하여 각각 인출부(121a, 121b, 122a)를 가지며, 상기 인출부(121a, 121b, 122a)는 세라믹 소체의 제1면(1)으로 노출될 수 있다. 본 발명의 일 실시형태에 따르면 적층 세라믹 커패시터는 수직 적층형으로써, 제1 내부전극의 인출부 및 제2 내부전극의 인출부는 세라믹 소체의 동일면으로 노출될 수 있다.
- [0044] 본 발명의 일 실시형태에 따르면, 내부전극의 인출부는 내부전극을 형성하는 도체 패턴 중에서 폭(W)이 증가하여 세라믹 소체의 일면으로 노출된 영역을 의미할 수 있다.
- [0045] 본 발명의 일 실시형태에 따르면, 제1 내부전극은 2개의 인출부(121a, 121b)를 가질 수 있다. 상기 제1 내부전극의 2개의 인출부(121a, 121b)는 소정의 간격을 두고 형성되며, 세라믹 소체의 제1면으로 노출될 수 있다.
- [0046] 본 발명의 일 실시형태에 따르면, 제1 내부전극의 제1 인출부(121a)는 세라믹 소체의 제3면으로부터 소정의 간격(g1)을 두고 제1면으로 노출될 수 있고, 제1 내부전극의 제2 인출부(121b)는 세라믹 소체의 제4면으로부터 소정의 간격(g1)을 두고 제1면으로 노출될 수 있다.
- [0047] 본 발명의 일 실시형태에 따르면, 제2 내부전극은 1개의 인출부(122a)를 가질 수 있다. 상기 제2 내부전극의 제1 인출부(122a)는 세라믹 소체의 제3면 및 제4면과 소정의 간격(g2)을 두고 형성되며, 세라믹 소체의 제1면으로 노출될 수 있다.
- [0048] 상기 제1 내부전극의 2개의 인출부(121a, 121b)는 각각 제2 내부전극의 인출부(122a)와 서로 중첩되는 영역을 가질 수 있다. 본 발명의 일 실시형태에 따르면, 제1 내부전극의 2개의 인출부(121a, 121b)와 제2 내부전극의 인출부(122a)는 세라믹 소체의 제1면으로 노출된 영역 중 일부 중첩되는 영역을 가질 수 있다. 이에 대한 보다 구체적인 사항은 후술하도록 한다.
- [0049] 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극의 단부는 세라믹 소체의 제3면 및 제4면으로 노출될 수 있다. 상기 세라믹 소체의 제3면 및 제4면에는 절연층이 형성되어 내부전극 간의 단락을 방지할 수 있다.
- [0050] 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극은 세라믹 소체의 제2면에만 마진부를 형성하고, 제3면 및 제4면에는 마진부 없이 형성될 수 있다. 또한, 제3면, 제4면 및 제1면에는 최소한의 갭(g1, g2)만을 형성하고, 내부전극이 형성될 수 있다. 또한, 제1면에 대해서도 제1 내부전극의 인출부 및 제2 내부전극의 인출부가 일부 중첩될 수 있어 최대한 넓은 면적으로 내부전극이 형성될 수 있다. 이에 따라, 제1 및 제2 내부전극의 중첩 영역이 넓어져 고용량의 적층 세라믹 커패시터를 형성할 수 있다.
- [0051] 일반적으로, 제1 및 제2 내부전극은 중첩되는 영역에 의하여 정전용량을 형성하며, 서로 다른 극성의 외부전극과 연결되는 인출부는 중첩되는 영역을 갖지 않는다. 그러나, 본 발명의 일 실시형태에 따르면, 제1 내부전극의 인출부 및 제2 내부전극의 인출부는 서로 중첩되는 영역을 가질 수 있다.

- [0052] 도 3은 도 1의 도시된 적층 세라믹 커패시터의 제조공정 중 일부 공정을 나타내는 개략적인 상부 평면면도이다.
- [0053] 도 3을 참조하면, 제1 및 제2 내부전극을 형성하기 위하여 세라믹 그린시트(111A) 상에 내부전극 패턴(121A, 122A)이 형성되어 있다. 상기 세라믹 그린 시트는 소성에 의하여 도 2에 도시된 유전체층(111)을 형성할 수 있다.
- [0054] 내부전극 패턴이 형성된 세라믹 그린 시트를 적층하고, 절단하여 개별 칩 단위의 세라믹 소체를 제조할 수 있다. 공정의 편의를 위하여 하나의 내부전극 패턴이 형성되고, 상기 내부전극 패턴의 절단 공정에 의하여 도 2에 도시된 바와 같은 제1 및 제2 내부전극이 복수개 형성될 수 있다. 도 3은 2점 쇄선으로 절단선을 도시하였으며, 절단선에 따라 절단하는 경우 내부전극 패턴 중 일부(121A)는 제1 내부전극이 되고, 내부전극 패턴 중 일부(122A)는 제2 내부전극이 될 수 있다. 도 3을 참조하면, 제1 내부전극 패턴(121A)과 제2 내부전극 패턴(122A)은 인출부를 갖도록 형성될 수 있으며, 인출부 사이에는 갭(g1, g2)이 형성될 수 있다. 제1 및 제2 내부전극 패턴의 절단선은 상기 갭(g1, g2) 상에서 형성될 수 있다.
- [0055] 만약 절단선이 제1 및 제2 내부전극 패턴의 인출부 상에 형성되는 경우 설계된 대로 제1 및 제2 내부전극의 인출부가 서로 중첩영역을 형성할 수 없게 된다. 제1 및 제2 내부전극의 인출부가 단락되거나, 세라믹 소체의 노출면에 있어서 서로 다른 극성의 외부전극과 연결될 수 있도록 일부만 중첩되도록 형성되지 않을 수 있다.
- [0056] 그러나, 본 발명의 일 실시형태에 따르면, 인출부 사이에 갭(g1, g2)이 형성되어 있어 제1 및 제2 내부전극 패턴의 절단선은 오차 범위가 줄어들 수 있다. 즉, 상기 갭(g1, g2) 상 절단선이 형성되면 제1 및 제2 내부전극이 단락되거나 설계 범위를 벗어나지 않아, 절단 정밀도가 향상될 수 있다.
- [0057] 도 4를 참조하면, 세라믹 소체의 일면에는 내부전극과 연결되도록 외부전극이 형성될 수 있다. 보다 구체적으로, 세라믹 소체의 제1면으로 노출된 제1 내부전극의 제1 인출부(121a)와 연결되도록 제1 외부전극(131)이 형성될 수 있고, 세라믹 소체의 제1면으로 노출된 제1 내부전극의 제2 인출부(121b)와 연결되도록 제3 외부전극(133)이 형성될 수 있다. 또한, 세라믹 소체의 제1면으로 인출된 제2 내부전극의 제1 인출부(122a)와 연결되도록 제2 외부전극(132)이 형성될 수 있다.
- [0058] 상기 제1 외부전극(131)은 제1 내부전극의 제1 인출부(121a) 중 제2 내부전극의 제1 인출부(122a)와 중첩되지 않은 영역과 연결될 수 있고, 제3 외부전극(133)은 제1 내부전극의 제2 인출부(121b) 중 제2 내부전극의 제1 인출부(122a)와 중첩되지 않은 영역과 연결될 수 있다. 또한, 제2 외부전극(132)은 제2 내부전극의 제1 인출부(122a) 중 제1 내부전극의 제1 인출부 및 제2 인출부(121a, 121b)와 중첩되지 않은 영역과 연결될 수 있다.
- [0059] 도 4의 오른쪽 도면은 제1 내부전극의 제1 및 제2 인출부(121a, 121b)와 제2 내부전극의 인출부(122a)의 중첩된 영역이 화살표로 표시되어 있으며, 제2 내부전극(122)과 중첩된 제1 내부전극은 점선으로 표시되어 있다.
- [0060] 본 발명의 일 실시형태에 따르면, 제1 내부전극의 인출부와 제2 내부전극의 인출부는 서로 중첩되는 영역을 가지되, 서로 다른 극성을 나타내는 외부전극과 연결될 수 있다.
- [0061] 본 발명의 일 실시형태에 따르면, 세라믹 소체의 일면에는 절연층(141, 142, 143, 144)이 형성될 수 있다. 보다 구체적으로 세라믹 소체의 제1면에는 제1 절연층(141) 및 제2 절연층(142)이 형성될 수 있고, 세라믹 소체의 제3면 및 제4면에는 각각 제3 절연층(143) 및 제4 절연층(144)이 형성될 수 있다.
- [0062] 세라믹 소체의 제1면에 형성된 제1 절연층(141)은 제1 및 제2 외부전극(131, 132) 사이에 형성될 수 있고, 제2 절연층(142)은 제2 및 제3 외부전극(132, 133) 사이에 형성될 수 있다. 상기 제1 및 제2 절연층(141, 142)은 제1면으로 노출된 제1 내부전극의 인출부(121a, 121b)와 제2 내부전극의 인출부(122a)를 덮도록 형성될 수 있다. 제1 및 제2 절연층(141, 142)은 제1 및 제2 인출부의 중첩되는 영역을 모두 덮고, 제1 내부전극의 인출부 및 제2 내부전극의 인출부의 노출된 영역까지 덮도록 형성될 수 있다.
- [0063] 본 발명의 일 실시형태에 따르면, 도 3에 도시된 바와 같이 상기 제1 및 제2 절연층(141, 142)은 제1 및 제2 외

부전극 사이의 세라믹 소체의 제1면을 완전히 메우도록 형성될 수 있다.

- [0064] 또한 도시되지 않았으나, 본 발명의 일 실시형태에 따르면, 제1 및 절연층(141, 142)은 제1 내부전극의 인출부(121a, 121b)와 제2 내부전극의 인출부(122a)의 중첩 영역만을 덮도록 형성되고, 제1 내지 제3 외부전극(131, 132, 133)과 소정의 간격을 두고 형성될 수 있다.
- [0065] 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극(121, 122)의 단부가 노출된 세라믹 소체의 제3면 및 제4면에는 각각 제3 절연층(143) 및 제4 절연층(144)이 형성될 수 있다.
- [0066] 상기 제3 절연층(143)은 세라믹 소체의 제2면에 형성된 마진부 유전체층과 연결될 수 있다. 또한, 도 2에 도시된 바와 같이 제1 내부전극의 제1 인출부(121a)는 세라믹 소체의 제3면과 소정의 간격(g1)을 두고 형성되어, 세라믹 소체의 제3면에는 유전체층이 노출되어 있다. 상기 제3 절연층(143)은 세라믹 소체의 제3면으로 노출된 유전체층과 연결될 수 있다.
- [0067] 상기 제4 절연층(144)은 세라믹 소체의 제2면에 형성된 마진부 유전체층과 연결될 수 있다. 또한, 도 2에 도시된 바와 같이 제1 내부전극의 제2 인출부(121b)는 세라믹 소체의 제4면과 소정의 간격(g1)을 두고 형성되어, 세라믹 소체의 제4면에는 유전체층이 노출되어 있다. 상기 제4 절연층(144)은 세라믹 소체의 제4면으로 노출된 유전체층과 연결될 수 있다.
- [0068] 본 발명의 일 실시형태에 따르면 절연층은 유전체층과 동일하거나 유사한 물질로 형성될 수 있으며, 유전체층과 연결되는 경우 절연층과 세라믹 소체의 결합 강도가 향상될 수 있다.
- [0069] 본 발명의 일 실시형태에 따르면, 절연층(141, 142, 143, 144)은 세라믹 슬러리로 형성될 수 있다. 상기 세라믹 슬러리의 양 및 형상을 조절하여 절연층의 형성 위치 및 높이를 조절할 수 있다. 상기 절연층(141, 142, 143, 144)은 소성 공정에 의하여 세라믹 소체가 형성된 후, 상기 세라믹 소체에 세라믹 슬러리를 도포하고, 소성하여 형성될 수 있다.
- [0070] 또는 세라믹 소체를 형성하는 세라믹 그린시트 상에 절연층을 형성하는 세라믹 슬러리를 형성하고, 세라믹 그린시트와 함께 소성되어 형성될 수 있다.
- [0071] 상기 세라믹 슬러리의 형성 방법은 특별히 제한되지 않으며, 예를 들면 스프레이 방식으로 분사하거나, 물리를 이용한 도포, 코팅, 부착 등의 방법을 이용할 수 있다.
- [0072] 본 발명의 일 실시형태에 따르면, 절연층(141, 142, 143, 144)은 세라믹 소체의 일면으로 노출된 제1 및 제2 내부전극의 인출부(121a, 121b, 122a), 제1 및 제2 내부전극(121, 122)의 단부를 덮어 내부전극 간의 단락을 방지하고, 내습 특성 저하 등의 내부결함을 방지할 수 있다.
- [0073] 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극은 인출부에도 중첩 영역이 형성되어 적층 세라믹 커패시터의 용량이 증가될 수 있다. 또한, 외부 극성이 인가되는 제1 및 제2 내부전극 간의 거리가 가까워져 커런트 루프(current loop)가 짧아질 수 있고, 이에 따라 등가직렬인덕턴스(ESL, Equivalent Series Inductance)가 낮아질 수 있다.
- [0074] 도 5는 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터를 나타내는 단면도이다. 상술한 실시예와 다른 구성요소를 중심으로 설명하며, 동일한 구성요소에 대한 자세한 설명은 생략한다.
- [0075] 도 5를 참조하면, 도 4와 유사하게 세라믹 소체의 제1면에는 제1 내지 제3 외부전극(131, 132, 133)이 형성될 수 있다. 또한, 세라믹 소체의 제1면에는 제1 및 제2 절연층(141, 142)이 형성되고, 제3면에는 제3 절연층(143)이 형성되며, 제4면에는 제4 절연층(144)이 형성될 수 있다.
- [0076] 본 발명의 일 실시형태에 따르면, 제1 절연층(141)은 제1 및 제2 외부전극(131, 132)사이에 형성되고, 제2 절연층(142)은 제2 및 제3 외부전극(132, 133)사이에 형성될 수 있다.

- [0077] 본 발명의 일 실시형태에 따르면, 제1 및 제2 절연층(141, 142)의 높이(h2)는 제1 내지 제3 외부전극(131, 132, 133)의 높이(h1)보다 작게 형성될 수 있다. 상기 절연층 및 외부전극의 높이는 제1면을 기준으로 측정될 수 있다.
- [0078] 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 절연층(141, 142)의 높이가 제1 내지 제2 외부전극의 높이보다 낮아 적층 세라믹 커패시터가 회로 기판 상에 보다 안정적으로 실장될 수 있다.
- [0079] 또한, 도시되지 않았으나, 제1 및 제2 절연층의 높이는 서로 다르게 형성될 수 있다.
- [0080] 본 발명의 일 실시형태에 따르면, 제3 절연층 또는 제4 절연층(143, 144)의 두께(D2)는 제1 외부전극(131) 또는 제3 외부전극(133)의 두께(D1)보다 크게 형성될 수 있다. 상기 절연층 및 외부전극의 두께는 제3면 또는 제4면을 기준으로 측정될 수 있다.
- [0081] 또한, 도시되지 않았으나, 본 발명의 일 실시형태에 따르면 제3 절연층 또는 제4 절연층의 두께는 외부전극의 두께보다 작게 형성될 수 있다.
- [0082] 도 6 내지 도 9는 본 발명의 또 다른 실시형태에 따른 적층 세라믹 커패시터를 나타낸다. 도 6은 본 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이고, 도 7은 도 6에 도시된 적층 세라믹 커패시터의 내부전극 구조를 나타내는 단면도이며, 도 8는 도 6에 도시된 적층 세라믹 커패시터의 제조공정 중 일부 공정을 나타내는 개략적인 상부 평면면도이다. 도 9는 도 6에 도시된 적층 세라믹 커패시터의 단면도이다. 상술한 실시예와 다른 구성요소를 중심으로 설명하며, 동일한 구성요소에 대한 자세한 설명은 생략한다.
- [0083] 도 6 내지 도 9를 참조하면, 본 실시형태에 따른 적층 세라믹 커패시터는 6단자 수직 적층형 커패시터일 수 있다. “6 단자(6-terminal)”는 커패시터의 단자로서 6개의 단자가 회로기판에 접속될 수 있음을 의미한다.
- [0084] 본 실시 형태에 따른 적층 세라믹 커패시터는 세라믹 소체(210); 상기 세라믹 소체의 내부에 형성되는 내부전극(221, 222); 상기 세라믹 소체의 일면에 형성되는 절연층(241, 242, 243, 244, 245, 246) 및 외부전극(231, 232, 233, 234, 235, 236)을 포함할 수 있다.
- [0085] 도 7은 세라믹 소체(210)를 구성하는 유전체층(211)과 상기 유전체층에 형성된 내부전극(221, 222)을 나타내는 단면도이다. 본 발명의 일 실시형태에 따르면, 제1 극성의 제1 내부전극(221)과 제2 극성의 제2 내부전극(222)을 한 쌍으로 할 수 있으며, 일 유전체층(211)을 사이에 두고 서로 대향하도록 y-방향으로 배치될 수 있다. 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극(221, 222)은 적층 세라믹 커패시터의 실장면에 수직으로 배치될 수 있다.
- [0086] 본 실시형태에 따르면 적층 세라믹 커패시터의 실장면은 제1면 또는 이에 대향하는 제2면이 될 수 있다.
- [0087] 도 7 및 도 9를 참조하면, 제1 및 제2 내부전극(221, 222)은 서로 다른 극성의 외부전극과 연결되기 위하여 각각 인출부(221a, 221b, 221c, 221d, 222a, 222b)를 가질 수 있다.
- [0088] 본 발명의 일 실시형태에 따르면 적층 세라믹 커패시터는 수직 적층형으로써, 제1 내부전극의 인출부 및 제2 내부전극의 인출부는 세라믹 소체의 동일면으로 노출될 수 있다.
- [0089] 본 발명의 일 실시형태에 따르면, 제1 내부전극은 4개의 인출부(221a, 221b, 221c, 221d)를 가질 수 있다. 본 발명의 일 실시형태에 따르면, 제1 내부전극의 2개의 인출부(221a, 221b)는 서로 소정의 간격을 두고 세라믹 소체의 제1면으로 노출되고, 제1 내부전극의 다른 2개의 인출부(221c, 221d)는 서로 소정의 간격을 두고 세라믹 소체의 제1면에 대향하는 제2면으로 노출될 수 있다.
- [0090] 본 발명의 일 실시형태에 따르면, 제1 내부전극의 제1 인출부(221a)는 세라믹 소체의 제3면으로부터 소정의 간격(g1)을 두고 제1면으로 노출될 수 있고, 제1 내부전극의 제2 인출부(221b)는 세라믹 소체의 제4면으로부터 소

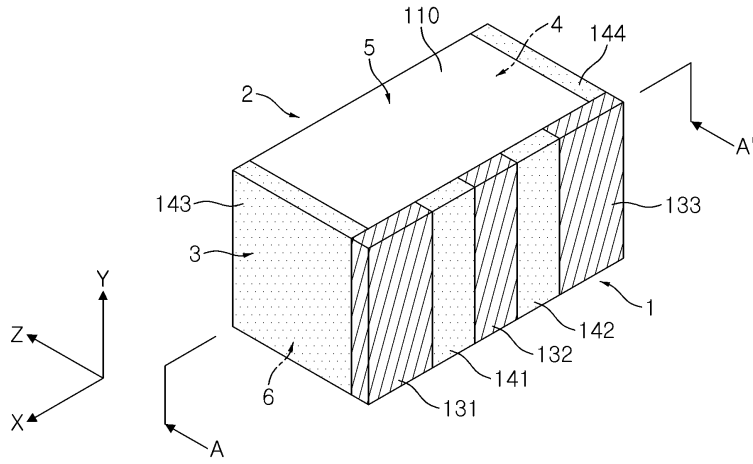
정의 간격(g1)을 두고 제1면으로 노출될 수 있다. 또한, 유사한 방식으로 제1 내부전극의 제3 인출부(221c)는 세라믹 소체의 제3면으로부터 소정의 간격(g1)을 두고 제2면으로 노출될 수 있고, 제1 내부전극의 제4 인출부(221d)는 세라믹 소체의 제4면으로부터 소정의 간격(g1)을 두고 제2면으로 노출될 수 있다.

- [0091] 본 발명의 일 실시형태에 따르면, 제2 내부전극은 2개의 인출부(221a, 221b)를 가질 수 있다. 본 발명의 일 실시형태에 따르면, 제2 내부전극의 제1 인출부(222a)는 세라믹 소체의 제3면 및 제4면과 소정의 간격(g2)을 두고 형성되며, 세라믹 소체의 제1면으로 노출되고, 제2 내부전극의 제2 인출부(222b)는 세라믹 소체의 제3면 및 제4면과 소정의 간격(g2)을 두고 형성되며, 세라믹 소체의 제1면에 대향하는 제2면으로 노출될 수 있다.
- [0092] 상기 제1 내부전극의 제1 및 제2 인출부(221a, 221b)는 각각 제2 내부전극의 제1 인출부(222a)와 서로 중첩되는 영역을 가질 수 있다. 보다 구체적으로, 제1 내부전극의 제1 및 제2 인출부(221a, 221b)와 제2 내부전극의 제1 인출부(222a)는 세라믹 소체의 제1면으로 노출된 영역 중 일부 중첩되는 영역을 가질 수 있다.
- [0093] 또한, 유사한 방식으로 제1 내부전극의 제3 및 제4 인출부(221c, 221d)는 각각 제2 내부전극의 제2 인출부(222b)와 서로 중첩되는 영역을 가질 수 있다. 보다 구체적으로, 제1 내부전극의 제3 및 제4 인출부(221c, 221d)와 제2 내부전극의 제2 인출부(222b)는 세라믹 소체의 제2면으로 노출된 영역 중 일부 중첩되는 영역을 가질 수 있다. 이에 대한 보다 구체적인 사항은 후술하도록 한다.
- [0094] 또한, 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극(221, 222)의 단부는 세라믹 소체의 제3면 및 제4면으로 노출될 수 있다. 상기 세라믹 소체의 제3면 및 제4면에는 절연층이 형성되어 제1 및 제2 내부전극 간의 단락을 방지할 수 있다.
- [0095] 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극은 세라믹 소체의 유전체층에 최소한의 갭(g1, g2)만을 형성하고, 내부전극이 형성될 수 있다. 또한, 제1 내부전극의 인출부 및 제2 내부전극의 인출부는 일부 영역이 중첩되도록 형성되어 유전체층에 최대한 넓은 면적으로 내부전극이 형성될 수 있다. 이에 따라, 제1 및 제2 내부전극의 중첩 영역이 넓어져 고용량의 적층 세라믹 커패시터를 형성할 수 있다.
- [0096] 도 8은 도 6의 도시된 적층 세라믹 커패시터의 제조과정 중 일부 공정을 나타내는 개략적인 상부 평면면도이다.
- [0097] 도 8을 참조하면, 제1 및 제2 내부전극을 형성하기 위하여 세라믹 그린시트(211A) 상에 내부전극 패턴(221A, 222A)이 형성되어 있다. 상기 세라믹 그린 시트는 소성에 의하여 도 7에 도시된 유전체층(211)을 형성할 수 있다.
- [0098] 도 8은 2점 쇄선으로 절단선을 도시하였으며, 절단선에 따라 절단하는 경우 내부전극 패턴 중 일부(221A)는 제1 내부전극이 되고, 내부전극 패턴 중 일부(222A)는 제2 내부전극이 될 수 있다.
- [0099] 도 8을 참조하면, 제1 내부전극 패턴(221A)과 제2 내부전극 패턴(222A)은 인출부를 갖도록 형성될 수 있으며, 인출부 사이에는 갭(g1, g2)이 형성될 수 있다. 제1 및 제2 내부전극 패턴의 절단선은 상기 갭(g1, g2) 상에서 형성될 수 있다.
- [0100] 상술한 바와 같이 본 발명의 일 실시형태에 따르면, 인출부 사이에 갭(g1, g2)이 형성되어 있어 제1 및 제2 내부전극 패턴의 절단선은 오차 범위가 줄어들 수 있다. 즉, 상기 갭(g1, g2) 상 절단선이 형성되면 제1 및 제2 내부전극이 단락되거나 설계 범위를 벗어나지 않아, 절단 정밀도가 향상될 수 있다.
- [0101] 도 9를 참조하면, 세라믹 소체의 일면에는 내부전극과 연결되도록 외부전극이 형성될 수 있다. 보다 구체적으로, 세라믹 소체의 제1면으로 노출된 제1 내부전극의 제1 및 제2 인출부(221a, 221b)와 각각 연결되도록 제1 및 제3 외부전극(231, 233)이 형성될 수 있고, 세라믹 소체의 제1면으로 노출된 제2 내부전극의 제1 인출부(222a)와 연결되도록 제2 외부전극(232)이 형성될 수 있다.

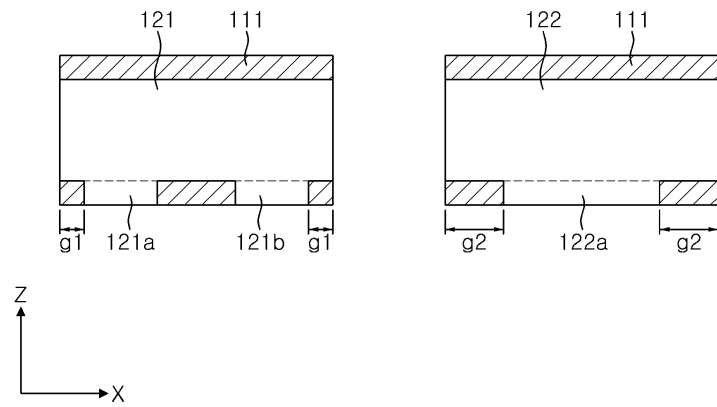
- [0102] 또한, 이와 유사하게, 세라믹 소체의 제2면으로 노출된 제1 내부전극의 제3 및 제4 인출부(221c, 221d)와 각각 연결되도록 제4 및 제6 외부전극(234, 236)이 형성될 수 있고, 세라믹 소체의 제2면으로 노출된 제2 내부전극의 제2 인출부(222b)와 연결되도록 제5 외부전극(235)이 형성될 수 있다.
- [0103] 본 발명에서 제1 및 제2 는 서로 다른 극성을 의미할 수 있고, 제1, 제3, 제4, 제6은 동일한 극성을 의미할 수 있고, 제2 및 제5는 동일한 극성을 의미할 수 있다.
- [0104] 상술한 실시예와 유사하게, 상기 제1, 제3, 제4 및 제6 외부전극(231, 233, 234, 236)은 제1 내부전극의 제1 내지 제4 인출부(221a, 221b, 221c, 221d) 중 제2 내부전극의 제1 및 제2 인출부(222a, 222b)와 중첩되지 않은 영역과 연결될 수 있다.
- [0105] 도 9의 오른쪽 도면은 제1 내부전극의 제1 내지 제4 인출부(221a, 221b, 221c, 221d)와 제2 내부전극의 제1 및 제2 인출부(222a, 222b)의 중첩된 영역이 화살표로 표시되어 있으며, 제2 내부전극(222)과 중첩된 제1 내부전극은 점선으로 표시되어 있다.
- [0106] 본 발명의 일 실시형태에 따르면, 제1 내부전극의 인출부와 제2 내부전극의 인출부는 서로 동일면으로 노출되고, 서로 중첩되는 영역을 가지되, 서로 다른 극성을 나타내는 외부전극과 연결될 수 있다.
- [0107] 본 발명의 일 실시형태에 따르면, 세라믹 소체의 일면에는 절연층(241, 242, 243, 244, 245, 246)이 형성될 수 있다. 보다 구체적으로 세라믹 소체의 제1면에는 제1 절연층(241) 및 제2 절연층(242)이 형성될 수 있고, 세라믹 소체의 제3면 및 제4면에는 각각 제3 절연층(243) 및 제4 절연층(244)이 형성될 수 있으며, 세라믹 소체의 제2면에는 제5 절연층(245) 및 제6 절연층(246)이 형성될 수 있다.
- [0108] 세라믹 소체의 제1면에 형성된 제1 절연층(241)은 제1 및 제2 외부전극(231, 232) 사이에 형성될 수 있고, 제2 절연층(242)은 제2 및 제3 외부전극(232, 233) 사이에 형성될 수 있다. 상기 제1 및 제2 절연층(241, 242)은 제1면으로 노출된 제1 내부전극의 인출부(221a, 221b)와 제2 내부전극의 인출부(222a)를 덮도록 형성될 수 있다. 제1 및 제2 절연층(241, 242)은 제1 및 제2 인출부의 중첩되는 영역을 모두 덮고, 제1 내부전극의 인출부 및 제2 내부전극의 인출부의 노출된 영역까지 덮도록 형성될 수 있다.
- [0109] 또한, 본 발명의 일 실시형태에 따르면, 도 9에 도시된 바와 같이 상기 제1 및 제2 절연층(241, 242)은 제1 및 제2 외부전극 사이의 세라믹 소체의 제1면을 완전히 메우도록 형성될 수 있다.
- [0110] 또한 도시되지 않았으나, 본 발명의 일 실시형태에 따르면, 제1 및 절연층(241, 242)은 제1 내부전극의 인출부(221a, 221b)와 제2 내부전극의 인출부(222a)의 중첩 영역만을 덮도록 형성되고, 제1 내지 제3 외부전극(231, 232, 233)과 소정의 간격을 두고 형성될 수 있다.
- [0111] 또한, 상기와 유사한 방식으로 세라믹 소체의 제2면에는 제5 절연층(245) 및 제6 절연층(246)이 형성될 수 있다. 상기 제5 절연층(244)은 제4 및 제5 외부전극(234, 235) 사이에 형성될 수 있고, 제6 절연층(246)은 제5 및 제6 외부전극(235, 236) 사이에 형성될 수 있다. 상기 제5 및 제6 절연층의 형성 패턴은 상술한 제1 및 제2 절연층의 형성패턴과 같이 다양하게 변경될 수 있다.
- [0112] 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극(221, 222)의 단부가 노출된 세라믹 소체의 제3면 및 제4면에는 각각 제3 절연층(243) 및 제4 절연층(244)이 형성될 수 있다.
- [0113] 도 9 및 도 10에 도시된 바와 같이 제1 내부전극의 제1 및 제3 인출부(221a, 221c)와 제2 내부전극의 제1 및 제2 인출부(222a, 222b)는 세라믹 소체의 제3면과 소정의 간격(g1, g2)을 두고 형성되어 세라믹 소체의 제3면에는 유전체층이 노출되어 있다. 상기 제3 절연층(243)은 세라믹 소체의 제3면으로 노출된 유전체층과 연결될 수 있

도면

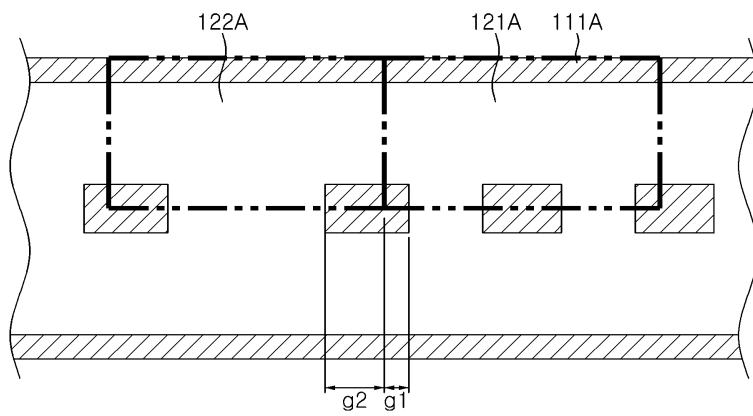
도면1



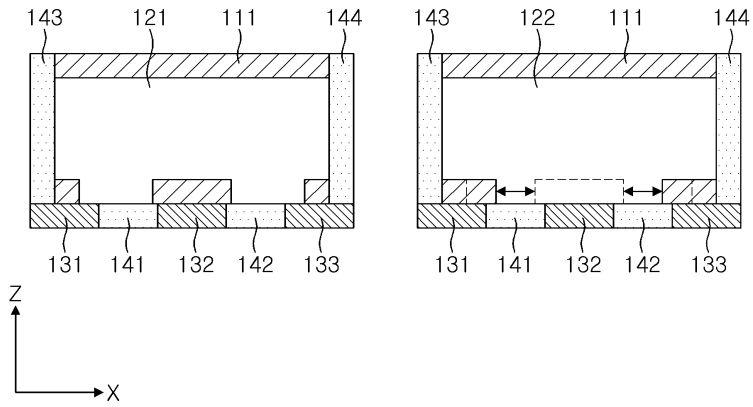
도면2



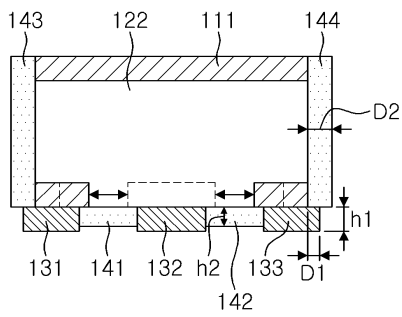
도면3



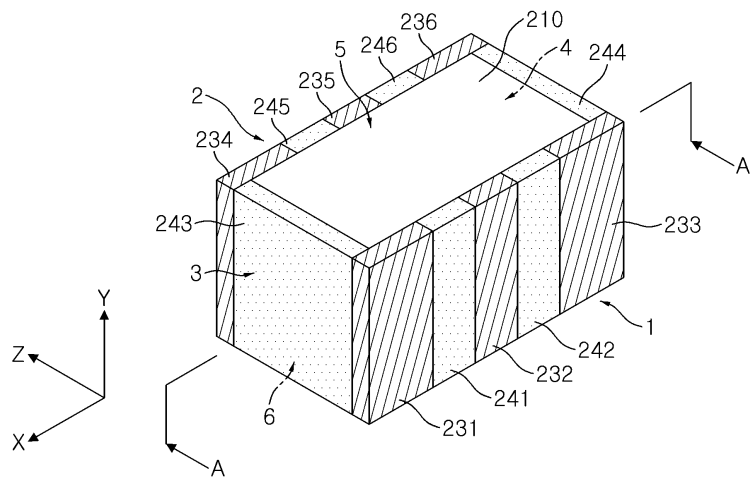
도면4



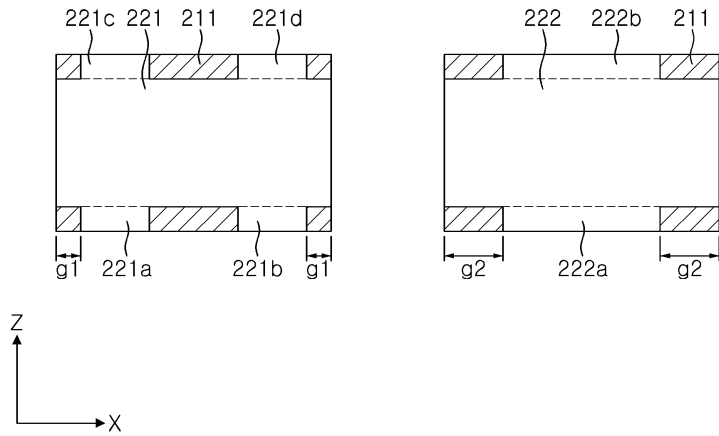
도면5



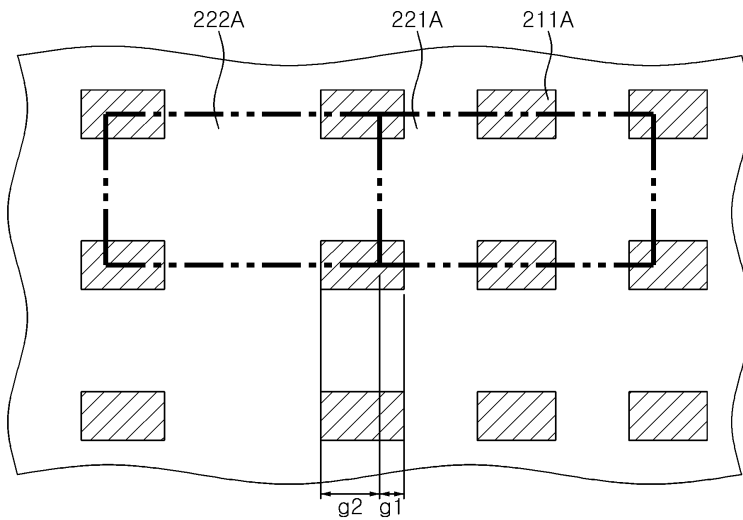
도면6



도면7



도면8



도면9

