



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0111572
(43) 공개일자 2017년10월12일

(51) 국제특허분류(Int. Cl.)
G11C 11/409 (2015.01) G11C 11/4076 (2006.01)
G11C 11/4096 (2015.01) G11C 7/10 (2015.01)

(52) CPC특허분류
G11C 11/409 (2013.01)
G11C 11/4076 (2013.01)

(21) 출원번호 10-2016-0037322
(22) 출원일자 2016년03월29일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자
류승우
서울특별시 중구 소월로2길 30, 1702호 (남대문로5가, 남산트라펠리스)

강상규
경기도 안양시 만안구 연현로 79, 102동 602호 (석수동, 한양수자인아파트)

(74) 대리인
박영우

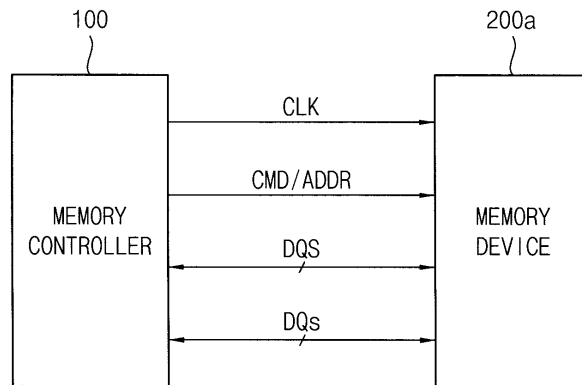
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 메모리 장치 및 이의 동작 방법

(57) 요약

반도체 메모리 장치는 메모리 셀 어레이 및 제어 로직 회로를 포함한다. 상기 제어 로직 회로는 상기 메모리 셀 어레이에 대한 액세스를 제어한다. 상기 반도체 메모리 장치는 외부의 메모리 컨트롤러로부터 제공되는 클럭 신호에 동기되어 상기 메모리 셀 어레이에 데이터를 기입하는 기입 동작 및 상기 메모리 셀 어레이로부터 데이터를 독출하는 독출 동작을 수행하고, 상기 클럭 신호의 주파수에 따라 서로 다른 수의 데이터 스트로브 신호들을 사용하는 서로 다른 데이터 스트로브 모드에서 상기 기입 동작 및 상기 독출 동작을 수행한다.

대표도 - 도2



(52) CPC특허분류

G11C 11/4096 (2013.01)

G11C 7/1006 (2013.01)

G11C 7/1051 (2013.01)

G11C 7/1066 (2013.01)

G11C 7/1084 (2013.01)

G11C 7/1093 (2013.01)

명세서

청구범위

청구항 1

반도체 메모리 장치로서,

메모리 셀 어레이; 및

상기 메모리 셀 어레이에 대한 액세스를 제어하는 제어 로직 회로를 포함하고,

상기 반도체 메모리 장치는 외부의 메모리 컨트롤러로부터 제공되는 클럭 신호에 동기되어 상기 메모리 셀 어레이에 데이터를 기입하는 기입 동작 및 상기 메모리 셀 어레이로부터 데이터를 독출하는 독출 동작을 수행하고,

상기 클럭 신호의 주파수에 따라 서로 다른 데이터 스트로브 모드에서 상기 기입 동작 및 상기 독출 동작을 수행하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 반도체 메모리 장치는,

상기 클럭 신호가 기준 주파수보다 큰 경우에는 차동 데이터 스트로브 신호 쌍들을 이용하는 제1 데이터 스트로브 모드에서 상기 기입 동작 및 상기 독출 동작을 수행하고,

상기 클럭 신호가 상기 기준 주파수 이하인 경우에는 단일 데이터 스트로브 신호들을 이용하여 제2 데이터 스트로브 모드에서 상기 기입 동작 및 상기 독출 동작을 수행하고,

상기 제1 데이터 스트로브 모드에서의 상기 데이터 스트로브 신호들의 제1 수는 상기 제2 데이터 스트로브 모드에서 상기 데이터 스트로브 신호들의 제2 수보다 큰 반도체 메모리 장치.

청구항 3

제2항에 있어서,

상기 제어 로직 회로는 상기 메모리 컨트롤러로부터 전송되는 커맨드, 어드레스 및 상기 클럭 신호에 기초하여 상기 반도체 장치의 동작을 지시하는 내부 커맨드와 상기 데이터 스트로브 모드를 결정하는 스트로브 모드 신호를 생성하고,

상기 반도체 메모리 장치는

상기 차동 스트로브 신호 쌍들 및 상기 단일 스트로브 신호들 중 하나 및 상기 스트로브 모드 신호 또는 내부에서 생성되는 신호에 기초하여 내부 스트로브 신호들을 생성하고, 상기 내부 스트로브 신호들에 기초하여 상기 데이터를 상기 반도체 메모리 장치의 내부로 전달하는 입출력 회로를 더 포함하는 반도체 메모리 장치.

청구항 4

제3항에 있어서, 상기 입출력 회로는

상기 스트로브 모드 신호 또는 상기 내부에서 생성되는 신호에 기초하여 스트로브 제어 신호를 생성하는 스트로브 컨트롤러;

상기 스트로브 제어 신호에 따라 상기 차동 스트로브 신호 쌍들 및 상기 단일 스트로브 신호들 중 하나에 기초하여 상기 내부 스트로브 신호들을 생성하는 내부 스트로브 신호 생성기; 및

상기 내부 스트로브 신호들에 기초하여 상기 데이터를 샘플링하고 샘플링된 데이터를 상기 반도체 메모리 장치의 내부로 제공하는 데이터 샘플링 회로를 포함하는 반도체 메모리 장치.

청구항 5

제4항에 있어서, 상기 내부 스트로브 신호 생성기는 복수의 단위 신호 생성기들을 포함하고, 상기 단위 신호 생

성기들 각각은

선택 신호에 응답하여 상기 차동 데이터 스트로브 신호 쌍들 중 상보 데이터 스트로브 신호와 기준 전압 중 하나를 선택하는 멀티플렉서; 및

상기 차동 데이터 스트로브 신호 쌍들 중 진성 데이터 스트로브 신호와 상기 멀티플렉서의 출력을 서로 비교하여 상기 내부 스트로브 신호들 중 상응하는 내부 스트로브 신호로 출력하는 비교기를 포함하고,

상기 제1 데이터 스트로브 모드에서는 상기 멀티플렉서는 상기 상보 데이터 스트로브 신호를 선택하고 상기 비교기는 상기 상보 데이터 스트로브 신호와 상기 진성 스트로브 신호를 비교하여 상기 상응하는 내부 스트로브 신호로 출력하고,

상기 제2 데이터 스트로브 모드에서는 상기 멀티플렉서는 상기 기준 전압을 선택하고, 상기 비교기는 상기 기준 전압과 상기 진성 스트로브 신호를 비교하여 상기 상응하는 내부 스트로브 신호로 출력하는 반도체 메모리 장치.

청구항 6

제4항에 있어서,

상기 데이터 샘플링 회로는 상기 내부 스트로브 신호들 중 하나의 내부 스트로브 신호에 기초하여 제1 단위의 데이터를 각각 샘플링하는 복수의 데이터 샘플러들을 포함하고,

상기 제어 로직 회로는 상기 커맨드, 상기 어드레스 및 상기 클럭 신호에 기초하여 상기 기입 동작에서의 기입 레이턴시와 상기 독출 동작에서의 독출 레이턴시를 설정하여 상기 스트로브 모드 신호를 생성하는 모드 레지스터를 포함하는 반도체 메모리 장치.

청구항 7

제1항에 있어서, 상기 반도체 메모리 장치는

상기 클럭 신호의 주파수에 따라 복수의 데이터 스트로브 신호 쌍들 중 하나의 데이터 스트로브 신호 쌍 또는 복수의 단일 데이터 스트로브 신호들 중 하나의 데이터 스트로브 신호와 관련되는 데이터 비트들의 수를 변경하여 상기 기입 동작과 상기 독출 동작을 수행하고,

상기 클럭 신호의 주파수가 기준 주파수보다 큰 경우에는 상기 하나의 데이터 스트로브 신호 쌍에 기초하여 제1 수의 데이터 비트들에 대하여 상기 기입 동작과 상기 독출 동작을 수행하고,

상기 클럭 신호의 주파수가 상기 기준 주파수 이하인 경우에는 상기 하나의 데이터 스트로브 신호 쌍 또는 상기 하나의 단일 데이터 스트로브 신호에 기초하여 제2 수의 데이터 비트들에 대하여 상기 기입 동작과 상기 독출 동작을 수행하고,

상기 제1 수는 상기 제2 수보다 작은 반도체 메모리 장치.

청구항 8

제7항에 있어서, 상기 반도체 메모리 장치는,

상기 메모리 컨트롤러로부터 전송되는 커맨드, 어드레스 및 상기 클럭 신호에 기초하여 생성되는 스트로브 모드 신호 또는 내부에서 생성되는 신호에 기초하여 제2 내부 스트로브 신호들을 생성하고, 상기 제2 내부 스트로브 신호들에 기초하여 상기 데이터를 상기 메모리 셀 어레이에 전달하는 입출력 회로를 더 포함하고,

상기 입출력 회로는

상기 스트로브 모드 신호 또는 상기 내부에서 생성되는 신호에 기초하여 스트로브 제어 신호를 생성하는 스트로브 컨트롤러;

상기 스트로브 제어 신호에 따라 상기 차동 스트로브 신호 쌍들 및 상기 단일 스트로브 신호들 중 하나에 기초하여 제1 내부 스트로브 신호들을 생성하는 내부 스트로브 신호 생성기;

리피터 제어 신호에 기초하여 상기 제1 내부 스트로브 신호들을 리피팅하여 상기 제2 내부 스트로브 신호들을 제공하는 리피터; 및

상기 제2 내부 스트로브 신호들에 기초하여 상기 데이터를 샘플링하고 샘플링된 데이터를 상기 메모리 셀 어레이에 제공하는 데이터 샘플링 회로를 포함하는 반도체 메모리 장치.

청구항 9

제8항에 있어서,

상기 클럭 신호의 주파수가 상기 기준 주파수보다 이하인 경우에는 상기 제1 내부 스트로브 신호들의 수는 상기 제2 내부 스트로브 신호들의 수보다 작은 반도체 메모리 장치..

청구항 10

메모리 셀 어레이를 구비하는 반도체 메모리 장치의 동작 방법으로서,

외부의 메모리 컨트롤러로부터 제공되는 클럭 신호의 주파수가 기준 주파수 이하인지 여부를 판단하는 단계; 및 상기 클럭 신호의 주파수에 따라서 서로 다른 수의 데이터 스트로브 신호들을 이용하여 상기 메모리 셀 어레이에 대한 메모리 동작을 수행하는 단계를 포함하고,

상기 클럭 신호의 주파수가 상기 기준 주파수보다 큰 경우에는 제1 수의 데이터 스트로브 신호들을 이용하여 상기 메모리 동작을 수행하고,

상기 클럭 신호의 주파수가 상기 기준 주파수 이하인 경우에는 제2 수의 데이터 스트로브 신호들을 이용하여 상기 메모리 동작을 수행하고,

상기 메모리 동작은 상기 클럭 신호에 동기되어 상기 메모리 셀 어레이에 데이터를 기입하는 기입 동작 및 상기 메모리 셀 어레이로부터 데이터를 독출하는 독출 동작을 포함하고,

상기 제1 수는 상기 제2 수보다 큰 반도체 메모리 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 장치에 관한 것으로, 보다 상세하게는 반도체 메모리 장치 및 반도체 메모리 장치의 동작 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 반도체 메모리 장치는 데이터를 저장하기 위한 수천 만개 이상의 메모리 셀(memory cell)을 구비하고 있으며, 칩셋(chipset)에서 요구하는 명령에 따라 데이터를 저장하거나 데이터를 출력한다. 즉, 칩셋에서 쓰기 동작을 요구하는 경우 칩셋으로부터 입력되는 어드레스에 대응하는 메모리 셀에 데이터를 저장하고, 읽기 동작을 요구하는 경우 칩셋으로부터 입력되는 어드레스에 대응하는 메모리 셀에 저장된 데이터를 출력한다.

[0003] 동기식 반도체 메모리 장치는 클럭 신호에 따라 데이터를 입출력하는데 입출력 데이터는 계속적으로 증가 추세에 있다. 입출력 데이터가 많을수록 동기식 반도체 메모리 장치의 전력 소모는 증가한다.

발명의 내용

해결하려는 과제

[0004] 이에 따라, 본 발명의 일 목적은 전력 소모를 감소시킬 수 있는 반도체 메모리 장치를 제공하는데 있다.

[0005] 본 발명의 일 목적은 전력 소모를 감소시킬 수 있는 반도체 메모리 장치의 동작 방법을 제공하는데 있다.

과제의 해결 수단

[0006] 상기 일 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 메모리 장치는 메모리 셀 어레이 및 제어 로직 회로를 포함한다. 상기 제어 로직 회로는 상기 메모리 셀 어레이에 대한 액세스를 제어한다. 상기 반도체 메모리 장치는 외부의 메모리 컨트롤러로부터 제공되는 클럭 신호에 동기되어 상기 메모리 셀 어레이에 데이터를 기

입하는 기입 동작 및 상기 메모리 셀 어레이로부터 데이터를 독출하는 독출 동작을 수행하고, 상기 클럭 신호의 주파수에 따라 서로 다른 수의 데이터 스트로브 신호들을 사용하는 서로 다른 데이터 스트로브 모드에서 상기 기입 동작 및 상기 독출 동작을 수행한다.

- [0007] 예시적인 실시예에 있어서, 상기 반도체 메모리 장치는 상기 클럭 신호가 기준 주파수보다 큰 경우에는 차동 데이터 스트로브 신호 쌍들을 이용하는 제1 데이터 스트로브 모드에서 상기 기입 동작 및 상기 독출 동작을 수행할 수 있다. 상기 반도체 메모리 장치는 상기 클럭 신호가 상기 기준 주파수 이하인 경우에는 단일 데이터 스트로브 신호들을 이용하여 제2 데이터 스트로브 모드에서 상기 기입 동작 및 상기 독출 동작을 수행할 수 있다.
- [0008] 상기 제1 데이터 스트로브 모드에서의 상기 데이터 스트로브 신호들의 제1 수는 상기 제2 데이터 스트로브 모드에서 상기 데이터 스트로브 신호들의 제2 수보다 클 수 있다.
- [0009] 상기 상기 제어 로직 회로는 상기 메모리 컨트롤러로부터 전송되는 커맨드, 어드레스 및 상기 클럭 신호에 기초하여 상기 반도체 메모리 장치의 동작을 지시하는 내부 커맨드와 상기 데이터 스트로브 모드를 결정하는 스트로브 모드 신호를 생성할 수 있다. 상기 반도체 메모리 장치는 입출력 회로를 더 포함할 수 있다. 상기 입출력 회로는 상기 차동 데이터 스트로브 신호 쌍들 및 상기 단일 데이터 스트로브 신호들 중 하나 및 상기 스트로브 모드 신호 또는 내부에서 생성되는 신호에 기초하여 내부 스트로브 신호들을 생성하고, 상기 내부 스트로브 신호들에 기초하여 상기 데이터를 상기 메모리 셀 어레이에 전달할 수 있다.
- [0010] 상기 입출력 회로는 스트로브 컨트롤러, 내부 스트로브 신호 생성기 및 데이터 샘플링 회로를 포함할 수 있다. 상기 스트로브 컨트롤러는 상기 스트로브 모드 신호 또는 상기 내부에서 생성되는 신호에 기초하여 스트로브 제어 신호를 생성할 수 있다. 상기 내부 스트로브 신호 생성기는 상기 스트로브 제어 신호에 따라 상기 차동 데이터 스트로브 신호 쌍들 및 상기 단일 데이터 스트로브 신호들 중 하나에 기초하여 상기 내부 스트로브 신호들을 생성할 수 있다. 상기 데이터 샘플링 회로는 상기 내부 스트로브 신호들에 기초하여 상기 데이터를 샘플링하고 샘플링된 데이터를 상기 메모리 셀 어레이로 제공할 수 있다.
- [0011] 상기 내부 스트로브 신호 생성기는 복수의 단위 신호 생성기들을 포함할 수 있다. 상기 단위 신호 생성기들 각각은 멀티플렉서 및 비교기를 포함할 수 있다. 상기 멀티플렉서는 선택 신호에 응답하여 상기 차동 데이터 스트로브 신호 쌍들 중 상보 데이터 스트로브 신호와 기준 전압 중 하나를 선택할 수 있다. 상기 비교기는 상기 차동 데이터 스트로브 신호 쌍들 중 진성 데이터 스트로브 신호와 상기 멀티플렉서의 출력을 서로 비교하여 상기 내부 스트로브 신호들 중 상응하는 내부 스트로브 신호로 출력할 수 있다.
- [0012] 상기 제1 데이터 스트로브 모드에서는 상기 멀티플렉서는 상기 상보 데이터 스트로브 신호를 선택하고 상기 비교기는 상기 상보 데이터 스트로브 신호와 상기 진성 스트로브 신호를 비교하여 상기 상응하는 내부 스트로브 신호로 출력할 수 있다. 상기 제2 데이터 스트로브 모드에서는 상기 멀티플렉서는 상기 기준 전압을 선택하고, 상기 비교기는 상기 기준 전압과 상기 진성 데이터 스트로브 신호를 비교하여 상기 상응하는 내부 스트로브 신호로 출력할 수 있다.
- [0013] 상기 데이터 샘플링 회로는 상기 내부 스트로브 신호들 중 하나의 내부 스트로브 신호에 기초하여 제1 단위의 데이터를 각각 샘플링하는 복수의 데이터 샘플러들을 포함할 수 있다.
- [0014] 상기 제어 로직 회로는 모드 레지스터를 포함할 수 있다. 상기 모드 레지스터는 상기 커맨드, 상기 어드레스 및 상기 클럭 신호에 기초하거나 테스트 모드 레지스터 셋 신호에 기초하여 상기 반도체 메모리 장치의 상기 기입 동작에서의 기입 레이턴시와 상기 독출 동작에서의 독출 레이턴시를 설정하여 상기 스트로브 모드 신호를 생성할 수 있다.
- [0015] 예시적인 실시예에 있어서, 상기 반도체 메모리 장치는 상기 클럭 신호의 주파수에 따라 복수의 데이터 스트로브 신호 쌍들 중 하나의 데이터 스트로브 신호 쌍 또는 복수의 단일 데이터 스트로브 신호들 중 하나의 데이터 스트로브 신호와 관련되는 데이터 비트들의 수를 변경하여 상기 기입 동작과 상기 독출 동작을 수행할 수 있다.
- [0016] 상기 반도체 메모리 장치는 상기 클럭 신호의 주파수가 기준 주파수보다 큰 경우에는 상기 하나의 데이터 스트로브 신호 쌍에 기초하여 제1 수의 데이터 비트들에 대하여 상기 기입 동작과 상기 독출 동작을 수행하고, 상기 클럭 신호의 주파수가 상기 기준 주파수 이하인 경우에는 상기 하나의 데이터 스트로브 신호 쌍 또는 상기 하나의 단일 데이터 스트로브 신호에 기초하여 제2 수의 데이터 비트들에 대하여 상기 기입 동작과 상기 독출 동작을 수행할 수 있다. 상기 제1 수는 상기 제2 수보다 작을 수 있다. 상기 데이터 비트들의 수는 커맨드 및 어드레스나 테스트 모드 레지스터 셋 신호에 기초하여 상기 반도체 메모리 장치의 모드 레지스터를 설정하거나, 상기 반도체 메모리 장치에 포함되는 퓨즈들을 커팅하여 변경될 수 있다. 상기 메모리 셀 어레이는 복수의 동적

메모리 셀들을 포함하고, 상기 메모리 셀 어레이는 3차원 메모리 셀 어레이일 수 있다.

[0017] 예시적인 실시예에 있어서, 상기 반도체 메모리 장치는 입출력 회로를 더 포함할 수 있다. 상기 입출력 회로는 상기 메모리 컨트롤러로부터 전송되는 커맨드, 어드레스 및 상기 클럭 신호에 기초하여 생성되는 스트로브 모드 신호 또는 내부에서 생성되는 신호에 기초하여 제2 내부 스트로브 신호들을 생성하고, 상기 제2 내부 스트로브 신호들에 기초하여 상기 데이터를 상기 반도체 메모리 장치의 내부로 전달할 수 있다. 상기 입출력 회로는 스트로브 컨트롤러, 내부 스트로브 신호 생성기, 리피터 및 데이터 샘플링 회로를 포함할 수 있다. 상기 스트로브 컨트롤러는 상기 스트로브 모드 신호 또는 상기 내부에서 생성되는 신호에 기초하여 스트로브 제어 신호를 생성할 수 있다. 상기 내부 스트로브 신호 생성기는 상기 스트로브 제어 신호에 따라 상기 차동 스트로브 신호 쌍들 및 상기 단일 스트로브 신호들 중 하나에 기초하여 제1 내부 스트로브 신호들을 생성할 수 있다. 상기 리피터는 리피터 제어 신호에 기초하여 상기 제1 내부 스트로브 신호들을 리피팅하여 상기 제2 내부 스트로브 신호들을 제공할 수 있다. 상기 데이터 샘플링 회로는 상기 제2 내부 스트로브 신호들에 기초하여 상기 데이터를 샘플링하고 샘플링된 데이터를 상기 메모리 셀 어레이에 제공할 수 있다.

[0018] 상기 클럭 신호의 주파수가 상기 기준 주파수 이하인 경우에는 상기 제1 내부 스트로브 신호들의 수는 상기 제2 내부 스트로브 신호들의 수보다 작을 수 있다.

[0019] 상기 일 목적을 달성하기 위한 본 발명의 실시예에 따른 메모리 셀 어레이를 구비하는 반도체 메모리 장치의 동작 방법에서는 외부의 메모리 컨트롤러로부터 제공되는 클럭 신호의 주파수가 기준 주파수 이하인지 여부를 판단한다. 상기 클럭 신호의 주파수에 따라서 서로 다른 수의 데이터 스트로브 신호들을 이용하여 상기 메모리 셀 어레이에 대한 메모리 동작을 수행한다.

[0020] 예시적인 실시예에 있어서, 상기 클럭 신호의 주파수가 상기 기준 주파수보다 큰 경우에는 제1 수의 데이터 스트로브 신호들을 이용하여 상기 메모리 동작을 수행하고, 상기 클럭 신호의 주파수가 상기 기준 주파수 이하인 경우에는 제2 수의 데이터 스트로브 신호들을 이용하여 상기 메모리 동작을 수행할 수 있다. 상기 메모리 동작은 상기 클럭 신호에 동기되어 상기 메모리 셀 어레이에 데이터를 기입하는 기입 동작 및 상기 메모리 셀 어레이로부터 데이터를 독출하는 독출 동작을 포함할 수 있다. 상기 제1 수는 상기 제2 수보다 클 수 있다.

발명의 효과

[0021] 본 발명의 예시적인 실시예들에 따르면, 반도체 메모리 장치 및 이의 동작 방법에서는 클럭 신호의 주파수가 기준 주파수 이하인 경우에 사용되는 데이터 스트로브 신호들의 수를 클럭 신호의 주파수가 기준 주파수보다 높은 경우에 사용되는 데이터 스트로브 신호들의 수보다 감소시켜 전력 소모를 감소시킬 수 있다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 일 실시예에 따른 전자 시스템을 나타내는 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 도 1의 메모리 시스템의 개략적인 구성을 나타내는 블록도이다.
- 도 3은 본 발명의 실시예들에 따른 도 2의 메모리 시스템에서 반도체 메모리 장치를 나타내는 블록도이다.
- 도 4는 본 발명의 실시예들에 따른 도 3의 반도체 메모리 장치에서 제1 बैं크 어레이를 나타낸다.
- 도 5는 본 발명의 실시예들에 따른 도 3의 반도체 메모리 장치에서 입출력 회로의 구성을 나타내는 블록도이다.
- 도 6은 본 발명의 실시예들에 따른 도 5의 입출력 회로에서 스트로브 컨트롤러의 다른 예를 나타낸다.
- 도 7은 본 발명의 실시예들에 따른 도 5의 입출력 회로에서 내부 스트로브 신호 생성기와 데이터 샘플링 회로의 구성을 나타낸다.
- 도 8은 도 2의 메모리 시스템의 동작을 나타내는 타이밍도이다.
- 도 9는 본 발명의 실시예들에 따른 도 5의 입출력 회로의 일부를 나타낸다.
- 도 10은 도 2의 메모리 시스템의 동작을 나타내는 타이밍도이다.
- 도 11은 제1 데이터 스트로브 모드에서 도 3의 메모리 시스템을 나타낸다.
- 도 12는 제2 데이터 스트로브 모드에서 도 3의 메모리 시스템을 나타낸다.
- 도 13은 제2 서브 데이터 스트로브 모드나 제3 서브 데이터 스트로브 모드에서 도 3의 메모리 시스템을 나타낸

다.

도 14는 제2 서브 데이터 스트로브 모드에서 도 9의 입출력 회로의 동작을 나타낸다.

도 15는 본 발명의 실시예에 따른 반도체 메모리 장치를 나타내는 구조도이다.

도 16은 본 발명의 실시예들에 따른 반도체 메모리 장치의 동작 방법을 나타내는 플로우차트이다.

도 17은 본 발명의 실시예들에 따른 반도체 메모리 장치의 동작 방법을 나타내는 플로우차트이다.

도 18은 본 발명의 실시예에 따른 반도체 메모리 장치를 모바일 시스템에 응용한 예를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0024] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.
- [0025] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0026] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0027] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0028] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0029] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0030] 도 1은 본 발명의 일 실시예에 따른 전자 시스템을 나타내는 블록도이다.
- [0031] 도 1을 참조하면, 전자 시스템(10)은 호스트(20) 및 메모리 시스템(30)을 포함할 수 있다. 메모리 시스템(30)은 메모리 컨트롤러(100) 및 복수의 반도체 메모리 장치들(200a~200k)을 포함할 수 있다.
- [0032] 호스트(20)는 PCI-E(Peripheral Component Interconnect - Express), ATA(Advanced Technology Attachment), SATA(Serial ATA), PATA(Parallel ATA), 또는 SAS(serial attached SCSI)와 같은 인터페이스 프로토콜을 사용하여 메모리 시스템(30)과 통신할 수 있다. 또한 호스트(20)와 메모리 시스템(30)간의 인터페이스 프로토콜들은 상술한 예에 한정되지 않으며, USB(Universal Serial Bus), MMC(Multi-Media Card), ESDI(Enhanced Small Disk Interface), 또는 IDE(Integrated Drive Electronics) 등과 같은 다른 인터페이스 프로토콜들 중 하나일 수 있다.

- [0033] 메모리 컨트롤러(Memory Controller; 100)는 메모리 시스템(Memory System; 30)의 동작을 전반적으로 제어하며, 호스트(20)와 메모리 장치들(200a~200k) 사이의 전반적인 데이터 교환을 제어한다. 예컨대, 메모리 컨트롤러(100)는 호스트(20)의 요청에 따라 반도체 메모리 장치들(200a~200k)을 제어하여 데이터를 기입하거나(write) 데이터를 독출한다(read). 또한, 메모리 컨트롤러(100)는 반도체 메모리 장치들(200a~200k)을 제어하기 위한 동작 커맨드(command)들을 인가하여, 반도체 메모리 장치들(200a~200k)의 동작을 제어한다.
- [0034] 실시예에 따라, 반도체 메모리 장치들(200a~200k) 각각은 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR(Low Power Double Data Rate) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, LPDDR(Low Power DDR), RDRAM(Rambus Dynamic Random Access Memory) 등과 같은 동적 랜덤 액세스 메모리(Dynamic Random Access Memory; DRAM)일 수 있다.
- [0035] 도 2는 본 발명의 일 실시예에 따른 도 1의 메모리 시스템의 개략적인 구성을 나타내는 블록도이다.
- [0036] 도 2에서는 메모리 컨트롤러(100)에 대응되는 하나의 반도체 메모리 장치(200a)만을 예로 들어 설명한다.
- [0037] 도 2를 참조하면, 메모리 시스템(30)은 메모리 컨트롤러(100)와 반도체 메모리 장치(200a)를 포함할 수 있다.
- [0038] 메모리 컨트롤러(100)는 클럭 신호(CLK), 커맨드(CMD), 어드레스(ADDR), 데이터 스트로브 신호(DQS) 등의 제어 신호들과 데이터(DQs)를 반도체 메모리 장치(200a)로 전송하고, 반도체 메모리 장치(200a)로부터 데이터 스트로브 신호(DQS)와 데이터(DQs)를 수신한다. 메모리 컨트롤러(100)는 독출 커맨드 및 기입 커맨드를 반도체 메모리 장치(200)로 전송할 수 있다.
- [0039] 반도체 메모리 장치(200)는 독출 커맨드에 응답하여 독출 동작을 수행하고, 기입 명령에 응답하여 기입 동작을 수행할 수 있다.
- [0040] 도 3은 본 발명의 실시예들에 따른 도 2의 메모리 시스템에서 반도체 메모리 장치를 나타내는 블록도이다.
- [0041] 도 3을 참조하면, 반도체 메모리 장치(200a)는 커맨드/어드레스 입력 버퍼(210), 제어 로직 회로(220), 뱅크 제어 로직(230A~230D), 메모리 셀 어레이(240A~240D), 기입 드라이버 및 데이터 입출력 센스 앰프부들(250A~250D), ECC 엔진들(260A~260D), 입출력 데이터 버퍼(270) 및 입출력 회로(300)를 포함한다.
- [0042] 메모리 셀 어레이(240A~240D)는 복수개의 메모리 셀들이 행들 및 열들로 배열되는 제1 내지 제4 뱅크 어레이들(240A~240D)을 포함할 수 있다. 제1 내지 제4 뱅크 어레이들(240A~240D) 각각에는 메모리 셀들과 연결되는 워드 라인들과 비트라인들을 선택하는 로우 디코더와 칼럼 디코더가 연결될 수 있다. 본 실시예에서는 4개의 뱅크 어레이들을 포함하는 반도체 메모리 장치(200a)의 예가 도시되어 있으나, 실시예들에 따라 반도체 메모리 장치(200a)는 임의의 수의 뱅크들을 포함할 수 있다.
- [0043] 커맨드/어드레스 입력 버퍼(210)는 메모리 컨트롤러(100)로부터 수신되는 클럭 신호(CLK)와 커맨드(CMD) 및 어드레스(ADDR)를 수신할 수 있다. 커맨드(CMD)와 어드레스(ADDR)는 동일한 단자들, 이른바 CA 패드들을 통하여 입력될 수 있다. CA 패드들을 통하여 커맨드(CMD)와 어드레스(ADDR)가 순차적으로 입력될 수 있다. 메모리 컨트롤러(100)가 발행하는 커맨드(CMD)에는 독출 커맨드 및 기입 커맨드 등이 있다. 독출 커맨드는 반도체 메모리 장치(200a)의 독출 동작을 지시하고, 기입 커맨드는 반도체 메모리 장치(200a)의 기입 동작을 지시한다.
- [0044] 제어 로직 회로(220)는 커맨드/어드레스 입력 버퍼(210)를 통해 수신되는 커맨드(CMD)와 어드레스(ADDR)를 수신하여, 내부 커맨드(ICMD) 및 스트로브 모드 신호(SMS)를 발생하고 어드레스 신호를 발생할 수 있다. 내부 커맨드(ICMD)는 내부 독출 커맨드와 내부 기입 커맨드를 포함할 수 있다. 어드레스 신호는 뱅크 어드레스(BA), 로우 어드레스(RA) 및 칼럼 어드레스(CA)를 포함할 수 있다. 내부 커맨드(ICMD)와 어드레스 신호(BA/RA/CA)는 뱅크 제어 로직들(230A~230D)로 제공될 수 있다. 즉, 제어 로직 회로(220)는 메모리 셀 어레이(240A~240D)에 대한 액세스를 제어할 수 있다.
- [0045] 제어 로직 회로(220)는 커맨드 디코더(221) 및 모드 레지스터(222)를 포함할 수 있다. 커맨드 디코더(221)는 커맨드(CMD)를 디코딩하여 내부 커맨드(ICMD)를 생성할 수 있고, 모드 레지스터(222)는 커맨드(CMD)와 어드레스(ADDR)에 기초하여 반도체 메모리 장치(300a)의 동작 모드를 설정할 수 있다. 즉 모드 레지스터(222)는 커맨드(CMD)와 어드레스(ADDR) 또는 외부에서 인가되는 테스트 모드 레지스트 셋(TMRS) 신호에 기초하여 반도체 메모리 장치(200a)의 클럭 신호(CLK)의 주파수에 따른 기입 동작에서의 기입 레이턴시와 독출 동작에서의 독출 레이턴시를 설정할 수 있고, 이렇게 설정된 기입 레이턴시와 독출 레이턴시에 따라 스트로브 모드 신호(SMS)의 논리 레벨이 결정되고 스트로브 모드 신호(SMS)는 입출력 회로(300)에 제공될 수 있다.

- [0046] 뱅크 제어 로직들(230A~230D) 각각은 뱅크 어드레스(BA)에 상응하여 활성화될 수 있다. 활성화된 뱅크 제어 로직들(230A~230D)는 내부 커맨드(ICMD)와 로우 어드레스(RA) 및 칼럼 어드레스(CA)에 응답하여 뱅크 제어 신호들을 생성할 수 있다. 뱅크 제어 신호에 응답하여, 활성화된 뱅크 제어 로직들(230A~230D)와 연결되는 제1 내지 제4 뱅크 어레이들(240A~240D)의 로우 디코더와 칼럼 디코더가 활성화될 수 있다.
- [0047] 제1 내지 제4 뱅크 어레이들(240A~240D)의 로우 디코더는 로우 어드레스(RA)를 디코딩하여 로우 어드레스(RA)에 상응하는 워드라인을 인에이블시킬 수 있다. 제1 내지 제4 뱅크 어레이들(240A~240D)의 칼럼 어드레스(CA)는 칼럼 어드레스 래치에 일시적으로 저장될 수 있다. 칼럼 어드레스 래치는 버스트 모드에서 칼럼 어드레스(CA)를 점진적으로 증가시킬 수 있다. 일시적으로 저장된 또는 점진적으로 증가된 칼럼 어드레스(CA)는 칼럼 디코더로 제공될 수 있다. 칼럼 디코더는 칼럼 어드레스(CA)를 디코딩하여 칼럼 어드레스(CA)에 상응하는 칼럼 선택 신호(CSL)를 활성화시킬 수 있다.
- [0048] 뱅크 제어 로직들(230A~230D) 각각은 뱅크 제어 신호에 응답하여 제1 내지 제4 뱅크 어레이들(240A~240D)과 연결되는 ECC 엔진들(260A~260D)의 동작을 제어하는 ECC 인코딩 신호(ENC)와 ECC 디코딩 신호(DEC)를 발생시킬 수 있다.
- [0049] 기입 드라이버 및 데이터 입출력 센스 앰프부들(250A~250D)는 제1 내지 제4 뱅크 어레이들(240A~240D) 각각에서 출력되는 독출 데이터(DTA)를 감지 증폭하고, 제1 내지 제4 뱅크 어레이들(240A~240D) 각각에 저장된 기입 데이터(DTA)를 전달할 수 있다.
- [0050] ECC 엔진들(260A~260D)은 기입 동작 시, 뱅크 제어 로직들(230A~230D)에서 출력되는 ECC 인코딩 신호(ENC)에 응답하여 제1 내지 제4 뱅크 어레이들(240A~240D) 각각에 저장된 기입 데이터(DTA)에 대해 ECC 인코딩 동작을 수행하여 패리티 비트들을 생성할 수 있다.
- [0051] ECC 엔진들(260A~260D)은 독출 동작시, 뱅크 제어 로직들(230A~230D)에서 출력되는 ECC 디코딩 신호(DEC)에 응답하여 제1 내지 제4 뱅크 어레이들(240A~240D) 각각에서 독출되는 데이터(DTA)와 패리티 비트들을 이용하여 ECC 디코딩 동작을 수행하여 독출 데이터에 발생한 에러 비트를 검출/정정할 수 있다.
- [0052] 입출력 데이터 버퍼(270)는 제1 내지 제4 뱅크 어레이들(240A~240D)로/로부터 입출력되는 데이터(DTA)를 게이팅하는 회로들과 함께, 제1 내지 제4 뱅크 어레이들(240A~240D)로부터 출력된 데이터를 저장하기 위한 독출 데이터 래치들과 제1 내지 제4 뱅크 어레이들(240A~240D)에 데이터를 기입하기 위한 기입 데이터 래치들을 포함할 수 있다.
- [0053] 입출력 데이터 버퍼(270)는 독출 데이터 래치들을 통하여 제1 내지 제4 뱅크 어레이들(240A~240D)로부터 출력되는 병렬 데이터 비트들을 직렬 데이터 비트들로 변환할 수 있다. 입출력 데이터 버퍼(270)는 기입 데이터 래치를 이용하여 직렬하게 수신되는 기입 데이터를 병렬 데이터 비트들로 변환할 수 있다.
- [0054] 입출력 회로(300)는 입출력 데이터 버퍼(270)에서 출력되는 직렬 데이터 비트들을 수신하고, 버스트 길이에 대응하는 데이터 비트들로 순차 배열하여 데이터 스트로브 신호(DQS)와 함께 데이터 입출력 패드들로 출력할 수 있다. 입출력 회로(300)는 메모리 컨트롤러(100)로부터 제공되며 데이터 스트로브 신호(DQS)와 함께 데이터 입출력 패드들을 통해 직렬하게 입력되는 버스트 길이에 해당하는 기입 데이터를 수신할 수 있다. 입출력 회로(300)는 직렬하게 수신된 버스트 길이의 기입 데이터를 입출력 데이터 버퍼(270)로 제공할 수 있다.
- [0055] 도 2의 메모리 시스템(20)에서 메모리 컨트롤러(100)는 클럭 신호(CLK)의 주파수에 따라 반도체 메모리 장치(200a)의 데이터 스트로브 모드를 달리 설정할 수 있다.
- [0056] 예를 들어, 클럭 신호(CLK)의 주파수가 기준 주파수보다 큰 경우에, 메모리 컨트롤러(100)는 반도체 메모리 장치(200a)의 데이터 스트로브 모드를 제1 데이터 스트로브 모드로 설정할 수 있다. 제1 데이터 스트로브 모드에서 반도체 메모리 장치(200a)는 차동 데이터 스트로브 신호 쌍들을 이용하여 메모리 셀 어레이(240A~240D)에 대한 기입 동작과 독출 동작을 수행할 수 있다. 예를 들어, 클럭 신호(CLK)의 주파수가 기준 주파수 이하인 경우에, 메모리 컨트롤러(100)는 반도체 메모리 장치(200a)의 데이터 스트로브 모드를 제2 데이터 스트로브 모드로 설정할 수 있다. 제2 데이터 스트로브 모드에서 반도체 메모리 장치(200a)는 단일 데이터 스트로브 신호들을 이용하여 메모리 셀 어레이(240A~240D)에 대한 기입 동작과 독출 동작을 수행할 수 있다. 따라서 제2 데이터 스트로브 모드에서 기입 동작과 독출 동작에 관계되는 데이터 스트로브 신호들의 수가 제1 데이터 스트로브 모드에서의 데이터 스트로브 신호들의 수보다 작으므로 메모리 시스템(20)은 전력 소모를 감소시킬 수 있다.
- [0057] 하기의 표 1은 도 2의 메모리 시스템에서 클럭 신호의 주파수에 따른 반도체 메모리 장치의 기입 레이턴시와 독

출 레이턴시의 예를 나타낸다.

표 1

[0058]

READ LATENCY	WRITE LATENCY	LOWER CLOCK FREQUENCY LIMIT	HIGHER CLOCK FREQUENCY LIMIT
6	4	100	266
10	6	266	533
14	8	533	800
20	10	800	1066
24	12	1066	1333
28	14	1333	1600
32	16	1600	1866
36	18	1866	2133

[0059]

[표 1]에서 알 수 있듯이 반도체 메모리 장치(200a)의 독출 레이턴시와 기입 레이턴시는 클럭 신호(CLK)의 주파수에 따라 반도체 메모리 장치(200a)의 표준(specification)에 정의되어 있다. 따라서 모드 레지스터(222)에 클럭 신호(CLK)의 주파수에 따른 독출 레이턴시와 기입 레이턴시를 설정하여 모드 레지스터(222)가 클럭 신호(CLK)의 주파수에 따른 스트로브 모드 신호(SMS)를 생성할 수 있다. 반도체 메모리 장치(200a)의 독출 레이턴시는 독출 커맨드와 유효한 출력 데이터의 첫번째 비트 사이의 클럭 사이클(CLK) 지연을 의미하고, 기입 레이턴시는 기입 커맨드와 유효한 기입 데이터의 첫번째 비트 사이의 클럭 사이클 지연을 의미한다.

[0060]

도 4는 본 발명의 실시예들에 따른 도 3의 반도체 메모리 장치에서 제1 뱅크 어레이를 나타낸다.

[0061]

도 4를 참조하면, 제1 뱅크 어레이(240A)는 복수개의 워드라인들(WL1~WL2m, m은 2이상의 정수), 복수개의 비트라인들(BL1~BL2n, n은 2이상의 정수), 그리고 워드라인들(WL1~WL2m)과 비트라인들(BL1~BL2n) 사이의 교차점에 배치되는 복수개의 메모리 셀들(MCs)을 포함한다. 각 메모리 셀(MC)은 DRAM 셀 구조를 갖는다. 메모리 셀들(MCs)이 연결되는 워드라인들(WLs)을 제1 뱅크 어레이(240A)의 로우들(rows)이라고 정의하고, 메모리 셀들(MCs)이 연결되는 비트라인들(BLs)을 제1 뱅크 어레이(240A)의 칼럼들(columns)이라고 정할 수 있다.

[0062]

도 4의 제1 뱅크 어레이(240A)에서 하나의 비트라인(BL)에는 m 개의 메모리 셀들이 연결될 수 있고, 하나의 워드라인(WL)에는 n 개의 메모리 셀들이 연결될 수 있다.

[0063]

도 5는 본 발명의 실시예들에 따른 도 3의 반도체 메모리 장치에서 입출력 회로의 구성을 나타내는 블록도이다.

[0064]

도 5를 참조하면, 입출력 회로(300)는 스트로브 컨트롤러(310a), 내부 스트로브 신호 생성기(320), 데이터 샘플링 회로(370), 출력 스트로브 신호 생성기(380) 및 데이터 송신기(390)를 포함하여 구성될 수 있다.

[0065]

스트로브 컨트롤러(310a)는 스트로브 모드 신호(SMS)에 기초하여 스크로브 제어 신호(SCS)를 생성하고 스트로브 제어 신호(SCS)를 내부 스트로브 신호 생성기(320) 및 출력 스트로브 신호 생성기(380)에 제공할 수 있다. 스트로브 제어 신호(SCS)는 하나 이상의 비트를 포함할 수 있다.

[0066]

내부 스트로브 신호 생성기(320)는 스트로브 제어 신호(SCS)에 따라 차동 스트로브 신호 쌍들(DQSi, DQSiB, i는 2 이상의 자연수) 및 차동 스트로브 신호 쌍들(DQSi, DQSiB) 중에서 선택된 하나인 단일 스트로브 신호들(DQSi) 중 하나에 기초하여 내부 스트로브 신호들(IDQSi)을 생성한다. 예를 들어, 내부 스트로브 신호 생성기(320)는 제1 데이터 스트로브 모드에서는 스트로브 제어 신호(SCS)에 응답하여 차동 데이터 스트로브 신호 쌍들(DQSi, DQSiB)에 기초하여 내부 스트로브 신호들(IDQSi)을 생성할 수 있다. 또한 예를 들어, 내부 스트로브 신호 생성기(320)는 제2 데이터 스트로브 모드에서는 스트로브 제어 신호(SCS)에 응답하여 단일 데이터 스트로브 신호들(DQSi)에 기초하여 내부 스트로브 신호들(IDQSi)을 생성할 수 있다.

[0067]

데이터 샘플링 회로(370)는 내부 스트로브 신호들(IDQSi)에 기초하여 데이터들(DQs)을 샘플링하고, 샘플링된 데이터를 반도체 메모리 장치(200a)의 내부, 즉 입출력 데이터 버퍼(270)에 제공할 수 있다.

[0068]

내부 스트로브 신호 생성기(320)와 데이터 샘플링 회로(370)는 반도체 메모리 장치(200a)의 기입 동작에서 사용될 수 있다.

[0069]

출력 스트로브 신호 생성기(380)는 스트로브 제어 신호(SCS)에 따라 차동 데이터 스트로브 신호 쌍들(DQSi, DQSiB) 및 단일 데이터 스트로브 신호들(DQSi) 중 하나를 생성하고, 차동 데이터 스트로브 신호 쌍들(DQSi,

DQSiB) 및 단일 데이터 스트로브 신호들(DQSi) 중 하나를 데이터 전송기(390)에 제공한다. 데이터 전송기(390)는 차동 데이터 스트로브 신호 쌍들(DQSi, DQSiB) 및 단일 데이터 스트로브 신호들(DQSi) 중 하나에 동기되어 입출력 데이터 버퍼(270)로부터 제공되는 데이터(DQs)를 메모리 컨트롤러(100)에 전송할 수 있다.

- [0070] 예를 들어, 출력 스트로브 신호 생성기(380)는 제1 데이터 스트로브 모드에서는 스트로브 제어 신호(SCS)에 응답하여 차동 데이터 스트로브 신호 쌍들(DQSi, DQSiB)을 생성하고, 제2 데이터 스트로브 모드에서는 단일 데이터 스트로브 신호들(DQSi)을 생성할 수 있다.
- [0071] 출력 스트로브 신호 생성기(380)와 데이터 전송기(390)는 반도체 메모리 장치(200a)의 독출 동작에서 사용될 수 있다.
- [0072] 도 6은 본 발명의 실시예들에 따른 도 5의 입출력 회로에서 스트로브 컨트롤러의 다른 예를 나타낸다.
- [0073] 도 6을 참조하면, 스트로브 컨트롤러(310b)는 퓨즈 회로(311) 및 퓨즈 신호 조합 로직(317)을 포함할 수 있다.
- [0074] 퓨즈 회로(311)는 복수의 퓨즈들(312~315)을 포함할 수 있다. 퓨즈들(312~315)의 제1 단자들에는 전원 전압(VDD)이 인가되고, 퓨즈들(312~315)의 제2 단자들은 퓨즈 신호 조합 로직(317)에 연결될 수 있다. 퓨즈들(312~315)이 연결되어 있는 동안, 퓨즈들(312~315)에 인가되는 전원 전압(VDD)은 퓨즈 신호 조합 로직(317)에 전달되지 않는다.
- [0075] 퓨즈 신호 조합 로직(317)은 퓨즈들(312~315)로부터 전달되는 전원 전압(VDD)을 입력받고, 이들을 조합하여 스트로브 제어 신호(SCS)를 출력할 수 있다. 예를 들어, 퓨즈(312)만 끊어지고, 나머지 퓨즈들(313~315)은 연결되어 있으면, 퓨즈 신호 조합 로직(317)은 제1 데이터 스트로브 모드에 해당하는 스트로브 제어 신호(SCS)를 출력할 수 있다. 예를 들어, 퓨즈들(312, 313)이 끊어지고 퓨즈들(314, 315)는 연결되어 있으면, 퓨즈 신호 조합 로직(317)은 제2 데이터 스트로브 모드에 해당하는 스트로브 제어 신호(SCS)를 출력할 수 있다.
- [0076] 도 6의 스트로브 컨트롤러(311)는 그 내부에서 생성되는 신호에 의하여 스트로브 제어 신호(SCS)를 생성할 수 있다.
- [0077] 도 7은 본 발명의 실시예들에 따른 도 5의 입출력 회로에서 내부 스트로브 신호 생성기와 데이터 샘플링 회로의 구성을 나타낸다.
- [0078] 도 7에서는 도 5에서 i가 8인 경우를 가정한다. 즉 도 2의 메모리 시스템(30)에서 메모리 컨트롤러(100)와 반도체 메모리 장치(200a)가 8 개의 차동 데이터 스트로브 신호 쌍들 또는 8 개의 단일 데이터 스트로브 신호들을 이용하여 64비트 데이터(DQs)를 교환하는 경우를 설명한다.
- [0079] 도 7을 참조하면, 내부 스트로브 신호 생성기(320)는 복수의 단위 신호 생성기들(321~328)을 포함할 수 있고, 데이터 샘플링 회로(370)는 복수의 데이터 샘플러들(371~378)을 포함할 수 있다.
- [0080] 단위 신호 생성기(321)는 비교기(331)와 멀티플렉서(341)를 포함하여 구성될 수 있다. 멀티플렉서(341)는 선택 신호(SS)에 응답하여 제1 상보 데이터 스트로브 신호(DQS1B)와 기준 전압(VERF) 중 하나를 선택하고 선택된 하나를 출력할 수 있다.
- [0081] 선택 신호(SS)는 스트로브 제어 신호(SCS)에 포함될 수 있다. 스트로브 모드 신호(SMS)가 제1 데이터 스트로브 모드를 나타내는 경우에, 멀티플렉서(341)는 선택 신호(SS)에 응답하여 제1 상보 데이터 스트로브 신호(DQS1B)를 출력할 수 있다. 스트로브 제어 신호(SCS)가 제2 데이터 스트로브 모드를 나타내는 경우에, 멀티플렉서(341)는 선택 신호(SS)에 응답하여 기준 전압(VREF)을 출력할 수 있다. 비교기(331)는 제1 진성 데이터 스트로브 신호(DQS1)와 멀티플렉서(341)의 출력을 비교하고, 그 비교결과를 나타내는 내부 스트로브 신호(IDQS1)를 출력할 수 있다. 따라서 비교기(331)는 제1 데이터 스트로브 모드에서는 제1 진성 데이터 스트로브 신호(DQS1)와 제1 상보 데이터 스트로브 신호(DQS1B)를 비교하여 내부 스트로브 신호(IDQS1)를 출력하고, 제2 데이터 스트로브 모드에서는 제1 진성 데이터 스트로브 신호(DQS1)와 기준 전압(VREF)을 비교하여 내부 스트로브 신호(IDQS1)를 출력할 수 있다. 제2 데이터 스트로브 모드에서 제1 진성 데이터 스트로브 신호(DQS1)는 제1 단일 데이터 스트로브 신호로 동작할 수 있다.
- [0082] 단위 신호 생성기(328)는 비교기(338)와 멀티플렉서(348)를 포함하여 구성될 수 있다. 멀티플렉서(348)는 선택 신호(SS)에 응답하여 제8 상보 데이터 스트로브 신호(DQS8B)와 기준 전압(VERF) 중 하나를 선택하고 선택된 하나를 출력할 수 있다.
- [0083] 비교기(338)는 제8 진성 데이터 스트로브 신호(DQS8)와 멀티플렉서(348)의 출력을 비교하고, 그 비교결과를 나

타내는 제8 내부 스트로브 신호(IDQS8)를 출력할 수 있다. 따라서 비교기(338)는 제1 데이터 스트로브 모드에서는 제8 진성 데이터 스트로브 신호(DQS8)와 제8 상보 데이터 스트로브 신호(DQS8B)를 비교하여 내부 스트로브 신호(IDQS8)를 출력하고, 제2 데이터 스트로브 모드에서는 제8 진성 데이터 스트로브 신호(DQS8)와 기준 전압(VREF)을 비교하여 내부 스트로브 신호(IDQS8)를 출력할 수 있다. 제2 데이터 스트로브 모드에서 제8 진성 데이터 스트로브 신호(DQS8)는 제8 단일 데이터 스트로브 신호로 동작할 수 있다.

- [0084] 나머지 단위 신호 생성기들(322~327) 각각의 구성 및 동작은 단위 신호 생성기들(321, 328) 각각의 구성 및 동작과 실질적으로 동일하므로, 이에 대한 상세한 설명은 생략한다.
- [0085] 데이터 샘플러(371)는 내부 스트로브 신호(IDQS1)에 동기되어 데이터 비트들(DQ1~DQ8)을 샘플링하고 샘플링된 데이터 비트들을 입출력 데이터 버퍼(270)에 제공할 수 있다. 데이터 샘플러(378)는 내부 스트로브 신호(IDQS8)에 동기되어 데이터 비트들(DQ57~DQ64)을 샘플링하고 샘플링된 데이터 비트들을 입출력 데이터 버퍼(270)에 제공할 수 있다. 나머지 데이터 샘플러들(도시하지 않음) 각각의 동작은 상술한 데이터 샘플러들(371, 378)의 동작과 실질적으로 동일하므로 이에 대한 상세한 설명은 생략한다.
- [0086] 도 7에서 알 수 있듯이, 도 2의 메모리 시스템(30)은 제1 데이터 스트로브 모드에서는 하나의 데이터 스트로브 신호 쌍을 이용하여 8 개의 데이터 비트들을 샘플링하고, 제2 데이터 스트로브 모드에서는 하나의 단일 데이터 스트로브 신호를 이용하여 8 개의 데이터 비트들을 샘플링할 수 있다. 따라서 메모리 컨트롤러(100)와 반도체 메모리 장치(200a)가 64 비트의 데이터(DQs)에 대하여 기입 동작을 수행하는 경우에 제1 데이터 스트로브 모드에서는 16 개의 데이터 스트로브 핀들(또는 8 개의 차동 데이터 스트로브 신호 쌍들)이 사용되지만 제2 데이터 스트로브 모드에서는 8 개의 데이터 스트로브 핀들(8 개의 단일 데이터 스트로브 신호들)이 사용되므로, 제2 데이터 스트로브 모드에서의 전력 소비가 제1 데이터 스트로브 모드에서의 전력 소비보다 감소될 수 있다.
- [0087] 도 8은 도 2의 메모리 시스템의 동작을 나타내는 타이밍도이다.
- [0088] 도 2 내지 도 8을 참조하면, 메모리 시스템(30)이 클럭 신호(CLK)의 주파수가 기준 주파수보다 큰 제1 데이터 스트로브 모드에서 동작하는 제1 구간(INT11)에서는 도 7을 참조하여 설명한 바와 같이, 8 개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS8/DQS8B)을 이용하여 내부 스트로브 신호들(IDQS1~IDQS8)을 생성하고, 내부 데이터 스트로브 신호들(IDQS1~IDQS8)에 동기되어 데이터 비트들(DQ1~DQ64)을 샘플링할 수 있다. 즉 제1 데이터 스트로브 모드에서는 8개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS8/DQS8B) 각각을 이용하여 상응하는 8개의 데이터 비트들(DQ1~DQ8, ..., DQ57~DQ64)을 샘플링할 수 있다.
- [0089] 메모리 컨트롤러(100)의 클럭 신호(CLK)의 주파수를 변경하고자 하는 경우에, 메모리 컨트롤러(100)는 클럭 신호(CLK)의 토글링을 멈춘다. 클럭 신호(CLK)가 토글하지 않는 제2 구간(INT12)에서는 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS8/DQS8B)도 토글하지 않는다. 제2 구간(INT12)에서 메모리 컨트롤러(100)는 모드 레지스터(221)에 기입 동작을 수행하여 반도체 메모리 장치(200a)의 기입 동작에서의 기입 레이턴시와 독출 동작에서의 독출 레이턴시를 변경하거나, 테스트 모드 레지스트 셋(TMRS) 신호나 도 6의 퓨즈 회로(311)의 옵션을 변경하여 메모리 시스템(30)의 데이터 스트로브 모드를 제1 데이터 스트로브 모드에서 제2 데이터 스트로브 모드로 변경할 수 있다.
- [0090] 메모리 시스템(30)의 데이터 스트로브 모드의 변경이 완료되면, 메모리 컨트롤러(100)는 클럭 신호(CLK)를 기준 주파수 이하의 주파수를 갖도록 하여 반도체 메모리 장치(200a)에 제공할 수 있다.
- [0091] 메모리 시스템(30)이 클럭 신호(CLK)의 주파수가 기준 주파수 이하인 제2 데이터 스트로브 모드에서 동작하는 제3 구간(INT13)에서는 도 7을 참조하여 설명한 바와 같이, 8 개의 단일 데이터 스트로브 신호들(DQS1~DQS8)을 이용하여 내부 스트로브 신호들(IDQS1~IDQS8)을 생성하고, 내부 스트로브 신호들(IDQS1~IDQS8)에 동기되어 데이터 비트들(DQ1~DQ64)을 샘플링할 수 있다. 즉 제2 데이터 스트로브 모드에서는 8 개의 단일 데이터 스트로브 신호들(DQS1~DQS8) 각각을 이용하여 데이터 비트들(DQ1~DQ8, ..., DQ57~DQ64) 중 상응하는 8 개의 데이터 비트들을 샘플링할 수 있다.
- [0092] 도 9는 본 발명의 실시예들에 따른 도 5의 입출력 회로의 일부를 나타낸다.
- [0093] 도 9를 참조하면, 도 5의 입출력 회로(300)는 내부 스트로브 신호 생성기(320)와 데이터 샘플링 회로(370) 사이에 연결되는 리피터(360)를 더 포함할 수 있다. 입출력 회로(300)에 리피터(360)가 포함되는 경우에, 단위 신호 생성기들(321~328) 각각에는 인에이블 신호들(EN1~EN8) 각각이 인가될 수 있다. 인에이블 신호들(EN1~EN8)은 스트로브 제어 신호(SCS)에 포함될 수 있다.

- [0094] 스트로브 모드 신호(SMS)가 제1 데이터 스트로브 모드를 나타내는 경우에는, 도 7을 참조하여 설명한 바와 같이, 멀티플렉서들(341~348) 각각은 상보 데이터 스트로브 신호들(DQS1B~DQS8B)을 선택하여 출력하고, 비교기들(331~338) 각각은 8 개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS8/DQS8B) 각각을 비교하여 제1 내부 스트로브 신호들(IDQS1~IDQS8)을 생성하고, 리피터(360)는 제1 내부 스트로브 신호들(IDQS1~IDQS8)을 버퍼링하여 제2 내부 스트로브 신호들(IIDQS1~IIDQS8)을 데이터 샘플러들(371~378)에 제공할 수 있다. 즉 제1 데이터 스트로브 모드에서는 도 9의 회로의 동작은 도 7의 회로의 동작과 실질적으로 동일하다.
- [0095] 스트로브 모드 신호(SMS)가 클럭 신호(CLK)의 주파수가 기준 주파수 이하임을 나타내는 경우, 도 2의 메모리 시스템(30)은 제2 서브 데이터 스트로브 모드 또는 제3 서브 데이터 스트로브 모드에서 동작할 수 있다. 제2 서브 데이터 스트로브 모드에서는 8 개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS8/DQS8B) 중 일부만을 이용하여 데이터 비트들(DQ1~DQ64)을 샘플링하여 전력 소모를 감소시킬 수 있다. 또한 제3 서브 데이터 스트로브 모드에서는 8개의 단일 데이터 스트로브 신호들(DQS1~DQS8)중 일부만을 이용하여 데이터 비트들(DQ1~DQ64)을 샘플링하여 전력 소모를 감소시킬 수 있다.
- [0096] 스트로브 모드 신호(SMS)가 제2 서브 데이터 스트로브 모드 신호를 나타내는 경우, 인에이블 신호들(EN1~EN8) 중 인에이블 신호들(EN1~EN4) 만이 활성화되고, 인에이블 신호들(EN1~EN4)에 응답하여 단위 신호 생성기들(321~324)이 활성화될 수 있다. 멀티플렉서들(341~344) 각각은 선택 신호(SS)에 응답하여 상보 데이터 스트로브 신호들(DQS1B~DQS4B)을 선택하여 출력하고, 비교기들(331~334) 각각은 4 개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS4/DQS4B) 각각을 비교하여 4 개의 제1 내부 스트로브 신호들(IDQS1~IDQS4)을 생성하고, 리피터(360)는 리피터 제어 신호(RCS)에 응답하여 4 개의 제1 내부 스트로브 신호들(IDQS1~IDQS4)를 리피팅하여 8 개의 제2 내부 스트로브 신호들(IIDQS1~IIDQS8) 각각을 데이터 샘플러들(371~378) 각각에 제공할 수 있다. 리피터 제어 신호(RCS)는 스트로브 제어 신호(SCS)에 포함될 수 있다.
- [0097] 즉 제1 내부 데이터 스트로브 신호(IDQS1)가 제2 내부 스트로브 신호들(IIDQS1, IIDQS2)로 리피팅되고, 제1 내부 스트로브 신호(IDQS2)가 제2 내부 스트로브 신호들(IIDQS3, IIDQS4)로 리피팅되고, 제1 내부 스트로브 신호(IDQS3)가 제2 내부 스트로브 신호들(IIDQS5, IIDQS6)로 리피팅되고, 제1 내부 스트로브 신호(IDQS4)가 제2 내부 스트로브 신호들(IIDQS7, IIDQS8)로 리피팅될 수 있다. 즉 제2 서브 데이터 스트로브 모드에서는 4 개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS4/DQS4B) 각각은 데이터 비트들(DQ1~DQ64) 중 16 개의 데이터 비트들을 샘플링하는데 이용되어 전력 소모를 감소시킬 수 있다. 제1 데이터 스트로브 모드에서는 16개의 데이터 스트로브 핀이 사용되고 제2 서브 데이터 스트로브 모드에서는 8 개의 데이터 스트로브 핀이 사용되어 전력 소모를 감소시킬 수 있다.
- [0098] 스트로브 모드 신호(SMS)가 제3 서브 데이터 스트로브 모드 신호를 나타내는 경우, 인에이블 신호들(EN1~EN8) 중 인에이블 신호들(EN1~EN4) 만이 활성화되고, 인에이블 신호들(EN1~EN4)에 응답하여 단위 신호 생성기들(341~344)이 활성화될 수 있다. 멀티플렉서들(341~344) 각각은 선택 신호(SS)에 응답하여 기준 전압(VREF)을 선택하여 출력하고, 비교기들(331~334) 각각은 4 개의 단일 데이터 스트로브 신호들(DQS1~DQS4) 각각과 기준 전압(VERF)을 비교하여 4 개의 제1 내부 스트로브 신호들(IDQS1~IDQS4)을 생성하고, 리피터(360)는 리피터 제어 신호(RCS)에 응답하여 4 개의 제1 내부 스트로브 신호들(IDQS1~IDQS4)를 리피팅하여 8 개의 제2 내부 스트로브 신호들(IIDQS1~IIDQS8) 각각을 데이터 샘플러들(371~378) 각각에 제공할 수 있다.
- [0099] 즉 제1 내부 스트로브 신호(IDQS1)가 제2 내부 스트로브 신호들(IIDQS1, IIDQS2)로 리피팅되고, 제2 내부 스트로브 신호(IDQS2)가 제2 내부 스트로브 신호들(IIDQS3, IIDQS4)로 리피팅되고, 제1 내부 스트로브 신호(IDQS3)가 제2 내부 스트로브 신호들(IIDQS5, IIDQS6)로 리피팅되고, 제1 내부 스트로브 신호(IDQS4)가 제2 내부 스트로브 신호들(IIDQS7, IIDQS8)로 리피팅될 수 있다. 즉 제3 서브 데이터 스트로브 모드에서는 4 개의 단일 데이터 스트로브 신호들(DQS1~DQS4) 각각은 데이터 비트들(DQ1~DQ64) 중 16 개의 데이터 비트들을 샘플링하는데 이용되어 전력 소모를 감소시킬 수 있다. 제1 데이터 스트로브 모드에서는 16개의 데이터 스트로브 핀이 사용되고 제3 서브 데이터 스트로브 모드에서는 4 개의 데이터 스트로브 핀이 사용되어 전력 소모를 감소시킬 수 있다.
- [0100] 즉 제2 서브 데이터 스트로브 모드와 제3 서브 데이터 스트로브 모드에서는 하나의 데이터 스트로브 신호 쌍 또는 하나의 단일 데이터 스트로브 신호에 기초하여 제1 데이터 스트로브 모드에서보다 더 많은 수의 데이터 비트들에 대하여 샘플링 동작을 수행할 수 있다.
- [0101] 또한 제2 서브 데이터 스트로브 모드와 제3 서브 데이터 스트로브 모드는 도 6의 퓨즈 회로(311)의 퓨즈들(312~315)의 컷팅 옵션에 따라 설정될 수 있다.

- [0102] 도 10은 도 2의 메모리 시스템의 동작을 나타내는 타이밍도이다.
- [0103] 도 2 내지 도 6, 도 9 및 도 10을 참조하면, 메모리 시스템(30)이 클럭 신호(CLK)의 주파수가 기준 주파수보다 큰 제1 데이터 스트로브 모드에서 동작하는 제1 구간(INT21)에서는 도 9를 참조하여 설명한 바와 같이, 8 개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS8/DQS8B)을 이용하여 제1 내부 스트로브 신호들(IDQS1~IDQS8)과 제2 내부 스트로브 신호들(IIDQS1~IIDQS8)을 생성하고, 제2 내부 스트로브 신호들(IIDQS1~IIDQS8)에 동기되어 데이터 비트들(DQ1~DQ64)을 샘플링할 수 있다. 즉 제1 데이터 스트로브 모드에서는 8개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS8/DQS8B) 각각을 이용하여 상응하는 8개의 데이터 비트들(DQ1~DQ8, ..., DQ57~DQ64)을 샘플링할 수 있다.
- [0104] 메모리 컨트롤러(100)의 클럭 신호(CLK)의 주파수를 변경하고자 하는 경우에, 메모리 컨트롤러(100)는 클럭 신호(CLK)의 토글링을 멈춘다. 클럭 신호(CLK)가 토글하지 않는 제2 구간(INT22)에서는 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS8/DQS8B)도 토글하지 않는다. 제2 구간(INT22)에서 메모리 컨트롤러(100)는 모드 레지스터(221)에 기입 동작을 수행하여 반도체 메모리 장치(200a)의 기입 동작에서의 기입 레이턴시와 독출 동작에서의 독출 레이턴시를 변경하거나, 테스트 모드 레지스트 셋(TMRS) 신호나 도 6의 퓨즈 회로(311)의 옵션을 변경하여 메모리 시스템(30)의 데이터 스트로브 모드를 제1 데이터 스트로브 모드에서 제2 서브 데이터 스트로브 모드로 변경할 수 있다.
- [0105] 메모리 시스템(30)의 데이터 스트로브 모드의 변경이 완료되면, 메모리 컨트롤러(100)는 클럭 신호(CLK)를 기준 주파수 이하의 주파수를 갖도록 하여 반도체 메모리 장치(200a)에 제공할 수 있다.
- [0106] 메모리 시스템(30)이 클럭 신호(CLK)의 주파수가 기준 주파수 이하인 제2 서브 데이터 스트로브 모드에서 동작하는 제3 구간(INT23)에서는 도 9를 참조하여 설명한 바와 같이, 4 개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS4/DQS4B)을 이용하여 제1 내부 스트로브 신호들(IDQS1~IDQS4)을 생성하고, 제1 내부 스트로브 신호들(IDQS1~IDQS4)을 리피팅하여 제2 내부 스트로브 신호들(IIDQS1~IIDQS4) 내부 데이터 스트로브 신호들(IIDQS1~IIDQS8)에 동기되어 데이터 비트들(DQ1~DQ64)을 샘플링할 수 있다. 즉 제2 서브 데이터 스트로브 모드에서는 4 개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS4/DQS4B)을 데이터 비트들(DQ1~DQ8, ..., DQ57~DQ64) 중 상응하는 16개의 데이터 비트들을 샘플링할 수 있다.
- [0107] 도 11은 제1 데이터 스트로브 모드에서 도 3의 메모리 시스템을 나타낸다.
- [0108] 도 11을 참조하면, 도 8을 참조하여 설명한 바와 같이, 메모리 시스템(30)이 클럭 신호(CLK)의 주파수가 기준 주파수보다 큰 제1 데이터 스트로브 모드에서 동작하면, 메모리 컨트롤러(100)와 반도체 메모리 장치(200a)는 8 개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS8/DQS8B)을 이용하여 데이터 비트들(DQ1~DQ64)을 교환할 수 있다. 메모리 컨트롤러(100)는 클럭 신호(CLK)를 생성하는 클럭 생성기(120) 및 클럭 신호(CLK)에 기초하여 데이터 스트로브 신호들(DQS)을 생성하는 위상 고정 루프 회로(이하 PLL, 110)을 포함할 수 있다. PLL(110)은 메모리 컨트롤러(100)의 CPU에서 제공되는 제어 신호(PCTL)에 기초하여 생성되는 데이터 스트로브 신호들(DQS)의 수를 조절할 수 있다.
- [0109] 도 12는 제2 데이터 스트로브 모드에서 도 3의 메모리 시스템을 나타낸다.
- [0110] 도 12를 참조하면, 도 8을 참조하여 설명한 바와 같이, 메모리 시스템(30)이 클럭 신호(CLK)의 주파수가 기준 주파수보다 이하인 제2 데이터 스트로브 모드에서 동작하면, 메모리 컨트롤러(100)와 반도체 메모리 장치(200a)는 8 개의 단일 데이터 스트로브 신호들(DQS1~DQS8)을 이용하여 데이터 비트들(DQ1~DQ64)을 교환할 수 있다. PLL(110)은 메모리 컨트롤러(100)의 CPU에서 제공되는 제어 신호(PCTL)에 기초하여 단일 데이터 스트로브 신호들(DQS1~DQS8)을 생성할 수 있다.
- [0111] 도 13은 제2 서브 데이터 스트로브 모드나 제3 서브 데이터 스트로브 모드에서 도 3의 메모리 시스템을 나타낸다.
- [0112] 도 13을 참조하면, 도 9 및 도 10을 참조하여 설명한 바와 같이, 메모리 시스템(30)이 클럭 신호(CLK)의 주파수가 기준 주파수보다 이하인 제2 서브 데이터 스트로브 모드에서 동작하면, 메모리 컨트롤러(100)와 반도체 메모리 장치(200a)는 4 개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS4/DQS4B)을 이용하여 데이터 비트들(DQ1~DQ64)을 교환할 수 있다. 또한, 메모리 시스템(30)이 클럭 신호(CLK)의 주파수가 기준 주파수보다 이하인 제3 서브 데이터 스트로브 모드에서 동작하면, 메모리 컨트롤러(100)와 반도체 메모리 장치(200a)는 4 개의 단일 데이터 스트로브 신호들(DQS1~DQS4)을 이용하여 데이터 비트들(DQ1~DQ64)을 교환할 수 있다. PLL(110)은 메

모리 컨트롤러(100)의 CPU에서 제공되는 제어 신호(PCTL)에 기초하여 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS4/DQS4B) 또는 단일 데이터 스트로브 신호들(DQS1~DQS4)을 생성할 수 있다.

- [0113] 도 14는 제2 서브 데이터 스트로브 모드에서 도 9의 입출력 회로의 동작을 나타낸다.
- [0114] 도 14를 참조하면, 스트로브 모드 신호(SMS)가 제2 서브 데이터 스트로브 모드 신호를 나타내는 경우, 내부 스트로브 신호 생성기(320)는 4 개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS4/DQS4B) 각각을 비교하여 4 개의 제1 내부 스트로브 신호들(IDQS1~IDQS4)을 생성하고, 리피터(360)는 리피터 제어 신호(RCS)에 응답하여 4 개의 제1 내부 스트로브 신호들(IDQS1~IDQS4)를 리피팅하여 8 개의 제2 내부 스트로브 신호들(IIDQS1~IIDQS8) 각각을 데이터 샘플러들(371~378) 각각에 제공할 수 있다. 즉, 제1 내부 데이터 스트로브 신호(IDQS1)가 제2 내부 스트로브 신호들(IIDQS1, IIDQS2)로 리피팅되고, 제1 내부 스트로브 신호(IDQS2)가 제2 내부 스트로브 신호들(IIDQS3, IIDQS4)로 리피팅되고, 제1 내부 스트로브 신호(IDQS3)가 제2 내부 스트로브 신호들(IIDQS5, IIDQS6)로 리피팅되고, 제1 내부 스트로브 신호(IDQS4)가 제2 내부 스트로브 신호들(IIDQS7, IIDQS8)로 리피팅될 수 있다. 즉 제2 서브 데이터 스트로브 모드에서는 4 개의 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B~DQS4/DQS4B) 각각은 데이터 비트들(DQ1~DQ64) 중 16 개의 데이터 비트들을 샘플링하는데 이용되어 전력 소모를 감소시킬 수 있다.
- [0115] 상술한 바와 같이, 본 발명의 실시예들에 따른 메모리 시스템에서는 클럭 신호의 주파수가 기준 주파수보다 낮은 경우에 사용되는 데이터 스트로브 신호들의 수를 클럭 신호의 주파수가 기준 주파수보다 높은 경우에 사용되는 데이터 스트로브 신호들의 수보다 감소시켜 전력 소모를 감소시킬 수 있다.
- [0116] 도 15는 본 발명의 실시예에 따른 반도체 메모리 장치를 나타내는 구조도이다.
- [0117] 도 15에 도시된 바와 같이, 반도체 메모리 장치(600)는 다수의 반도체 레이어들(LA1 내지 LAs, s는 2 이상의 정수)을 구비할 수 있으며, 가장 아래에 위치하는 반도체 레이어(LA1)는 마스터 칩인 것으로 가정하며 또한 나머지 반도체 레이어들(LA2 내지 LAs)은 슬레이브 칩인 것으로 가정한다. 다수의 반도체 레이어들(LA1 내지 LAs)은 관통 실리콘 비아(TSV)를 통해 신호를 서로 송수신하며, 마스터 칩(LA1)은 외면에 형성된 도전 수단(미도시)을 통해 외부의 메모리 컨트롤러(미도시)와 통신한다. 마스터 칩으로서 제1 반도체 레이어(610)와 슬레이브 칩으로서 제s 반도체 레이어(620)를 중심으로 하여 반도체 장치(600)의 구성 및 동작을 설명하면 다음과 같다.
- [0118] 제1 반도체 레이어(610)는 슬레이브 칩들에 구비되는 메모리 영역(621)을 구동하기 위한 각종 주변 회로들을 구비한다. 예컨대, 제1 반도체 레이어(610)는 메모리의 워드라인을 구동하기 위한 로우 드라이버(X-Driver, 6101)와, 메모리의 비트라인을 구동하기 위한 칼럼 드라이버(Y-Driver, 6102)와, 데이터의 입출력을 제어하기 위한 데이터 입출력 회로(6103), 외부로부터 커맨드(CMD)를 입력받아 버퍼링하는 커맨드 버퍼(6104)와, 외부로부터 어드레스를 입력받아 버퍼링하는 어드레스 버퍼(6105) 등을 구비할 수 있다. 메모리 영역(621)은 도 4를 참조하여 설명한 복수의 메모리 셀들을 포함할 수 있다.
- [0119] 또한 제1 반도체 레이어(610)는 제어 로직(6107)을 더 포함할 수 있다. 제어 로직(6107)은 메모리 컨트롤러(미도시)로부터 제공되는 커맨드 및 어드레스 신호에 기초하여 메모리 영역(621)에 대한 액세스를 제어할 수 있다.
- [0120] 한편, 제s 반도체 레이어(620)는, 메모리 영역(621)과 메모리 영역들(621)의 데이터의 독출/기입을 위한 기타 주변 회로들, 예컨대 로우 디코더, 칼럼 디코더, 비트라인 센스앰프 등(미도시)이 배치되는 주변회로 영역(622)을 구비할 수 있다.
- [0121] 데이터 입출력 회로(6103)는 도 5의 입출력 회로(300)를 포함할 수 있다. 따라서, 도 2 내지 도 14를 참조하여 설명한 바와 같이, 반도체 메모리 장치(600)는 클럭 신호의 주파수가 기준 주파수 이하인 경우에 사용되는 데이터 스트로브 신호들의 수를 클럭 신호의 주파수가 기준 주파수보다 높은 경우에 사용되는 데이터 스트로브 신호들의 수보다 감소시켜 전력 소모를 감소시킬 수 있다.
- [0122] 또한 반도체 메모리 장치(600)에는 3차원 메모리 어레이가 제공될 수 있다. 상기 3차원 메모리 어레이는 실리콘 기판 상에 배치된 액티브 영역을 구비하는 하나 이상의 물리적 레벨의 메모리 셀 어레이들 및 상기 메모리 셀들의 동작과 관련된 회로들이 모놀리딕(monolithic) 방식으로 형성될 수 있다. 여기서 'monolithic'이라는 용어는 복수의 레이어들로 구성된 어레이의 각 레벨이 하위 레이어 위에 직접적으로 적층되는 것을 의미한다. 본 발명에 참조로서 포함되는 다음의 특허 문헌들은 상기 3차원 메모리 어레이에 대한 적절한 구성들을 기술한다. 상기 3차원 메모리 어레이에서 워드라인들 및/또는 비트라인들이 레벨들 사이에서 공유된다. 상기 특허문헌들은 다음과 같다: 미국 등록 특허 7,679,133; 8,553,466; 8,654,587; 8,559,235; 및 미국 공개 특허 2011/0233648.

- [0123] 도 16은 본 발명의 실시예들에 따른 반도체 메모리 장치의 동작 방법을 나타내는 플로우 차트이다.
- [0124] 도 2 내지 도 14 및 도 16을 참조하면, 본 발명의 실시예들에 따른 메모리 셀 어레이를 구비하는 반도체 메모리 장치의 동작 방법에서는, 메모리 컨트롤러(100)로부터 제공되는 클럭 신호(CLK)의 주파수가 기준 주파수 이하인지 여부를 판단한다(S100). 클럭 신호(CLK)의 주파수에 따라서 서로 다른 수의 데이터 스트로브 신호들을 이용하여 메모리 셀 어레이에 대한 메모리 동작을 수행한다(S200). 예를 들어, 클럭 신호(CLK)의 주파수가 기준 주파수보다 큰 경우(S100에서 NO)에는 상술한 바와 같이 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B-DQS8/DQS8B)을 이용하여 메모리 셀 어레이(240A-240D)에 대한 메모리 동작을 수행할 수 있다. 클럭 신호(CLK)의 주파수가 기준 주파수 이하인 경우(S100에서 YES)에는 상술한 바와 같이 단일 데이터 스트로브 신호들(DQS1~DQS8), 차동 데이터 스트로브 신호쌍들(DQS1/DQS1B-DQS4/DQS4B) 또는 단일 데이터 스트로브 신호들(DQS1~DQS4)을 이용하여 메모리 셀 어레이(240A-240D)에 대한 메모리 동작을 수행할 수 있다.
- [0125] 여기서 반도체 메모리 장치(200a)는 클럭 신호(CLK)의 주파수가 기준 주파수보다 큰 경우, 제1 수의 데이터 스트로브 신호들을 이용하여 클럭 신호(CLK)에 동기되어 메모리 동작을 수행하고(S210), 클럭 신호(CLK)의 주파수가 기준 주파수 이하인 경우에는 제1 수의 데이터 스트로브 신호들을 이용하여 클럭 신호(CLK)에 동기되어 메모리 동작을 수행할 수 있다(S230). 여기서 제1 수는 제2 수보다 클 수 있다. 또한 메모리 동작은 클럭 신호(CLK)에 동기되어 메모리 셀 어레이(240A-240D)에 데이터를 기입하는 기입 동작 및 메모리 셀 어레이(240A-240D)로부터 데이터를 독출하는 독출 동작을 포함할 수 있다.
- [0126] 도 17은 본 발명의 실시예들에 따른 반도체 메모리 장치의 동작 방법을 나타내는 플로우차트이다.
- [0127] 도 2 내지 도 14 및 도 17을 참조하면, 본 발명의 실시예들에 따른 메모리 셀 어레이를 구비하는 반도체 메모리 장치의 동작 방법에서는, 제1 수의 데이터 스트로브 신호들을 이용하여 클럭 신호(CLK)에 동기되어 메모리 셀 어레이(240A-240D)에 대한 메모리 동작을 수행한다(S310). 즉 상술한 바와 같이 차동 데이터 스트로브 신호 쌍들(DQS1/DQS1B-DQS8/DQS8B)을 이용하여 메모리 셀 어레이(240A-240D)에 대한 메모리 동작을 수행할 수 있다. 클럭 신호(CLK)의 주파수를 변경할 지 여부를 판단한다(S320). 클럭 신호(CLK)의 주파수를 변경하지 않는 경우(S320에서 NO)에는 단계(S310)로 복귀한다. 클럭 신호(CLK)의 주파수를 변경하는 경우(S320에서 YES), 클럭 신호(CLK)의 주파수를 기준 주파수 이하로 변경한다(S330). 제2 수의 데이터 스트로브 신호들을 이용하여 클럭 신호(CLK)에 동기되어 메모리 셀 어레이(240A-240D)에 대한 메모리 동작을 수행한다(S340). 즉, 상술한 바와 같이, 단일 데이터 스트로브 신호들(DQS1~DQS8), 차동 데이터 스트로브 신호쌍들(DQS1/DQS1B-DQS4/DQS4B) 또는 단일 데이터 스트로브 신호들(DQS1~DQS4)을 이용하여 메모리 셀 어레이(240A-240D)에 대한 메모리 동작을 수행할 수 있다.
- [0128] 따라서 본 발명의 실시예들에 따른 반도체 메모리 장치의 동작 방법에서도, 클럭 신호(CLK)의 주파수가 기준 주파수보다 낮은 경우에 사용되는 데이터 스트로브 신호들의 수를 클럭 신호(CLK)의 주파수가 기준 주파수보다 높은 경우에 사용되는 데이터 스트로브 신호들의 수보다 감소시켜 전력 소모를 감소시킬 수 있다.
- [0129] 도 18은 본 발명의 실시예에 따른 반도체 메모리 장치를 모바일 시스템에 응용한 예를 나타내는 블록도이다.
- [0130] 도 18을 참조하면, 모바일 시스템(700)은 어플리케이션 프로세서(710), 통신(Connectivity)부(720), 사용자 인터페이스(730), 비휘발성 메모리 장치(740), 메모리 서브 시스템(750) 및 파워 서플라이(760)를 포함한다. 메모리 서브 시스템(750)은 메모리 컨트롤러(751)는 DRAM과 같은 반도체 메모리 장치(753)를 포함할 수 있다. 실시예에 따라, 모바일 시스템(700)은 휴대폰(Mobile Phone), 스마트폰(Smart Phone), 개인 정보 단말기(Personal Digital Assistant; PDA), 휴대형 멀티미디어 플레이어(Portable Multimedia Player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등과 같은 임의의 모바일 시스템일 수 있다.
- [0131] 어플리케이션 프로세서(710)는 인터넷 브라우저, 게임, 동영상 등을 제공하는 어플리케이션들을 실행할 수 있다. 실시예에 따라, 어플리케이션 프로세서(710)는 하나의 프로세서 코어(Single Core)를 포함하거나, 복수의 프로세서 코어들(Multi-Core)을 포함할 수 있다. 예를 들어, 어플리케이션 프로세서(710)는 듀얼 코어(Dual-Core), 쿼드 코어(Quad-Core), 헥사 코어(Hexa-Core) 등의 멀티 코어(Multi-Core)를 포함할 수 있다. 또한, 실시예에 따라, 어플리케이션 프로세서(710)는 내부 또는 외부에 위치한 캐시 메모리(Cache Memory)를 더 포함할 수 있다.
- [0132] 통신부(720)는 외부 장치와 무선 통신 또는 유선 통신을 수행할 수 있다. 예를 들어, 통신부(720)는 이더넷(Ethernet) 통신, 근거리 자기장 통신(Near Field Communication; NFC), 무선 식별(Radio Frequency

Identification; RFID) 통신, 이동 통신(Mobile Telecommunication), 메모리 카드 통신, 범용 직렬 버스(Universal Serial Bus; USB) 통신 등을 수행할 수 있다. 예를 들어, 통신부(720)는 베이스밴드 칩 셋(Baseband Chipset)을 포함할 수 있고, GSM, GPRS, WCDMA, HSxPA 등의 통신을 지원할 수 있다.

[0133] 메모리 서브 시스템(730)는 어플리케이션 프로세서(710)에 의해 처리되는 데이터를 저장하거나, 동작 메모리(Working Memory)로서 작동할 수 있다. 예를 들어, 메모리 서브 시스템(730)의 반도체 메모리 장치(753)은 DDR SDRAM, LPDDR SDRAM, GDDR SDRAM, RDRAM 등과 같은 동적 랜덤 액세스 메모리일 수 있다. 메모리 서브 시스템(750)은 도 2의 메모리 시스템(30)으로 구현될 수 있다. 따라서 메모리 서브 시스템(750)은 도 2 내지 도 14를 참조하여 설명한 바와 같이, 클럭 신호의 주파수가 기준 주파수보다 낮은 경우에 사용되는 데이터 스트로브 신호들의 수를 클럭 신호의 주파수가 기준 주파수보다 높은 경우에 사용되는 데이터 스트로브 신호들의 수보다 감소시켜 전력 소모를 감소시킬 수 있다.

[0134] 비휘발성 메모리 장치(740)는 모바일 시스템(700)을 부팅하기 위한 부트 이미지를 저장할 수 있다. 예를 들어, 비휘발성 메모리 장치(740)는 EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 또는 이와 유사한 메모리로 구현될 수 있다.

[0135] 사용자 인터페이스(720)는 키패드, 터치 스크린과 같은 하나 이상의 입력 장치, 및/또는 스피커, 디스플레이 장치와 같은 하나 이상의 출력 장치를 포함할 수 있다. 파워 서플라이(760)는 모바일 시스템(700)의 동작 전압을 공급할 수 있다. 또한, 실시예에 따라, 모바일 시스템(700)은 카메라 이미지 프로세서(Camera Image Processor; CIS)를 더 포함할 수 있고, 메모리 카드(Memory Card), 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등과 같은 저장 장치를 더 포함할 수 있다.

[0136] 모바일 시스템(700) 또는 모바일 시스템(700)의 구성요소들은 다양한 형태들의 패키지를 이용하여 실장될 수 있는데, 예를 들어, PoP(Package on Package), BGAs(Ball grid arrays), CSPs(Chip scale packages), PLCC(Plastic Leaded Chip Carrier), PDIP(Plastic Dual In-Line Package), Die in Wafer Pack, Die in Wafer Form, COB(Chip On Board), CERDIP(Ceramic Dual In-Line Package), MQFP(Plastic Metric Quad Flat Pack), TQFP(Thin Quad Flat-Pack), SOIC(Small Outline Integrated Circuit), SSOP(Shrink Small Outline Package), TSOP(Thin Small Outline Package), TQFP(Thin Quad Flat-Pack), SIP(System In Package), MCP(Multi Chip Package), WFP(Wafer-level Fabricated Package), WSP(Wafer-Level Processed Stack Package) 등과 같은 패키지들을 이용하여 실장될 수 있다.

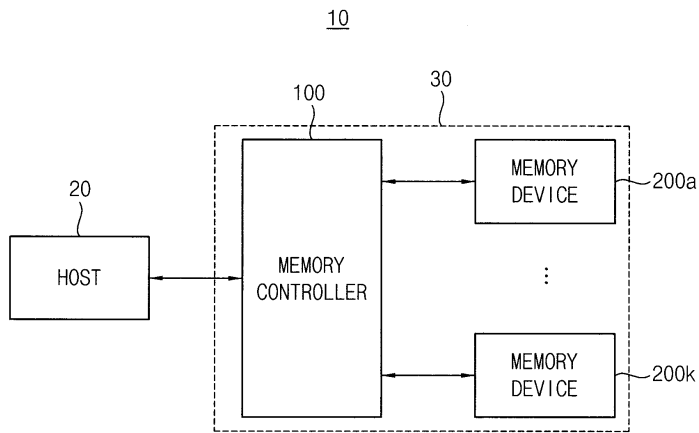
산업상 이용가능성

[0137] 본 발명은 반도체 메모리 장치들을 사용하는 시스템에 적용될 수 있다. 예를 들어, 본 발명은 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 캠코더(Camcorder), 개인용 컴퓨터(Personal Computer; PC), 서버 컴퓨터(Server Computer), 워크스테이션(Workstation), 노트북(Laptop), 디지털 TV(Digital Television), 셋-탑 박스(Set-Top Box), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템, 스마트 카드(Smart Card), 프린터(Printer) 등에 유용하게 이용될 수 있다.

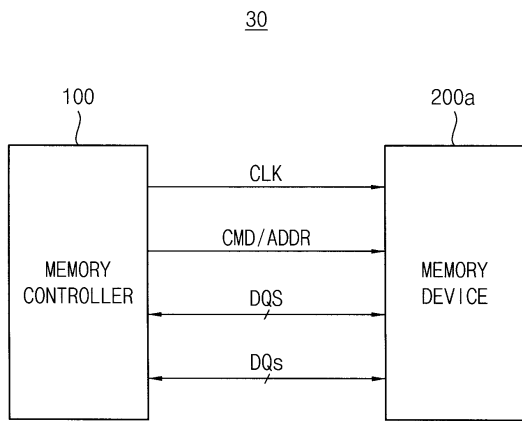
[0138] 상기에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

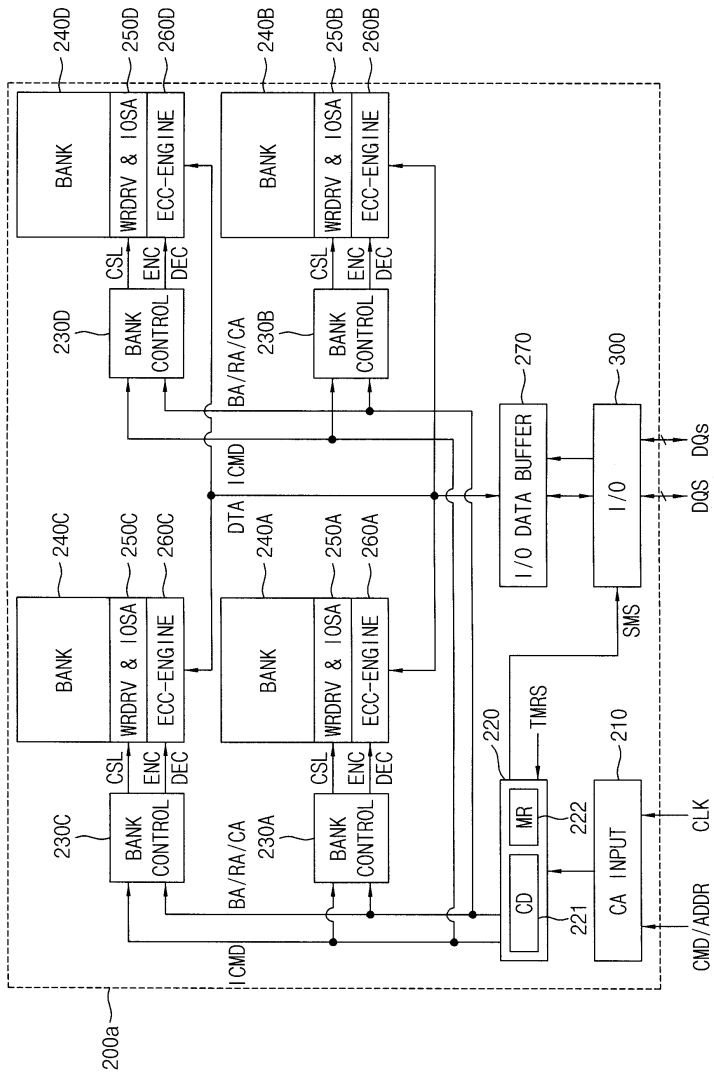
도면1



도면2

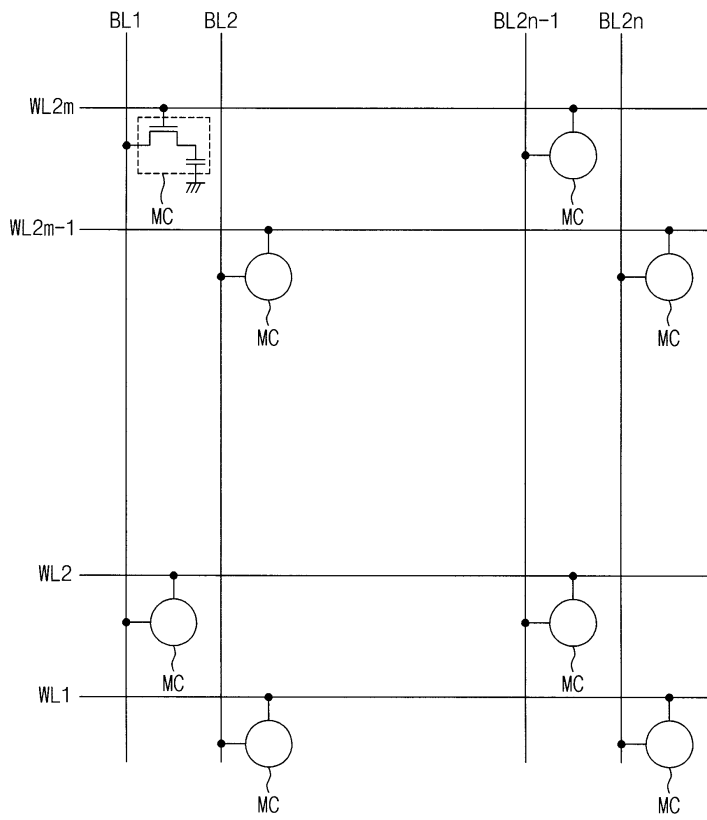


도면3

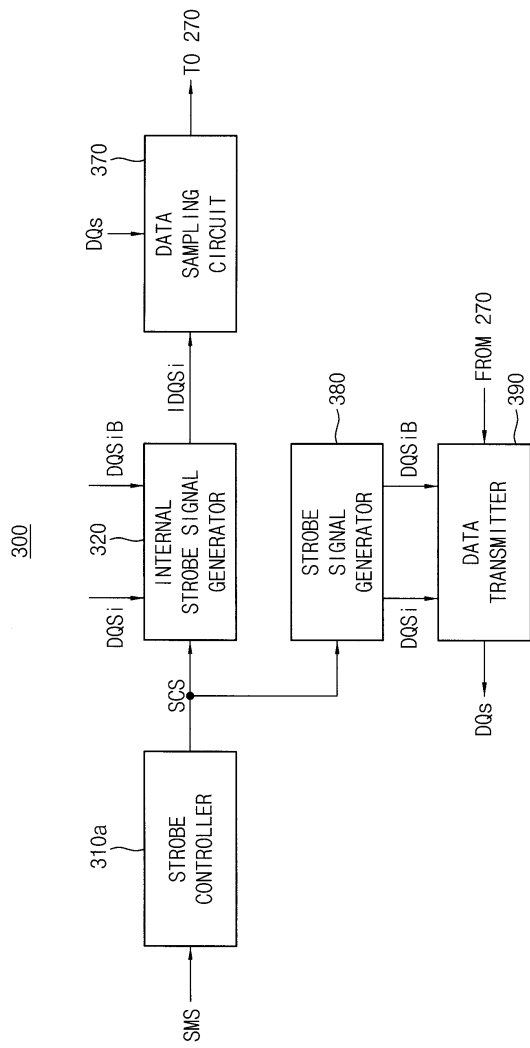


도면4

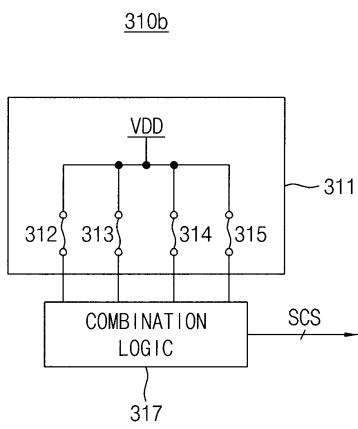
240A



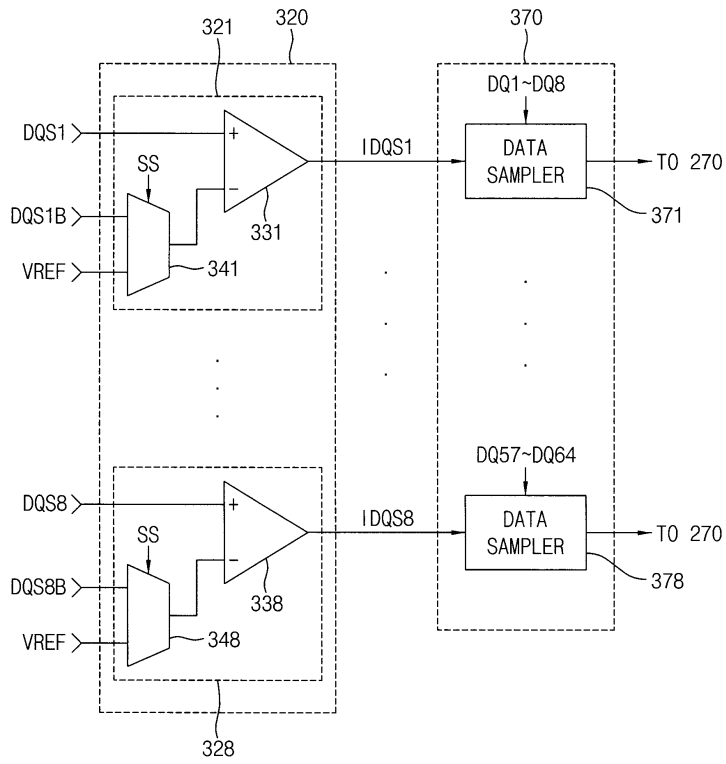
도면5



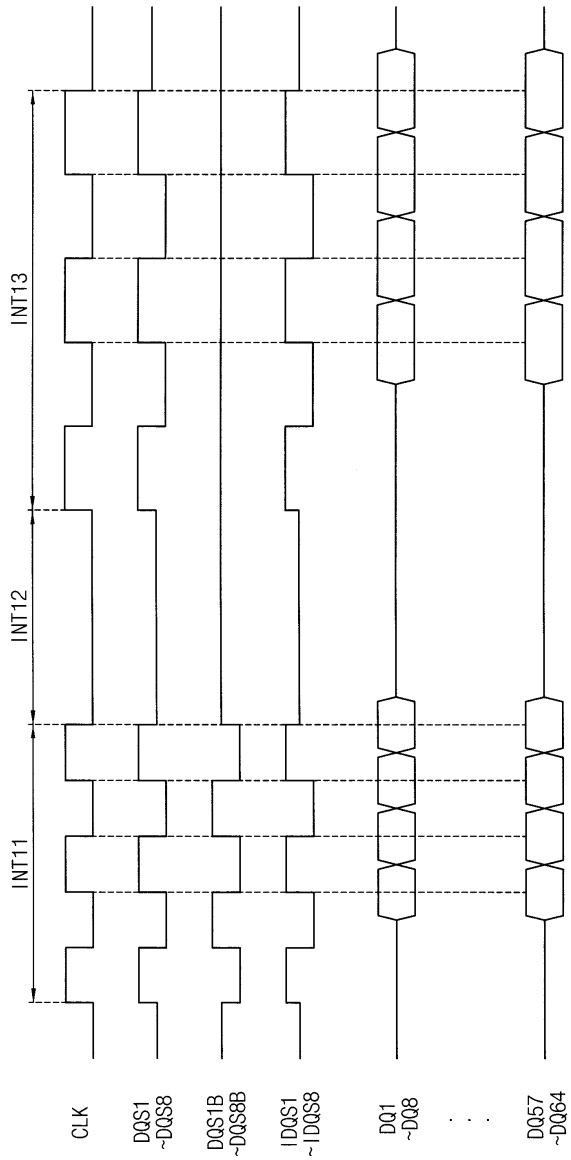
도면6



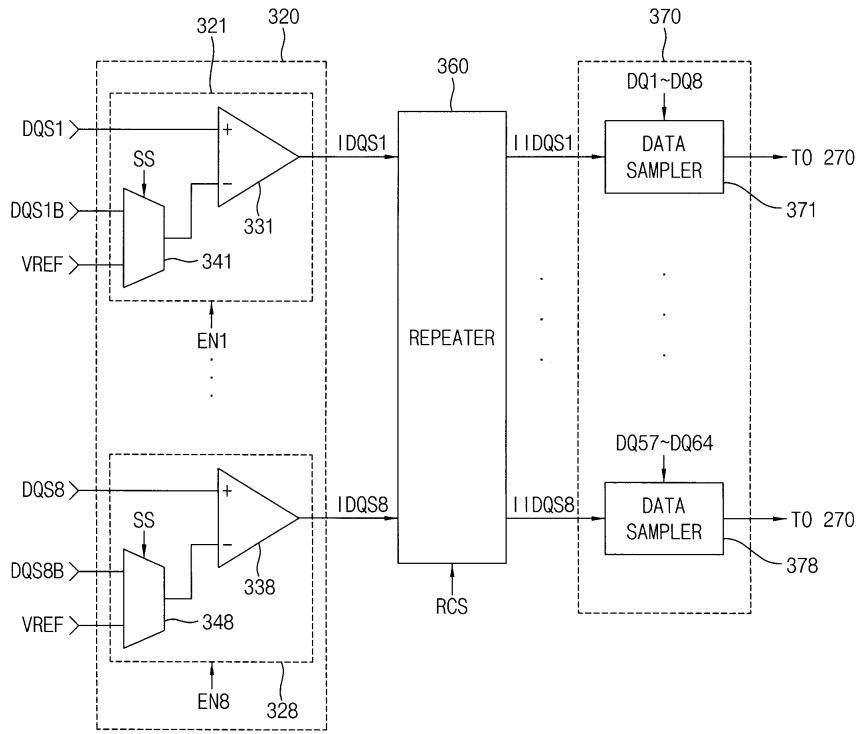
도면7



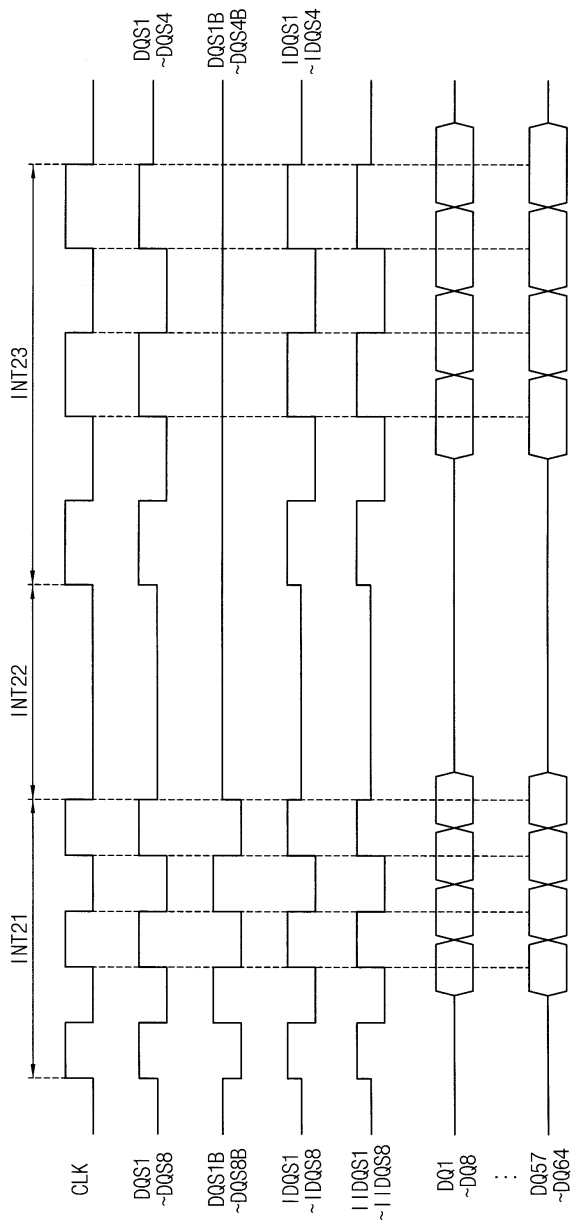
도면8



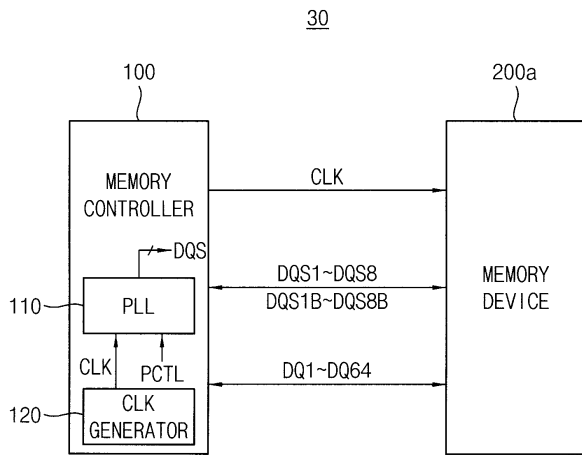
도면9



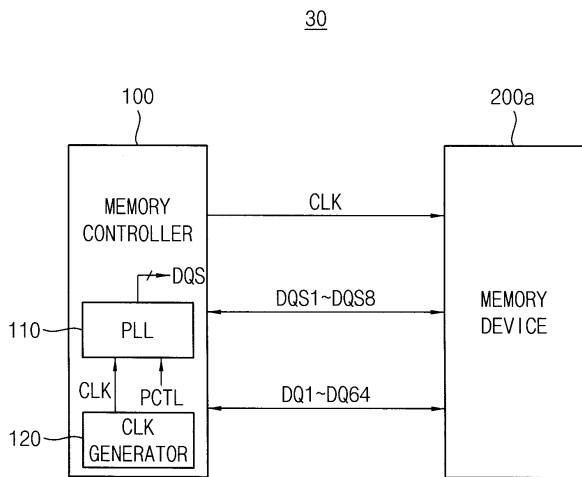
도면10



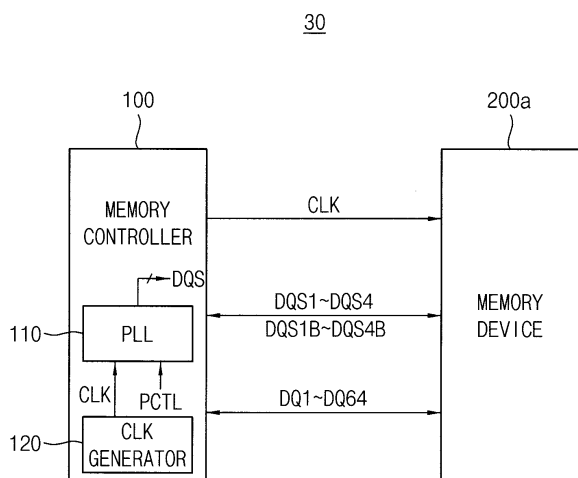
도면11



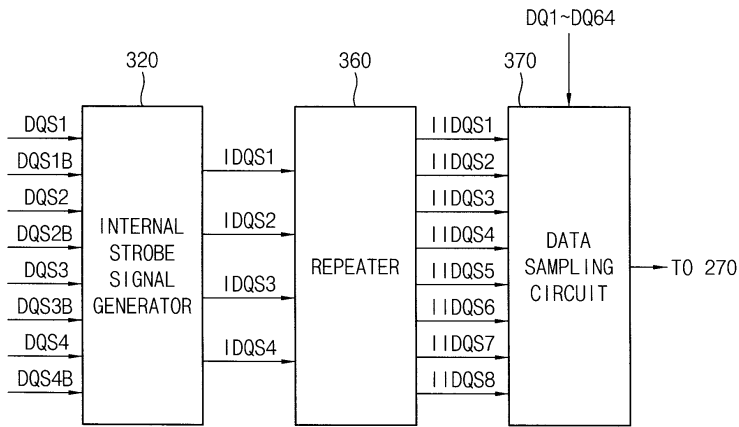
도면12



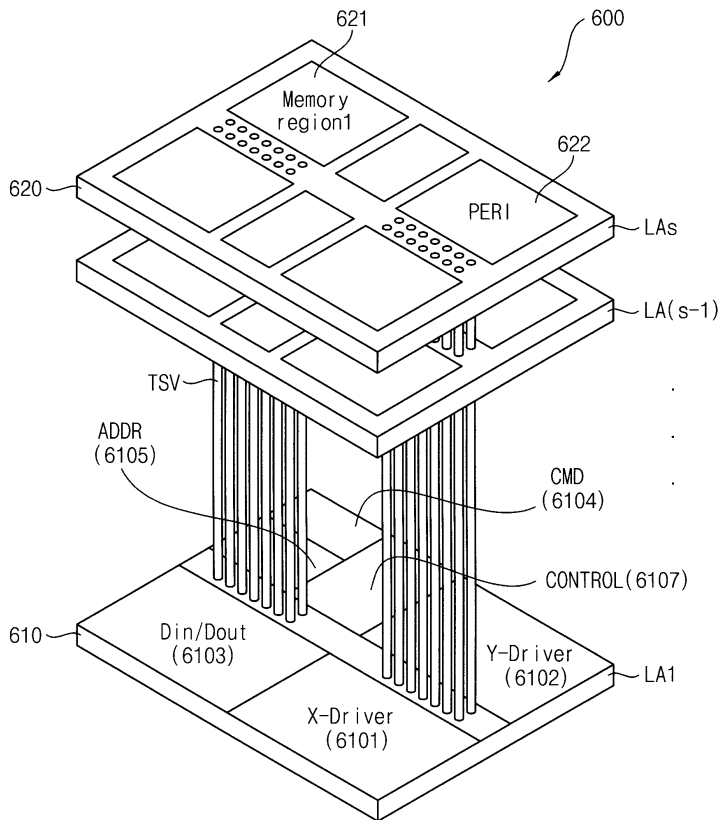
도면13



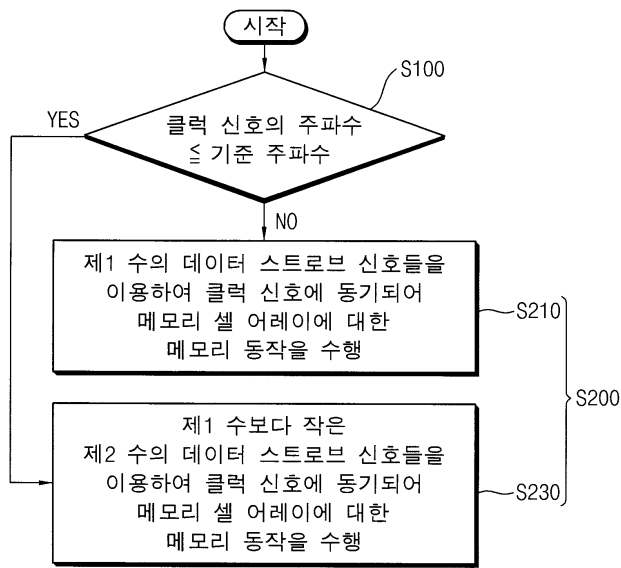
도면14



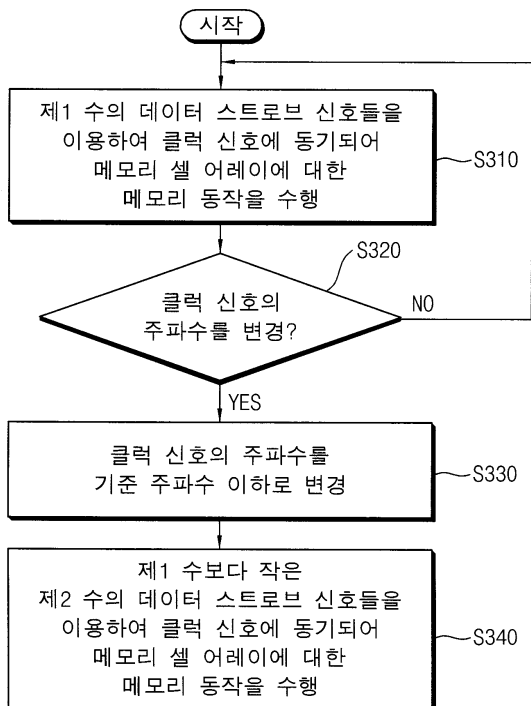
도면15



도면16



도면17



도면18

