

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月25日(25.10.2018)



(10) 国際公開番号

WO 2018/193699 A1

(51) 国際特許分類:

G11C 11/419 (2006.01) G11C 7/18 (2006.01)
G11C 7/12 (2006.01)

(21) 国際出願番号: PCT/JP2018/005541

(22) 国際出願日: 2018年2月16日(16.02.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2017-083648 2017年4月20日(20.04.2017) JP

(71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

(72) 発明者:山上 由展(YAMAGAMI Yoshinobu).

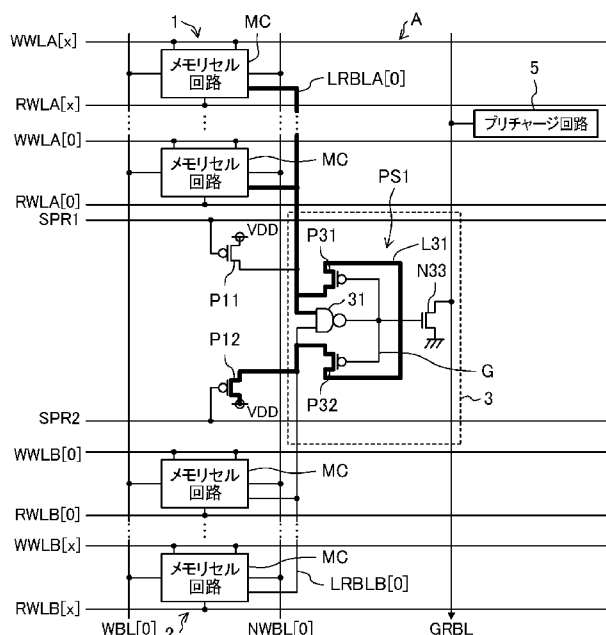
(74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: SEMICONDUCTOR STORAGE CIRCUIT, SEMICONDUCTOR STORAGE APPARATUS, AND DATA DETECTION METHOD

(54) 発明の名称: 半導体記憶回路、半導体記憶装置及びデータ検出方法

[図1]



1, 2, MC ... MEMORY CELL CIRCUIT
5... PRECHARGING CIRCUIT

(57) Abstract: A conductor storage circuit (A) has: a first precharging transistor (P11) and a plurality of first memory cells (MC) that are connected to a first local read-bit line; and a second precharging transistor (P12) and a plurality of second memory cells (MC) that are connected to a second local read-bit line. A signal generated in response to a signal outputted to the first and second local read-bit lines is outputted to a global read-bit line through a gate circuit and an output circuit. First transistors (P31, P32) having respective gates connected to the output of the gate circuit are provided

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

between the first and second local read-bit lines.

(57) 要約: 導体記憶回路 (A) は、第1のローカルリードビット線に接続された複数の第1のメモリセル (MC) および第1のプリチャージトランジスタ (P 1 1) と、第2のローカルリードビット線に接続された複数の第2のメモリセル (MC) および第2のプリチャージトランジスタ (P 1 2) とを有する。そして、第1のおよび第2のローカルリードビット線に出力される信号に応じた信号がゲート回路および出力回路を経由してグローバルリードビット線に出力される。第1および第2のローカルリードビット線の間には、ゲートがゲート回路の出力に接続された第1のトランジスタ (P 3 1, P 3 2) が設けられている。

明 細 書

発明の名称：

半導体記憶回路、半導体記憶装置及びデータ検出方法

技術分野

[0001] 本開示は、階層ビット線構造を有する半導体記憶回路及びその半導体記憶回路を有する半導体記憶装置に関する。

背景技術

[0002] 半導体記憶装置の読み出し速度の高速化を図るために、階層ビット線構造を有する半導体記憶装置が知られている。例えば、特許文献1の図7には、対をなすメモリセル群がローカルアンプを介してグローバルリードビット線に接続されている例が示されている。このメモリセル群を構成する非選択メモリセルのリードアクセストランジスタのリーク電流や、選択メモリセルのリードドライブトランジスタのリーク電流の影響により、ローカルリードビット線の“H（Highレベル）”読み出し精度が悪化する場合がある。

[0003] このような読み出し精度の課題を解決するものとして、非特許文献1には、リードビット線に対して“H”レベルラッチ型のビットラインキーパーを設けた構成が開示されている。このビットラインキーパーは、ローカルリードビット線の“H”読み出しの際に、ローカルリードビット線を“H”に保持するように構成されている。これにより、ローカルリードビット線の“H”読み出しが上記リーク電流の影響を受けないようにすることができる。したがって、すべてのローカルリードビット線に対して1つずつビットラインキーパーを挿入することが行われている。

先行技術文献

特許文献

[0004] 特許文献1：特開2008-176910号公報

非特許文献

[0005] 非特許文献1：Hiroki Noguchi et al., "Which is the Best Dual-Port SRAM

in 45-nm Process Technology? – 8T, 10T Single End, and 10T Differential–”, Proc. International Conference on IC Design and Technology, pp .55-58, June 2008.

発明の概要

発明が解決しようとする課題

[0006] ところで、上記ビットラインキーパーにおいて、電源とローカルリードビット線との間に設けられるトランジスタの駆動能力は、読み出し時間の短縮等の観点から、上記リーク電流の補償に必要な駆動能力（電流供給能力）を満たす範囲内で、低い値に設定されることが望ましい。トランジスタの駆動能力を低下させるためには、トランジスタのゲート幅が狭くできない場合、そのゲート長を大きくする方法がある。また、同じようなサイズのトランジスタを複数段直列に接続する方法がある。

[0007] そして、このようなトランジスタの駆動能力を低下させる対応を、すべて（ローカルリードビット線に対応する数）のビットラインキーパーに対して行う必要があり、回路面積が著しく増大するという問題があった。微細プロセスや三次元構造のトランジスタ（例えば、FinFETやナノワイヤFET）では、レイアウト等の制約から他のトランジスタとゲートサイズの異なるトランジスタを配置する場合に、面積が大きくなるため、特に顕著な問題である。

[0008] 本開示は、階層ビット線構造を有しかつビットラインキーパーの機能を備えた半導体記憶回路を、小面積で実現することを目的とする。

課題を解決するための手段

[0009] 本開示の一態様では、半導体記憶回路は、第1のローカルリードビット線に接続された複数の第1のメモリセルおよび当該第1のローカルリードビット線に接続された第1導電型の第1のプリチャージトランジスタを含む第1のローカルブロックと、第2のローカルリードビット線に接続された複数の第2のメモリセルおよび当該第2のローカルリードビット線に接続された前記第1導電型の第2のプリチャージトランジスタを含む第2のローカルブロ

ックと、前記第1のローカルリードビット線および前記第2のローカルリードビット線に出力される信号に応じた信号を出力するゲート回路と、前記ゲート回路の出力に応じた信号をグローバルリードビット線に出力する出力回路と、前記第1のローカルリードビット線および第2のローカルリードビット線の間に設けられ、ゲートが前記ゲート回路の出力に接続された前記第1導電型の第1のトランジスタとを備えている。

[0010] この態様によると、第1のローカルブロックのデータ読み出しの際には、第1のトランジスタと第2のプリチャージトランジスタを経由した回路により、第1のローカルリードビット線のハイレベルラッチ動作を実現している。同様に、第2のローカルブロックのデータ読み出しの際には、第1のトランジスタと第1のプリチャージトランジスタを経由した回路で第2のローカルリードビット線のハイレベルラッチ動作を実現している。すなわち、本態様では、第1のローカルブロックおよび第2のローカルブロックのハイレベルラッチ動作に、第1のトランジスタを共有することができる。さらに、従来から階層ビット線構造を有する半導体記憶回路が備えているプリチャージトランジスタを、ハイレベルラッチ動作に使用することができる。これにより、第1のトランジスタのサイズを小さくすることができる。

[0011] ここで、非特許文献に記載されているように、ビットラインキーパーにおいて、ハイレベルラッチ動作を実現するためのトランジスタを単一のトランジスタで構成する場合、前述のとおり、リーク電流の補償に必要な駆動能力を満たしつつ低い駆動能力に設定する観点から、トランジスタのゲート長を大きくする等の必要があるため、トランジスタの専有面積が大きくなるという問題がある。

[0012] これに対し、本態様では、第1のローカルリードビット線および第2のローカルリードビット線のハイレベルラッチ動作に対して、第1のトランジスタを共有するとともに、プリチャージトランジスタを第1のトランジスタに直列接続されたトランジスタとして使用することができる。これにより、駆動能力を低下させつつ、従来技術と比較して、上記ハイレベルラッチ動作に

係る回路の面積を小さくすることができる。

発明の効果

[0013] 本開示によると、階層ビット線構造を有しており、ビットラインキーパーの機能を備えた半導体記憶回路を、小面積で実現することが可能になる。

図面の簡単な説明

[0014] [図1]第1実施形態に係る半導体記憶回路の構成を示す図

[図2]メモリセルの構成を示す図

[図3]半導体記憶回路の読み出し動作について示すタイミングチャート

[図4]第2のローカルブロックの読み出し動作を説明するための回路構成図

[図5]第1実施形態に係る半導体記憶回路の回路構成の他の例を示す図

[図6]第1実施形態に係る半導体記憶回路の回路構成の他の例を示す図

[図7]第1実施形態に係る半導体記憶回路の回路構成の他の例を示す図

[図8]第2実施形態に係る半導体記憶回路の構成を示す図

[図9]第2実施形態に係る半導体記憶回路の回路構成の他の例を示す図

[図10]メモリセルの構成の他の例を示す図

発明を実施するための形態

[0015] 以下、実施の形態について、図面を参照して説明する。

[0016] <第1実施形態>

図1は第1実施形態に係る半導体記憶回路A（半導体記憶装置の要部）の回路構成を示す図である。なお、具体的な図示は省略するが、半導体記憶装置は、例えば、図1のような半導体記憶回路Aがカラム方向および／またはロウ方向に複数段配置された構成を有している。また、図示を省略するが、半導体記憶装置は、ライトワード線WWLA[0]～[x]（xは、任意の正の整数）、WWLB[0]～[x]、リードワード線RWLA[0]～[x]、RWLB[0]～[x]、1対のライトビット線WBL[0]、NWBL[0]およびグローバルリードビット線GRBL等に接続された、駆動回路、読み出し回路およびコントローラ等を有している。

[0017] =半導体記憶回路の構成=

図1に示す半導体記憶回路Aは、第1のローカルブロック1と、第2のローカルブロック2と、リードローカルアンプ3とを備えている。

[0018] 第1のローカルブロック1は、第1のローカルリードビット線（以下、省略して第1のローカルビット線という）LRBLA[0]に接続された第1のメモリセルとしての複数のメモリセルMCと、電源VDDと第1のローカルビット線LRBLA[0]との間に接続された第1導電型としてのP型の第1のプリチャージトランジスタP11とを備えている。

[0019] 第1のプリチャージトランジスタP11のゲートには、第1のプリチャージ信号SPR1が与えられている。第1のプリチャージ信号SPR1は、第1のローカルビット線LRBLA[0]のプリチャージ制御用の信号であり、第1のローカルビット線LRBLA[0]のプリチャージ時には、第1のプリチャージトランジスタP11をオン制御し、第1のローカルビット線LRBLA[0]のプリチャージを行う。また、第1のローカルブロック1のメモリセルMCからデータを読み出す際には、第1のプリチャージトランジスタP11をオフ制御し、第1のローカルビット線LRBLA[0]のプリチャージを解除させる。

[0020] 第2のローカルブロック2は、第2のローカルリードビット線（以下、省略して第2のローカルビット線という）LRBLB[0]に接続された第2のメモリセルとしての複数のメモリセルMCと、電源VDDと第2のローカルビット線LRBLB[0]との間に接続されたP型の第2のプリチャージトランジスタP12とを備えている。

[0021] 第2のプリチャージトランジスタP12のゲートには、第2のプリチャージ信号SPR2が与えられている。第2のプリチャージ信号SPR2は、第2のローカルビット線LRBLB[0]のプリチャージ制御用の信号であり、第2のローカルビット線LRBLB[0]のプリチャージ時には、第2のプリチャージトランジスタP12をオン制御し、第2のローカルビット線LRBLB[0]のプリチャージを行う。また、第2のローカルブロック2のメモリセルMCからデータを読み出す際には、第2のプリチャージトランジ

スタ P 1 2 をオフ制御し、第 2 のローカルビット線 L R B L B [0] のプリチャージを解除させる。

[0022] そして、第 1 のローカルブロック 1 および第 2 のローカルブロック 2 は、リードローカルアンプ 3 を介してグローバルリードビット線 G R B L (以下、省略してグローバルビット線 G R B L という) に接続されている。

[0023] リードローカルアンプ 3 は、ゲート回路としての N A N D 回路 3 1 と、出力回路としての N 型の出力トランジスタ N 3 3 と、第 1 のトランジスタとしての P 型のトランジスタ P 3 1, P 3 2 とによって構成されている。トランジスタ P 3 1, P 3 2 は、第 1 のローカルビット線 L R B L A [0] と第 2 のローカルビット線 L R B L B [0] との間に、第 1 のノード L 3 1 を介して直列に接続されている。また、トランジスタ P 3 1, P 3 2 のゲートには、N A N D 回路 3 1 の出力信号 G が与えられている。ここで、トランジスタ P 3 1, P 3 2 のサイズは、トランジスタ P 3 1, P 3 2 と、第 1 のプリチャージトランジスタ P 1 1 または第 2 のプリチャージトランジスタ P 1 2 とが導通された状態において、後述するリードドライフトランジスタ N 4 5 (図 2 参照) のリーク電流を補償でき、かつ、後述する “L” データの読み出し動作に係る速度遅延が起こらないようなサイズに設定されている。換言すると、トランジスタ P 3 1, P 3 2 のサイズは、上記リードドライフトランジスタ N 4 5 のリーク電流を補償するのに必要な駆動能力になるように、すなわち、上記リーク電流の補償が可能な範囲内において駆動能力を低く設定されている。

[0024] ゲート回路は、第 1 のローカルビット線 L R B L A [0] および第 2 のローカルビット線 L R B L B [0] に出力される信号に応じた信号を出力する。具体的に、ゲート回路は、第 1 のローカルビット線 L R B L A [0] または第 2 のローカルビット線 L R B L B [0] のいずれかがプリチャージ状態から変化したときに、出力が変化するように構成されている。図 1 では、ゲート回路として 2 入力の N A N D 回路 3 1 を用いた例を示しており、一方の入力端子に第 1 のローカルビット線 L R B L A [0] が、他方の入力端子に

第2のローカルビット線LRBLB[0]がそれぞれ接続されている。NAND回路31の出力信号Gは、出力トランジスタN33のゲートおよびトランジスタP31、P32のゲートに接続されている。なお、ゲート回路は、NAND回路31以外のゲート回路や組み合わせ回路で実現されていてもよい。

[0025] 出力回路は、ゲート回路（NAND回路31）の出力に応じた信号をグローバルビット線GRBLに出力する。図1では、出力回路としてN型の出力トランジスタN33を用いた例を示している。出力トランジスタN33は、グローバルビット線GRBLとグラウンドVSSとの間に接続されている。

[0026] ーメモリセルの構成ー

図2はメモリセルMCの構成を示す図である。図2に示すように、メモリセルMCは、ライトワード線WWL（図1のWWLA[0]～[x]、WWLB[0]～[x]に対応）、リードワード線RWL（図1のRWLA[0]～[x]、RWLB[0]～[x]に対応）、1対のライトビット線WBL、NWBL（図1のWBL[0]、NWBL[0]に対応）およびローカルビット線LRBL（図1のLRBLA[0]、LRBLB[0]に対応）と接続されており、デュアルポート（Dual-Port：DP）SRAM（Static Random Access Memory）セルを構成している。

[0027] メモリセルMCは、4個のトランジスタP41、P42、N41、N42からなる保持回路41と、1対のライトアクセストランジスタN43、N44と、リードドライフトランジスタN45と、リードアクセストランジスタN46とによって構成されている。保持回路41は、P型のトランジスタP41及びN型のトランジスタN41からなるインバータ回路およびP型のトランジスタP42及びN型のトランジスタN42からなるインバータ回路を含み、両インバータ回路の入出力が接続された構成である。1対のライトアクセストランジスタN43、N44、リードドライフトランジスタN45およびリードアクセストランジスタN46は、N型トランジスタである。

[0028] ライトアクセストランジスタN43、N44は、ライトビット線WBL、

NWBLと保持回路41との間に接続されている。そして、ライドワード線WWLが“H（Highレベル）”になったときに、ライトビット線WBL、NWBLを保持回路41に導通させるアクセスゲート（トランスファゲート）としての役割を有する。

[0029] リードドライブトランジスタN45およびリードアクセストランジスタN46は、ローカルビット線LRBLとグラウンドVSSとの間に直列接続されている。リードドライブトランジスタN45のゲートは、保持回路41の入出力ノード41aに接続され、リードアクセストランジスタN46のゲートは、リードワード線RWLに接続されている。そして、リードワード線RWLおよび保持回路41の入出力ノード41aが“H”になったときに、ローカルビット線LRBLを“L（Lowレベル）”にするようになっている。

[0030] 図1に戻り、グローバルビット線GRBLには、プリチャージ回路5が接続されている。プリチャージ回路5は、第1および第2のプリチャージ信号SPR1、SPR2に応じて、グローバルビット線GRBLをプリチャージしたり、プリチャージを解除したりする。具体的に、プリチャージ回路5は、第1のローカルブロック1のメモリセルMCまたは第2のローカルブロック2のメモリセルMCからデータが読み出される際に、グローバルビット線GRBLのプリチャージを解除させるように動作する。

[0031] 半導体記憶回路の動作＝

以下、半導体記憶回路Aの動作について、図面を参照して説明する。

[0032] 図3は半導体記憶回路Aの読み出し動作について示すタイミングチャートである。まず、第1のローカルブロック1の構成要素である、読み出し対象のメモリセルMC（以下、第1のメモリセルMC1という）からデータを読み出す場合の動作について説明する。

[0033] なお、第1および第2のローカルブロック1、2ともに読み出しがされていない状態（以下、未読み出し状態という）において、第1および第2のプリチャージ信号SPR1、SPR2は、ともに“L”であり、第1および第2のローカルビット線LRBLA[0]、LRBLB[0]は、ともに“H

”にプリチャージされている。同様に、グローバルビット線GRBLは、プリチャージ回路5によって“H”にプリチャージされている。この未読み出し状態において、NAND回路31の両入力端子には“H”が入力されるので、出力信号Gは“L”となり、トランジスタP31、P32はともにオン制御され、第1のローカルビット線LRBLA[0]と第2のローカルビット線LRBLB[0]との間は導通状態となっている。

[0034] — “H”データの読み出し（第1のローカルブロック） —

ここでは、第1のメモリセルMC1から“H”データの読み出し、すなわち、第1のメモリセルMC1に含まれる保持回路41の入出力ノード41aから“L”データが出力されている場合の読み出しについて説明する。

[0035] まず、第1のプリチャージトランジスタP11に“H”の第1のプリチャージ信号SPR1が与えられ、第1のローカルビット線LRBLA[0]のプリチャージが解除される。また、それと同時にグローバルビット線GRBLのプリチャージが解除される。このとき、第2のプリチャージ信号SPR2は、“L”のままであり、第2のローカルビット線LRBLB[0]は“H”にプリチャージされている。その後、または、ほぼ同時に、第1のメモリセルMC1に接続されたリードワード線RWLA[k]（kはメモリセルMC1のロウ方向のアドレスであり、 $0 \leq k \leq x$ を満たす整数）が“H”に駆動され、リードアクセストランジスタN46がオン状態になる。一方で、保持回路41の入出力ノード41aは、“L”なので、リードドライブトランジスタN45はオフ状態である。

[0036] ここで、前述のとおり、トランジスタP31、P32はオン状態であり、第1のローカルビット線LRBLA[0]と第2のローカルビット線LRBLB[0]間には導通状態になっている。

[0037] また、第2のプリチャージトランジスタP12がオン制御されているので、電源VDDから、第2のプリチャージトランジスタP12およびトランジスタP32、P31を経由する回路（以下、第1の接続経路PS1ともいう。図1の太線参照）が導通されている。これにより、第1のローカルビット

線LRBLA[0]が“H”に保持され、ビットラインキーパーとしてのハイレベルラッチ動作が実現されている。したがって、仮にリードドライブトランジスタN45にリーク電流が流れるような場合においても、第1のローカルビット線LRBLA[0]が“H”に保持される。これにより、出力トランジスタN33はオフ状態のままであり、グローバルビット線GRBLに“H”データが読み出される。

[0038] グローバルビット線GRBLへの“H”データの読み出し後、第1のメモリセルMC1に接続されたリードワード線RWLA[k]及び第1のプリチャージ信号SPR1が“L”に戻る。これにより、第1のローカルビット線LRBLA[0]は、第1のプリチャージトランジスタP11を介して再び“H”にプリチャージされ、未読み出し状態に戻る。

[0039] — “L”データの読み出し（第1のローカルブロック） —

次に、第1のメモリセルMC1からの“L”データの読み出し、すなわち、第1のメモリセルMC1に含まれる保持回路41の入出力ノード41aから“H”データが出力されている場合の読み出しについて説明する。なお、（1）第1のローカルビット線LRBLA[0]およびグローバルビット線GRBLのプリチャージの解除動作、（2）第2のローカルビット線LRBLB[0]の“H”のプリチャージ動作、（3）リードアクセストランジスタN46のオン制御動作、に関しては、上記「“H”データ読み出し」と同様であり、その詳細な説明を省略する。

[0040] “L”データ読み出しでは、第1のメモリセルMC1の保持回路41の入出力ノード41aが“H”なので、リードアクセストランジスタN46に加えてリードドライブトランジスタN45もオン状態となり、第1のローカルビット線LRBLA[0]が“L”に駆動される。前述のとおり、トランジスタP31、P32の駆動能力が低く設定されているので、NAND回路31の出力信号Gが“L”から“H”に変わる。これにより、トランジスタP31、P32がオフ状態となり、第1のローカルビット線LRBLA[0]と第2のローカルビット線LRBLB[0]との接続（第1の接続経路PS

1) が遮断される。また、出力トランジスタ N 3 3 がオン状態となり、グローバルビット線 G R B L に “L” データが読み出される。このように、“L” データ読み出しにおいては第 1 の接続経路 P S 1 は “L” データ読み出しを妨げないような動作が実現されている。なお、図 3 では、第 1 のローカルビット線 L R B L A [0] の波形において、点線により、トランジスタ P 3 1, P 3 2 の駆動能力が十分に低く設定されていない場合の例を示している。このような場合、L R B L A [0] の変化が遅くなることにより、出力信号 G の変化も遅くなり、グローバルリードビット線 G R B L への読み出し速度が低下する原因となる場合がある。

[0041] ー第 2 のローカルブロックの読み出し動作ー

次に、第 2 のローカルブロック 2 の構成要素である、読み出し対象のメモリセル MC (以下、第 2 のメモリセル MC 2 という) からデータを読み出す場合の動作について説明する。なお、第 2 のメモリセル MC 2 からの “H” データおよび “L” データの読み出しにおいて、機能する構成要素が異なる場合があるが、基本的な動作は、第 1 のメモリセル MC 1 の場合と同様である。したがって、ここでは第 1 のメモリセル MC 1 からのデータ読み出し動作との相違点を中心に説明する。

[0042] まず、第 2 のプリチャージトランジスタ P 1 2 に “H” の第 2 のプリチャージ信号 S P R 2 が与えられ、第 2 のローカルビット線 L R B L B [0] のプリチャージが解除される。また、それと同時にグローバルビット線 G R B L のプリチャージが解除される。

[0043] 一方で、第 1 のプリチャージ信号 S P R 1 は、“L” のままであり、第 1 のローカルビット線 L R B L A [0] は “H” にプリチャージされる。その後、または、ほぼ同時に、第 2 のメモリセル MC 2 に接続されたリードワード線 R W L B [m] (m はメモリセル MC 2 のロウ方向のアドレスであり、 $0 \leq m \leq x$ を満たす整数) が “H” に駆動され、第 2 のメモリセル MC 2 の保持回路 4 1 からのデータが第 2 のローカルビット線 L R B L B [0] に読み出される。

- [0044] “H”データの読み出しの場合、トランジスタP31, P32および第1のプリチャージトランジスタP11がオン制御されているので、電源VDDから第1のプリチャージトランジスタP11およびトランジスタP31, P32を経由する回路（以下、第2の接続経路PS2ともいう。図4の太線参照）が導通され、第2のローカルビット線LRBLB[0]が“H”に保持され、ビットラインキーパーとしてのハイレベルラッチ動作が実現される。これにより、仮にリードドライフトランジスタN45にリーク電流が流れるような場合においても、第2のローカルビット線LRBLB[0]が“H”に保持される。これにより、出力トランジスタN33はオフ状態のままであり、グローバルビット線GRBLに“H”データが読み出される。
- [0045] “L”データの読み出しの場合、第2のローカルビット線LRBLB[0]が“L”に駆動されると、前述のとおり、トランジスタP31, P32の駆動能力が低く設定されているので、NAND回路31の出力信号Gが“L”から“H”に変わる。これにより、トランジスタP31, P32がオフ状態となり、第1のローカルビット線LRBLA[0]と第2のローカルビット線LRBLB[0]との接続（第2の接続経路PS2）が遮断される。また、出力トランジスタN33がオン状態となり、グローバルビット線GRBLに“L”データが読み出される。
- [0046] 以上のように、本実施形態によると、第1のローカルビット線LRBLA[0]からのデータ読み出しの際には、第1の接続経路PS1に配置されたトランジスタP31, P32, P12により、第1のローカルビット線LRBLA[0]のハイレベルラッチ動作を実現している。同様に、第2のローカルビット線LRBLB[0]からのデータ読み出しの際には、第2の接続経路PS2に配置されたトランジスタP31, P32, P11によりハイレベルラッチ動作を実現している。
- [0047] ここで、非特許文献に記載されているように、ビットラインキーパーにおいて、ハイレベルラッチ動作を実現するためのトランジスタを単一のトランジスタで構成する場合、前述のとおり、リーク電流の補償に必要な駆動能力

を満たしつつ低い駆動能力に設定する観点から、トランジスタのゲート長を大きくする等の必要があるため、ビットラインキーパーの機能を実現するためのトランジスタの専有面積が大きくなるという問題がある。

[0048] これに対し、本実施形態では、第1のローカルビット線LRBLA[0]および第2のローカルビット線LRBLB[0]のハイレベルラッチ動作に、直列接続されたトランジスタP31, P32を使用している。このトランジスタP31, P32は直列接続されているため、従来技術（例えば、非特許文献に記載）のように、駆動能力を低下させるために、各トランジスタP31, P32の専有面積を大きくする必要がない。さらに、上記ハイレベルラッチ動作において、半導体記憶回路Aが備えているプリチャージトランジスタP11, P12を、トランジスタP31, P32に直列接続されたトランジスタとして使用することができる。これにより、駆動能力を低下させつつ、従来技術と比較して、トランジスタP31, P32の専有面積をさらに小さくすることができる。または、トランジスタP31, P32の一方のみとプリチャージトランジスタP11, P12のみで駆動能力が十分小さければ、図5のように、トランジスタP31, P32の一方を削除することができる。図5では、トランジスタP31, P32のうち、トランジスタP32を省いた例を示している。

[0049] さらに、トランジスタP31, P32は、第1および第2のローカルビット線LRBLA[0], LRBLB[0]のハイレベルラッチ動作で共用されるので、それぞれに対して1つずつビットラインキーパーを挿入する場合と比較して、リードローカルアンプ3の回路面積を大幅に削減することができる。具体的には、従来技術と比較して、リードローカルアンプ3周りの回路面積について、数十%程度の面積削減効果を得ることができる。

[0050] （半導体記憶回路（リードローカルアンプ）の他の構成例）

図6は第1実施形態における半導体記憶回路の他の構成例を示す図である。

[0051] 図6の半導体記憶回路では、リードローカルアンプ3は、トランジスタP

31, P32の間に直列接続された第2のトランジスタとしてのP型のトランジスタP33, P34を含む。トランジスタP33, P34は、ゲートがグラウンドVSSに接続され、常にオン状態になっている。トランジスタP33, P34は、第1の接続経路PS1または第2の接続経路PS2における回路の駆動能力を下げる機能を有する。これにより、図1の構成と比較して、トランジスタP31, P32の専有面積を小さくすることができる。例えば、微細プロセスでは、他のトランジスタと比較してゲート長が大きなトランジスタを配置する場合、レイアウトの制約等に起因して、ゲート長を大きくすることによるトランジスタの専有面積の増加に加えたさらなる面積の増加が必要となる。このような傾向は、FinFETやナノワイヤFETのような三次元構造のトランジスタにおいて特に顕著である。このような場合に、トランジスタP31, P32の間に複数のトランジスタ（図5では2つのトランジスタP33, P34）を直列接続することにより、これらのトランジスタP31～P34のサイズを他のトランジスタに応じたサイズ（例えば、同じゲート長）にすることができる。

[0052] さらに、トランジスタP33, P34は、トランジスタP31, P32と同様に、第1のローカルブロック1のためのビットラインキーパーと、第2のローカルブロック2のためのビットラインキーパーとの両方で機能させることができるようになっている。これにより、各ローカルブロック1, 2に対応させてビットキーパーを用意する場合と比較して、回路面積を小さくすることができる。半導体記憶装置（半導体記憶回路）において、ローカルブロックの数は非常に膨大であり、トランジスタの共用化により大幅な面積削減が可能である。

[0053] なお、本構成例において、トランジスタP31, P32の間に直列接続するトランジスタの数は、2つに限定されない。例えば、トランジスタP33, P34のうちのいずれか一方であってもよいし、3つ以上のトランジスタを直列に接続するようにしてもよい。さらに、トランジスタP33, P34が接続される位置は、トランジスタP31とトランジスタP32の間に限ら

れず、例えば、ローカルビット線L R B L A [0]とトランジスタP 3 1の間にトランジスタP 3 3を、ローカルビット線L R B L B [0]とトランジスタP 3 2の間にトランジスタP 3 4を接続してもよい。また、トランジスタP 3 1, P 3 2の間にトランジスタを直列接続する場合において、直列に接続されるトランジスタの一部が並列接続され、直並列回路になっていてもよい。このような直列に接続または直並列に接続するトランジスタの数は、例えば、他のトランジスタとゲート長を揃えることができるように決定される。

[0054] また、図7に示すように、リードローカルアンプ3のP型のトランジスタP 3 1, P 3 2のうち的一方(図7ではトランジスタP 3 1)のゲートが、NAND回路31の出力信号Gに代えて、グラウンドV S Sに接続されていてもよい。このとき、トランジスタP 3 1は、常にオン状態になっている。この場合においても、トランジスタP 3 1, P 3 2は、第1の接続経路P S 1または第2の接続経路P S 2における回路の駆動能力を下げる機能を有し、図1の構成と同様の効果を得ることができる。

[0055] <第2実施形態>

＝半導体記憶回路の構成＝

図8は第2実施形態に係る半導体記憶装置の要部の構成例を示す図である。本実施形態では、グローバルビット線G R B Lに対して、複数の半導体記憶回路Aが接続されている場合について説明する。具体的に、図8では、カラム方向に並べて配置された2つの半導体記憶回路Aがグローバルビット線G R B Lに接続されている例を示している。2つの半導体記憶回路Aは、回路構成が実質的に同じである。一方で、2つの半導体記憶回路Aで接続先の信号が異なる部分が含まれている。なお、図8において、G 1は、図面左側の半導体記憶回路AのNAND回路31の出力信号を示している。同様に、G 2は、図面右側の半導体記憶回路Aの出力信号を示している。図9についても同様である。

[0056] なお、具体的な図示は省略するが、半導体記憶装置は、図2のような構成

の半導体記憶回路Aがカラム方向および／またはロウ方向に複数段設けられており、少なくともその一部の半導体記憶回路Aがリードローカルアンプ3を介してグローバルビット線GRBLに接続された構成を有している。また、本実施形態に係る半導体記憶装置および半導体記憶回路Aは、第1実施形態と共通の構成要素を含んでおり、ここでは相違点を中心に説明し、第1実施形態との共通部分に関して説明を省略する場合がある。例えば、各半導体記憶回路Aは、第1実施形態と共通構成の第1のローカルブロック1及び第2のローカルブロック2と、第1実施形態と異なる構成を含むリードローカルアンプ3とを備えている。

[0057] 図8の半導体記憶回路Aにおいて、リードローカルアンプ3は、ゲート回路としての複合ゲート回路32と、出力回路としての出力トランジスタN33と、第1のトランジスタとしてのP型のトランジスタP31、P32によって構成されている。

[0058] 複合ゲート回路32には、第1のローカルビット線LRBLA[0]および第2のローカルビット線LRBLB[0]に加えて、カラムアドレス信号CA[1:0]が入力されている。そして、複合ゲート回路32は、対応するカラムアドレス信号CA[1:0]がアクティブなときに、第1のローカルビット線LRBLA[0]および第2のローカルビット線LRBLB[0]に出力される信号に応じた信号を出力する。具体的に、複合ゲート回路32は、対応するカラムアドレス信号CA[1:0]がアクティブな場合において、第1のローカルビット線LRBLA[0]または第2のローカルビット線LRBLB[0]のいずれかがプリチャージ状態から変化したときに、出力が変化する。なお、図8では、カラムアドレス信号CA[1:0]が“L”のとき、対応する半導体記憶回路Aがアクティブになる回路構成例を示している。

[0059] なお、カラム数は2カラムに限定されず、4、8、16カラム構成等の他のカラム数であっても同様の構成で実現することができる。具体的に、カラム数に応じたビット数のカラムアドレス信号CAを用いて、各半導体記憶回

路Aの複合ゲート回路32に与えればよい。

[0060] ＝半導体記憶回路の動作＝

本実施形態において、“H”データおよび“L”データの読み出しにおける基本的な動作は、第1実施形態と同様である。したがって、ここでは第1実施形態のデータ読み出し動作と異なる点を中心に説明する。

[0061] まず、読み出し対象となるメモリセルが含まれた半導体記憶回路Aを示すカラムアドレス信号CA[1:0]が出力される。例えば、図面左側の半導体記憶回路A（以下、半導体記憶回路A1という）に読み出し対象となるメモリセル（以下、第3のメモリセルMC3という）が含まれている場合、半導体記憶回路A1のカラムアドレス信号CA[0]が“L”に設定され、図面右側の半導体記憶回路A（以下、半導体記憶回路A2という）のカラムアドレス信号CA[1]が“H”に設定される。

[0062] 次に、半導体記憶回路A1において、第3のメモリセルMC3が含まれているメモリセル群の読み出し動作が実施される。例えば、第3のメモリセルMC3が第1のローカルブロック1に含まれる場合、第1実施形態の第1のメモリセルMC1の読み出し動作と、第3のメモリセルMC3が第2のローカルブロック2に含まれる場合、第1実施形態の第2のメモリセルMC2の読み出し動作と同様の読み出し動作が行われる。

[0063] 一方で、半導体記憶回路A2では、半導体記憶回路A1の第3のメモリセルMC3と同じリードワード線に接続されたメモリセルから第1または第2のローカルビット線LRBLA[1]，LRBLB[1]にデータが読み出される。例えば、第3のメモリセルMC3が第1のローカルブロック1に含まれる場合、リードワード線RWLA[n]（nは第3のメモリセルMC3のロウ方向のアドレスであり、 $0 \leq n \leq x$ を満たす整数）に接続されたメモリセルMCから第1のローカルビット線LRBLA[1]にデータが読み出される。同様に、例えば、第3のメモリセルMC3が第2のローカルブロック2に含まれる場合、リードワード線RWLB[n]に接続されたメモリセルMCから第2のローカルビット線LRBLB[1]にデータが読み出され

る。しかしながら、カラムアドレス信号CA[1]が“H”であるため、半導体記憶回路A2の複合ゲート回路32の出力は変化せず、出力トランジスタN33が駆動されることもない。

[0064] これにより、グローバルビット線GRBLには、半導体記憶回路A1のデータのみが読み出される。

[0065] 以上のように、半導体記憶装置が、共通のグローバルビット線GRBLに接続された複数の半導体記憶回路A（図8では2つの半導体記憶回路A1，A2の場合を例示）を有する場合においても、各半導体記憶回路Aにおいて、第1および第2のローカルビット線LRBLA[1:0]，LRBLB[1:0]のハイレベルラッチ動作に、トランジスタP31，P32を共有することができる。これにより、第1および第2のローカルビット線LRBLA[1:0]，LRBLB[1:0]のそれぞれに対して1つずつビットラインキーパーを挿入する場合と比較して、回路面積を小さくすることができる。

[0066] なお、共通のグローバルビット線GRBLに接続される半導体記憶回路Aの数は、図8に示した2つに限定されず、3つ以上の半導体記憶回路Aが接続されていてもよい。この場合、カラムアドレス信号CA[y:0]（yは2以上の整数）のビット数を増加させるとともに、上記（第2実施形態）の説明と同様の構成を有する半導体記憶回路Aを共通のグローバルビット線GRBLに接続し、上記の説明と同様に動作させることで同様の効果が得られる。

[0067] （半導体記憶回路（リードローカルアンプ）の他の構成例）

図9は第2実施形態における半導体記憶装置の要部の他の構成例を示す図である。なお、基本的な構成は、図8と同様であるため、ここでは、図8との相違点を中心に説明する。

[0068] 図9の半導体記憶回路A1，A2において、リードローカルアンプ3は、トランジスタP31，P32の間に直列接続された第2のトランジスタとしてのP型のトランジスタP33，P34を含む。トランジスタP33は、

ゲートがグラウンドVSSに接続され、常にオン状態になっている。トランジスタP34は、ゲートに複合ゲート回路32と同じカラムアドレス信号CA[1:0]が与えられている。具体的には、半導体記憶回路A1のトランジスタP34には、カラムアドレス信号CA[0]が与えられ、半導体記憶回路A2のトランジスタP34には、カラムアドレス信号CA[1]が与えられている。

[0069] これにより、読み出し対象となるメモリセルMCが含まれている半導体記憶回路Aでは、P型のトランジスタP33、P34がともにオン制御される。例えば、半導体記憶回路A1に読み出し対象となるメモリセルが含まれている場合、図5の場合と同様に、半導体記憶回路A1のトランジスタP33、P34は、第1の接続経路PS1（図1参照）または第2の接続経路PS2（図4参照）における回路（トランジスタ）の駆動能力を下げる機能を有する。

[0070] 一方で、読み出し対象となるメモリセルMCが含まれていない半導体記憶回路A（例えば、半導体記憶回路A2）では、P型のトランジスタP34がオフ制御される。これにより、半導体記憶回路A2において、半導体記憶回路A1のデータ読み出しの際に、半導体記憶回路A1のビットラインキーパーとしての機能を実現するための補償電流に対応する電流が半導体記憶回路A2に流れることを防ぐことができる。具体的には、図9において、半導体記憶回路A1と半導体記憶回路A2とは、共通のプリチャージ信号SPR1、SPR2を使用してプリチャージを制御するとともに、共通のリードワード線RWLを使用している。したがって、半導体記憶回路A2では、半導体記憶回路A1のデータ読み出しの際に、半導体記憶回路A1でオン制御されたトランジスタと対応するトランジスタがオン制御される。これにより、半導体記憶回路A1と同様に、上記補償電流に対応する第1または第2の接続経路PS1、PS2における第1または第2のプリチャージトランジスタP11、P12、および、リードアクセストランジスタN46がオン制御される。そこで、カラムアドレス信号CA[1]に基づいて、半導体記憶回路A

2のトランジスタP34をオフ制御することにより、上記補償電流に対応する余分な貫通電流が流れないようにすることができる。

[0071] なお、図9において、トランジスタP31、P32、P34および第1または第2のプリチャージトランジスタP11、P12により、各接続経路PS1、PS2の全体の駆動能力が十分に低い場合、トランジスタP33はなくてもかまわない。一方で、トランジスタP31とトランジスタP32の間に接続される第2のトランジスタの数を3個以上にしてもよい。さらに、第1実施形態と同様に、半導体記憶回路A1、A2において、トランジスタP33、P34が接続される位置は、トランジスタP31とトランジスタP32の間に限られず、例えば、ローカルビット線LRBLA[0]とトランジスタP31の間にトランジスタP33を、ローカルビット線LRBLB[0]とトランジスタP32の間にトランジスタP34を接続してもよい。

[0072] また、第1実施形態において「半導体記憶回路の他の構成例」に記載した半導体記憶回路Aを、本実施形態に適用してもよい。例えば、図8の半導体記憶回路Aに代えて、図5～図7の半導体記憶回路Aを適用してもよく、同様の効果が得られる。

[0073] <その他の実施形態>

なお、上記の実施形態では、メモリセルMCから“H”データを読み出す際に、読み出し対象となるメモリセルMCが接続されたローカルビット線LRBLがハイインピーダンスになる構成について説明したが、本開示に係る技術は、メモリセルMCから“L”データを読み出す際に、上記ローカルビット線LRBLがハイインピーダンスになる構成であってもよい。この場合、半導体記憶回路Aを構成する第1導電型としてのP型トランジスタの極性を反転させて、N型トランジスタとすればよい。具体的に、第1および第2のプリチャージトランジスタP11、P12をN型トランジスタに置き換え、このN型トランジスタのソースの接続先を電源VDDからグランドVSSに変更する。また、トランジスタP31、P32をN型トランジスタに置き換える。加えて、図5では、トランジスタP33、P34をN型トランジスタ

タに置き換え、置き換えたN型トランジスタのゲートの接続先をグラウンドVSSから電源VDDに変更する。そして、図1および図4～図7では、ゲート回路の構成を、NAND回路31から、2入力のNOR回路に置き換えて一方の入力端子に第1のローカルビット線LRBLA[0]を、他方の入力端子に第2のローカルビット線LRBLB[0]を接続するようにすればよい。同様に、図8および図9では、ゲート回路の構成を、2入力ANDとNORの複合ゲート回路32から、2入力ORとNANDの複合ゲート回路に変更すればよい。そして、プリチャージ信号SPR1, SPR2およびコラムアドレス信号CA[1:0]の極性を反転させるとよい。また、図2では、リードドライフトランジスタN45およびリードアクセストランジスタN46の極性を反転させてP型とし、リードドライフトランジスタN45のソースの接続先をグラウンドVSSから電源VDDに変更するとともに、リードワード線RWLを“L”アクティブ動作となるように変更する。

[0074] また、上記実施形態では、メモリセルMCがデュアルポートSRAMセルである例を示したが、これに限定されない。例えば、メモリセルがROMセルRMCであってもよい。図10では、メモリセルがROMセルである構成例を示しており、図10(a)が“H”データが記憶されたメモリセル、図10(b)が“L”データが記憶されたメモリセルを示している。図10に示すように、ROMセルRMCにはN型トランジスタN5が備えられており、ゲートがワード線WL、ドレインがビット線BLに接続されている。そして、ソースは“H”データが記憶されたメモリセルはフローティング状態になっており、“L”データが記憶されたメモリセルはグラウンドVSSに接続されている。そして、例えば、図1のメモリセルMCに代えてROMセルRMCを配置し、ビット線BLを第1のローカルビット線LRBLA[0]または第2のローカルビット線LRBLB[0]に、ワード線WLをリードワード線RWLに接続することにより、第1実施形態と同様の作用効果を得ることができる。

産業上の利用可能性

[0075] 本開示によると、階層ビット線構造を有しており、ビットラインキーパーの機能を備えた半導体記憶回路を、小面積で実現することが可能になるので、半導体記憶回路及び半導体記憶回路を有する半導体記憶装置の性能向上に有用である。

符号の説明

[0076] A 半導体記憶回路

MC メモリセル

3 1 NAND回路（ゲート回路）

N 3 3 出力トランジスタ（出力回路）

P 1 1 第1のプリチャージトランジスタ

P 1 2 第2のプリチャージトランジスタ

P 3 1 トランジスタ（第1のトランジスタ）

P 3 2 トランジスタ（第1のトランジスタ）

L R B L A [0 : 1] 第1のローカルリードビット線

L R B L B [0 : 1] 第2のローカルリードビット線

請求の範囲

[請求項1]

半導体記憶回路であって、

第1のローカルリードビット線に接続された複数の第1のメモリセルおよび当該第1のローカルリードビット線に接続された第1導電型の第1のプリチャージトランジスタを含む第1のローカルブロックと、

第2のローカルリードビット線に接続された複数の第2のメモリセルおよび当該第2のローカルリードビット線に接続された前記第1導電型の第2のプリチャージトランジスタを含む第2のローカルブロックと、

前記第1のローカルリードビット線および前記第2のローカルリードビット線に出力される信号に応じた信号を出力するゲート回路と、

前記ゲート回路の出力に応じた信号をグローバルリードビット線に出力する出力回路と、

前記第1のローカルリードビット線および前記第2のローカルリードビット線の間設けられ、ゲートが前記ゲート回路の出力に接続された前記第1導電型の第1のトランジスタとを備えている

ことを特徴とする半導体記憶回路。

[請求項2]

請求項1記載の半導体記憶回路において、

前記第1のトランジスタは、直列接続された前記第1導電型の2個のトランジスタで構成され、当該2個のトランジスタのゲートが、前記ゲート回路の出力に接続されている

ことを特徴とする半導体記憶回路。

[請求項3]

請求項1記載の半導体記憶回路において、

前記第1のローカルリードビット線および前記第2のローカルリードビット線の間設けられ、前記第1のトランジスタと直列に接続された前記第1導電型の第2のトランジスタを備え、

前記第2のトランジスタのゲートには、当該第2のトランジスタを

常時オンさせる定電圧が与えられている
ことを特徴とする半導体記憶回路。

[請求項4]

請求項1記載の半導体記憶回路において、

前記第1のローカルリードビット線および前記第2のローカルリードビット線の間に設けられ、前記第1のトランジスタと直列に接続された前記第1導電型の第2のトランジスタを備え、

前記第2のトランジスタのゲートには、当該第2のトランジスタをオンオフ制御する制御信号が与えられている
ことを特徴とする半導体記憶回路。

[請求項5]

請求項1記載の半導体記憶回路において、

前記ゲート回路は、前記第1のローカルリードビット線および／または前記第2のローカルリードビット線が第1の状態のときに、第2の状態の信号を前記出力回路に出力する
ことを特徴とする半導体記憶回路。

[請求項6]

請求項5記載の半導体記憶回路において、

前記ゲート回路は、前記第1のローカルリードビット線および前記第2のローカルリードビット線が第1の電位のときに、前記第1の電位と異なる第2の電位を前記出力回路に出力する一方、前記第1のローカルリードビット線または前記第2のローカルリードビット線が前記第2の電位のときに、前記第1の電位の信号を前記出力回路に出力する
ことを特徴とする半導体記憶回路。

[請求項7]

出力回路が共通のグローバルリードビット線に接続された複数の請求項1記載の半導体記憶回路を備え、

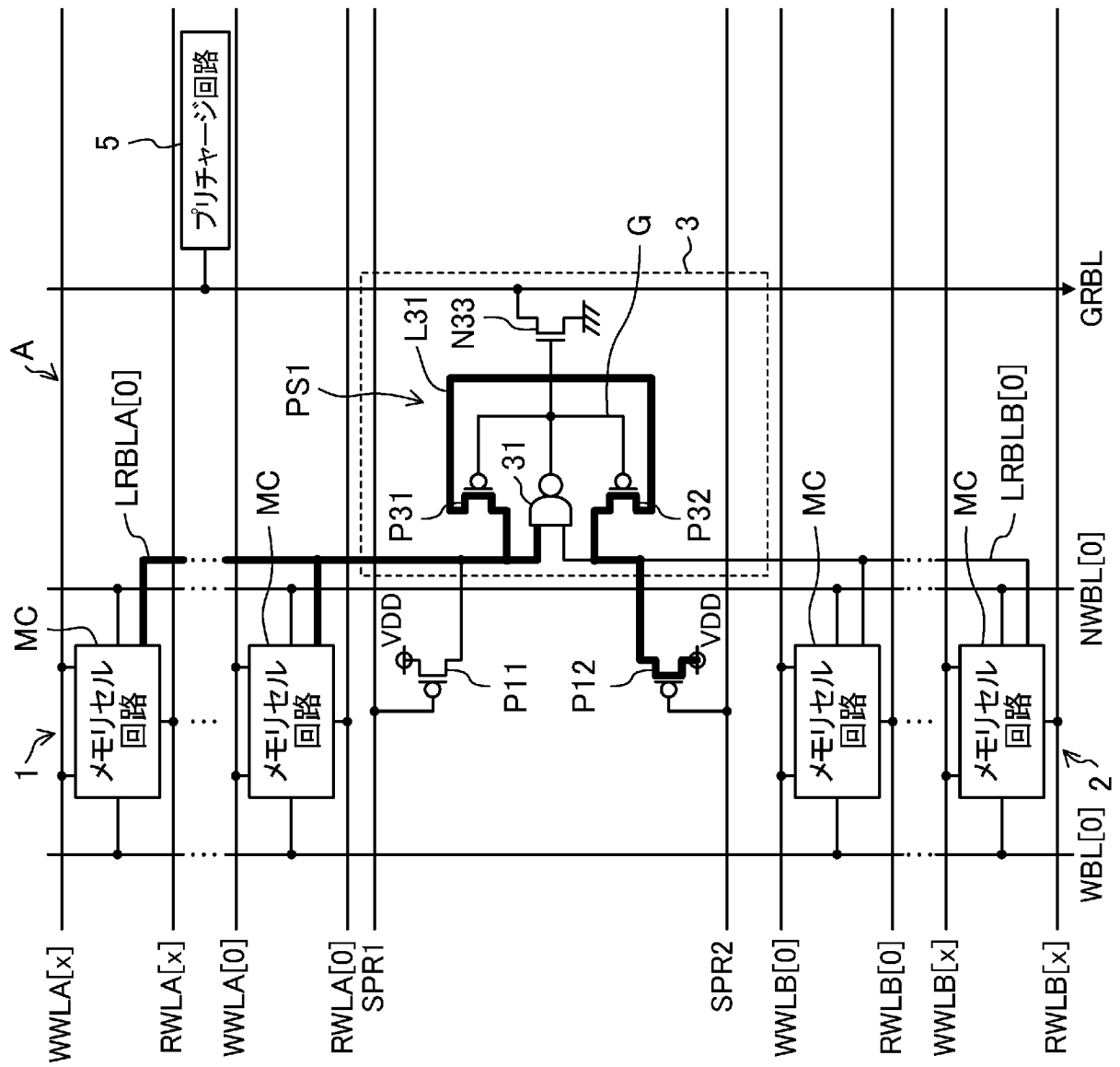
前記各半導体記憶回路のゲート回路は、前記第1のローカルリードビット線および前記第2のローカルリードビット線に出力される信号と、カラムアドレス信号とに応じた信号を出力する
ことを特徴とする半導体記憶装置。

- [請求項8] 請求項7記載の半導体記憶装置において、
- 前記第1のローカルリードビット線および前記第2のローカルリードビット線の間に設けられ、前記第1のトランジスタと直列に接続された前記第1導電型の第2のトランジスタを備え、
- 前記各第2のトランジスタのゲートには、前記カラムアドレス信号が接続されている
- ことを特徴とする半導体記憶装置。
- [請求項9] 半導体記憶回路のデータを検出するデータ検出方法であって、
- それぞれに複数のメモリセルが接続された第1および第2のローカルリードビット線をプリチャージするステップと、
- 前記第1のローカルリードビット線と前記第2のローカルリードビット線との間に設けられた第1のトランジスタを導通させるステップと、
- 前記第1のローカルリードビット線または前記第2のローカルリードビット線のうち、前記複数のメモリセルの中の読み出し対象となる第1のメモリセルが接続された方のローカルリードビット線のプリチャージを解除するステップと、
- 前記プリチャージが解除されたローカルリードビット線に前記第1のメモリセルの状態が読み出され、当該読み出された第1のメモリセルの状態に応じて前記第1のトランジスタによる導通を遮断させるステップと、
- 前記読み出された第1のメモリセルの状態に応じた信号をグローバルリードビット線に出力するステップとを備えている
- ことを特徴とするデータ検出方法。
- [請求項10] 請求項9記載のデータ検出方法であって、
- 前記プリチャージが解除されたローカルリードビット線に前記第1のメモリセルの状態が読み出された場合に、当該読み出された第1のメモリセルの状態に応じて前記第1および第2のローカルリードビット

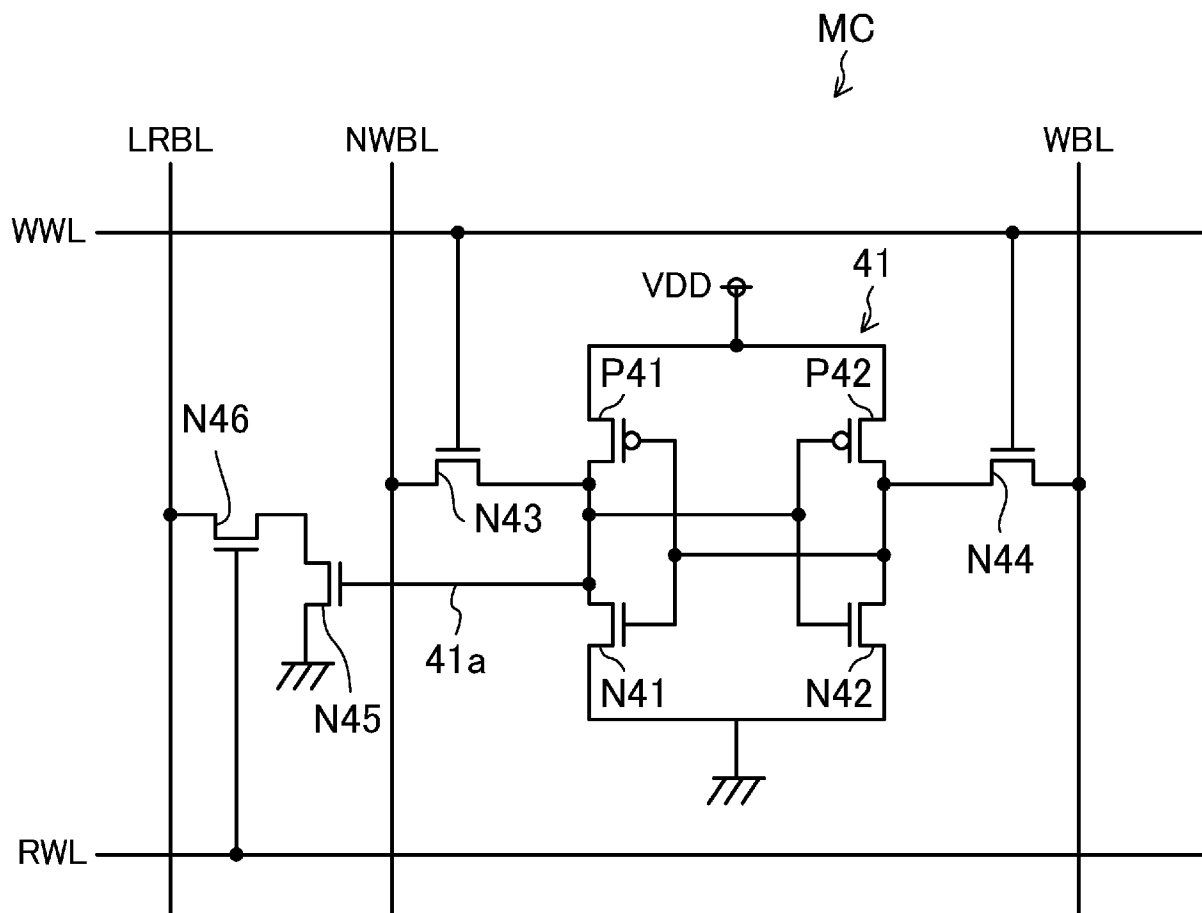
ト線に接続されたゲート回路の出力を所定の論理レベルに駆動するステップと、

前記ゲート回路の出力の駆動にしたがって前記第1のトランジスタによる導通を遮断させるステップとをさらに備えていることを特徴とするデータ検出方法。

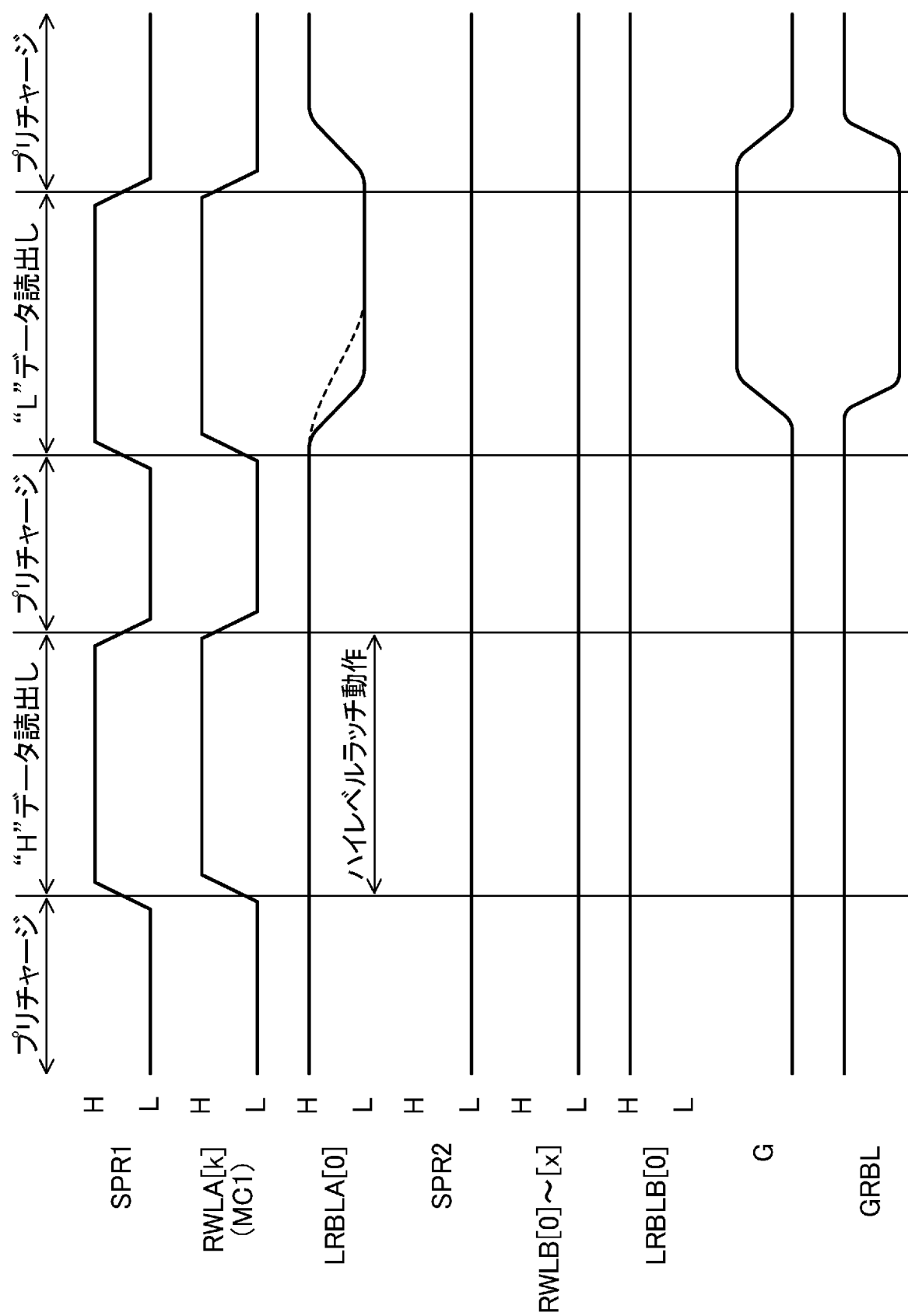
[図1]



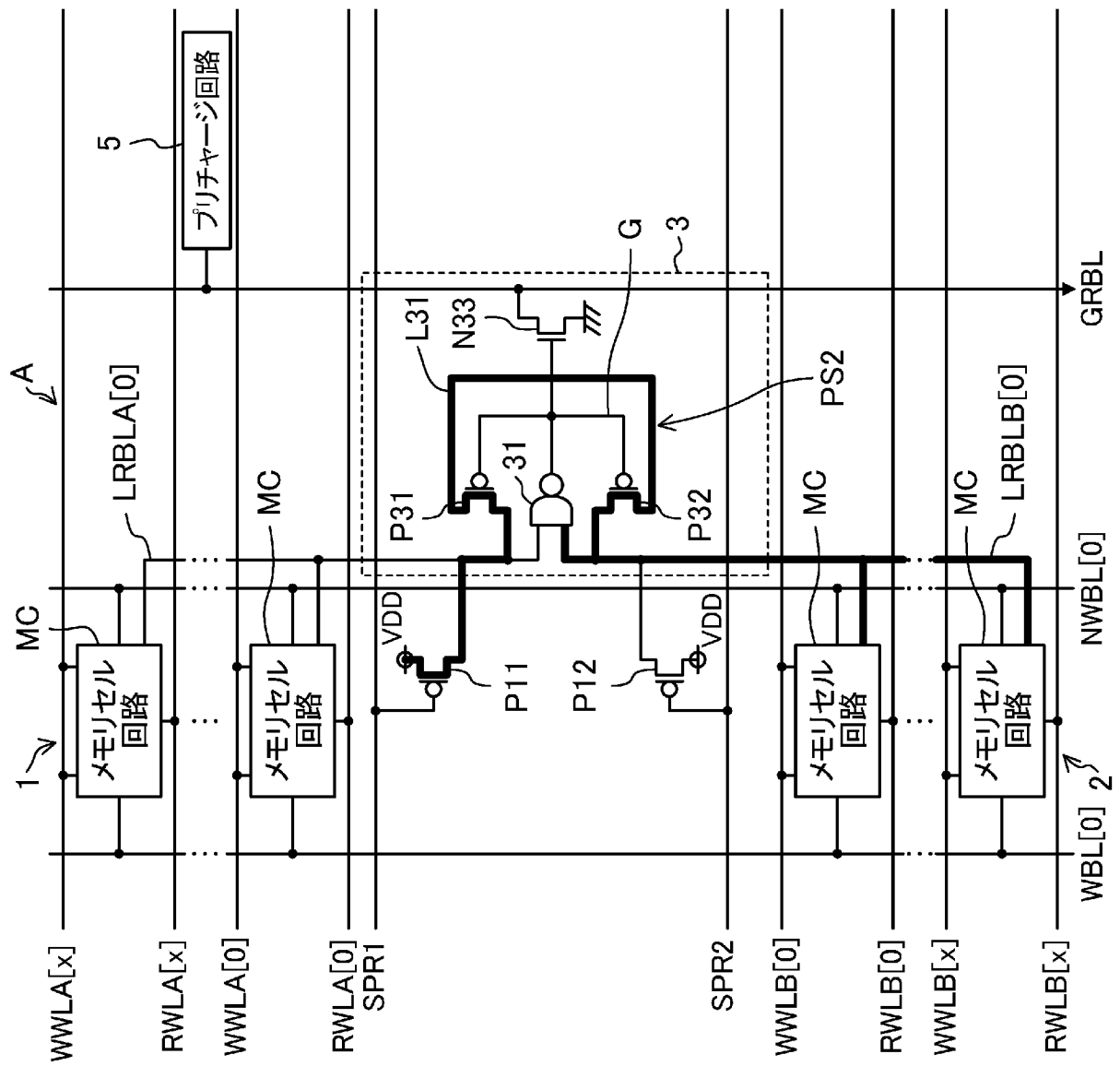
[図2]



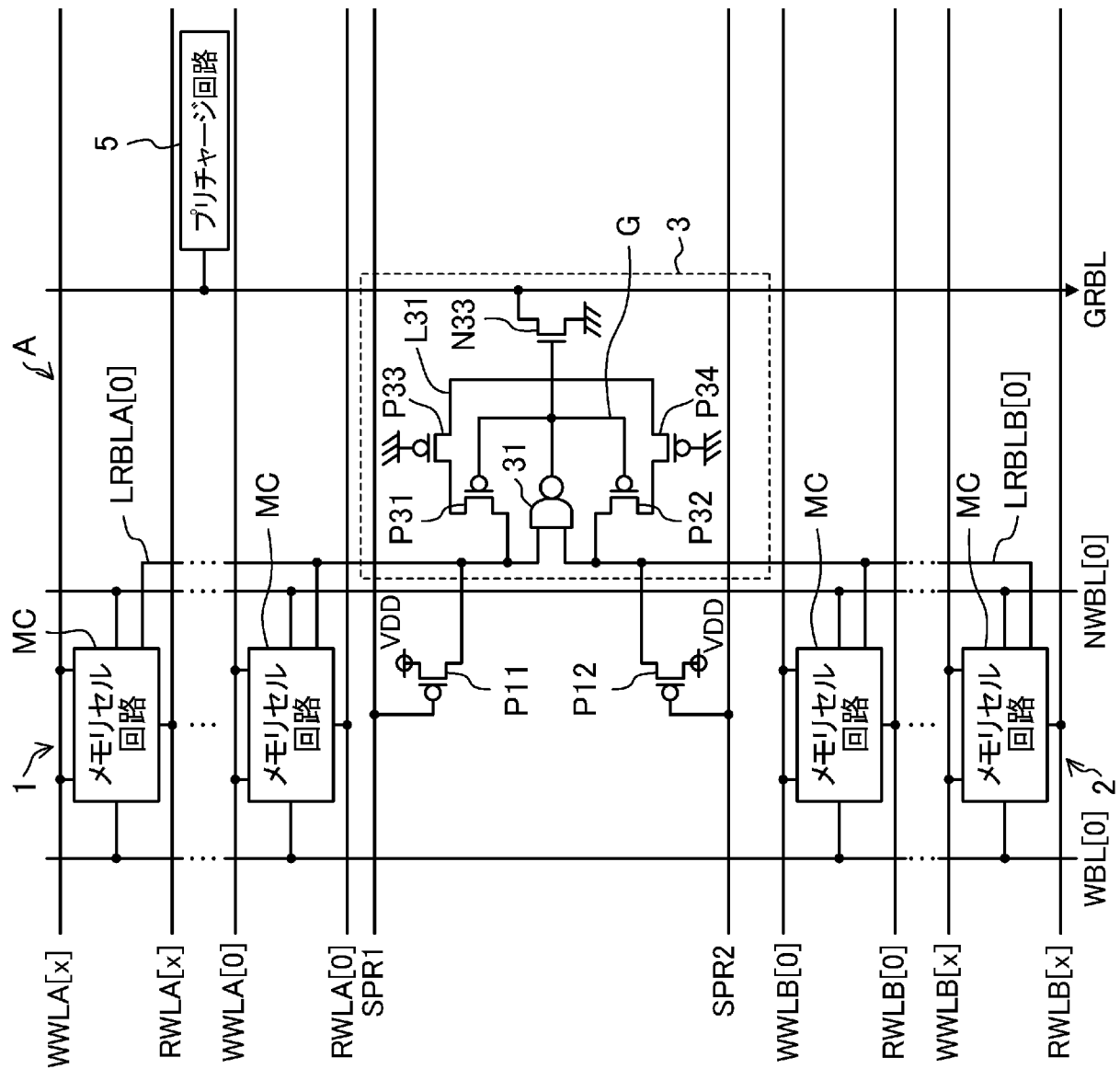
[図3]



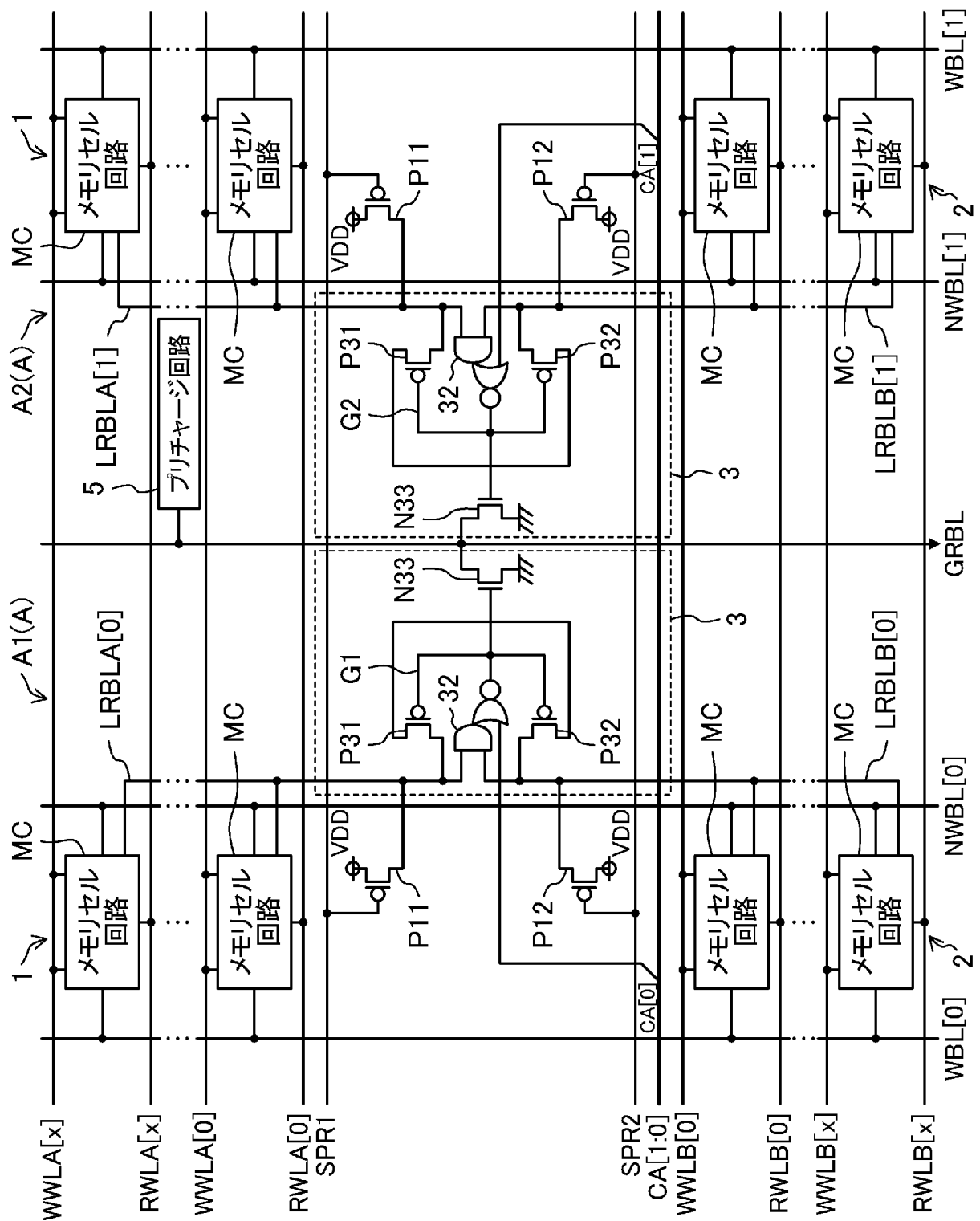
[図4]



[図6]

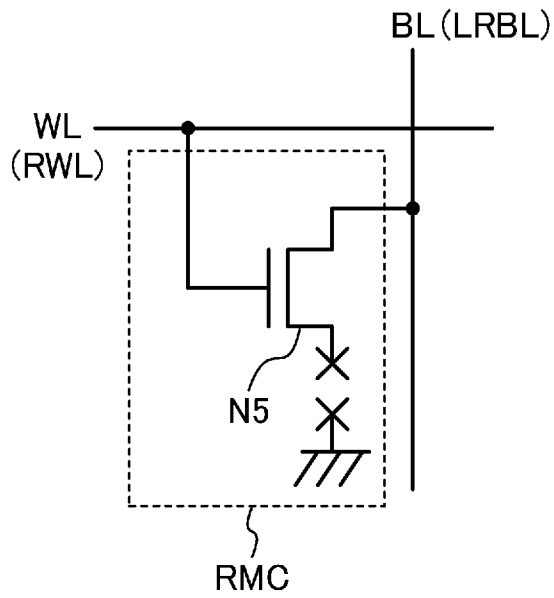


[図8]

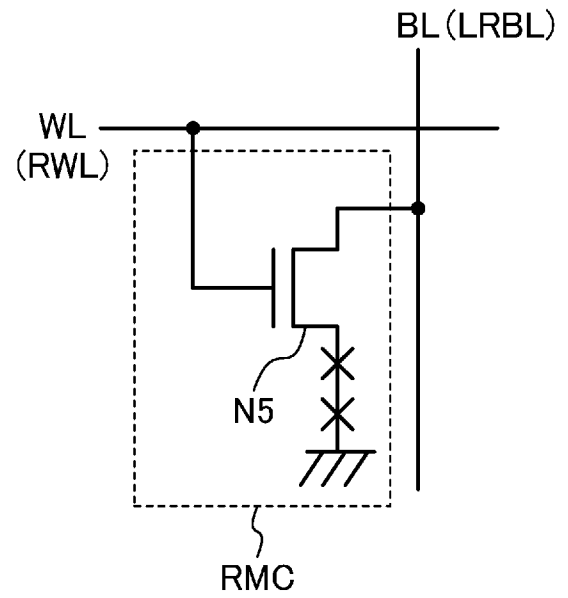


[図10]

(a) “H”データ読み出し



(b) “L”データ読み出し



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/005541

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G11C11/419 (2006.01) i, G11C7/12 (2006.01) i, G11C7/18 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G11C11/419, G11C7/12, G11C7/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2009/0251974 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 08 October 2009, paragraphs [0017]-[0020], fig. 1A-1C (Family: none)	1-3, 5-6, 9-10 4, 7-8
Y A	JP 2010-198724 A (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 09 September 2010, paragraphs [0006], [0007], [0021], [0022], fig. 1, 2 & US 2010/0214860 A1, paragraphs [0006], [0007], [0027], [0028], fig. 1, 2	1-3, 5-6, 9-10 4, 7-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18.04.2018

Date of mailing of the international search report
01.05.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/005541

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011/0280095 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 17 November 2011, paragraphs [0028], [0029], fig. 3 & CN 102243893 A	1-10
A	US 2009/0175107 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 09 July 2009, paragraph [0041], fig. 6 (Family: none)	1-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G11C11/419(2006.01)i, G11C7/12(2006.01)i, G11C7/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G11C11/419, G11C7/12, G11C7/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2009/0251974 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2009.10.08, 段落 [0017] - [0020], 図 1A-1C	1-3, 5-6, 9-10
A	(ファミリーなし)	4, 7-8
Y	JP 2010-198724 A (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD) 2010.09.09, 段落 [0006] - [0007], 段落 [0021] - [0022], 図 1-2	1-3, 5-6, 9-10
A	& US 2010/0214860 A1, 段落 [0006] - [0007], 段落 [0027] - [0028], 図 1-2	4, 7-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18.04.2018

国際調査報告の発送日

01.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

酒井 恭信

5 N

9190

電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2011/0280095 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD) 2011.11.17, 段落 [0028] – [0029], 図 3 & CN 102243893 A	1-10
A	US 2009/0175107 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2009.07.09, 段落 [0041], 図 6 (ファミリーなし)	1-10