

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年7月24日 (24.07.2003)

PCT

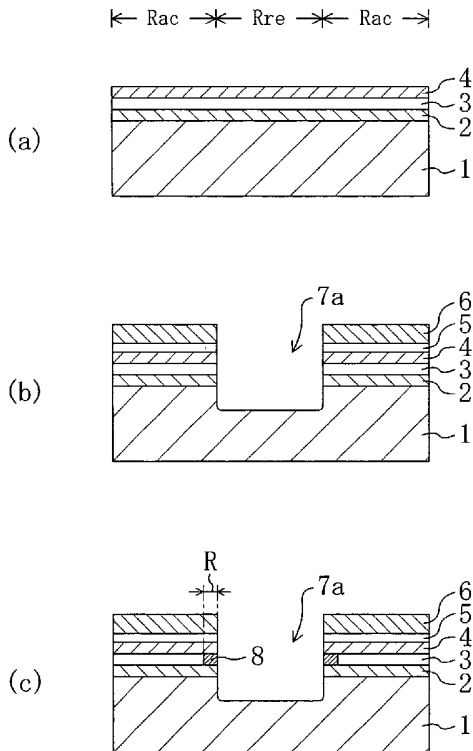
(10) 国際公開番号
WO 03/060992 A1

- (51) 国際特許分類: H01L 21/762
- (21) 国際出願番号: PCT/JP03/00141
- (22) 国際出願日: 2003年1月9日 (09.01.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-002033 2002年1月9日 (09.01.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真 1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 原 義博 (HARA, Yoshihiro) [JP/JP]; 〒573-1104 大阪府枚方市楠葉丘 1-6 1-3 Osaka (JP). 浅井 明 (ASAI, Akira) [JP/JP]; 〒543-0001 大阪府大阪市天王寺区上本町 9-5-1 2-1 3 0 3 Osaka (JP). 菅原 岳 (SUGAHARA, Gaku) [JP/JP]; 〒631-0806 奈良県奈良市朱雀 5-1-1-6 8-1 0 1 Nara (JP). 空田 晴之 (SORADA, Haruyuki) [JP/JP]; 〒573-0066 大阪府枚方市伊加賀西町 2-A 5 0 1 Osaka (JP). 大西 照人 (OHNISHI, Teruhito) [JP/JP]; 〒573-0049 大阪府枚方市山之上北町 6 0-1-1 2 0 2 Osaka (JP).
- (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒550-0004 大阪府大阪市西区靱本町 1 丁目 4 番 8 号 本町中島ビル Osaka (JP).

[続葉有]

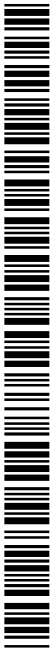
(54) Title: SEMICONDUCTOR DEVICE AND ITS PRODUCTION METHOD

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A buffer layer (2), an SiGe layer (3), and an Si cap layer (4) are formed over an Si substrate (1). By creating a mask on the substrate and carrying out patterning, a trench (7a) which reaches the Si substrate (1) and in which the side of the SiGe layer (3) is exposed is formed. The side of the trench (7a) is subjected to a heat treatment at 750° C for an hour, and thereby Ge contained in the surface portion of the SiGe layer (3) evaporates. As a result, a Ge evaporation region (8) having a Ge content lower than those of the other regions of the SiGe layer (3) is formed near the exposed portion of the SiGe layer (3) exposed in the trench (7a). Thereafter the side of the trench (7a) is oxidized.

[続葉有]



WO 03/060992 A1



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

S i 基板 1 上に、バッファ層 2、S i G e 層 3 および S i キャップ層 4 を形成する。基板上にマスクを形成してパターニングを行なうことにより、S i 基板 1 に到達して S i G e 層 3 の側面を露出するトレンチ 7 a を形成する。ここで、トレンチ 7 a の側面に 7 5 0 °C、1 時間の熱処理を行なうと、S i G e 層 3 のうち表面部に含まれる G e が蒸発する。これにより、S i G e 層 3 のうちトレンチ 7 a に露出する部分付近には、G e の組成比が S i G e 層 3 のうちの他の部分より低い G e 蒸発部 8 が形成される。その後、トレンチ 7 a の側面を酸化する。

明細書

半導体装置およびその製造方法

技術分野

本発明は、SiおよびGeを含む層を有する半導体装置およびその製造方法に関し、特に、SiGe層またはSiGeC層を有する半導体装置に関する。

背景技術

近年、シリコン(Si)とゲルマニウム(Ge)の混晶である $Si_{1-x}Ge_x$ 層($0 < x < 1$) (本明細書中ではSiGe層と記す)を用いたヘテロ接合電界効果トランジスタやヘテロ接合バイポーラトランジスタなどの研究開発が盛んに行なわれている。

SiGe層を用いたヘテロ接合デバイスでは、SiGe層中のキャリアの高い移動度に起因して高速動作を実現することができる。加えて、SiGe層を用いたデバイス(本明細書中ではSiGeデバイスと記す)の製造工程はSi層を用いたデバイス(本明細書中ではSiデバイスと記す)の製造工程と互換性を示す。そのため、SiGeデバイスの製造工程のうちのほとんどの工程では、従来のSiデバイスの製造技術および製造ラインを利用することができる。このことから、SiGeデバイスをSi基板上に集積化することも可能である。このように、SiGeデバイスは性能およびコスト面で優れた性質を有する。

ところで、SiGeデバイスをSi基板上に数多く集積化する場合には、従来のSiデバイスの場合と同様に、個々のデバイスを電氣的に絶縁する素子分離技術が重要になる。

従来において、素子分離の方法としては、選択酸化(LOCOS)法やトレンチ分離法がある。しかしながら、LOCOS法では、いわゆるバズビークが形成されて素子分離用の酸化膜がトランジスタ形成領域に侵入するおそれがある。これを回避しようとする、トランジスタ形成領域が狭くなり集積回路の微細化に支障をきたす。そこで、近年の微細ルールにおける集積回路においては、トランジスタ形成領域の縮小を引き起こすことなく素子分離を行なうことができるトレンチ素子分離法が主流となっている。

SiGe層を用いたデバイスにおける素子分離の方法について以下に述べる。

特開平10-321733号公報（米国特許第6111267号公報）では、LOCOS法により、SiGe層を有する素子の素子分離を図っている。しかしながら、上述の理由によって、SiGeデバイスにおける素子分離方法も、Siデバイスと同様にトレンチ素子分離法が主流となると考えられる。このトレンチ素子分離法を形成する方法は、SiGe層を形成する前にトレンチを形成する方法と、SiGe層を形成した後にトレンチを形成する方法との2種類に大きく分けることができる。

まず、基板上にSiGe層を形成する前にトレンチ素子分離を形成する方法について以下に述べる。この方法では、トレンチ分離の工程がSiGe層を形成する前の工程であるので従来のSiデバイスに用いるプロセス技術を用いることができる。しかしながら、トレンチ素子分離を形成した後の基板上にSiGe層をエピタキシャル成長によって形成する際には、非選択法においては酸化膜や多結晶シリコン膜上には多結晶SiGe層が形成され、この多結晶SiGe層が電流のリークの原因になるおそれがあり、また、選択成長法においては、選択成長領域の周辺部（境界部）において、ファセット面が形成されることによってしきい値電圧が変動してしまうなどの不具合がある。

次に、基板上にSiGe層を形成した後にトレンチ素子分離を形成する方法について、図10(a)～(e)を参照しながら以下に説明する。図10(a)～(e)は、従来の方法によって、SiGe層が形成されている基板にトレンチ素子分離を形成する工程を示した断面図である。なお、図10(a)～(e)では、従来のSiデバイスにおけるトレンチ素子分離の形成工程と同様の工程によりトレンチ素子分離を形成している。

まず、図10(a)に示す工程で、n型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ であるSi基板101上に、UHV-CVD法により、厚さ10nmのSiバッファ層102と、厚さ15nmでありGe組成率が25%であるSiGe層103と、厚さ15nmのSiキャップ層104とをエピタキシャル成長させる。このUHV-CVD法では、SiおよびGeのソースガスとして Si_2H_6 （ジシラン）および GeH_4 （ゲルマン）を用いる。また、成長温度は550℃であり、意図的なドーピングは行なわない。なお、半導体基板は、活性層形成領域Racと素子

分離領域 R r e とに分けられる。

次に、図 10 (b) に示す工程で、S i キャップ層 104 の上部を熱酸化することによりシリコン熱酸化膜 105 を形成する。この熱酸化により、S i キャップ層 104 の上部が酸化されて熱酸化膜となるため、S i キャップ層 104 は 8 n m 程度の厚さとなる。なお、このときの熱酸化温度は 750 °C である。次に、シリコン熱酸化膜 105 の上に、厚さ 210 n m のシリコン窒化膜 106 を形成する。なお、シリコン窒化膜 106 の堆積温度は 740 °C である。このとき、シリコン熱酸化膜 105 およびシリコン窒化膜 106 を形成するときの温度を低温にすることにより、S i 結晶の上に形成されて歪んだ状態にある S i G e 層 103 が緩和して欠陥が発生するのを防ぐことができる。

そして、異方性ドライエッチングによって、シリコン窒化膜 106 およびシリコン熱酸化膜 105 のうち素子分離領域 R r e に位置する部分を除去する。続いて、シリコン窒化膜 106 およびシリコン熱酸化膜 105 のうち活性層形成領域 R a c に残った部分をマスクとして S i キャップ層 104, S i G e 層 103, S i バッファ層 102 および S i 基板 101 の上部をパターニングすることにより、S i 基板 101 に到達する、深さ 0.4 ~ 0.8 μ m 程度のトレンチ 107 a を形成する。ここで、トレンチ 107 a を形成することにより、トレンチ 107 a の側壁には S i G e 層 103 の側面が露出することになる。

次に、図 10 (c) に示す工程で、トレンチ 107 a の側壁を 750 °C で熱酸化することにより、トレンチの側壁を覆うトレンチ側壁膜 108 を形成する。

次に、図 10 (d) に示す工程で、基板上に酸化膜を形成し、この酸化膜のうち活性層形成領域 R a c に位置する部分をエッチバックあるいは CMP (化学的機械的研磨法) によって除去することにより、トレンチ 107 a を埋めるトレンチ酸化膜 109 を形成する。これにより、半導体基板における各動作領域は、トレンチ酸化膜 109 とトレンチ側壁膜 108 とからなるトレンチ素子分離 107 によって個々に分離されることになる。

次に、図 10 (e) に示す工程で、基板上のうち活性層形成領域 R a c に残存しているシリコン窒化膜 106 およびシリコン熱酸化膜 105 をエッチングにより除去して、S i キャップ層 104 のうち活性層形成領域 R a c に位置する部分

を露出させる。

このように、SiとGeとを含む層を有する半導体装置において、トレンチの表面部を熱酸化することにより酸化膜を形成する方法は、特開平10-74943号公報（米国特許第6191432号公報）において開示されている。さらに、上記公報には、トレンチの表面部上に5nm～50nm程度のSi層を形成した後に、Si層を酸化する方法が開示されている。この方法は、特公平6-80725号公報（米国特許第5266813号公報および第5308785号公報）にも開示されている。

ここで、トレンチ素子分離を図10(a)～(e)に示す工程で形成した半導体装置であり、SiGe層をホールチャネルとするp型MOSFET（SiGe_p-MOSFET）について、図11(a)、(b)を参照しながら説明する。図11(a)、(b)は、トレンチ素子分離を従来の形成方法により形成したp型MOSFETの構造を示す断面図および平面図である。なお、図11(a)は、図10(b)に示すVIII-VIII線に沿った断面を示した断面図である。

Si基板101のうち活性層形成領域Racの上にはSiバッファ層102と、SiGe層103と、Siキャップ層104とが形成されており、Siキャップ層104の上には、ゲート絶縁膜110を挟んでゲート電極111が形成されている。Siキャップ層104とSiGe層103とSiバッファ層102とSi基板101とのうち、ゲート電極111の側方に位置する部分には、p型イオンが高濃度にドーピングされたソース・ドレイン領域112が互いに離間して設けられている。Siキャップ層104とSiGe層103とSiバッファ層102とSi基板101とのうち、ゲート電極111の下、つまりソース・ドレイン領域112の間に位置する部分がチャネル領域として機能する。

Si基板101のうち素子分離領域Rreには、トレンチ酸化膜109とそれを覆うトレンチ側壁膜108とからなるトレンチ素子分離107が形成されており、これにより各活性層形成領域Racのうち動作領域となる部分は分離されている。

Siキャップ層104およびトレンチ素子分離107の上には、ゲート電極111を覆う層間絶縁膜114が形成されている。そして、層間絶縁膜114およ

び SiO_2 膜を貫通してソース・ドレイン領域112に到達するA1等からなる配線115が形成されている。従来のトレンチ素子分離を有するp-MOSFETは、以上のような構造を有している。

解決課題

しかしながら、図11(a)、(b)に示すSiGe p-MOSFETにおいて、図10(a)~(e)に示すような従来の方法でトレンチ素子分離を形成すると、次のような不具合が生じていた。

図10(c)に示す工程では、トレンチ107aの側壁にSiGe層103の側面が露出する状態で熱酸化を行なうことによりトレンチ側壁膜108を形成する。熱酸化を行なっていくと、トレンチ107aの側面に露出しているSiGe層103の側面付近の領域においては、Siは酸化されて SiO_2 からなるトレンチ側壁膜108の一部となっていく、Geはトレンチ側壁膜108から追い出される。その結果、熱酸化が終わったときには、Geはトレンチ側壁膜108と、熱酸化されなかったSiGe層103との界面に偏析して、高濃度のGeを含む層が形成されてしまう。また、熱酸化の条件によっては、トレンチ側壁膜108の中に高濃度のGeを含む領域が島のように分布して形成されることも報告されている。そして、図11(b)に示すように、活性層形成領域Racと素子分離領域Rreとの界面のうち、ゲート電極の下に位置するチャネル領域の端部にもGeが偏析してGe偏析層116が形成されてしまう。

もともと、 SiO_2 層とSiGe層との界面には、 SiO_2 層とSi層との界面と比較して多くの界面準位が形成される。多くの界面準位が形成されると、しきい値電圧が変動するおそれが生じる。また、この界面準位は、異なるトランジスタ間やトランジスタ内のソース・ドレイン間のリーク電流の経路になるおそれがある。

また、トレンチ側壁膜108とSiGe層103との間に高濃度のGeが含まれる領域が存在することによっても、しきい値電圧が変動するおそれが生じる。

図12は、図11(a)、(b)に示すSiGe p-MOSFETのドレイン電流-ゲート電圧特性を示すグラフ図である。図12に示したグラフ図のデータは、ゲート長およびゲート幅が共に $50\mu\text{m}$ であり、ソースドレイン電圧が一

300mVの条件で測定した場合のデータである。上述したようなリーク電流の増加としきい値電圧の変動などの不具合により、トランジスタの特性が悪化していることがわかる。

熱酸化の際にGeが偏析するという不具合は、トレンチを形成する工程だけでなく、SiGe層の上にゲート酸化膜を形成する工程においても生じてしまう。そこで、このような場合には、SiGe層の上をSiキャップ層で被覆して、Siキャップ層を酸化することによりゲート酸化膜を形成することを余儀なくされている。

また、Si、GeおよびCの混晶である $Si_{1-x-y}Ge_xC_y$ 層（ $0 < x < 1$ 、 $0 \leq y < 1$ 、本明細書中ではSiGeC層と示す）を熱酸化するときにも、Geが偏析するという不具合がある。

発明の開示

本発明の目的は、SiGe層とSiGeC層とを熱酸化する際にGeの偏析領域が発生することを防ぐ手段を講ずることにより、リーク電流の抑制が可能であり、しきい値電圧の変動しにくい半導体装置およびその製造方法を提供することにある。

本発明の半導体装置の製造方法は、半導体基板の上方に、SiとGeとを含む化合物半導体層を設ける工程（a）と、上記化合物半導体層の一部を除去することによりトレンチを形成する工程（b）と、上記トレンチの表面部に熱処理を行なう工程（c）と、上記トレンチの上記表面部のうちの少なくとも一部を酸化することにより熱酸化膜を形成する工程（d）と、上記トレンチを絶縁体で埋めることにより、上記熱酸化膜と上記絶縁体とを含むトレンチ素子分離を形成する工程（e）とを含む。

これにより、熱処理によって、化合物半導体層のうちトレンチの表面部に位置する部分のGeを蒸発させることができる。そして、表面部のGe含有量を低減させた後に酸化を行なうので、偏析するGeの量を少なくすることができる。したがって、半導体装置の動作時には、形成される熱酸化膜から、化合物半導体層のうちの動作領域にかけて発生する界面準位の数も低減することができるので、リーク電流の抑制としきい値電圧の変動の抑制とを図ることができる。

上記工程（c）では、真空下において上記熱処理を行なうことにより、より効率的にGeを蒸発させることができる。

上記工程（c）では、非酸化雰囲気下において上記熱処理を行なうことにより、化合物半導体層における酸化の進行を伴わずに、Geを蒸発させることができる。また、コストを削減することもできる。

上記工程（a）の後に、上記化合物半導体層の上に、Si層をエピタキシャル成長させる工程をさらに備えることにより、歪みを有するSi層を形成することができ、駆動力の高い半導体装置を形成することができる。

上記工程（a）では、上記半導体基板の上に、絶縁層を挟んで上記化合物半導体層を設けることを特徴とすることにより、各素子がより確実に電氣的分離された半導体装置を形成することができる。

上記熱処理は、700℃以上1050℃以下の温度で行なわれることにより、化合物半導体層等の劣化に起因する不具合を伴うことなくGeを蒸発させることができる。

上記工程（d）では、上記酸化によって、上記化合物半導体層のうち上記トレンチの表面からのおくゆきが30nm以下の部分が酸化されることにより、化合物半導体層において、動作領域とは異なる領域を酸化して熱酸化膜を形成することができる。

上記工程（c）では、上記化合物半導体層の上部にも熱処理を行ない、上記工程（d）では、上記化合物半導体層の上記上部も酸化してゲート酸化膜を形成し、上記工程（d）の後に、上記ゲート酸化膜の上にゲート電極を形成する工程をさらに備えることにより、ゲート酸化膜と化合物半導体層との間に偏析するGeの量を少なくすることができる。

本発明の半導体装置は、半導体基板と、上記半導体基板の上方に設けられ、SiとGeとを含む化合物半導体層と、絶縁体と、上記絶縁体を囲む熱酸化膜とを有するトレンチ素子分離とを備える半導体装置であって、上記化合物半導体層のうち上記熱酸化膜と接する部分では、上記化合物半導体層のうち動作領域となる部分に含まれるGeの濃度よりも低い濃度のGeの濃度が含まれることを特徴とする。

これにより、熱酸化膜と化合物半導体層との界面付近に偏析するGeの量が少なくなる。したがって、半導体装置の動作時に、界面準位の発生が抑制され、リーク電流の抑制としきい値電圧の変動の抑制とを図ることができる。

上記化合物半導体層のうち上記熱酸化膜と接する部分では、Geのうちの少なくとも一部が蒸発していることが好ましい。

上記化合物半導体層の上には、エピタキシャル成長されたSi層が設けられていることにより、歪みを有するSi層に起因して、駆動力を高めることができる。

上記半導体基板と上記化合物半導体層との間には、絶縁層が形成されていることにより、各素子ごとの電气的分離をより確実にこなうことができる。

上記熱酸化膜の厚さは30nm以下であることにより、化合物半導体層のうち動作領域とは異なる領域から形成された熱酸化膜を得ることができる。

上記化合物半導体層の上には、ゲート酸化膜とゲート電極とがさらに設けられており、上記ゲート酸化膜は、上記化合物半導体層の上部に熱処理を行なうことによりGeを蒸発させた後、上記上部の少なくとも一部の酸化を行なうことにより形成されたことにより、ゲート酸化膜と化合物半導体層との間に偏析するGeの量を少なくすることができる。

図面の簡単な説明

図1(a)～(c)は、第1の実施形態において、SiGe層を有するp-MOSFETの製造方法のうち熱処理を行なうまでの工程を示す断面図である。

図2(a)～(c)は、第1の実施形態において、SiGe層を有するp-MOSFETの製造方法のうちトレンチ素子分離を形成するまでの工程を示す断面図である。

図3(a)、(b)は、第1の実施形態の半導体装置の製造方法のうちトレンチ素子分離を形成した後の工程を示す断面図である。

図4(a)、(b)は、第1の実施形態の半導体装置の構造を示す断面図および平面図である。

図5(a)、(b)は、第1の実施形態において、熱処理を行なった後のSiGe層の表面におけるGeの含有を低速イオン散乱法により観測した結果を示し

たグラフ図、測定方法を示した断面図である。

図6は、図4(a)、(b)に示すSiGe p-MOSFETのドレイン電流ーゲート電圧特性を示したグラフ図である。

図7(a)～(c)は、第2の実施形態において、SiGeC層を有するp-MOSFETの製造方法のうち熱処理を行なうまでの工程を示した断面図である。

図8(a)～(c)は、第2の実施形態において、SiGeC層を有するp-MOSFETの製造方法のうちトレンチ素子分離を形成するまでの工程を示した断面図である。

図9は、(a)、(b)は、第2の実施形態において、SiGeC層を有するp-MOSFETの製造方法のうちゲート酸化膜を形成するまでの工程を示した断面図である。

図10(a)～(e)は、従来の方法によって、SiGe層が形成されている基板にトレンチ素子分離を形成する工程を示した断面図である。

図11(a)、(b)は、トレンチ素子分離を従来の形成方法により形成したp型MOSFETの構造を示す断面図および平面図である。

図12は、図11(a)、(b)に示すSiGe p-MOSFETのドレイン電流ーゲート電圧特性を示したグラフ図である。

図13(a)、(b)は、第3の実施形態における半導体装置の製造工程のうち、トレンチの表面部に熱処理を行なう工程と熱酸化を行なう工程とを示す断面図である。

図14(a)～(d)は、第4の実施形態における半導体装置の製造工程のうち、トレンチの表面部に熱酸化を行なう工程までを示す断面図である。

図15は、第4の実施形態において用いられる基板の形態の1つについて示す断面図である。

図16は、第4の実施形態において用いられる基板の形態の1つについて示す断面図である。

最良の実施形態

ー第1の実施形態ー

本実施形態では、SiGe層を有する半導体装置の製造方法について、図1(a)～図6を参照しながら説明する。なお、本実施形態では、SiGe層を有する半導体装置として、Si層と、Si層の上に成長されたSiGe層（歪みSiGe層）とを有する半導体装置について説明する。

まず、本実施形態の半導体装置の製造方法のうちトレンチ素子分離を形成するまでの工程について、図1(a)～(c)および図2(a)～(c)を参照しながら説明する。図1(a)～(c)および図2(a)～(c)は、本実施形態において、SiGe層を有するp-MOSFETの製造方法のうちトレンチ素子分離を形成するまでの工程を示す断面図である。

図1(a)に示す工程で、n型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ であるSi基板1上に、UHV-CVD法により、厚さ10nmのSiバッファ層2と、厚さ15nmでありGe組成率が25%のSiGe層3と、厚さ15nmのSiキャップ層4とをエピタキシャル成長させる。このUHV-CVD法では、SiおよびGeのソースガスとしては Si_2H_6 （ジシラン）および GeH_4 （ゲルマン）を用いる。また、成長温度は550°Cであり、意図的なドーピングは行なっていない。なお、半導体基板は、活性層形成領域Racと素子分離領域Rreとに分けられる。

次に、図1(b)に示す工程で、Siキャップ層4の上部を750°Cの温度下で酸化することにより、厚さ15nmのシリコン酸化膜5を形成する。ここで、Siキャップ層4の一部を酸化してシリコン酸化膜5を形成するため、Siキャップ層4自体の厚さは8nm程度になる。続いて、シリコン酸化膜5の上に、740°Cの温度下で厚さ210nmのシリコン窒化膜6を形成する。このとき、シリコン酸化膜5、シリコン窒化膜6を形成するときの温度を低温にすることにより、Si結晶の上に形成されて歪んだ状態にあるSiGe層3が緩和して欠陥が発生するのを防ぐことができる。

そして、異方性ドライエッチングによって、シリコン窒化膜6とシリコン酸化膜5のうち素子分離領域Rreに位置する部分を除去する。続いて、シリコン窒化膜6のうち活性層形成領域Racに残った部分をマスクとして、Siキャップ層4、SiGe層3、Siバッファ層2およびSi基板1の上部をパターニング

することにより、S i 基板 1 の一部に、深さ 0.4 ~ 0.8 μm 程度のトレンチ 7 a を形成する。ここで、トレンチ 7 a を形成することにより、トレンチ 7 a の側壁上には S i G e 層 3 の側面が露出することになる。

次に、図 1 (c) に示す工程で、 $2.66 \times 10^{-7} \text{Pa}$ の真空下において、750°C、60 分の熱処理を行なう。熱処理を行なうことにより、トレンチの表面部のうち S i G e 層 3 が露出する部分では G e の蒸発が起こる。ここで、トレンチの表面部とは、基板のうちトレンチの表面の付近に位置する領域であり、素子の動作領域とは異なる領域である。この G e の蒸発によって、S i G e 層 3 のうちトレンチ 7 a に露出する表面には G e 蒸発部 8 が形成される。この G e 蒸発部 8 の幅 R は、素子動作に影響しない程度であることが好ましい。特に、幅 R が 30 nm 以下である場合には、G e 蒸発部が素子動作に影響するおそれが生じない。

S i G e 層 3 のうち G e 蒸発部 8 を除く部分は、熱処理前と同様の組成を有する主要部となる。G e 蒸発部 8 においては、熱処理前に含まれていた G e のうちのほぼ全てが蒸発しており、G e はほとんど含まれていない。ただし、G e 蒸発部 8 においては、熱処理条件の変化等の原因により、熱処理前に含まれていた G e のうちの一部が蒸発して、S i G e 層 3 のうちの他の部分よりも低い組成比の G e が含まれていてもよい。

上述の熱処理は、700°C ~ 1050°C の温度範囲において行なうことにより、S i G e 層 3 などの劣化に起因する不具合を生じさせることなく G e を蒸発させることができる。ここで、熱処理温度が高温になると、熱処理に必要な時間は短縮される。一方、熱処理温度が低温になると、より S i G e 層 3 を安定に保った状態で熱処理を行なうことができる。これらの兼ね合いから、熱処理の温度範囲は、好ましくは 700°C ~ 950°C であり、より好ましくは 750°C ~ 850°C である。

熱処理を行なう時間は、700°C の温度では 120 分間、750°C の温度では 90 分間、850°C の温度では 30 分間、1050°C の温度では 5 秒間とすることが好ましい。その他の温度で熱処理を行なう場合には、熱処理時間は熱処理温度に対応して設定される。

Geを蒸発させるための熱処理は、133Pa以下の気圧を有する真空下か、または非酸化雰囲気下において行なう。真空下で熱処理を行なう場合には、気圧の値が低くなるにしたがって、Geの蒸発をより効率的に行なうことができるようになる。一方、非酸化雰囲気下で熱処理を行なう場合には、気圧を常圧かまたは減圧に保つ。この場合には、真空の状態に保つ必要がないので、よりコストを削減することができるという利点がある。なお、非酸化雰囲気とは、具体的には不活性ガスを含む分子または窒素等を含む雰囲気のことをいう。

次に、図2(a)に示す工程で、トレンチ7aの表面部を750°Cで熱酸化することにより、トレンチ7aの側壁を覆うトレンチ側壁膜(熱酸化膜)9を形成する。このとき、SiGe層3においては、Ge組成比の低いGe蒸発部8のうちの一部が酸化されてトレンチ側壁膜9の一部となるため、従来の方法と比較して、偏析するGeの量を少なくすることができ、トレンチ側壁膜9とSiGe層3との界面における界面準位も少なくすることが可能となる。このとき、Ge蒸発部8のうちトレンチ7aに近い部分が酸化されてトレンチ側壁膜9の一部となっている。ただし、Ge蒸発部8のうちほぼ全部分とSiGe層3のうちGe蒸発部8に近い部分とが酸化されることによりトレンチ側壁膜9の一部となってもよい。その場合においても、従来の方法より偏析するGeの量を少なくすることが可能であるからである。また、側壁膜9は、素子動作に影響しない程度の厚さである30nm以下の厚さであることが好ましい。

次に、図2(b)に示す工程で、基板上に、トレンチ7aを埋める酸化膜を形成し、この酸化膜のうち活性層形成領域Racに位置する部分をエッチバックあるいはCMP(化学的機械的研磨法)によって除去することにより、トレンチ7aを埋めるトレンチ酸化層(絶縁体)10を形成する。これにより、半導体基板における各活性層形成領域Racは、トレンチ酸化層10と、それを覆うトレンチ側壁膜9とからなるトレンチ素子分離7によって個々に分離されることになる。

次に、図2(c)に示す工程で、シリコン窒化膜6とシリコン酸化膜5とのうち活性層形成領域Racに残存している部分をエッチングにより除去して、Siキャップ層4のうち活性層形成領域Racに位置する部分を露出させる。

次に、本実施形態の半導体装置の製造方法のうちトレンチ素子分離を形成した後の工程について、図3(a)、(b)および図4(a)、(b)を参照しながら説明する。図3(a)、(b)は、本実施形態の半導体装置の製造方法のうちトレンチ素子分離を形成した後の工程を示す断面図である。図4(a)、(b)は、本実施形態の半導体装置の構造を示す断面図および平面図である。なお、図4(a)は、図4(b)のIII-III断面における断面図である。

まず、図3(a)に示す工程で、活性層形成領域Racにおいて露出しているSiキャップ層4のうちの上部を750°Cで熱酸化することにより、厚さ8nmの熱酸化膜11aを形成する。

次に、図3(b)に示す工程で、熱酸化膜11aの上に厚さ200nm程度の多結晶シリコン層を堆積した後、多結晶シリコン層にB(ホウ素)をイオン注入する。その後、多結晶シリコン層および熱酸化膜11aをパターニングすることにより、ゲート電極12とゲート酸化膜11を形成する。そして、ゲート電極12とゲート酸化膜11をマスクとして、B(ホウ素)をイオン注入することにより、ソース・ドレイン領域13を形成する。

その後、図4(a)、(b)に示す構造を得るために、以下の処理を行なう。基板上に、厚さ500nmの、酸化シリコンからなる層間絶縁膜14を形成する。その後、ソース・ドレイン領域13における不純物等を活性化させるための熱処理を行なう。そして、層間絶縁膜14を貫通してソース・ドレイン領域13に到達するコンタクトホールを形成した後、コンタクトホールを埋めて層間絶縁膜14の一部の上に延びるAl配線15を形成する。以上の工程により、本実施形態における半導体装置を形成することができる。

ここで、上述のような熱処理によるGeの蒸発について、図5(a)、(b)を参照しながら述べる。図5(a)、(b)は、熱処理を行なった後のSiGe層の表面におけるGeの含有を低速イオン散乱法により観測した結果を示したグラフ図、測定方法を示した断面図である。

ここで、低速イオン散乱法の測定方法について説明する。まず、(001)の面方位を有するSi基板上に、Ge組成率が15%であるSiGe層をUHV-CVD法により成長させる。そして、この基板を基板加熱機構を有する低速イオ

ン散乱分析装置に導入する。そして、基板を測定温度に保った状態で、基板表面にヘリウムイオンを打ち込んで散乱するヘリウムイオンの飛行時間を測定する。なお、基板の昇温および降温速度は $20^{\circ}\text{C}/\text{min}$ として、測定温度範囲は室温 $\sim 750^{\circ}\text{C}$ とした。ヘリウムイオンは 3keV で基板上に打ち込む。

図5(a)において、スペクトル(I)～(IX)は、各測定温度におけるヘリウムイオンの飛行時間のスペクトル(TOFスペクトル)を示している。図5(b)に示すように、基板表面にヘリウムイオン(He^+)を打ち込むと、表面原子(質量 M)と衝突したヘリウムイオン(質量 m)の一部は、入射方向に対して 180° 方向に散乱される。この場合、表面原子への衝突時から検出器に到達するまでのヘリウムイオンの飛行時間は、 $(M+m)/(M-m)$ に比例する。したがって、飛行時間のスペクトル(TOFスペクトル)を測定すると、基板表面に含まれる元素を特定することができる。

図5(a)に示すように、室温(熱処理前)の基板についてのTOFスペクトル(I)には、 Si の含有を示す 6400ns 付近のピークと Ge の含有を示す 5800ns 付近のピークとが観測された。スペクトル(II)～(IV)においても、スペクトル(I)と同様に Si 、 Ge の含有を示すピークが観測された。ところが、スペクトル(V)、(VI)では、 Ge の含有を示すピークの強度が次第に減少している。このことから、 700°C 付近において Ge の蒸発が観測され始めているといえる。さらに、スペクトル(VII)～(IX)においても Ge の含有を示すピークの強度が減少しており、スペクトル(IX)ではピークがほとんど表れていない。このことから、基板に 750°C 、60分で熱処理を施すことにより、 SiGe 層の表面付近にあった Ge の多くが蒸発したことがわかる。

以上の結果から、 SiGe 層の表面付近の Ge の蒸発は、基板を 700°C 以上の温度に加熱することにより観測されることと、熱処理の時間を長くすると蒸発する Ge の量は多くなることとがわかる。よって、 Ge の蒸発のための熱処理において、熱処理温度は 700°C 以上であればよく、熱処理時間は熱処理温度によって変えることができるといえる。

また、 Ge の蒸発が起こるのは SiGe 層の表面からおくゆき 15nm 程度の部分に限られており、その奥方の SiGe の組成は変化しないことが Ge 組成の

おくゆき方向プロファイルにより確認されている。したがって、SiGe層のうち表面からのおくゆき15nm程度以下の部分を酸化することにより厚さ30nm程度以下の酸化膜を形成する場合に、本発明の効果を大きく得ることができる。

以下に、本実施形態において得られる効果について述べる。

まず、図1(c)に示す工程で、SiGe層3のうちのトレンチ7aに露出する部分からGeを蒸発させてGe蒸発部8を形成した後、図2(a)に示す工程で、Ge蒸発部8のうちの一部を酸化することによりトレンチ側壁膜9の一部を形成する。これにより、図2(a)に示す工程では、Ge組成比の低いGe蒸発部8を酸化することにより、Siを酸化して得られるのと同様の良質なSiO₂を得ることができる。

加えて、SiGe層3の他の部分よりもGe組成比の低いGe蒸発部8を酸化するため、従来よりも偏析するGeの量を少なくすることができる。これにより、SiGe層3とトレンチ側壁膜9との界面付近に高組成比のGeが含まれる領域が形成されにくくなるので、発生する界面準位の数を低減することができる。具体的には、本実施形態のSiGe層3とトレンチ側壁膜9との間に形成される界面準位の密度は $10^9 \sim 10^{11} \text{ cm}^{-2}$ となり、この値は、Si層を酸化することにより形成されるSiO₂とSiとの界面における界面準位密度と同程度の値である。以上のことから、Geの偏析と界面準位との発生を抑制することが可能となるため、SiGe層3とトレンチ側壁膜9との間の界面のうちゲート電極12の下に位置する部分においてリーク電流の発生の抑制が可能となり、しきい値電圧の変動が生じるおそれもなくなる。

図6は、図4(a)、(b)に示すSiGe p-MOSFETのドレイン電流-ゲート電圧特性を示したグラフ図である。図6に示したグラフ図のデータは、ゲート長およびゲート幅が共に50μm、ソースドレイン電圧が-300mVの条件で測定した場合のデータである。図6から、本実施形態の半導体装置においてはしきい値電圧のサブスレッショルド特性のグラフ上にハンブが現れることがなく、オフ時のドレイン電流も十分に抑制されていることがわかる。

なお、本実施形態においては、SiGe層を用いた場合を例にあげて説明した

が、本発明は、SiとGeとを含む層を有する半導体装置に適用することができる。このことから、SiGe層のかわりにSiGeC層を用いてもよい。SiGeC層の組成比は、例えばGe組成率が15%であり、C組成率が1%である。

また、本実施形態は、SOI基板の上に形成されたSiGe層や、SOI基板の上に形成されたSiGeC層を有する半導体装置にも適用することができる。

－第2の実施形態－

本実施形態では、第1の実施形態で述べた半導体装置の製造方法を変形した製造方法について述べる。なお、以下では、SiGeC層を有する半導体装置を例にして説明する。

本実施形態の半導体装置の製造方法のうちゲート絶縁膜を形成するまでの工程について、図7(a)～図9(b)を参照しながら述べる。図7(a)～(c)、図8(a)～(c)および図9(a)、(b)は、本実施形態において、SiGeC層を有するp-MOSFETの製造方法のうちゲート絶縁膜を形成するまでの工程を示した断面図である。

まず、図7(a)に示す工程で、n型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ であるSi基板21上に、UHV-CVD法により、厚さ10nmのSiパuffァ層22と、厚さ15nmの、Ge組成率が25%、C組成率が0.7%であるSiGeC層23とをエピタキシャル成長させる。このUHV-CVD法では、Si、GeおよびCのソースガスとしては Si_2H_6 （ジシラン）、 GeH_4 （ゲルマン）および SiH_3CH_3 を用いる。また、成長温度は500℃であり、意図的なドーピングは行なっていない。なお、半導体基板は、活性層形成領域Racと素子分離領域Rreとに分けられる。

その後、CVD法により、SiGeC層23の上に堆積酸化膜24を形成する。

次に、図7(b)に示す工程で、堆積酸化膜24の上に、厚さ210nmのシリコン窒化膜25を形成する。そして、シリコン窒化膜25、堆積酸化膜24のうち素子分離領域Rreに位置する部分を除去する。そして、シリコン窒化膜25、堆積酸化膜24のうち活性層形成領域Racに残った部分をマスクとして、SiGeC層23、Siパuffァ層22およびSi基板21の上部をパターンニ

グすることにより、深さ0.4～0.8 μ m程度のトレンチ26aを形成する。

次に、図7(c)に示す工程で、 2.66×10^{-7} Paの真空下において、基板上に、750 $^{\circ}$ C、60分の熱処理を行なう。熱処理を行なうことによって、トレンチ26aの表面部のうちSiGeC層23が露出する部分ではGeの蒸発が起こる。このGeの蒸発によって、SiGeC層23のうちトレンチ26aに露出する表面からおくゆき15nm程度に位置する部分にはGe蒸発部28が形成される。

このGe蒸発部28のおくゆきは、素子動作に影響しない程度であることが好ましい。したがって、Ge蒸発部28のおくゆきが30nm以下であることにより、素子の動作領域の一部のGeの組成比が低下するなどの不具合を生じさせるおそれを回避することができる。

Ge蒸発部28においては、熱処理前に含まれていたGeのうちのほぼ全てが蒸発しており、Geはほとんど含まれていない。ただし、Ge蒸発部28においては、熱処理条件の変化等の原因により、熱処理前に含まれていたGeのうちの一部が蒸発して、SiGeC層23のうちの他の部分よりも低い組成比のGeが含まれていてもよい。

上述の熱処理は、700 $^{\circ}$ C～1050 $^{\circ}$ Cの温度範囲において行なうことにより、SiGeC層23などの劣化に起因する不具合を生じさせることなくGeを蒸発させることができる。ここで、熱処理温度が高温になると、熱処理に必要な時間は短縮される。一方、熱処理温度が低温になると、よりSiGeC層23を安定に保った状態で熱処理を行なうことができる。これらの兼ね合いから、熱処理の温度範囲は、好ましくは700 $^{\circ}$ C～950 $^{\circ}$ Cであり、より好ましくは750 $^{\circ}$ C～850 $^{\circ}$ Cである。

熱処理を行なう時間は、700 $^{\circ}$ Cの温度では120分間、750 $^{\circ}$ Cの温度では60分間、850 $^{\circ}$ Cの温度では30分間、1050 $^{\circ}$ Cの温度では5秒間とすることが好ましい。その他の温度で熱処理を行なう場合には、熱処理時間は熱処理温度に対応して設定される。

Geを蒸発させるための熱処理は、133Pa以下の気圧を有する真空下か、または非酸化雰囲気下において行なう。真空下で熱処理を行なう場合には、気圧

の値が低くなるにしたがって、Geの蒸発をより効率的に行なうことができるようになる。一方、非酸化雰囲気下で熱処理を行なう場合には、気圧を常圧かまたは減圧に保つ。この場合には、真空の状態に保つ必要がないので、よりコストを削減することができるという利点がある。なお、非酸化雰囲気とは、具体的には不活性ガスまたは窒素等を含む雰囲気のことをいう。

次に、図8(a)に示す工程で、基板上を750℃の温度下で酸化することにより、トレンチ7aの側壁上に熱酸化膜29を形成する。このとき、SiGeC層23においては、Ge組成比の低いGe蒸発部28が酸化されるので従来よりも偏析するGeの量が少なくなり、SiGeC層23と熱酸化膜29との界面における界面準位を低減することができる。

次に、図8(b)に示す工程で、基板上にトレンチ26aを埋める酸化膜を形成し、この酸化膜のうち活性層形成領域Racに位置する部分をエッチバックあるいはCMP（化学的機械的研磨法）によって除去することにより、トレンチ26aを埋めるトレンチ酸化層30を形成する。これにより、半導体基板における各活性層形成領域Racは、トレンチ酸化層30と、それを覆う熱酸化膜29とからなるトレンチ素子分離26によって個々に分離されることになる。

次に、図8(c)に示す工程で、シリコン窒化膜25と堆積酸化膜24のうち活性層形成領域Racに残存している部分をエッチングにより除去して、SiGeC層23のうち活性層形成領域Racに位置する部分を露出させる。

次に、図9(a)に示す工程で、 2.66×10^{-7} Paの真空下において、基板上に、750℃、60分の熱処理を行なう。これにより、SiGeC層23のうちの上部では、Geの蒸発が起こる。ここで、SiGeC層23の上部とは、基板のうちトレンチの表面の付近に位置する領域であり、素子の動作領域とは異なる領域である。このGeの蒸発によって、SiGeC層23のうち上面から15nm程度の深さまでに位置する部分にはGe蒸発部31が形成される。

ここで、SiGeC層23のうちGe蒸発部28とGe蒸発部31とを除く部分は、熱処理前と同様の組成を有する主要部となる。Ge蒸発部31においては、熱処理前に含まれていたGeのうちのほぼ全てが蒸発しており、Geはほとんど含まれていない。ただし、Ge蒸発部31においては、熱処理条件の変化等の原

因により、熱処理前に含まれていたGeのうちの一部が蒸発して、SiGeC層23のうち他の部分よりも低い組成比のGeが含まれていてもよい。

この工程における熱処理の温度範囲、時間、雰囲気の状態は、図7(c)に示す工程において行なった熱処理と同様である。

次に、図9(b)に示す工程で、基板上を750℃の温度下で酸化することにより、SiGeC層23の上にゲート酸化膜32を形成する。このとき、SiGeC層23においては、Ge組成比の低いGe蒸発部31が酸化されるので偏析するGeの量が少なくなり、SiGeC層23とゲート酸化膜32との界面における界面準位を低減することができる。

以後の工程は、第1の実施形態と同様である。

本実施形態においては、第1の実施形態の場合と同様の効果が得られる。それに加えて、さらに、以下のような効果が得られる。

本実施形態においては、Ge蒸発部31のうちの上部を酸化することによりゲート酸化膜32を形成するため、従来の製造方法による場合のようにSiGeC層の上にキャップ層を形成する必要がなくなり、工程を簡略化することができる。

なお、本実施形態において、Ge蒸発部31を形成するための熱処理は、SiGeC層23を形成する工程からゲート酸化膜32を形成する工程までの間の工程であれば、どの工程で行なっても同様の効果を得ることができる。

また、本実施形態はSiGe層を用いたp-MOSFETにも適用できる。

また、本実施形態は、SOI基板の上に形成されたSiGe層や、SOI基板の上に形成されたSiGeC層を有する半導体装置にも適用することができる。

－第3の実施形態－

本実施形態では、SiGe層と、SiGe層の上に成長されたSi層（歪みSi層）とを有する半導体層を用いる半導体装置について、図13(a), (b)を参照しながら説明する。図13(a), (b)は、第3の実施形態における半導体装置の製造工程のうち、トレンチの表面部に熱処理を行なう工程と熱酸化を行なう工程とを示す断面図である。

まず、図13(a)に示すような基板を得るために、以下の工程を行なう。ま

ず、シリコン基板 41 の上に、厚さ $2.5 \mu\text{m}$ であり Ge 組成率が 20 ~ 50 % の SiGe 層 42 と、厚さ 500 nm であり、Ge 組成率が 50 % 以上である緩和 SiGe 層 43 と、厚さ 50 nm であり、緩和 SiGe 層 43 の上にエピタキシャル成長された歪み Si 層 44 と、厚さ 15 nm のシリコン酸化膜 45 と、厚さ 210 nm のシリコン窒化膜 46 とを有する基板を準備する。

そして、異方性ドライエッチングによって、基板の素子分離領域 Rre に、シリコン窒化膜 46、シリコン酸化膜 45、歪み Si 層 44 を貫通して、緩和 SiGe 層 43 の上部を除去してなるトレンチ 47a を形成する。

次に、図 13 (a) に示す工程で、 $2.66 \times 10^{-7} \text{Pa}$ の真空下において、 750°C 、60 分の熱処理を行なう。熱処理を行なうことによって、トレンチ 47a の表面部のうち緩和 SiGe 層 43 が露出する部分の付近では Ge の蒸発が起こる。この Ge 蒸発によって、緩和 SiGe 層 43 のうちトレンチ 47a に露出する表面から 15 nm 程度のおくゆきまでに位置する部分には Ge 蒸発部 48 が形成される。ここで、緩和 SiGe 層 43 のうち Ge 蒸発部 48 を除く部分は、熱処理前から変化のない組成を有する主要部となる。Ge 蒸発部 48 においては、熱処理前に含まれていた Ge のうちのほぼ全てが蒸発しており、Ge はほとんど含まれていない。ただし、Ge 蒸発部 48 においては、熱処理条件の変化等の原因により、熱処理前に含まれていた Ge のうちの一部が蒸発して、緩和 SiGe 層 43 のうちの他の部分よりも低い組成比の Ge が含まれていてもよい。

上述の熱処理は、 700°C ~ 1050°C の温度範囲において行なうことにより、緩和 SiGe 層 43 などの劣化に起因する不具合を生じさせることなく Ge を蒸発させることができる。ここで、熱処理温度が高温になると、熱処理に必要な時間は短縮される。一方、熱処理温度が低温になると、より緩和 SiGe 層 43 を安定に保った状態で熱処理を行なうことができる。これらの兼ね合いから、熱処理の温度範囲は、好ましくは 700°C ~ 950°C であり、より好ましくは 750°C ~ 850°C である。

熱処理を行なう時間は、 700°C の温度では 120 分間、 750°C の温度では 90 分間、 850°C の温度では 30 分間、 1050°C の温度では 5 秒間とすることが好ましい。その他の温度で熱処理を行なう場合には、熱処理時間は熱処理温

度に対応して設定される。

Geを蒸発させるための熱処理は、133Pa以下の気圧を有する真空下か、または非酸化雰囲気下において行なう。真空下で熱処理を行なう場合には、気圧の値が低くなるにしたがって、Geの蒸発をより効率的に行なうことができるようになる。一方、非酸化雰囲気下で熱処理を行なう場合には、気圧を常圧かまたは減圧に保つ。この場合には、真空の状態に保つ必要がないので、よりコストを削減することができるという利点がある。なお、非酸化雰囲気とは、具体的には不活性ガスまたは窒素等を含む雰囲気のことをいう。

次に、図13(b)に示す工程で、トレンチ47aの表面部を750℃で熱酸化することにより、トレンチ47aの側壁を覆うトレンチ側壁膜49を形成する。このとき、緩和SiGe層43においては、Ge組成比の低いGe蒸発部48のうちの一部が酸化されてトレンチ側壁膜49の一部となるため、従来の方法と比較して、偏析するGeの量を少なくすることができ、トレンチ側壁膜49と緩和SiGe層43との界面における界面準位も少なくすることが可能となる。このとき、Ge蒸発部48のうちトレンチ47aの表面に近い部分が酸化されてトレンチ側壁膜49の一部となっている。ただし、Ge蒸発部48のうちほぼ全部分と緩和SiGe層43のうちGe蒸発部48に近い部分とが酸化されることによりトレンチ側壁膜49の一部となってもよい。その場合においても、従来の方法より偏析するGeの量を少なくすることが可能であるからである。

その後、トレンチ47a内をシリコン酸化膜で埋めてトレンチ素子分離を形成し、さらに、基板のうちの活性層形成領域Racに位置する部分に、MISFETなどの素子を形成する。トレンチ素子分離を形成して素子を形成する工程は第1の実施形態の工程と同様であるので、説明を省略する。

なお、本実施形態では、上述したような基板のかわりとして、米国特許第5534713号公報（特許第2994227号公報）に開示されているひずみSi層を有する層構造を形成してもよい。米国特許第5534713号公報を本願明細書に援用する。

－第4の実施形態－

本実施形態では、歪みSi層を有する半導体装置において、第3の実施形態で

述べたものとは異なる構成を有する半導体装置について、図14(a)～(d)を参照しながら説明する。図14(a)～(d)は、第4の実施形態における半導体装置の製造工程のうち、トレンチの表面部に熱酸化を行なう工程までを示す断面図である。

まず、図14(a)に示す工程で、シリコン基板51とシリコン酸化層52とからなる基板の上に、Ge含有率が30パーセントであり、厚さ100nmのSiGe層(図示せず)を貼り合わせる。その後、800℃で1時間の熱処理を行なうことにより、SiGe層が緩和して緩和SiGe層53となる。続いて、緩和SiGe層53の上に、厚さ50nmである歪みSi層54をエピタキシャル成長させる。

その後、歪みSi層54の上部を750℃の温度下で酸化することにより、厚さ15nmのシリコン酸化膜55を形成する。シリコン酸化膜55の上に、740℃の温度下で厚さ210nmのシリコン窒化膜56を形成する。

そして、図14(b)に示す工程で、異方性ドライエッチングによって、基板の素子分離領域Rreに、シリコン窒化膜56、シリコン酸化膜55、歪みSi層54および緩和SiGe層53を貫通して、シリコン酸化層52に到達するトレンチ57aを形成する。

次に、図14(c)に示す工程で、 2.66×10^{-7} Paの真空下において、750℃、60分の熱処理を行なう。熱処理を行なうことにより、トレンチ57aの表面部のうち緩和SiGe層53が露出する部分の付近ではGeの蒸発が起こる。このGe蒸発によって、緩和SiGe層53のうちトレンチ57aに露出する表面から15nm程度のおくゆきまでに位置する部分にはGe蒸発部58が形成される。ここで、緩和SiGe層53のうちGe蒸発部58を除く部分は、熱処理前から変化のない組成を有する主要部となる。Ge蒸発部58においては、熱処理前に含まれていたGeのうちのほぼ全てが蒸発しており、Geはほとんど含まれていない。ただし、Ge蒸発部58においては、熱処理条件の変化等の原因により、熱処理前に含まれていたGeのうちの一部が蒸発して、緩和SiGe層53のうちの他の部分よりも低い組成比のGeが含まれていてもよい。

上述の熱処理は、700℃～1050℃の温度範囲において行なうことにより

、緩和SiGe層53などの劣化に起因する不具合を生じさせることなくGeを蒸発させることができる。ここで、熱処理温度が高温になると、熱処理に必要な時間は短縮される。一方、熱処理温度が低温になると、より緩和SiGe層53を安定に保った状態で熱処理を行なうことができる。これらの兼ね合いから、熱処理の温度範囲は、好ましくは700℃～950℃であり、より好ましくは750℃～850℃である。

熱処理を行なう時間は、700℃の温度では120分間、750℃の温度では90分間、850℃の温度では30分間、1050℃の温度では5秒間とすることが好ましい。その他の温度で熱処理を行なう場合には、熱処理時間は熱処理温度に対応して設定される。

Geを蒸発させるための熱処理は、133Pa以下の気圧を有する真空下か、または非酸化雰囲気下において行なう。真空下で熱処理を行なう場合には、気圧の値が低くなるにしたがって、Geの蒸発をより効率的に行なうことができるようになる。一方、非酸化雰囲気下で熱処理を行なう場合には、気圧を常圧かまたは減圧に保つ。この場合には、真空の状態に保つ必要がないので、よりコストを削減することができるという利点がある。なお、非酸化雰囲気とは、具体的には不活性ガスまたは窒素等を含む雰囲気のことをいう。

次に、図14(d)に示す工程で、トレンチ57aの表面部を750℃で熱酸化することにより、トレンチ57aの側壁を覆うトレンチ側壁膜59を形成する。このとき、緩和SiGe層53においては、Ge組成比の低いGe蒸発部58のうちの一部が酸化されてトレンチ側壁膜59の一部となるため、従来の方法と比較して、偏析するGeの量を少なくすることができ、トレンチ側壁膜59と緩和SiGe層53との界面における界面準位も少なくすることが可能となる。このとき、Ge蒸発部58のうちトレンチ57aに近い部分が酸化されてトレンチ側壁膜59の一部となっている。ただし、Ge蒸発部58のうちほぼ全部分と緩和SiGe層53のうちGe蒸発部58に近い部分とが酸化されることによりトレンチ側壁膜59の一部となってもよい。その場合においても、従来の方法より偏析するGeの量を少なくすることが可能であるからである。

その後、トレンチ57a内をシリコン酸化膜で埋めてトレンチ素子分離を形成

し、さらに、基板のうちの活性層形成領域 R a c に位置する部分に、M I S F E T などの素子を形成する。トレンチを埋めてトレンチ素子分離を形成する工程、素子を形成する工程は第 1 の実施形態の工程と同様であるので、説明を省略する。

本実施形態では、シリコン酸化膜 5 2 の上に S i G e 層を貼り合わせた基板を用いた。しかし、本発明では、シリコン酸化膜 5 2 と S i G e 層との間に S i 層を介在させた基板を用いてもよい。この構造について、図 1 5 を参照しながら説明する。図 1 5 は、第 4 の実施形態において用いられる基板の形態の 1 つについて示す断面図である。

図 1 5 に示すように、基板 7 0 は、シリコン基板 6 1 と、シリコン酸化層 6 2 と、シリコン酸化層 6 2 の上に形成された厚さ 5 0 n m の S i 層 6 3 と、S i 層の上に形成され、G e 含有率が 3 0 パーセントであり、厚さ 1 0 0 n m の緩和 S i G e 層 6 4 と、厚さ 5 0 n m の歪み S i 層 6 5 と、厚さ 1 5 n m のシリコン酸化膜 6 6 と、厚さ 2 1 0 n m のシリコン窒化膜 6 7 とから構成されている。

基板 7 0 を製造する方法としては、シリコン基板 6 1、シリコン酸化層 6 2 および S i 層 6 3 からなる S O I 基板の上に、G e 含有率が 3 0 パーセントの S i G e 層（図示せず）を形成する。その後、図 1 4（a）において行なった熱処理と同様の熱処理を行なうことにより、S i G e 層を緩和させて緩和 S i G e 層 6 4 を形成する。その他の製造方法は、図 1 4（a）において述べた方法と同様である。

また、シリコン酸化膜 5 2 と S i G e 層 5 3 a との間に、S i 層と G e 層とを介在させてもよい。この構造について、図 1 6 を参照しながら説明する。図 1 6 は、第 4 の実施形態において用いられる基板の形態の 1 つについて示す断面図である。

図 1 6 に示すように、基板 8 0 は、シリコン基板 7 1 と、シリコン酸化層 7 2 と、シリコン酸化層 7 2 の上に形成された厚さ 5 0 n m の S i 層 7 3 と、S i 層の上に形成された厚さ 1 n m の G e 層 7 4 と、G e 層 7 4 の上に形成され、G e 含有率が 3 0 パーセントであり、厚さ 1 0 0 n m の緩和 S i G e 層 7 5 と、厚さ 5 0 n m の歪み S i 層 7 6 と、厚さ 1 5 n m のシリコン酸化膜 7 7 と、厚さ 2 1

0 nmのシリコン窒化膜78とから構成されている。この構成では、Ge層が形成されていることにより、緩和SiGe層75内の転位密度を低減することができる。

基板80を製造する方法としては、シリコン基板71、シリコン酸化層72およびSi層73からなるSOI基板の上に、Ge層74を挟んで、Ge含有率が30パーセントのSiGe層（図示せず）を形成する。その後、図14（a）において行なった熱処理と同様の熱処理を行なうことにより、SiGe層を緩和させて緩和SiGe層75を形成する。その他の製造方法は、図14（a）において述べた方法と同様である。

なお、本実施形態では、SOI基板を貼り合わせ法により製造する場合について述べた。しかし、本発明の図14（a）、図15および図16に示すようなSOI基板は、SIMOX法により製造されてもよい。

なお、図15および図16は、特開平9-180999号公報に開示されている層構造を示している。

—その他の実施形態—

上記実施形態では、p-MOSFETの例を示したが、本発明においては、n-MOSFETであってもよい。

さらに、本発明は、SiGe層またはSiGeC層を有するヘテロ接合バイポーラトランジスタにも適用することができる。この場合にも、Geを蒸発させることができる。

上記実施形態では、SiとGeとを含む層をホールチャネルとする半導体装置の例を示したが、本発明は、チャネル層以外の層としてSiとGeとを含む層を有する半導体装置にも適用することができる。その場合には、製造工程においてSiとGeとを含む層が露出する工程で熱処理を行なうことにより、Geを蒸発させることができる。

なお、本発明は、上記実施形態で示した工程に限らず、SiGe層あるいはSiGeC層の酸化工程の前処理として用いることができる。その場合にも、Geを蒸発させることができる。

産業上の利用可能性

本発明の半導体装置およびその製造方法は、SiとGeとを含む層を有するデバイスとその製造方法に利用することができ、特に、SiGe層またはSiGeC層を有し、トレンチ素子分離により素子ごとに分離されるデバイスとその製造方法に利用される。

請求の範囲

1. 半導体基板の上方に、SiとGeとを含む化合物半導体層を設ける工程（a）と、
上記化合物半導体層の一部を除去することにより、トレンチを形成する工程（b）と、
上記トレンチの表面部に熱処理を行なう工程（c）と、
上記トレンチの上記表面部のうちの少なくとも一部を酸化することにより熱酸化膜を形成する工程（d）と、
上記トレンチを絶縁体で埋めることにより、上記熱酸化膜と上記絶縁体とを含むトレンチ素子分離を形成する工程（e）と
を含む半導体装置の製造方法。
2. 請求項1に記載の半導体装置の製造方法において、
上記工程（c）では、真空下において上記熱処理を行なうことを特徴とする半導体装置の製造方法。
3. 請求項1に記載の半導体装置の製造方法において、
上記工程（c）では、非酸化雰囲気下において上記熱処理を行なうことを特徴とする半導体装置の製造方法。
4. 請求項1に記載の半導体装置の製造方法において、
上記工程（a）の後に、上記化合物半導体層の上に、Si層をエピタキシャル成長させる工程をさらに備えることを特徴とする半導体装置の製造方法。
5. 請求項1に記載の半導体装置の製造方法において、
上記工程（a）では、上記半導体基板の上に、絶縁層を挟んで上記化合物半導体層を設けることを特徴とする半導体装置の製造方法。
6. 請求項1に記載の半導体装置の製造方法において、
上記熱処理は、700℃以上1050℃以下の温度で行なわれることを特徴とする半導体装置の製造方法。
7. 請求項1に記載の半導体装置の製造方法において、
上記工程（d）では、上記酸化によって、上記化合物半導体層のうち上記トレンチの表面からのおくゆきが30nm以下の部分が酸化されることを特徴とする

半導体装置の製造方法。

8. 請求項 1 に記載の半導体装置の製造方法において、

上記工程 (c) では、上記化合物半導体層の上部にも熱処理を行ない、

上記工程 (d) では、上記化合物半導体層の上部も酸化してゲート酸化膜を形成し、

上記工程 (d) の後に、上記ゲート酸化膜の上にゲート電極を形成する工程をさらに備えることを特徴とする半導体装置の製造方法。

9. 半導体基板と、

上記半導体基板の上方に設けられ、Si と Ge とを含む化合物半導体層と、

絶縁体と、上記絶縁体を囲む熱酸化膜とを有するトレンチ素子分離とを備える半導体装置であって、

上記化合物半導体層のうち上記熱酸化膜と接する部分では、上記化合物半導体層のうち動作領域となる部分に含まれる Ge の濃度よりも低い濃度の Ge の濃度が含まれることを特徴とする半導体装置。

10. 請求項 9 に記載の半導体装置において、

上記化合物半導体層のうち上記熱酸化膜と接する部分では、Ge のうちの少なくとも一部が蒸発していることを特徴とする半導体装置。

11. 請求項 9 に記載の半導体装置において、

上記化合物半導体層の上には、エピタキシャル成長された Si 層が設けられていることを特徴とする半導体装置。

12. 請求項 9 に記載の半導体装置において、

上記半導体基板と上記化合物半導体層との間には、絶縁層が形成されていることを特徴とする半導体装置。

13. 請求項 9 に記載の半導体装置において、

上記熱酸化膜の厚さは 30 nm 以下であることを特徴とする半導体装置。

14. 請求項 9 に記載の半導体装置において、

上記化合物半導体層の上には、ゲート酸化膜とゲート電極とがさらに設けられており、

上記ゲート酸化膜は、上記化合物半導体層の上部に熱処理を行なうことにより

Geを蒸発させた後、上記上部の少なくとも一部の酸化を行なうことにより形成されたことを特徴とする半導体装置。

Fig. 1

← Rac → * Rre → * Rac →

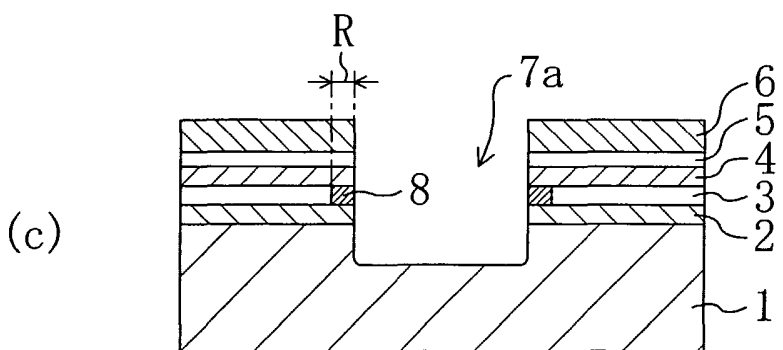
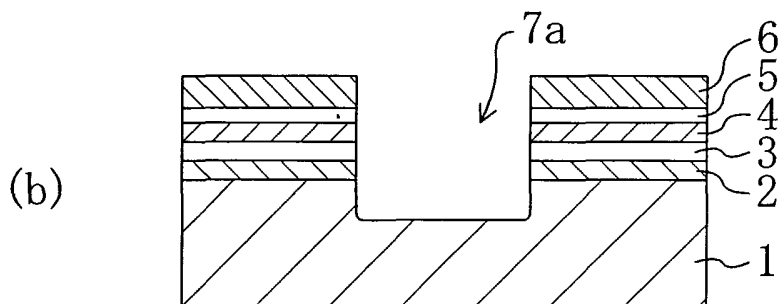
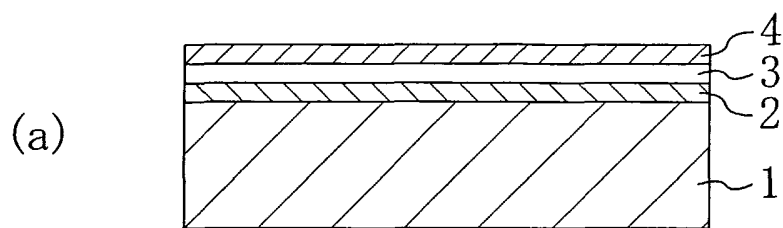


Fig. 2

← Rac → * ← Rre → * ← Rac →

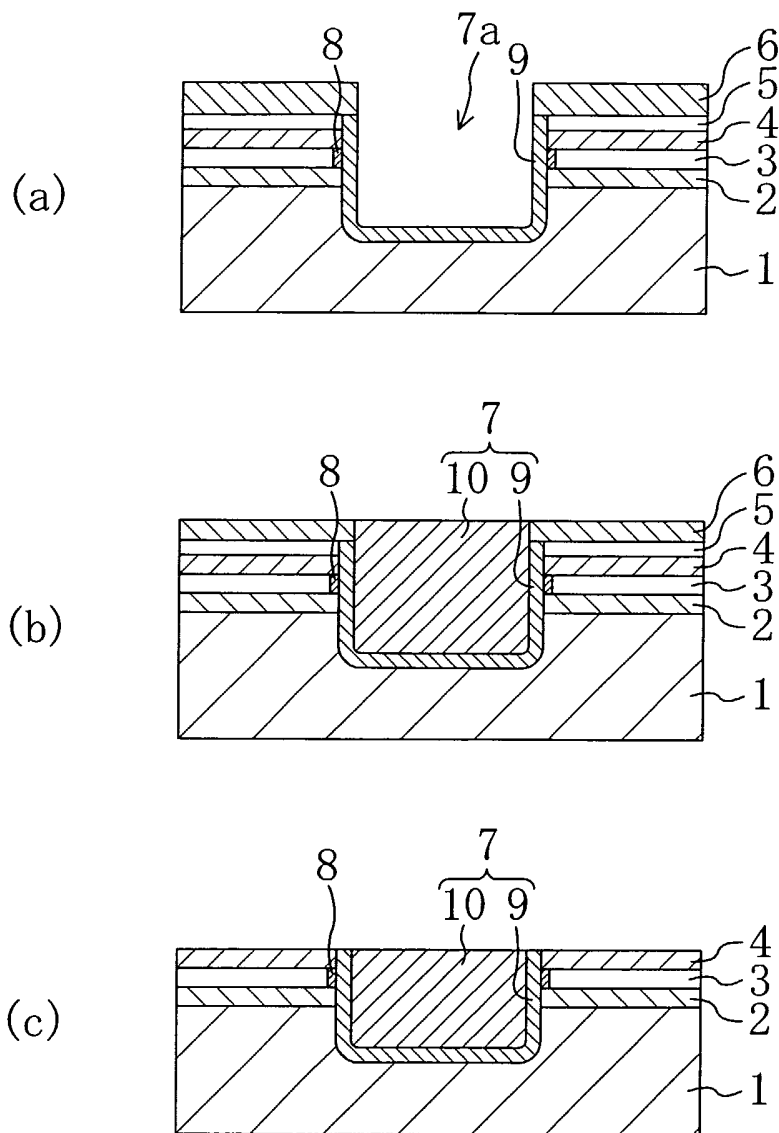


Fig. 3

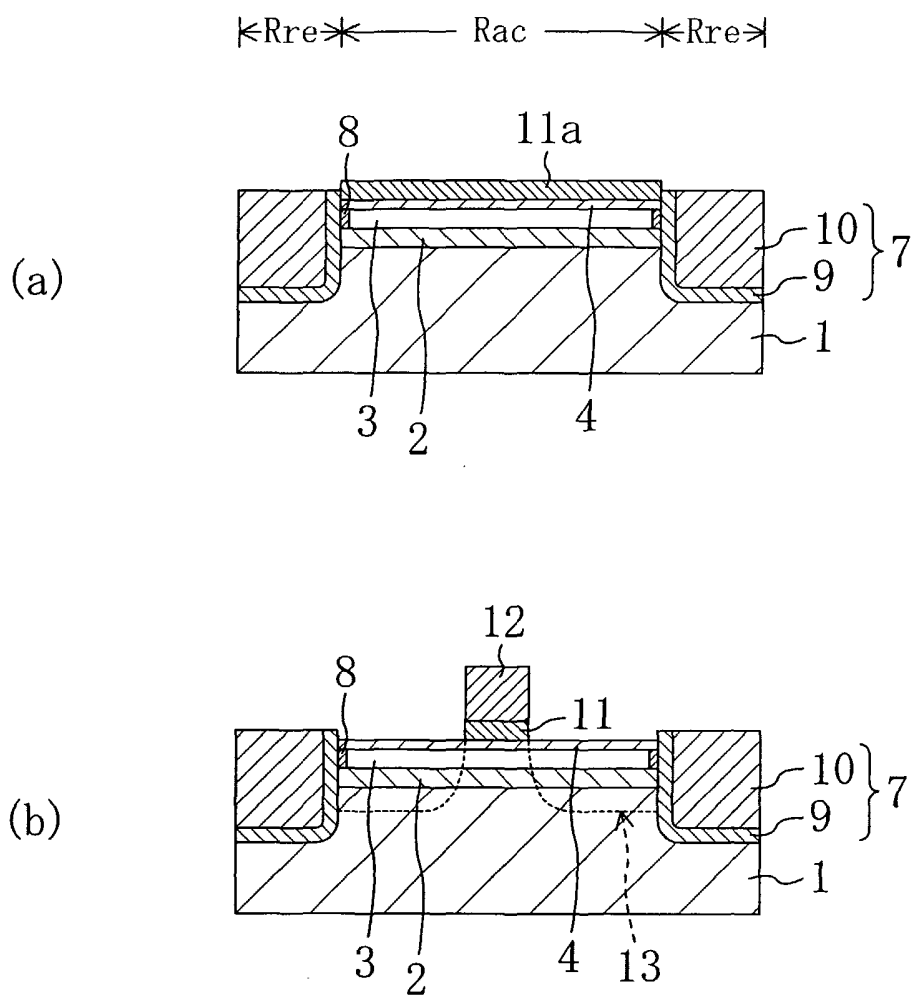
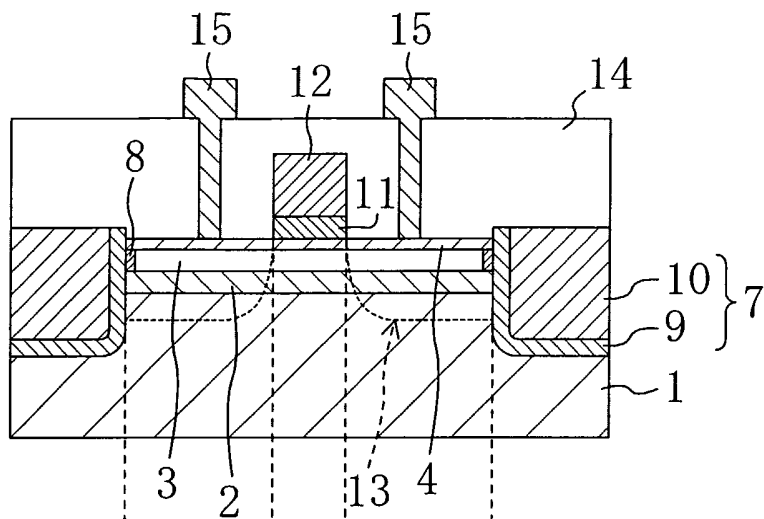


Fig. 4

(a)



(b)

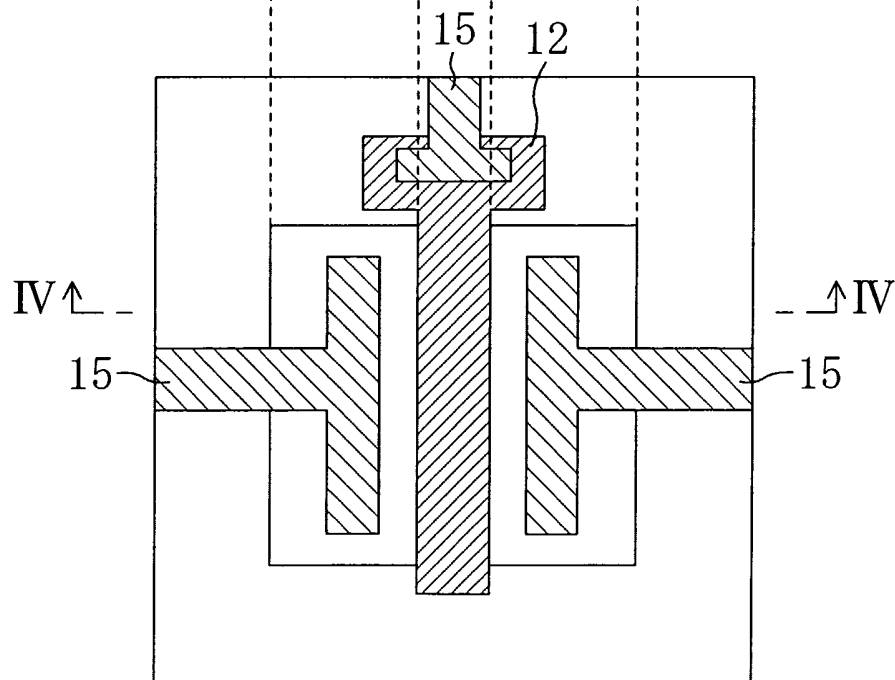


Fig. 5

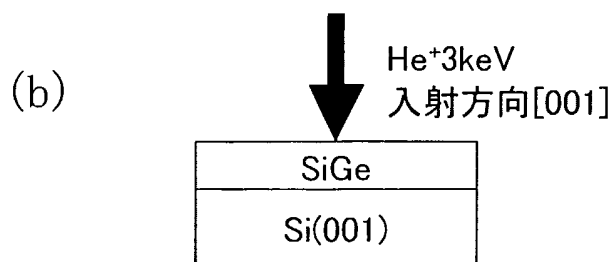
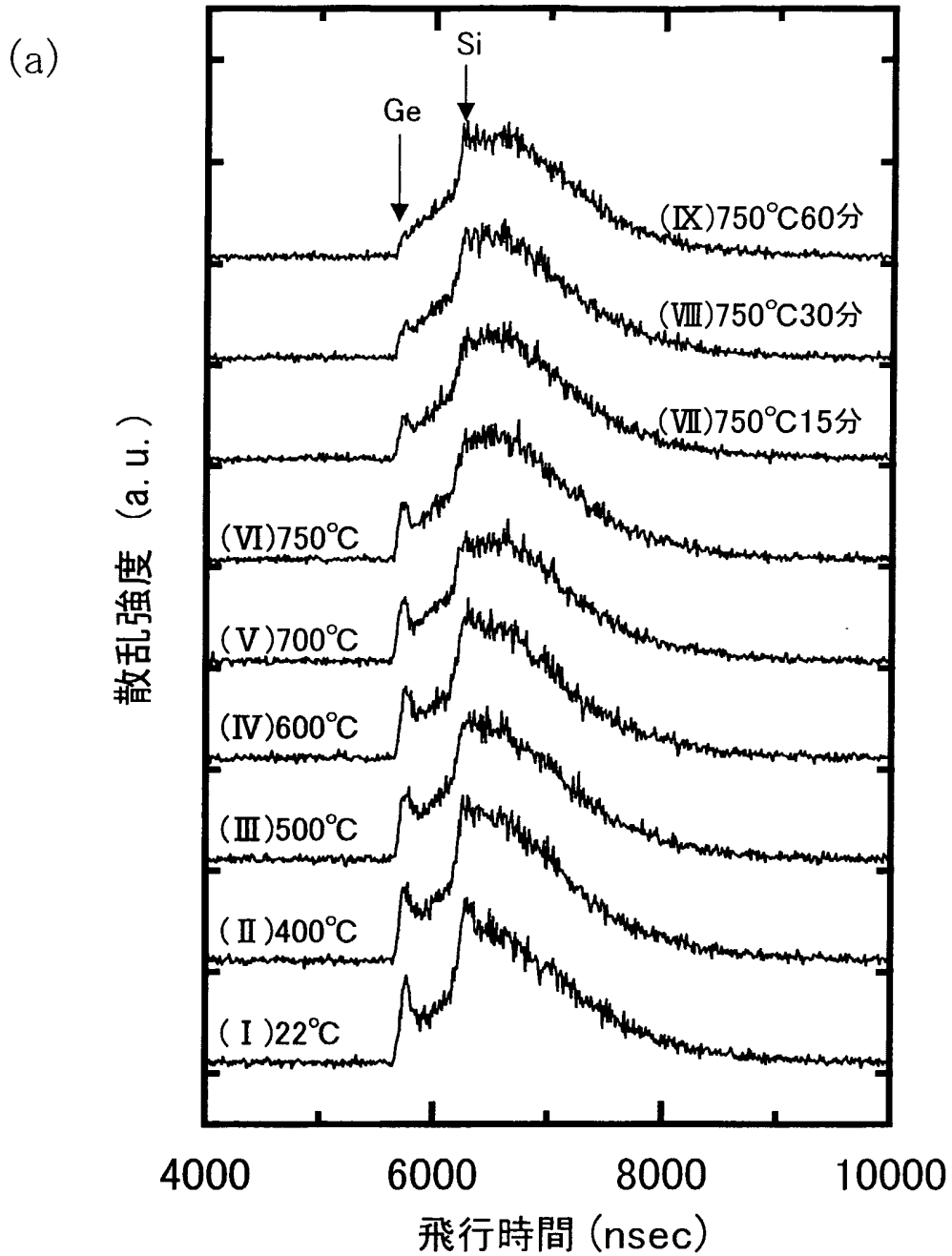


Fig. 6

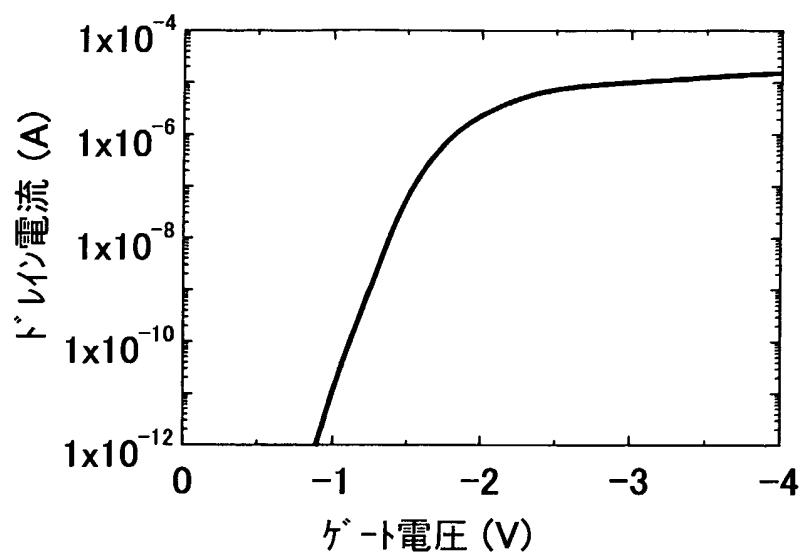


Fig. 7

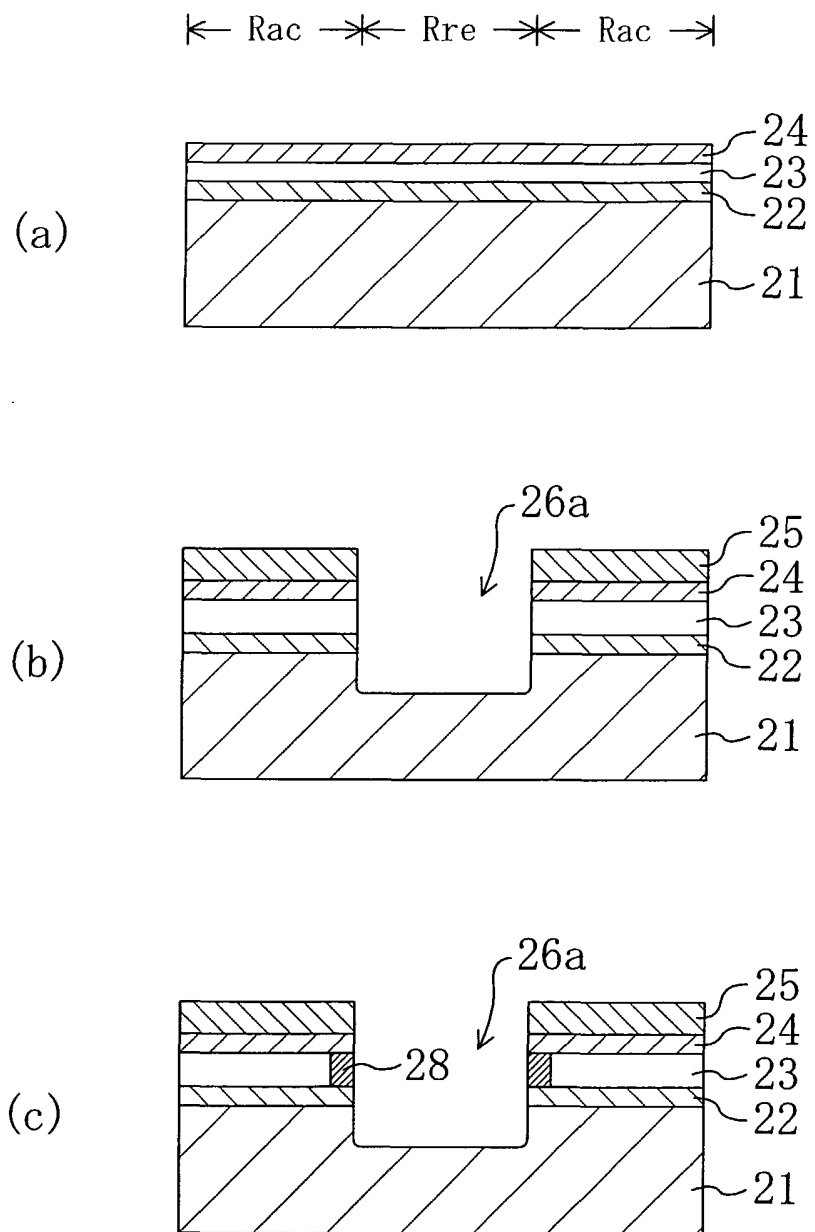


Fig. 8

← Rac → * ← Rre → * ← Rac →

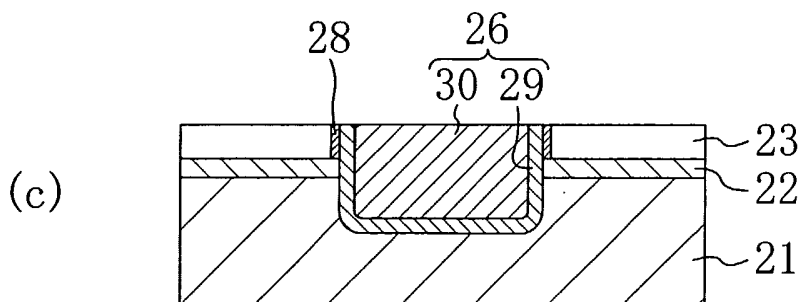
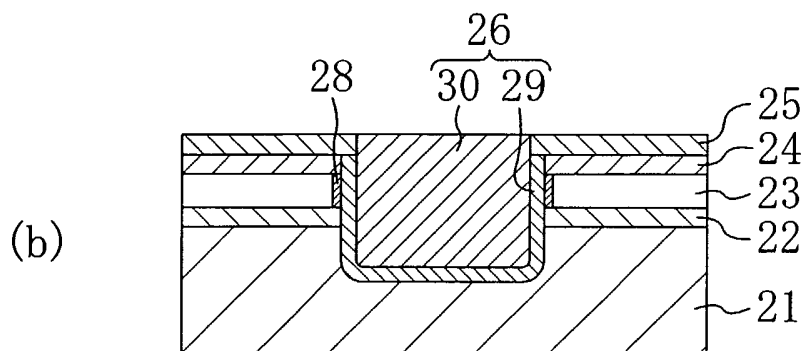
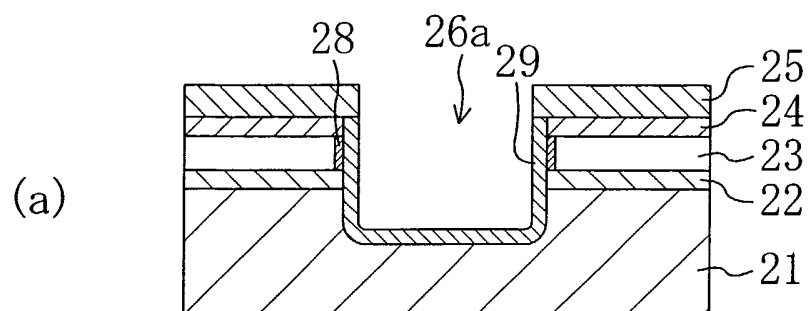


Fig. 9

← Rac → * Rre → * Rac →

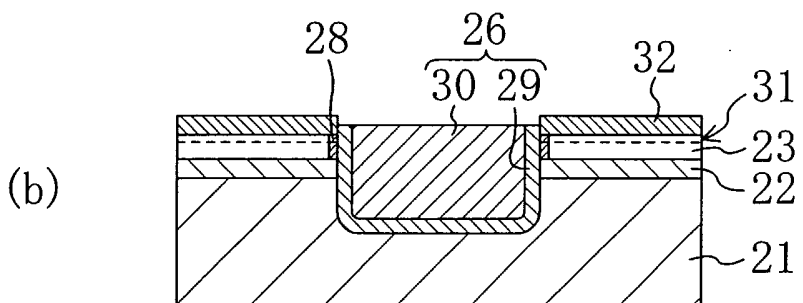
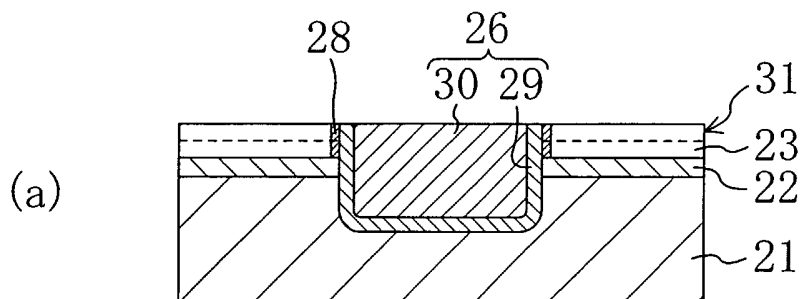


Fig. 10

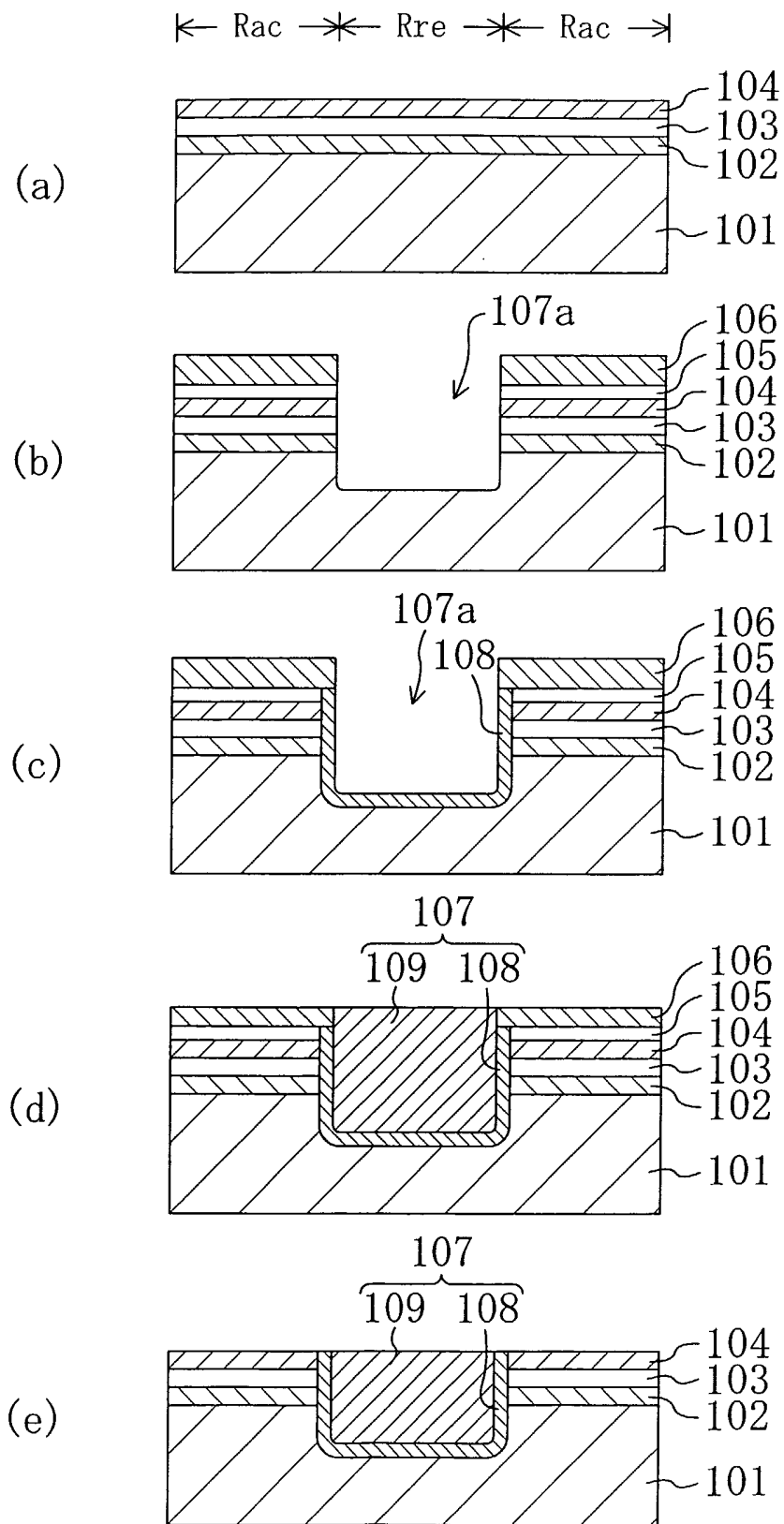


Fig. 11

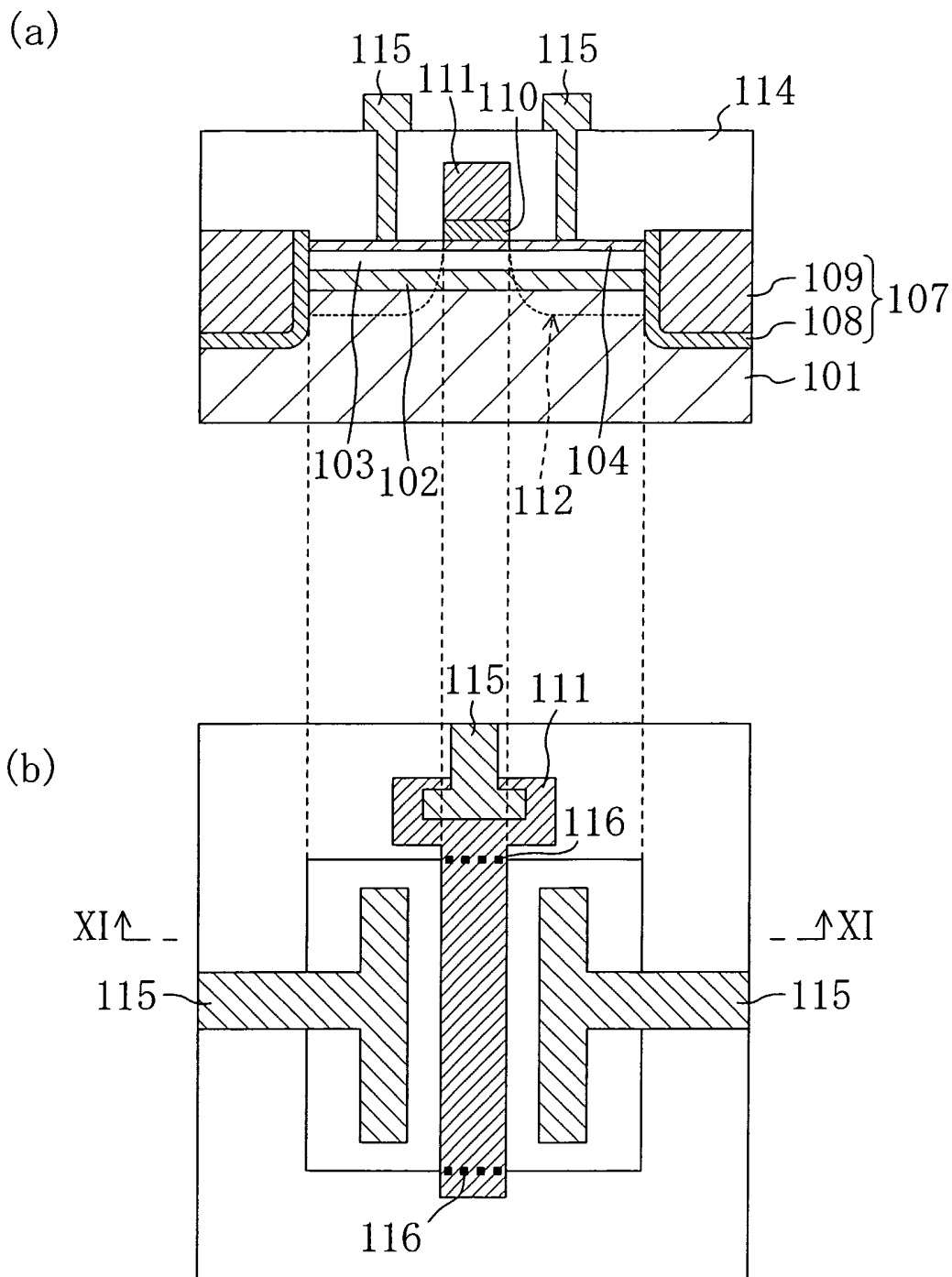


Fig. 12

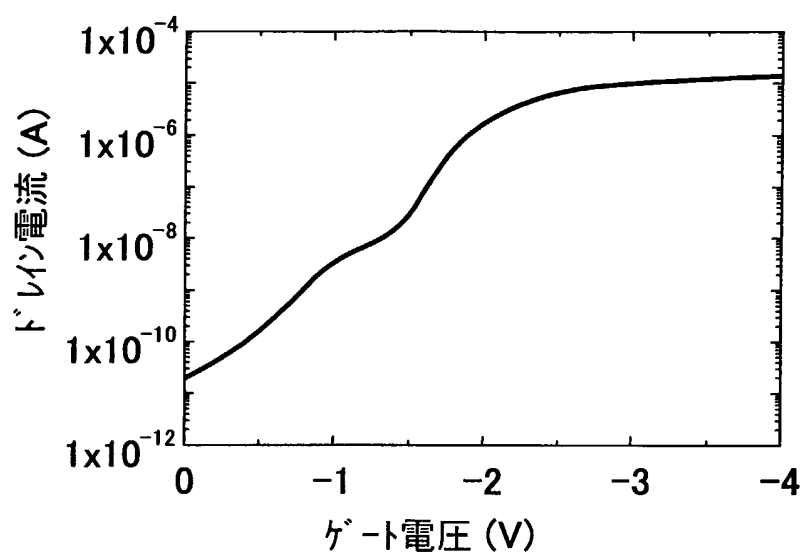


Fig. 13

← Rac → * ← Rre → * ← Rac →

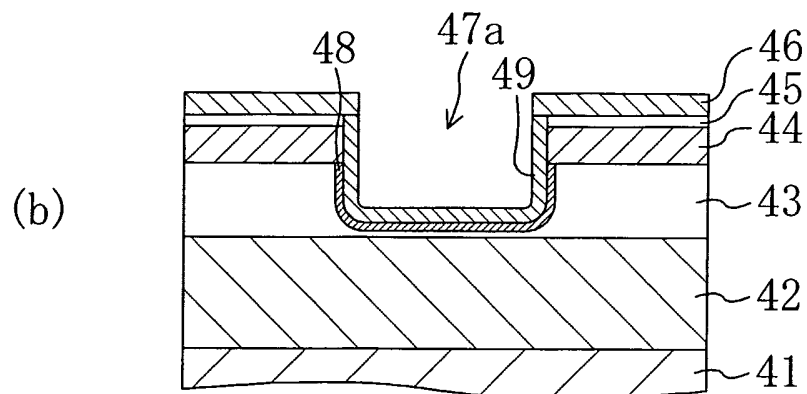
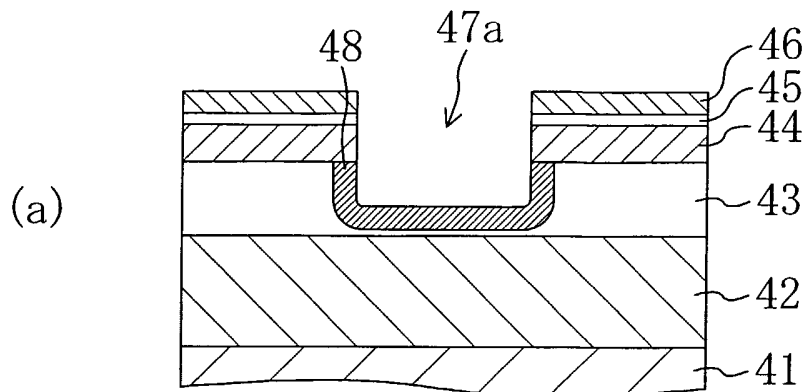


Fig. 14

← Rac → * ← Rre → * ← Rac →

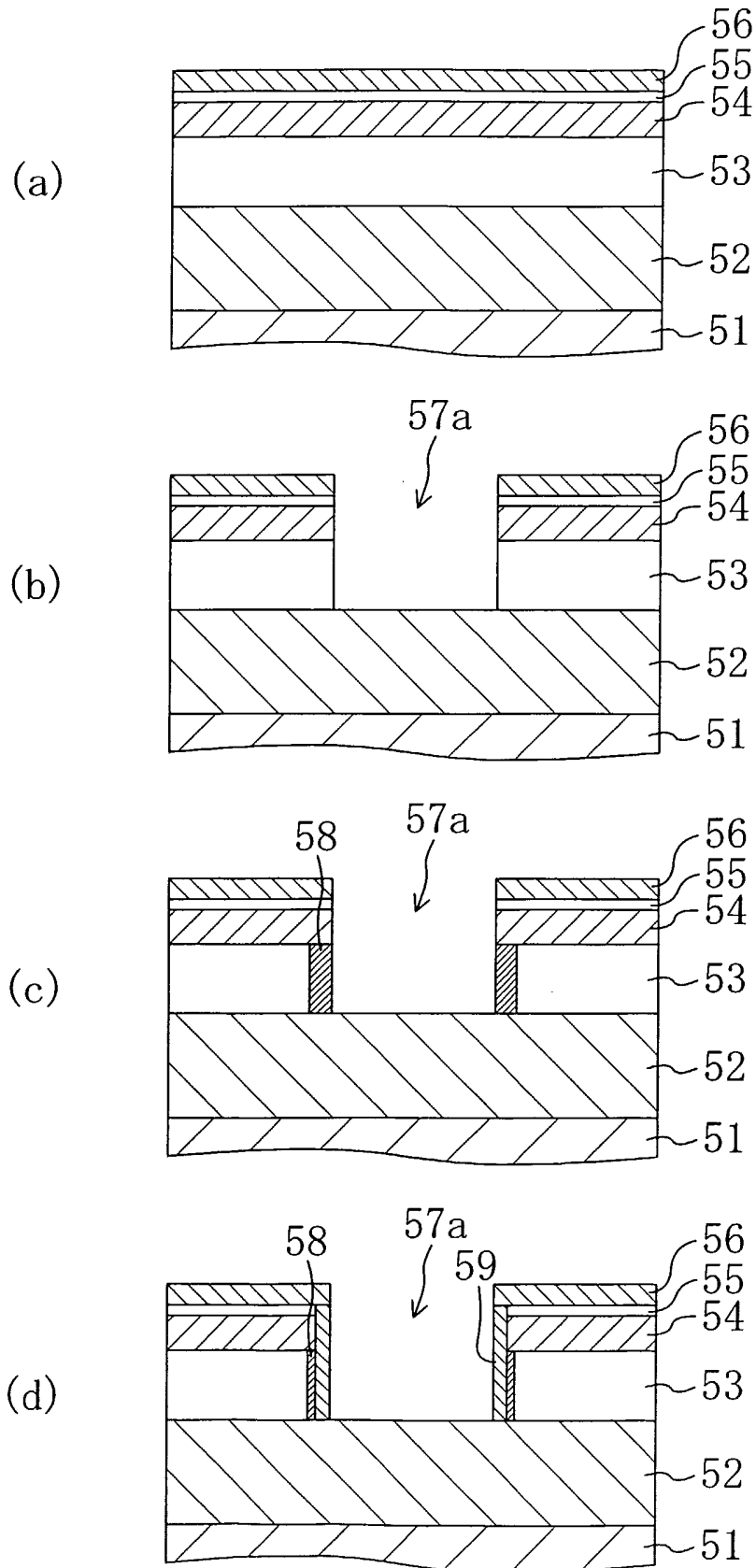


Fig. 15

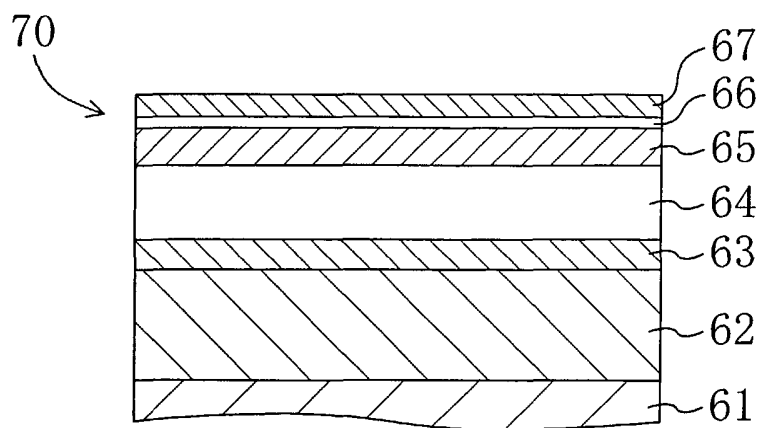
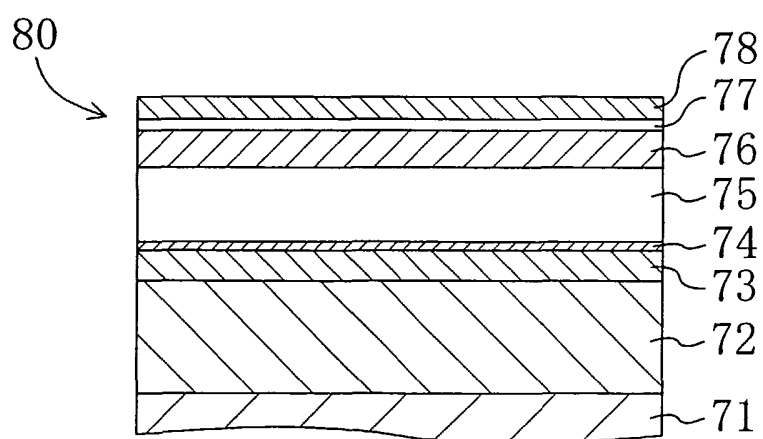


Fig. 16



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/00141

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/762

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L21/762

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-267413 A (International Business Machines Corp.), 28 September, 2001 (28.09.01), Claims; Par. Nos. [0022] to [0030]; Figs. 7 to 10 & US 2002/53714 A1 & US 6413828 B1	1-7, 9-13 8, 14
Y A	"Handotai Process Handbook", Kabushiki Kaisha Puresu Janaru, Koji SHINOHARA, 15 October, 1996 (15.10.96), pages 131 to 132	1-7, 9-13 8, 14

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
15 April, 2003 (15.04.03)

Date of mailing of the international search report
30 April, 2003 (30.04.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl⁷ H01L21/762

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl⁷ H01L21/762

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国実用新案登録公報 1996-2003年
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)


C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2001-267413 A (インターナショナル・ビジネス・マシーニズ・コーポレーション) 2001.09.28, 【特許請求の範囲】, 【0022】~【0030】, 図7~図10 &US 2002/53714 A1 &US 6413828 B1	1-7,9-13 8,14
Y A	半導体プロセスハンドブック, 株式会社プレスジャーナル, 篠原興二, 1996.10.15, p.131-132	1-7,9-13 8,14

C欄の続きにも文献が列举されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 15.04.03
 国際調査報告の発送日 30.04.03

国際調査機関の名称及びびあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 井原 純 	4M	9354
電話番号 03-3581-1101 内線 3462			