

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4454837号  
(P4454837)

(45) 発行日 平成22年4月21日 (2010. 4. 21)

(24) 登録日 平成22年2月12日 (2010. 2. 12)

(51) Int. Cl.	F I
<b>H O 4 N 5/907 (2006.01)</b>	H O 4 N 5/907 B
<b>G 1 1 B 20/10 (2006.01)</b>	G 1 1 B 20/10 3 1 1
<b>H O 4 N 5/765 (2006.01)</b>	H O 4 N 5/782 K

請求項の数 1 (全 9 頁)

(21) 出願番号	特願2000-374233 (P2000-374233)	(73) 特許権者	000001007
(22) 出願日	平成12年12月8日 (2000. 12. 8)		キヤノン株式会社
(65) 公開番号	特開2002-176611 (P2002-176611A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成14年6月21日 (2002. 6. 21)	(74) 代理人	100096965
審査請求日	平成19年12月4日 (2007. 12. 4)		弁理士 内尾 裕一
		(72) 発明者	清水 哲也
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		審査官	小田 浩
		(56) 参考文献	特開2001-238117 (JP, A)
			)

最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【特許請求の範囲】

【請求項 1】

所定の記録フォーマットに対応した所定の画素数よりも多い第1の画素数の画像信号を出力する撮像手段と、

前記撮像手段から出力された前記第1の画素数の画像信号を前記所定の画素数の画像信号に変換する変換手段と、

前記所定の画素数に対応した記憶容量を持ち、前記変換手段から出力される前記所定の画素数の画像信号を記憶する第1のメモリと、

前記第1の画素数に対応した記憶容量を持ち、前記撮像手段より出力された前記第1の画素数の画像信号を記憶する第2のメモリと、

前記第2のメモリのアドレスを発生し、前記撮像手段より出力された前記第1の画素数の画像信号を前記第2のメモリに書き込むと共に前記第2のメモリより前記第1の画素数の画像信号を読み出すメモリインターフェイスと、

前記第1のメモリに記憶されている前記所定の画素数の画像信号を、前記所定の記録フォーマットに従って動画像データとして記録媒体に記録する記録手段と、

前記第2のメモリから読み出された前記第1の画素数の画像信号を静止画像データとして出力する静止画処理手段とを備え、

前記変換手段、前記第1のメモリ、前記メモリインターフェイス及び前記静止画処理手段を同一の集積回路上に配置し、前記撮像手段、前記記録手段及び前記第2のメモリを前記集積回路とは独立した回路として構成したことを特徴とする画像処理装置。

10

20

**【発明の詳細な説明】****【０００１】****【発明の属する技術分野】**

本発明は画像処理装置関し、特に、メモリを用いて異なる画素数の画像信号を処理する装置に関する。

**【０００２】****【従来の技術】**

従来、ビデオカメラにより撮影された画像信号をデジタル信号として磁気テープに記録するビデオカメラ一体型デジタルＶＴＲが知られている。また、近年では、メモリカードスロットを備え、動画像データについては従来通り磁気テープに記録し、メモリカードに対して静止画像を記録可能なデジタルＶＴＲも開発されている。

10

**【０００３】****【発明が解決しようとする課題】**

一方、近年の半導体技術の向上により、ＣＣＤの画素数が飛躍的に増加しており、前記のデジタルＶＴＲにおいても従来のものより多画素のＣＣＤを用いて静止画像を撮影、記録することが考えられる。

**【０００４】**

しかし、従来のデジタルでは、動画像データと静止画像データとが同一の画素数の信号であることを前提として設計されている。そのため、このようにＣＣＤの画素数が増加し、その結果、静止画像データの画素数が増加した場合に、容易に対応することができない。

20

**【０００５】**

また、近年では、回路特性の安定化や消費電力の削減のため、メモリを含めた動画像処理回路、静止画像処理回路などの各回路を同一の集積回路上に配置するのが一般的である。

**【０００６】**

しかし、画像信号の画素数が増加した場合、特に静止画処理については画像データの画素数に対応した記憶容量のメモリが必要となるが、静止画処理用のメモリまでもが同一の集積回路上に配置されている場合、メモリ回路のみを増設、あるいはより大容量のものに交換することができない。そのため、画像信号の画素数が増加する度に新たに集積回路を設計しなおす必要があり、大変な労力、コストがかかっていた。

**【０００７】**

本発明は、前述の如き問題を解決することを目的とする。

30

**【０００８】**

本発明の他の目的は、画像信号の画素数が変更した場合であっても容易に動画像、静止画像データの処理を可能とする処にある。

**【０００９】**

本発明の更に他の目的は、画像信号の画素数が変更された場合であっても集積回路の設計を変更することなく容易に静止画像データの処理を可能とする処にある。

**【００１０】****【課題を解決するための手段】**

本発明は、所定の記録フォーマットに対応した所定の画素数よりも多い第１の画素数の画像信号を出力する撮像手段と、前記撮像手段から出力された前記第１の画素数の画像信号を前記所定の画素数の画像信号に変換する変換手段と、前記所定の画素数に対応した記憶容量を持ち、前記変換手段から出力される前記所定の画素数の画像信号を記憶する第１のメモリと、前記第１の画素数に対応した記憶容量を持ち、前記撮像手段より出力された前記第１の画素数の画像信号を記憶する第２のメモリと、前記第２のメモリのアドレスを発生し、前記撮像手段より出力された前記第１の画素数の画像信号を前記第２のメモリに書き込むと共に前記第２のメモリより前記第１の画素数の画像信号を読み出すメモリインターフェイスと、前記第１のメモリに記憶されている前記所定の画素数の画像信号を、前記所定の記録フォーマットに従って動画像データとして記録媒体に記録する記録手段と、前記第２のメモリから読み出された前記第１の画素数の画像信号を静止画像データとして

40

50

出力する静止画処理手段とを備え、前記変換手段、前記第1のメモリ、前記メモリインターフェイス及び前記静止画処理手段を同一の集積回路上に配置し、前記撮像手段、前記記録手段及び前記第2のメモリを前記集積回路とは独立した回路として構成した。

【0011】

【発明の実施の形態】

以下、本発明の実施形態について説明する。

【0012】

図1は本発明が適用されるカメラ一体型デジタルVTR100の構成を示すブロック図である。本形態のデジタルVTRは、メモリカードを装着するカードスロットを備え、動画画像データを磁気テープに記録する動画モードと、静止画像データをメモリカードに記録する静止画モードとを持つ。まず、動画モード時の動作について説明する。

10

【0013】

図1において、101は撮像回路であり、レンズ、絞り等を含む光学系103と、CCDとその駆動回路やA/D変換器等を含む撮像素子105からなる。図1の装置では、撮像素子として、一般的な補色フィルタを配した単版のCCDを用いており、CCDの画素数は約200万画素、1フレームの有効画素数が水平1600画素×垂直1200画素のUXGAサイズの画像データを出力するものである。本形態では、CCDの色フィルタはシアン(Cy)、イエロー(Y)、グリーン(G)、マゼンタ(Mg)で構成され、図2に示す配列となっている。

【0014】

20

CCDから画像データを読み出す際、動画モードにおいては、隣接する2ラインの画素を加算して読み出すのが一般的である。撮像回路101は、不図示の制御回路によりその読み出し動作が制御され、操作スイッチ143により動画記録モードに設定されると、以下のように画像信号を読み出す。

【0015】

例えば、図2の配列の場合、1フレームの画像データのうち、第1フィールドの画像信号はNライン+(N+1)ライン、(N+2)ライン+(N+3)ラインの順に読み出し、第2フィールドの画像信号は(N+1)ライン+(N+2)ライン、(N+3)ライン+(N+4)ラインの順に読み出す。

【0016】

30

撮像回路101から出力されたデジタル画像信号は入力端子109を介してカメラ信号処理回路111に出力される。カメラ信号処理回路111は、入力端子109を介して出力された画像データに対してクランプ処理、ホワイトバランス処理の後色分離処理を行う。更に、輪郭補正処理、補正処理の後、マトリクス回路により輝度信号Yと色差信号Cr、Cb信号に変換し、動画モードにおいては、変換された画像信号を縮小回路113に出力する。

【0017】

縮小回路113は、カメラ信号処理回路111から出力された画像信号に対して、LPFにより垂直・水平方向の2次元に帯域制限をかける。そして、この帯域制限された画像信号をITU-R601に準拠したサンプリング構造でサブサンプルすることで、カメラ信号処理回路111から出力される画像信号の1フレームの画素数をテープTに記録する上で規定されたフォーマットに従う所定の画素数、例えば本形態では、図3に示すように水平720画素×垂直480画素となるように変換し、そのサイズを縮小する。

40

【0018】

縮小回路113により処理された画像信号はメモリ回路115に書き込まれる。メモリ回路115は1フレーム分の前記所定の画素数、例えば720×480画素の画像信号をベースバンドのまま、即ち圧縮・符号化処理していない状態で記憶可能な容量を持つ。

【0019】

メモリ回路115に記憶された画像信号は、その出力すべきタイミングに同期して映像処理回路117により読み出される。映像処理回路117はメモリ回路115から読み出

50

した画像信号に対し、電子ズーム処理やワイプ、フェード等の周知の合成処理や特殊効果処理を施し、映像出力回路119に出力する。映像出力回路119は映像処理回路117からの画像信号に対して水平、垂直同期信号を付加し、基準規格のITU-R601/R656に準拠したデジタル映像信号に変換して出力端子121を介して映像記録処理回路135に出力する。

#### 【0020】

映像記録処理回路135は出力端子121を介して出力されたデジタル画像信号に対して周知のブロック符号化処理を施してその情報量を圧縮する。そして、圧縮符号化された画像データに対して、同期、IDデータの付加、あるいはエラー訂正符号化等の処理を施し、記録データ列を生成して記録回路137に出力する。記録回路137は映像記録処理回路135から出力された記録データ列に対してデジタル変調等の処理を施すと共に、回転ヘッドによりテープT上に多数のトラックを形成して記録する。

10

#### 【0021】

次に、静止画モードについて説明する。静止画モードとは、操作スイッチ143の静止画記録用シャッターボタンが操作されたことに応じて撮像回路101から出力される画像信号のうちの1フレームを抽出し、静止画像データとしてメモリカードMに記録するモードである。

#### 【0022】

操作スイッチ143の静止画記録スイッチが操作されると、撮像回路101は静止画記録スイッチの操作タイミングに応じた1フレームの画像信号を非加算読み出しにてCCDより読み出し、入力端子109に出力する。

20

#### 【0023】

即ち、撮像回路101は静止画記録スイッチが操作されていない状態では前述のように加算読み出しにより画像信号を読み出し、不図示のモニタに出力している。従って、ユーザは静止画像の記録待機状態ではこのモニタにより通常の動画像データを確認することができる。そこで、ユーザが静止画記録スイッチを操作すると、撮像回路101はその操作タイミングに応じた1フレームの画像信号のみ非加算読み出しにてCCDより読み出す。

#### 【0024】

例えば、図2に示すフィルタ配列の場合、非加算読み出し時においては、第1フィールドの画像信号はNライン、(N+2)ラインの順に読み出し、第2フィールドの画像信号は(N+1)ライン、(N+3)ラインの順に、隣接ラインの画素が加算されない状態で読み出される。

30

#### 【0025】

このように入力端子109より入力された1フレームの画像信号は一旦メモリインターフェイス回路123に出力され、静止画メモリ回路141に記憶される。

#### 【0026】

メモリインターフェイス回路123は操作スイッチ143の指示を受けた制御CPU133により制御され、静止画メモリ回路141に対して画像データの書き込み、読み出しを行う回路である。静止画メモリ回路141は撮像回路101のCCDの有効画素数に対応する画素数の1フレームの画像データを縮小することなく記憶可能な容量を持つものである。

40

#### 【0027】

また、本形態では、静止画メモリ回路125として、汎用のSDRAM(Synchronous Dynamic RAM)を使用している。従って、メモリインターフェイス回路123は静止画メモリ回路125として使用される汎用SDRAMの規格に準拠してカメラ信号処理回路111からの画像データをパケット化し、コマンドを付加して静止画メモリ回路125にアクセスする。更に、メモリインターフェイス回路123にて発生する汎用DRAMアドレスに関しては、メモリの拡張性を考慮し、十分な本数を確保している。また、本形態では、例えば、静止画メモリ回路125として、記憶容量が64Mビット程度以上の汎用のSDRAMを用いることができる。

50

## 【 0 0 2 8 】

静止画メモリ回路 1 2 5 に書き込まれた 1 フレームの画像データは、メモリインターフェイス回路 1 2 3 により順次（ノンインターレース）走査にて読み出され、カメラ信号処理回路 1 1 1 に出力される。

## 【 0 0 2 9 】

カメラ信号処理回路 1 1 1 は動画モードと同様、メモリインターフェイス回路 1 2 3 より出力される画像信号に対し、クランプ処理、ホワイトバランス処理の後色分離処理を行い、更に、輪郭補正処理、補正処理の後、マトリクス回路により輝度信号 Y と色差信号 C r , C b 信号に変換する。カメラ信号処理回路 1 1 1 により処理された 1 フレームの画像信号は再びメモリインターフェイス回路 1 2 3 に出力され、静止画メモリ回路 1 2 5 に記憶される。

10

## 【 0 0 3 0 】

輝度信号と色差信号に変換されて静止画メモリ 1 4 1 に書き込まれた 1 フレームの画像信号は、メモリインターフェイス回路 1 2 3 により、静止画処理回路 1 2 7 による処理に適した順序で読み出され、静止画処理回路 1 2 7 に出力される。

## 【 0 0 3 1 】

静止画処理回路 1 2 7 はメモリインターフェイス回路 1 2 3 から出力される画像信号を J P E G 規格に従って符号化し、静止画像データとして静止画出力回路 1 2 9 に出力する。静止画出力回路 1 2 9 はメモリカードインターフェイス 1 3 9 にて扱うファイルフォーマットに従う形態に変換し、出力端子 1 3 1 を介してメモリカードインターフェイス 1 3 9 に出力する。メモリカードインターフェイス 1 3 9 はメモリカード M 上の書き込みアドレスを指定し、出力端子 1 3 1 から出力された 1 フレームの符号化された静止画像データを一つのファイルとしてメモリカード M に記録する。メモリカード M は V T R 1 0 0 に設けられたメモリカードスロットを介して V T R 1 0 0 本体に着脱可能に構成される。

20

## 【 0 0 3 2 】

ここで、図 1 において、カメラ信号処理回路 1 1 1、縮小回路 1 1 3、メモリ回路 1 1 5、映像処理回路 1 1 7、映像出力回路 1 1 9、メモリインターフェイス回路 1 2 3、静止画処理回路 1 2 7、静止画出力回路及び、制御 C P U 1 3 3 は同一の集積回路 1 0 7 上に構成されている。そして、静止画メモリ回路 1 2 5 はこれら集積回路 1 0 7 とは別の回路として構成される。

30

## 【 0 0 3 3 】

即ち、本形態では、動画処理と静止画処理に係る回路の大部分は同一の集積回路上に置くことで回路特性の均一化、消費電力の抑制を図っている。そして、動画処理と静止画素処理に係る回路のうち、静止画メモリ回路 1 2 5 については集積回路とは別の回路構成とすることで、撮像回路 1 0 1 にて用いる C C D の画素数がより多くなった場合にも、容易に対応できるようにした。

## 【 0 0 3 4 】

即ち、撮像回路 1 0 1 にて用いる C C D の画素数がより多くなった場合、縮小回路 1 1 3 による縮小処理を撮像回路 1 0 1 からの画像信号のサイズに応じて変更し、静止画メモリ 1 2 5 を撮像回路 1 0 1 からの画像信号のサイズに応じた容量を持つ、例えば、1 2 8 M ビットの汎用 S D R A M や 6 4 M ビットの汎用 S D R A M を複数設けることで容易に対応可能となる。

40

## 【 0 0 3 5 】

また、動画像処理用のメモリ 1 1 5 については、動画像処理にて扱う画像信号の画素数が、テープ T に対する記録フォーマットにて規定された所定の画素数、即ち 7 2 0 画素 × 4 8 0 画素と決まっているため、C C D の画素数が変更してもそれに依じてメモリ回路 1 1 5 の容量を変更する必要がない。

## 【 0 0 3 6 】

このように画像信号の画素数が増加することを考慮し、前述のように、メモリインターフェイス回路 1 2 3 にて発生するアドレスを予め十分確保しておくことが望ましい。

50

## 【 0 0 3 7 】

また、静止画メモリ回路 1 2 5 の記憶容量については、連写機能を考慮して複数フレーム分の容量を持つメモリを使用することも可能である。

## 【 0 0 3 8 】

図 1 の装置では、動画処理用のメモリ回路 1 1 5 を集積回路 1 0 7 上に配置したが、この動画処理用のメモリ回路も静止画メモリ回路 1 2 5 と同様、汎用の S D R A M を使い、別の回路として構成することも可能である。

## 【 0 0 3 9 】

図 4 はこのように動画処理用のメモリ回路も汎用の S D R A M を用いた場合のカメラ一体型 V T R 1 0 0 の構成を示す図である。図 4 において、図 1 と同様の構成については同一番号を付し、その詳細な説明は省略する。

10

## 【 0 0 4 0 】

図 4 において、動画モードにおいては、縮小回路 1 1 3 により縮小された画像信号がメモリインターフェイス回路 1 2 3 に出力される。メモリインターフェイス回路 1 2 3 は制御 C P U 1 3 3 からの制御信号に応じて書き込みアドレスを発生し、縮小回路 1 1 3 から出力された画像信号をメモリ回路 1 4 3 に書き込む。そして、メモリインターフェイス回路 1 2 3 はメモリ回路 1 4 3 に記憶された画像信号を所定の出力タイミングに同期して読み出し、映像処理回路 1 1 7 に出力する。

## 【 0 0 4 1 】

また、静止画モード時の動作は図 1 の装置と同様である。

20

## 【 0 0 4 2 】

本形態では、メモリ回路 1 4 3 も汎用の S D R A M とすることで、更に使い勝手が向上する。

## 【 0 0 4 3 】

即ち、撮像回路 1 0 1 にて用いられる C C D の画素数が 3 6 万画素程度の場合、メモリ回路 1 4 3 を 3 2 M ビット程度の汎用 S D R A M とし、メモリ回路 1 4 3 の記憶領域を動画処理用領域と静止画処理用領域とに分けて使用することで、特に静止画メモリ回路 1 2 5 を設けることなく動画像データの処理と静止画像データの処理を実現することが可能となる。

## 【 0 0 4 4 】

一方、C C D の画素数が増えた場合には、メモリ回路 1 4 3 に加え、新たに静止画メモリ回路 1 2 5 を追加することで、動画像データよりも画素数の多い静止画像データの処理を行うことが可能となる。

30

## 【 0 0 4 5 】

このように、動画像処理用のメモリ回路 1 4 3 と静止画メモリ回路 1 2 5 のメモリインターフェイスを共通の汎用の S D R A M 用インターフェイスとすることで、回路の大幅な設計変更することなく画素数が 3 6 万画素程度の画像信号から、1 0 0 万画素を超えるような多画素の画像信号まで処理可能となる。

## 【 0 0 4 6 】

なお、前述の実施形態では、静止画メモリ回路 1 2 5 として汎用の S D R A M を使っているが、勿論これ以外のメモリを使用することも可能である。

40

## 【 0 0 4 7 】

## 【 発明の効果 】

以上述べたように、本発明によれば、画像信号の画素数が変更した場合であっても容易に動画像、静止画像データの処理が可能となる。また、撮像された画像信号の画素数が変更された場合であっても集積回路の設計を変更することなく容易に静止画像データの処理を行うことが可能となる。

## 【 図面の簡単な説明 】

【 図 1 】 本発明が適用されるカメラ一体型 V T R の構成を示す図である。

【 図 2 】 図 1 の装置にて用いる撮像素子のフィルタ構成を示す図である。

50





---

フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H04N 5/907

G11B 20/10

H04N 5/765