



CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种显示基板及其制备方法、显示装置。显示基板包括设置在基底(101)上的驱动电路层(102)和发光结构层(103); 驱动电路层(101)包括多个电路单元, 电路单元至少包括像素驱动电路; 发光结构层(103)包括多个发光单元, 发光单元至少包括阳极(90), 阳极(90)包括阳极主体部和阳极连接部, 阳极连接部的一端与阳极主体部连接, 阳极连接部的另一端与像素驱动电路连接; 至少一个电路单元还包括屏蔽电极(94), 屏蔽电极(94)在基底上的正投影与至少一个阳极(90)的第二阳极中心线(OY)在基底上的正投影至少部分交叠, 第二阳极中心线(OY)是在第一方向上平分阳极主体部且沿着第二方向延伸的直线。

显示基板及其制备方法、显示装置

技术领域

本文涉及但不限于显示技术领域，具体涉及一种显示基板及其制备方法、显示装置。

背景技术

有机发光二极管(Organic Light Emitting Diode, 简称 OLED) 和量子点发光二极管(Quantum-dot Light Emitting Diodes, 简称 QLED)为主动发光显示器件, 具有自发光、广视角、高对比度、低耗电、极高反应速度、轻薄、可弯曲和成本低等优点。随着显示技术的不断发展, 以 OLED 或 QLED 为发光器件、由薄膜晶体管(Thin Film Transistor, 简称 TFT) 进行信号控制的柔性显示装置(Flexible Display) 已成为目前显示领域的主流产品。

发明内容

以下是对本文详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

一方面, 本公开提供了一种显示基板, 包括设置在基底上的驱动电路层以及设置在所述驱动电路层远离所述基底一侧的发光结构层; 所述驱动电路层包括多个电路单元, 至少一个电路单元至少包括像素驱动电路和第一电源线, 所述第一电源线被配置为向所述像素驱动电路提供第一电源线号; 所述发光结构层包括多个发光单元, 至少一个发光单元至少包括阳极, 所述阳极包括阳极主体部和阳极连接部, 所述阳极连接部的一端与所述阳极主体部连接, 所述阳极连接部的另一端与所述像素驱动电路连接; 至少一个电路单元还包括屏蔽电极, 所述屏蔽电极与所述第一电源线连接, 至少一个屏蔽电极在所述基底上的正投影与至少一个阳极的第二阳极中心线在所述基底上的正投影至少部分交叠, 所述第二阳极中心线是在第一方向上平分所述阳极主体部且沿着第二方向延伸的直线, 所述第一方向和所述第二方向交叉。

另一方面, 本公开还提供了一种显示装置, 包括前述的显示基板。

又一方面, 本公开还提供了一种显示基板的制备方法, 包括:

在基底上形成驱动电路层, 所述驱动电路层包括多个电路单元, 至少一个电路单元至少包括像素驱动电路和第一电源线, 所述第一电源线被配置为向所述像素驱动电路提供第一电源线号; 至少一个电路单元还包括屏蔽电极, 所述屏蔽电极与所述第一电源线连接;

在所述驱动电路层上形成发光结构层, 所述发光结构层包括多个发光单元, 至少一个发光单元至少包括阳极, 所述阳极包括阳极主体部和阳极连接部, 所述阳极连接部的一端与所述阳极主体部连接, 所述阳极连接部的另一端与所述像素驱动电路连接; 至少一个屏蔽电极在所述基底上的正投影与至少一个阳极的第二阳极中心线在所述基底上的正投影至少部分交叠, 所述第二阳极中心线是在第一方向上平分所述阳极主体部且沿着第二方向延伸的直线, 所述第一方向和所述第二方向交叉。

在阅读并理解了附图和详细描述后, 可以明白其他方面。

附图说明

附图用来提供对本公开技术方案的理解, 并且构成说明书的一部分, 与本公开的实施例一起用于解释本公开的技术方案, 并不构成对本公开技术方案的限制。

图 1 为一种显示装置的结构示意图；
 图 2 为一种显示基板的平面结构示意图；
 图 3 为一种显示基板的剖面结构示意图；
 图 4 为本公开示例性实施例一种像素驱动电路的等效电路示意图；
 图 5 为图 4 所示像素驱动电路的一种驱动时序图；
 图 6 为本公开示例性实施例一种显示基板的平面结构示意图；
 图 7 为本公开示例性实施例另一种显示基板的平面结构示意图；
 图 8 为本公开实施例形成第一半导体层图案后的示意图；
 图 9A 和图 9B 为本公开实施例形成第一导电层图案后的示意图；
 图 10A 和图 10B 为本公开实施例形成第二导电层图案后的示意图；
 图 11A 和图 11B 为本公开实施例形成第二半导体层图案后的示意图；
 图 12A 和图 12B 为本公开实施例形成第三导电层图案后的示意图；
 图 13 为本公开实施例形成第六绝缘层图案后的示意图；
 图 14A 和图 14B 为本公开实施例形成第四导电层图案后的示意图；
 图 14C 和图 14D 为图 14A 中网状结构的初始信号线的示意图；
 图 15 为本公开实施例形成第一平坦层图案后的示意图；
 图 16A 和图 16B 为本公开实施例形成第五导电层图案后的示意图；
 图 17 为本公开实施例形成第二平坦层图案后的示意图；
 图 18A 和图 18B 为本公开实施例形成第六导电层图案后的示意图；
 图 19 为本公开实施例形成第三平坦层图案后的示意图；
 图 20A 和图 20B 为本公开实施例形成阳极导电层图案后的示意图。

附图标记说明：

11—第一有源层；	12—第二有源层；	13—第三有源层；
14—第四有源层；	15—第五有源层；	16—第六有源层；
17—第七有源层；	18—第八有源层；	21—第一扫描信号线；
22—第二扫描信号线；	23—第三扫描信号线；	24—第四扫描信号线；
25—发光控制线；	31—第一遮挡线；	32—第二遮挡线；
33—第一初始连接电极；	41—第一初始信号线；	42—第二初始信号线；
43—第三初始信号线；	44—第一初始连接线；	45—第二初始连接线；
46—第三初始连接线；	51—第一连接电极；	52—第二连接电极；
53—第三连接电极；	54—第四连接电极；	55—第五连接电极；
56—第二初始连接电极；	61—第十一连接电极	62—第十二连接电极；
63—第十三连接电极	71—第一电源线；	72—数据连接线；
73—阳极连接电极；	74—遮挡电极；	81—第一极板；
82—第二极板；	83—开口；	84—第一极板连接线；
85—第二极板连接线；	90—阳极；	101—基底；
102—驱动电路层；	103—发光结构层；	104—封装结构层。

具体实施方式

为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图对本公开的实施例进行详细说明。注意，实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实，就是方式和内容可以在不脱离本公开的宗旨及其范围的条件下被变换为各种各样的形式。因此，本公开不应该被解释为仅限定在下面的实施方式所记载的内容中。在不冲突的情况下，本公开中的实施例及实施例中的特征

可以相互任意组合。

本公开中的附图比例可以作为实际工艺中的参考，但不限于此。例如：沟道的宽长比、各个膜层的厚度和间距、各个信号线的宽度和间距，可以根据实际需要进行调整。显示基板中像素的个数和每个像素中子像素的个数也不是限定为图中所示的数量，本公开中所描述的附图仅是结构示意图，本公开的一个方式不局限于附图所示的形状或数值等。

本说明书中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，而不是为了在数量方面上进行限定的。

在本说明书中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在说明书中说明的词句，根据情况可以适当地更换。

在本说明书中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以具体情况理解上述术语在本公开中的具体含义。

在本说明书中，晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极（漏电极端子、漏区域或漏电极）与源电极（源电极端子、源区域或源电极）之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。注意，在本说明书中，沟道区域是指电流主要流过的区域。

在本说明书中，第一极可以为漏电极、第二极可以为源电极，或者第一极可以为源电极、第二极可以为漏电极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况等下，“源电极”及“漏电极”的功能有时互相调换。因此，在本说明书中，“源电极”和“漏电极”可以互相调换，“源端”和“漏端”可以互相调换。

在本说明书中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

在本说明书中，“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态，因此，也包括该角度为 -5° 以上且 5° 以下的状态。另外，“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态，因此，也包括 85° 以上且 95° 以下的角度的状态。

在本说明书中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成为“导电膜”。与此同样，有时可以将“绝缘膜”换成为“绝缘层”。

本说明书中三角形、矩形、梯形、五边形或六边形等并非严格意义上的，可以是近似三角形、矩形、梯形、五边形或六边形等，可以存在公差导致的一些小变形，可以存在导角、弧边以及变形等。本公开中的“约”，是指不严格限定界限，允许工艺和测量误差范围内的数值。

图1为一种显示装置的结构示意图。如图1所示，显示装置可以包括时序控制器、数据驱动器、扫描驱动器、发光驱动器和像素阵列，时序控制器分别与数据驱动器、扫描驱动器和发光驱动器连接，数据驱动器分别与多个数据信号线（D1到Dn）连接，扫描驱动器分别与多个扫描信号线（S1到Sm）连接，发光驱动器分别与多个发光信号线（E1到Eo）连接。像素阵列可以包括多个子像素 P_{xij} ，i和j可以是自然数，至少一个子像素 P_{xij}

可以包括电路单元和发光单元，电路单元可以至少包括像素驱动电路，像素驱动电路分别与扫描信号线、发光信号线和数据信号线连接，发光单元可以包括发光器件，发光器件与电路单元的像素驱动电路连接。在示例性实施方式中，时序控制器可以将适合于数据驱动器的规格的灰度值和控制信号提供到数据驱动器，可以将适合于扫描驱动器的规格的时钟信号、扫描起始信号等提供到扫描驱动器，可以将适合于发光驱动器的规格的时钟信号、发射停止信号等提供到发光驱动器。数据驱动器可以利用从时序控制器接收的灰度值和控制信号来产生将提供到数据信号线 D1、D2、D3、.....和 Dn 的数据电压。例如，数据驱动器可以利用时钟信号对灰度值进行采样，并且以像素行为单位将与灰度值对应的数据电压施加到数据信号线 D1 至 Dn，n 可以是自然数。扫描驱动器可以通过从时序控制器接收时钟信号、扫描起始信号等来产生将提供到扫描信号线 S1、S2、S3、.....和 Sm 的扫描信号。例如，扫描驱动器可以将具有导通电平脉冲的扫描信号顺序地提供到扫描信号线 S1 至 Sm。例如，扫描驱动器可以被构造为移位寄存器的形式，并且可以在时钟信号的控制下顺序地将以导通电平脉冲形式提供的扫描起始信号传输到下一级电路的方式产生扫描信号，m 可以是自然数。发光驱动器可以通过从时序控制器接收时钟信号、发射停止信号等来产生将提供到发光信号线 E1、E2、E3、.....和 Eo 的发射信号。例如，发光驱动器可以将具有截止电平脉冲的发射信号顺序地提供到发光信号线 E1 至 Eo。例如，发光驱动器可以被构造为移位寄存器的形式，并且可以在时钟信号的控制下顺序地将以截止电平脉冲形式提供的发射停止信号传输到下一级电路的方式产生发射信号，o 可以是自然数。在示例性实施方式中，像素阵列可以设置在显示基板上。

图 2 为一种显示基板的平面结构示意图。如图 2 所示，显示基板可以包括以矩阵方式排布的多个像素单元 P，至少一个像素单元 P 可以包括第一子像素 P1、第二子像素 P2、第三子像素 P3 和第四子像素 P4。每个子像素可以均包括电路单元和发光单元，电路单元可以至少包括像素驱动电路，像素驱动电路分别与扫描信号线、数据信号线和发光信号线连接，像素驱动电路被配置为在扫描信号线和发光信号线的控制下，接收数据信号线传输的数据电压，向发光单元输出相应的电流。发光单元可以包括发光器件，发光器件与所在子像素的像素驱动电路连接，发光器件被配置为响应所在子像素的像素驱动电路输出的电流发出相应亮度的光。

在示例性实施方式中，第一子像素 P1 可以是出射红色光线的红色子像素（R），第二子像素 P2 和第四子像素 P4 可以是出射绿色光线的绿色子像素（G），第三子像素 P3 可以是出射蓝色光线的蓝色子像素（B）。在示例性实施方式中，子像素的形状可以是矩形、菱形、五边形或六边形，四个子像素可以采用水平并列、竖直并列或正方形等方式排列，本公开在此不做限定。

在一些可能的实施方式中，像素单元可以包括三个子像素，第一子像素 P1 可以是出射红色光线的红色子像素（R），第二子像素 P2 可以是出射绿色光线的绿色子像素（G），第三子像素 P3 可以是出射蓝色光线的蓝色子像素（B），三个子像素可以采用水平并列、竖直并列或品字等方式排列，本公开在此不做限定。

图 3 为一种显示基板的剖面结构示意图，示意了显示区域中四个子像素的结构。如图 3 所示，在垂直于显示基板的平面上，显示基板可以包括设置在基底 101 上的驱动电路层 102、设置在驱动电路层 102 远离基底 101 一侧的发光结构层 103 以及设置在发光结构层 103 远离基底 101 一侧的封装结构层 104。在一些可能的实现方式中，显示基板可以包括其它膜层，如触控结构层等，本公开在此不做限定。

在示例性实施方式中，基底 101 可以是柔性基底，或者可以是刚性基底。驱动电路层 102 可以包括多个电路单元，每个电路单元可以至少包括由多个晶体管和存储电容构成的像素驱动电路。发光结构层 103 可以包括多个发光单元，每个发光单元可以包括发

光器件，发光器件可以至少包括阳极、有机发光层和阴极，阳极与像素驱动电路连接，有机发光层与阳极连接，阴极与有机发光层连接，有机发光层在阳极和阴极驱动下出射相应颜色的光线。封装结构层 104 可以包括叠设的第一封装层、第二封装层和第三封装层，第一封装层和第三封装层可以采用无机材料，第二封装层可以采用有机材料，第二封装层设置在第一封装层和第三封装层之间，形成无机材料/有机材料/无机材料叠层结构，可以保证外界水汽无法进入发光结构层 103。

本公开示例性实施例提供了一种显示基板。在示例性实施方式中，显示基板包括设置在基底上的驱动电路层以及设置在所述驱动电路层远离所述基底一侧的发光结构层；所述驱动电路层包括多个电路单元，至少一个电路单元至少包括像素驱动电路和第一电源线，所述第一电源线被配置为向所述像素驱动电路提供第一电源线号；所述发光结构层包括多个发光单元，至少一个发光单元至少包括阳极，所述阳极包括阳极主体部和阳极连接部，所述阳极连接部的一端与所述阳极主体部连接，所述阳极连接部的另一端与所述像素驱动电路连接；至少一个电路单元还包括屏蔽电极，所述屏蔽电极与所述第一电源线连接，至少一个屏蔽电极在所述基底上的正投影与至少一个阳极的第二阳极中心线在所述基底上的正投影至少部分交叠，所述第二阳极中心线是在第一方向上平分所述阳极主体部且沿着第二方向延伸的直线，所述第一方向和所述第二方向交叉。

在示例性实施方式中，所述像素驱动电路至少包括作为补偿晶体管的第二晶体管和作为驱动晶体管的第三晶体管，所述第二晶体管的栅电极与第一扫描信号线连接，所述第二晶体管的第一极通过第二节点电极与所述第三晶体管的第二极连接，所述第二晶体管的第二极通过第一节点电极与所述第三晶体管的栅电极连接；所述阳极连接部在所述基底上的正投影与所述第二节点电极在所述基底上的正投影没有交叠。

在示例性实施方式中，所述第一电源线在所述基底上的正投影与所述第二节点电极在所述基底上的正投影没有交叠。

在示例性实施方式中，所述屏蔽电极设置在所述第一方向相邻两个电路单元的所述第二节点电极之间。

在示例性实施方式中，所述屏蔽电极在所述基底上的正投影与所述第二节点电极在所述基底上的正投影没有交叠。

在示例性实施方式中，所述第一节点电极在所述基底上的正投影与所述第一扫描信号线在所述基底上的正投影至少部分交叠。

在示例性实施方式中，至少一个电路单元还包括沿着所述第一方向延伸的第一初始信号线和沿着所述第二方向延伸的第一初始连接线，所述第一初始信号线被配置为向所述像素驱动电路提供第一初始信号，所述第一初始信号连接线与所述第一初始信号线连接，形成传输所述第一初始信号的网状连通结构，和/或，至少一个电路单元还包括沿着所述第一方向延伸的第二初始信号线和沿着所述第二方向延伸的第二初始连接线，所述第二初始信号线被配置为向所述像素驱动电路提供第二初始信号，所述第二初始信号连接线与所述第二初始信号线连接，形成传输所述第二初始信号的网状连通结构，和/或，至少一个电路单元还包括沿着所述第一方向延伸的第三初始信号线和沿着所述第二方向延伸的第三初始连接线，所述第三初始信号线被配置为向所述像素驱动电路提供第三初始信号，所述第三初始信号连接线与所述第三初始信号线连接，形成传输所述第三初始信号的网状连通结构。

在示例性实施方式中，所述第一初始连接线、所述第二初始连接线和所述第三初始连接线中的至少一个包括相互连接的第一初始连接电极和第二初始连接电极；在垂直于所述基底的方向上，所述驱动电路层包括多个导电层，所述第一初始连接电极和所述第二初始连接电极设置在不同的导电层中。

下面通过一些示例对本公开示例性实施例的显示基板进行举例说明。

图 4 为本公开示例性实施例一种像素驱动电路的等效电路示意图。如图 4 所示，像素驱动电路可以包括 8 个晶体管（第一晶体管 T1 至第八晶体管 T8）和 1 个存储电容 C，像素驱动电路分别与 10 个信号线（第一扫描信号线 S1、第二扫描信号线 S2、第三扫描信号线 S3、第四扫描信号线 S4、发光信号线 EM、第一初始信号线 INIT1、第二初始信号线 INIT2、第三初始信号线 INIT3、数据信号线 DATA 和第一电源线 VDD）连接。

在示例性实施方式中，像素驱动电路可以包括第一节点 N1、第二节点 N2、第三节点 N3 和第四节点 N4。其中，第一节点 N1 分别与第二晶体管 T2 的第二极、第三晶体管 T3 的栅电极和存储电容 C 的第一端连接，第二节点 N2 分别与第一晶体管 T1 的第二极、第二晶体管 T2 的第一极、第三晶体管 T3 的第二极、第六晶体管 T6 的第一极和第八晶体管 T8 的第二极连接，第三节点 N3 分别与第三晶体管 T3 的第一极、第四晶体管 T4 的第二极和第五晶体管 T5 的第二极连接，第四节点 N4 分别与第六晶体管 T6 的第二极和第七晶体管 T7 的第二极连接。

在示例性实施方式中，存储电容 C 的第一端与第一节点 N1 连接，存储电容 C 的第二端与第一电源线 VDD 连接。

在示例性实施方式中，第一晶体管 T1 可以称为第一初始化晶体管，第一晶体管 T1 的栅电极与第三扫描信号线 S3 连接，第一晶体管 T1 的第一极与第一初始信号线 INIT1 连接，第一晶体管 T1 的第二极与第二节点 N2 连接。

在示例性实施方式中，第二晶体管 T2 可以称为补偿晶体管，第二晶体管 T2 的栅电极与第一扫描信号线 S1 连接，第二晶体管 T2 的第一极与第二节点 N2 连接，第二晶体管 T2 的第二极与第一节点 N1 连接。

在示例性实施方式中，第三晶体管 T3 可以称为驱动晶体管，第三晶体管 T3 的栅电极与第一节点 N1 连接，第三晶体管 T3 的第一极与第三节点 N3 连接，第三晶体管 T3 的第二极与第二节点 N2 连接。

在示例性实施方式中，第四晶体管 T4 可以称为数据写入晶体管，第四晶体管 T4 的栅电极与第四扫描信号线 S4 连接，第四晶体管 T4 的第一极与数据信号线 DATA 连接，第四晶体管 T4 的第二极与第三节点 N3 连接。

在示例性实施方式中，第五晶体管 T5 可以称为第一发光控制晶体管，第五晶体管 T5 的栅电极与发光信号线 EM 连接，第五晶体管 T5 的第一极与第一电源线 VDD 连接，第五晶体管 T5 的第二极与第三节点 N3 连接。

在示例性实施方式中，第六晶体管 T6 可以称为第二发光控制晶体管，第六晶体管 T6 的栅电极与发光信号线 EM 连接，第六晶体管 T6 的第一极与第二节点 N2 连接，第六晶体管 T6 的第二极与第四节点 N4 连接。

在示例性实施方式中，第七晶体管 T7 可以称为第二初始化晶体管，第七晶体管 T7 的栅电极与第二扫描信号线 S2 连接，第七晶体管 T7 的第一极与第二初始信号线 INIT2 连接，第七晶体管 T7 的第二极与第四节点 N4 连接。

在示例性实施方式中，第八晶体管 T8 可以称为第三初始化晶体管，第八晶体管 T8 的栅电极与第二扫描信号线 S2 连接，第八晶体管 T8 的第一极与第三初始信号线 INIT3 连接，第八晶体管 T8 的第二极与第二节点 N2 连接。

在示例性实施方式中，发光器件 EL 的第一极与第四节点 N4 连接，发光器件 EL 的第二极与第二电源线 VSS 连接。发光器件 EL 可以是 OLED，包括叠设的第一极（阳极）、有机发光层和第二极（阴极），或者可以是 QLED，包括叠设的第一极、量子点发光层和第二极。

在示例性实施方式中，第一电源线 VDD 的信号为持续提供的高电平信号，第二电源

线 VSS 的信号为持续提供的低电平信号。

在一些可能示例性的实施方式中，像素驱动电路中的第一晶体管 T1 至第八晶体管 T8 可以是 P 型晶体管，或者可以是 N 型晶体管。在另一些可能示例性的实施方式中，像素驱动电路中的第一晶体管 T1 至第八晶体管 T8 可以包括 P 型晶体管和 N 型晶体管。

5 在示例性实施方式中，像素驱动电路中的第一晶体管 T1 至第八晶体管 T8 可以采用低温多晶硅晶体管，或者可以采用氧化物晶体管，或者可以采用低温多晶硅晶体管和氧化物晶体管。低温多晶硅晶体管的有源层采用低温多晶硅（Low Temperature Poly-Silicon，简称 LTPS），氧化物晶体管的有源层采用氧化物半导体（Oxide）。低温多晶硅晶体管具有迁移率高、充电快等优点，氧化物晶体管具有漏电流低等优点，将低温多晶硅晶体管和氧化物晶体管集成在一个显示基板上，形成低温多晶氧化物（Low Temperature Polycrystalline Oxide，简称 LTPO）显示基板，可以利用两者的优势，可以实现低频驱动，可以降低功耗，可以提高显示品质。

10 如图 4 所示，本示例性实施例中，像素驱动电路中的第一晶体管 T1 和第二晶体管 T2 可以采用氧化物晶体管（N 型晶体管），第三晶体管 T3 至第八晶体管 T8 可以采用低温多晶硅晶体管（P 型晶体管）。

15 图 5 为图 4 所示像素驱动电路的一种驱动时序图。如图 5 所示，在示例性实施方式中，像素驱动电路的工作过程可以包括：

20 第一阶段 A1，可以称为第二节点 N2 和第四节点 N4 复位阶段。第一扫描信号线 S1、第二扫描信号线 S2 和第三扫描信号线 S3 的信号为低电平信号，第四扫描信号线 S4 和发光信号线 EM 的信号为高电平信号，使第七晶体管 T7 和第八晶体管 T8 导通，其它开关晶体管断开。

25 第七晶体管 T7 导通使得第二初始信号线 INIT2 的信号提供至第四节点 N4，对发光器件 EL 的第一极进行初始化（复位），清除发光器件 EL 的第一极中原有电荷，使第四节点 N4 的电位为 Vinit2。第八晶体管 T8 导通使得第三初始信号线 INIT3 的信号提供至第二节点 N2，对第二节点 N2 进行初始化（复位），使第二节点 N2 的电位为 Vinit3。

第二阶段 A2，可以称为第一节点 N1 和第二晶体管 T2 复位阶段。第一扫描信号线 S1、第二扫描信号线 S2、第三扫描信号线 S3、第四扫描信号线 S4 和发光信号线 EM 的信号为高电平信号，使第一晶体管 T1 导通和第二晶体管 T2 导通，其它开关晶体管断开。

30 第一晶体管 T1 和第二晶体管 T2 导通使得第一初始信号线 INIT1 的信号分别提供至第一节点 N1 和第二节点 N2，对第一节点 N1 和第二节点 N2 进行初始化（复位），清除第一节点 N1 中原有电荷，第一节点 N1 和第二节点 N2 的电位为 Vinit1。

35 第三阶段 A3，可以称为数据写入阶段。第三扫描信号线 S3 的信号为低电平信号，第四扫描信号线 S4 的信号在一小段时间为低电平信号，第一扫描信号线 S1、第二扫描信号线 S2 和发光信号线 EM 的信号为高电平信号，使第二晶体管 T2 和第四晶体管 T4 导通，其它开关晶体管断开。

40 第二晶体管 T2 导通使得第一节点 N1 和第二节点 N2 导通，由于此阶段第三晶体管 T3 持续导通，因此第四晶体管 T4 导通使得数据信号线 DATA 输出的数据信号经过第三节点 N3、导通的第三晶体管 T3、第二节点 N2、导通的第二晶体管 T2 提供至第一节点 N1，并将数据信号线 DATA 输出的数据电压与第三晶体管 T3 的阈值电压之差充入存储电容 C，第一节点 N1 的电压为 $V_d - |V_{th}|$ ， V_d 为数据信号线 DATA 输出的数据电压， V_{th} 为第三晶体管 T3 的阈值电压。

第四阶段 A4，可以称为第二节点 N2、第三节点 N3 和第四节点 N4 复位阶段。

第一扫描信号线 S1 和第三扫描信号线 S3 的信号为低电平信号，第二扫描信号线 S2 的信号在一小段时间为低电平信号，第四扫描信号线 S4 和发光信号线 EM 的信号为高电

平信号，使第七晶体管 T7 和第八晶体管 T8 导通，其它开关晶体管断开。

第七晶体管 T7 导通使得第二初始信号线 INIT2 的信号提供至第四节点 N4，由于此阶段第三晶体管 T3 持续导通，第八晶体管 T8 导通使得第三初始信号线 INIT3 的信号提供至第二节点 N2 和第三节点 N3，分别对第二节点 N2、第三节点 N3 和第四节点 N4 进行复位，第二节点 N2 和第三节点 N3 的电位为 Vinit3，第四节点 N4 的电位为 Vinit2。本阶段对第二节点 N2、第三节点 N3 第四节点 N4 进行复位，可以消改善除相邻像素之间灰度差异引起的迟滞偏差，减小迟滞偏差，还可以对 OLED 阳极进行周期性的复位，改善低频的闪烁。

第五阶段 A5，可以称为发光阶段。第一扫描信号线 S1、第三扫描信号线 S3 和发光信号线 EM 的信号为低电平信号，第二扫描信号线 S2 和第四扫描信号线 S4 的信号为高电平信号，使第五晶体管 T5 和第六晶体管 T6 导通，其它开关晶体管断开。

第五晶体管 T5 和第六晶体管 T6 导通使第一电源线 VDD 输出的电源电压通过导通的第五晶体管 T5、第三节点 N3、导通的第三晶体管 T3、第二节点 N2、导通的第六晶体管 T6 向发光器件 EL 的第一极提供驱动电压，驱动发光器件 EL 发光。

在发光阶段，每个像素驱动电路的第三晶体管 T3 的驱动电流不受第三晶体管 T3 的阈值电压的影响，消除了第三晶体管 T3 的阈值电压对驱动电流的影响，可以保证显示产品的显示亮度均匀，提升了整个显示产品的显示效果。

图 6 为本公开示例性实施例一种显示基板的平面结构示意图，示意了多个电路单元(2 个单元行 4 个单元列)的平面结构。在示例性实施方式中，在垂直于显示基板的方向上，本公开示例性实施例显示基板可以包括设置在基底上的驱动电路层以及设置在驱动电路层远离基底一侧的发光结构层。在平行于显示基板的平面上，驱动电路层可以包括多个电路单元，至少一个电路单元可以包括像素驱动电路，像素驱动电路被配置为向所连接的发光器件输出相应的电流。发光结构层可以包括多个发光单元，至少一个发光单元可以包括发光器件，发光器件与对应电路单元的像素驱动电路连接，发光器件被配置为响应所连接的像素驱动电路输出的电流发出相应亮度的光。

在示例性实施例中，本公开中所说的电路单元，是按照像素驱动电路划分的区域。本公开中所说的发光单元，是按照发光器件划分的区域。在示例性实施例中，发光单元在基底上正投影的位置与电路单元在基底上正投影的位置可以是对应的，或者，发光单元在基底上正投影的位置与电路单元在基底上正投影的位置可以是不对应的。

在示例性实施方式中，多个电路单元可以形成多个多个单元行和多个单元列，每个单元行中的多个电路单元沿着第一方向 X 依次设置，多个单元行沿着第二方向 Y 依次设置，构成阵列排布的电路单元阵列，第一方向 X 与第二方向 Y 交叉。

如图 6 所示，至少一个电路单元可以包括像素驱动电路，以及与像素驱动电路连接的第一扫描信号线 21、第二扫描信号线 22、第三扫描信号线 23、第四扫描信号线 24、发光信号线 25、第一初始信号线 41、第二初始信号线 42、第三初始信号线 43、第一电源线 71 和数据信号线 72。在示例性实施方式中，第一扫描信号线 21、第二扫描信号线 22、第三扫描信号线 23、第四扫描信号线 24、发光信号线 25、第一初始信号线 41、第二初始信号线 42 和第三初始信号线 43 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状，第一电源线 71 和数据信号线 72 的形状可以为主体部分沿着第二方向 Y 延伸的直线状或者折线状。在示例性实施方式中，第一扫描信号线 21、第二扫描信号线 22、第三扫描信号线 23 和第四扫描信号线 24 被配置为向像素驱动电路提供扫描信号，发光信号线 25 被配置为向像素驱动电路提供发光控制信号，第一初始信号线 41、第二初始信号线 42 和第三初始信号线 43 被配置为向像素驱动电路提供初始信号，第一电源线 71 被配置为向像素驱动电路提供第一电源信号，数据信号线 72 被配置为向像素驱动电路提供数据

信号。

本公开中，A 沿着 B 方向延伸是指，A 可以包括主要部分和与主要部分连接的次要部分，主要部分是线、线段或条形状体，主要部分沿着 B 方向伸展，且主要部分沿着 B 方向伸展的长度大于次要部分沿着其它方向伸展的长度。以下描述中所说的“A 沿着 B 方向延伸”均是指“A 的主体部分沿着 B 方向延伸”。

在示例性实施方式中，至少一个电路单元中的像素驱动电路可以包括存储电容和多个晶体管，存储电容可以包括叠设的第一极板和第二极板，多个晶体管可以包括作为第一初始化晶体管的第一晶体管 T1、作为补偿晶体管的第二晶体管 T2、作为驱动晶体管的第三晶体管 T3、作为数据写入晶体管的第四晶体管 T4、作为第一发光控制晶体管的第五晶体管 T5、作为第二发光控制晶体管的第六晶体管 T6、作为第二初始化晶体管的第七晶体管 T7 和作为第三初始化晶体管的第八晶体管 T8。其中，第一晶体管 T1 和第二晶体管 T2 为氧化物晶体管，第三晶体管 T3 至第八晶体管 T8 为低温多晶硅晶体管。

在示例性实施方式中，第一晶体管 T1 的栅电极与第三扫描信号线 23 连接，第一晶体管 T1 的第一极与第一初始信号线 41 连接，第一晶体管 T1 的第二极与第二晶体管 T2 的第一极连接。第二晶体管 T2 的栅电极与第一扫描信号线 21 连接，第二晶体管 T2 的第一极通过作为第二节点电极的第二连接电极 52 与第三晶体管 T3 的第二极连接，第二晶体管 T2 的第二极通过作为第一节点电极的第一连接电极 51 与第三晶体管 T3 的栅电极（第一极板）连接。第四晶体管 T4 的栅电极与第四扫描信号线 24 连接，第四晶体管 T4 的第一极与数据信号线 72 连接，第四晶体管 T4 的第二极与第三晶体管 T3 的第一极连接。第五晶体管 T5 的栅电极与发光信号线 25 连接，第五晶体管 T5 的第一极与第一电源线 71 连接，第五晶体管 T5 的第二极与第三晶体管 T3 的第一极连接。第六晶体管 T6 的栅电极与发光信号线 25 连接，第六晶体管 T6 的第一极与第三晶体管 T3 的第二极连接，第六晶体管 T6 的第二极与第七晶体管 T7 的第二极连接。第七晶体管 T7 的栅电极与第二扫描信号线 22 连接，第七晶体管 T7 的第一极与第二初始信号线 42 连接。第八晶体管 T8 的栅电极与第二扫描信号线 22 连接，第八晶体管 T8 的第一极与第三初始信号线 43 连接，第八晶体管 T8 的第二极通过第二连接电极 52 与第三晶体管 T3 的第二极连接。

在示例性实施方式中，部分第一方向 X 相邻的两个电路单元中的第一电源线 71 可以为相互连接的一体结构。

在示例性实施方式中，第一电源线 71 在基底上的正投影与第一连接电极 51 在基底上的正投影至少部分交叠。

在示例性实施方式中，第一电源线 71 在基底上的正投影与第二晶体管 T2 的有源层在基底上的正投影至少部分交叠。

在示例性实施方式中，第一连接电极 51 在基底上的正投影与第一扫描信号线 21 在基底上的正投影至少部分交叠。

在示例性实施方式中，第一电源线 71 在基底上的正投影与第二连接电极 52 在基底上的正投影没有交叠。

在示例性实施方式中，至少一个电路单元还包括屏蔽电极 74，屏蔽电极 74 与第一电源线 71 连接，且设置在第一方向 X 相邻两个电路单元的第二连接电极 52 之间。

在示例性实施方式中，屏蔽电极 74 在基底上的正投影与第二连接电极 52 基底上的正投影没有交叠。

在示例性实施方式中，第二连接电极 52 在基底上的正投影与第四扫描信号线 24 基底上的正投影没有交叠。

图 7 为本公开示例性实施例另一种显示基板的平面结构示意图，示意了多个发光单元中阳极的平面结构。在示例性实施方式中，发光结构层可以包括多个发光单元，至少一个

发光单元可以包括发光器件，至少一个发光器件可以包括阳极 90，阳极 90 与对应电路单元的像素驱动电路连接。

如图 7 所示，至少一个阳极 90 可以包括阳极主体部和阳极连接部，阳极主体部的形状可以为圆形状或者椭圆形状，阳极连接部的形状可以为条形状，阳极连接部的一端与阳极主体部直接连接，阳极连接部的另一端通过过孔与像素驱动电路连接。

在示例性实施方式中，至少一个阳极的阳极主体部可以具有第一阳极中心线 OX 和第二阳极中心线 OY，第一阳极中心线 OX 可以是在第二方向 Y 上平分该阳极的阳极主体部且沿着第一方向 X 延伸的直线，第二阳极中心线 OY 可以是在第一方向 X 上平分该阳极的阳极主体部且沿着第二方向 Y 延伸的直线。

在示例性实施方式中，至少一个屏蔽电极 74 在基底上的正投影与至少一个阳极 90 的第二阳极中心线 OY 在基底上的正投影至少部分交叠。

在示例性实施方式中，至少一个阳极 90 的阳极主体部在基底上的正投影与第一方向 X 上相邻的两个电路单元中的两条第一电源线 71 在基底上的正投影至少部分交叠，且两条第一电源线 71 可以相对于第二阳极中心线 OY 镜像对称。

在示例性实施方式中，至少一个阳极 90 的阳极连接部在基底上的正投影与第二连接电极 52 在基底上的正投影没有交叠。

在示例性实施方式中，至少一条第一电源线 71 上可以设置有第一电源块 71-1 和第二电源块 71-2，至少一个阳极 90 的阳极主体部在基底上的正投影与第一电源块 71-1 和第二电源块 71-2 在基底上的正投影至少部分交叠，第一电源块 71-1 和第二电源块 71-2 可以相对于第一阳极中心线 OX 镜像对称。

在示例性实施方式中，至少一个阳极 90 的阳极主体部在基底上的正投影与第一方向 X 上相邻的两个电路单元中的两个第一电源块 71-1 在基底上的正投影至少部分交叠，两个第一电源块 71-1 可以相对于第二阳极中心线 OY 镜像对称。

在示例性实施方式中，至少一个阳极 90 的阳极主体部在基底上的正投影与第一方向 X 上相邻的两个电路单元中的两个第二电源块 71-2 在基底上的正投影至少部分交叠，两个第二电源块 71-2 可以相对于第二阳极中心线 OY 镜像对称。

在示例性实施方式中，驱动电路层可以包括在基底上依次设置的第一绝缘层、第一半导体层、第二绝缘层、第一导电层、第三绝缘层、第二导电层、第四绝缘层、第二半导体层、第五绝缘层、第三导电层、第六绝缘层、第四导电层、第一平坦层、第五导电层、第二平坦层、第六导电层和第三平坦层。第一半导体层可以至少包括第三晶体管 T3 至第八晶体管 T8 的有源层，第一导电层可以至少包括第二扫描信号线 22、第四扫描信号线 24 和存储电容的第一极板，第二导电层可以至少包括存储电容的第二极板，第二半导体层可以至少包括第一晶体管 T1 和第二晶体管 T2 的有源层，第三导电层可以至少包括第一扫描信号线 21、第三扫描信号线 23 和第一初始连接电极 33，第四导电层可以至少包括第二初始连接电极 46，第五导电层可以至少包括多个连接电极，第六导电层可以至少包括第一电源线 71、数据信号线 72 和屏蔽电极 74。

下面通过显示基板的制备过程进行示例性说明。本公开所说的“图案化工艺”，对于金属材料、无机材料或透明导电材料，包括沉积膜层、在膜层上涂覆光刻胶、掩模曝光、显影、刻蚀、剥离光刻胶等处理，对于有机材料，包括涂覆有机材料、掩模曝光和显影等处理。沉积可以采用溅射、蒸镀、化学气相沉积中的任意一种或多种，涂覆可以采用喷涂、旋涂和喷墨打印中的任意一种或多种，刻蚀可以采用干刻和湿刻中的任意一种或多种，本公开不做限定。“薄膜”是指将某一种材料在基底上利用沉积、涂覆或其它工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需图案化工艺，则该“薄膜”还可以称为“层”。若在整个制作过程当中该“薄膜”需图案化工艺，则在图案化工艺前称为“薄膜”，图案化工

艺后称为“层”。经过图案化工艺后的“层”中包含至少一个“图案”。本公开所说的“A 和 B 同层设置”是指，A 和 B 通过同一次图案化工艺同时形成，膜层的“厚度”为膜层在垂直于显示基板方向上的尺寸。本公开示例性实施方式中，“B 的正投影位于 A 的正投影的范围之内”或者“A 的正投影包含 B 的正投影”是指，B 的正投影的边界落入 A 的正投影的边界范围内，或者 A 的正投影的边界与 B 的正投影的边界重叠。

在示例性实施方式中，以 8 个电路单元（2 个单元行、4 个单元列）为例，显示基板的制备过程可以包括如下操作。

（1）形成第一半导体层图案。在示例性实施方式中，形成第一半导体层图案可以包括：在基底上依次沉积第一绝缘薄膜和第一半导体薄膜，通过图案化工艺对第一半导体薄膜进行图案化，形成覆盖基底的第一绝缘层，以及设置在第一绝缘层上的第一半导体层图案，如图 8 所示。

在示例性实施方式中，每个电路单元中的第一半导体层图案可以包括第三晶体管 T3 的第三有源层 13 至第八晶体管 T8 的第八有源层 18，且电路单元中的第三有源层 13 至第七有源层 17 为相互连接的一体结构。

在示例性实施方式中，在第一方向 X 上，第四有源层 14 和第五有源层 15 可以位于本电路单元中第三有源层 13 的同一侧，第六有源层 16 和第七有源层 17 可以位于本电路单元中第三有源层 13 的同一侧，第五有源层 15 和第六有源层 16 可以位于本电路单元的第三有源层 13 的不同侧。在第二方向 Y 上，第 M 电路行中电路单元的第四有源层 14 可以位于第三有源层 13 远离第 M+1 电路行的一侧，第 M 电路行中电路单元的第五有源层 15、第六有源层 16、第七有源层 17 和第八有源层 18 可以位于第三有源层 13 靠近第 M+1 单元行电路单元的一侧。

在示例性实施方式中，第三有源层 13 的形状可以呈“Ω”字形，第四有源层 14、第五有源层 15、第六有源层 16、第七有源层 17 和第八有源层 18 的形状可以呈“T”字形。

在示例性实施方式中，每个晶体管的有源层可以包括第一区、第二区以及位于第一区和第二区之间的沟道区。在示例性实施方式中，第三有源层 13 的第一区 13-1、第四有源层 14 的第二区 14-2 和第五有源层 15 的第二区 15-2 可以相互连接，第三有源层 13 的第一区 13-1 可以同时作为第四有源层 14 的第二区 14-2 和第五有源层 15 的第二区 15-2。第三有源层 13 的第二区 13-2 与第六有源层 16 的第一区 16-1 连接，第三有源层 13 的第二区 13-2 可以作为第六有源层 16 的第一区 16-1。第六有源层 16 的第二区 16-2 与第七有源层 17 的第二区 17-2 连接，第六有源层 16 的第二区 16-2 可以作为第七有源层 17 的第二区 17-2。第四有源层 14 的第一区 14-1、第五有源层 15 的第一区 15-1、第七有源层 17 的第一区 17-1、第八有源层 18 的第一区 18-1 和第八有源层 18 的第二区 18-2 可以单独设置。

在示例性实施方式中，一个单元行中，相邻两个电路单元中的第一半导体层可以相对于列中心线对称设置，列中心线可以是位于第一方向 X 相邻的两个电路单元之间且沿着第二方向 Y 延伸的直线。例如，第 N 单元列和第 N+1 单元列的第一半导体层（第三有源层 13 至第八有源层 18）可以相对于列中心线对称设置。又如，第 N+1 单元列和第 N+2 单元列的第一半导体层可以相对于列中心线对称设置。

在示例性实施方式中，相邻单元行中的第一半导体层可以基本上相同。

在示例性实施方式中，第一半导体层可以采用多晶硅（p-Si），即第三晶体管至第八晶体管为 LTPS 薄膜晶体管。在示例性实施方式中，通过图案化工艺对第一半导体薄膜进行图案化，可以包括：先在第一绝缘薄膜上形成非晶硅（a-si）薄膜，对非晶硅薄膜进行脱氢处理，对脱氢处理后的非晶硅薄膜进行结晶处理，形成多晶硅薄膜。随后，对多晶硅薄膜进行图案化，形成第一半导体层图案。

（2）形成第一导电层图案。在示例性实施方式中，形成第一导电层图案可以包括：

在形成前述图案的基底上，依次沉积第二绝缘薄膜和第一导电薄膜，通过图案化工艺对第一导电薄膜进行图案化，形成覆盖第一半导体层图案的第二绝缘层，以及设置在第二绝缘层上的第一导电层图案，如图 9A 和图 9B 所示，图 9B 为图 9A 中第一导电层的平面示意图。在示例性实施方式中，第一导电层可以称为第一栅金属（GATE1）层。

5 在示例性实施方式中，每个电路单元中的第一导电层图案至少包括：第二扫描信号线 22、第四扫描信号线 24、发光控制线 25 和存储电容的第一极板 81。

10 在示例性实施方式中，第一极板 81 的形状可以为矩形状，矩形状的角部可以设置倒角，第一极板 81 在基底上的正投影与第三晶体管 T3 的第三有源层在基底上的正投影至少部分交叠。在示例性实施方式中，第一极板 81 可以同时作为存储电容的一个极板和第三晶体管 T3 的栅电极。

15 在示例性实施方式中，第二扫描信号线 22 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状，第 M 单元行电路单元中的第二扫描信号线 22 可以位于本电路单元的第一极板 81 靠近第 M+1 单元行电路单元的一侧，第二扫描信号线 22 与本电路单元的第七有源层相重叠的区域作为第七晶体管 T7 的栅电极，第二扫描信号线 22 与本电路单元的第八有源层相重叠的区域作为第八晶体管 T8 的栅电极。

在示例性实施方式中，第四扫描信号线 24 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状，第 M 单元行电路单元中的第四扫描信号线 24 可以位于本电路单元的第一极板 81 远离第 M+1 单元行电路单元的一侧，第四扫描信号线 24 与本电路单元的第四有源层相重叠的区域作为第四晶体管 T4 的栅电极。

20 在示例性实施方式中，发光控制线 25 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状，发光控制线 25 可以位于第一极板 81 与第二扫描信号线 22 之间，发光控制线 25 与本电路单元的第五有源层相重叠的区域作为第五晶体管 T5 的栅电极，发光控制线 25 与本电路单元的第六有源层相重叠的区域作为第六晶体管 T6 的栅电极。

25 在示例性实施方式中，一个单元行中，相邻两个电路单元中的第一导电层可以相对于列中心线对称设置。例如，第 N 单元列和第 N+1 单元列的第一导电层可以相对于列中心线对称设置。又如，第 N+1 单元列和第 N+2 单元列的第一导电层可以相对于列中心线对称设置。

在示例性实施方式中，相邻单元行中的第一导电层可以基本上相同。

30 在示例性实施方式中，形成第一导电层图案后，可以利用第一导电层作为遮挡，对第一半导体层进行导体化处理，被第一导电层遮挡区域的第一半导体层形成第三晶体管 T3 至第八晶体管 T8 的沟道区域，未被第一导电层遮挡区域的第一半导体层被导体化，即第三有源层至第八有源层的第一区和第二区均被导体化。

35 （3）形成第二导电层图案。在示例性实施方式中，形成第二导电层图案可以包括：在形成前述图案的基底上，依次沉积第三绝缘薄膜和第二导电薄膜，采用图案化工艺对第二导电薄膜进行图案化，形成覆盖第一导电层的第三绝缘层，以及设置在第三绝缘层上的第二导电层图案，如图 10A 和图 10B 所示，图 10B 为图 10A 中第二导电层的平面示意图。在示例性实施方式中，第二导电层可以称为第二栅金属（GATE2）层。

在示例性实施方式中，每个电路单元中的第二导电层图案至少包括：第一遮挡线 31、第二遮挡线 32 和存储电容的第二极板 82。

40 在示例性实施方式中，第二极板 82 的轮廓可以为矩形状，矩形状的角部可以设置倒角，第二极板 82 在基底上的正投影与第一极板 81 在基底上的正投影至少部分交叠，第二极板 82 可以作为存储电容的另一个极板，第一极板 81 和第二极板 82 构成像素驱动电路的存储电容。

在示例性实施方式中，第二极板 82 上设置有开口 83，开口 83 的形状可以为块形（如

矩形) 状, 可以位于第二极板 82 的中部, 使第二极板 82 形成环形结构。开口 83 暴露出覆盖第一极板 81 的第三绝缘层, 且第一极板 81 在基底上的正投影包含开口 83 在基底上的正投影。在示例性实施方式中, 开口 83 被配置为容置后续形成的第十一过孔, 第十一过孔位于开口 83 内并暴露出第一极板 81, 使后续形成的第一连接电极与第一极板 81 连接。

在示例性实施方式中, 第二极板 82 上可以设置有第一极板连接线 84 和第二极板连接线 85, 第一极板连接线 84 和第二极板连接线 85 可以分别设置在第二极板 82 第一方向 X 的两侧, 且分别与第一方向 X 相邻电路单元中的第二极板 82 连接, 使得一个单元行中相邻电路单元中的第二极板 82 相互连接。例如, 第 N 列的第二极板 82 和第 N+1 列的第二极板 82 可以通过第一极板连接线 84 相互连接。又如, 第 N+1 列的第二极板 82 和第 N+2 列的第二极板 82 可以通过第二极板连接线 85 相互连接。由于每个电路单元中的第二极板 82 与后续形成的第一电源线连接, 通过将相邻电路单元的第二极板 82 形成相互连接的一体结构, 一体结构的第二极板 82 可以复用为电源信号线, 可以保证一单元行中的多个第二极板 82 具有相同的电位, 有利于提高面板的均一性, 避免显示基板的显示不良, 保证显示基板的显示效果。

在示例性实施方式中, 第一极板连接线 84 和第二极板连接线 85 的宽度可以不同, 宽度是第二方向 Y 的尺寸。

在示例性实施方式中, 第一遮挡线 31 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状, 第一遮挡线 31 可以位于第二极板 82 和第四扫描信号线 24 之间。在示例性实施方式中, 第一遮挡线 31 可以为非等宽度的折线, 第一遮挡线 31 与后续形成的第二有源层相重叠位置的宽度可以大于其它位置的宽度, 较宽位置的第一遮挡线 31 可以作为第二晶体管 T2 的遮挡层, 以遮挡第二晶体管 T2 的沟道区域, 保证氧化物第二晶体管 T2 的电学性能。在示例性实施方式中, 第一遮挡线 31 可以同时作为第二晶体管 T2 的底栅电极。

在示例性实施方式中, 第一遮挡线 31 可以为非等宽度的直线或者折线, 宽度是第二方向 Y 的尺寸。第一遮挡线 31 可以至少包括相互连接的第一子遮挡线段 31-1 和第二子遮挡线段 31-2, 第一子遮挡线段 31-1 的宽度大于第二子遮挡线段 31-2 的宽度。在示例性实施方式中, 第一子遮挡线段 31-1 可以设置在后续形成的第二有源层所在区域, 第一子遮挡线段 31-1 在基底上的正投影与第二有源层在基底上的正投影至少部分交叠, 第二子遮挡线段 31-2 可以设置在后续形成的第二有源层以外区域, 第二子遮挡线段 31-2 在基底上的正投影与第二有源层在基底上的正投影没有交叠。

在示例性实施方式中, 第二遮挡线 32 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状, 第二遮挡线 32 可以位于第四扫描信号线 24 远离第二极板 82 的一侧。在示例性实施方式中, 第二遮挡线 32 可以为非等宽度的折线, 第二遮挡线 32 与后续形成的第一有源层相重叠位置的宽度可以大于其它位置的宽度, 较宽位置的第二遮挡线 32 可以作为第一晶体管 T1 的遮挡层, 以遮挡第一晶体管 T1 的沟道区域, 保证氧化物第一晶体管 T1 的电学性能。在示例性实施方式中, 第二遮挡线 32 可以同时作为第一晶体管 T1 的底栅电极。

在示例性实施方式中, 一个单元行中, 相邻两个电路单元中的第二导电层可以相对于列中心线对称设置。例如, 第 N 单元列和第 N+1 单元列的第二导电层可以相对于列中心线对称设置。又如, 第 N+1 单元列和第 N+2 单元列的第二导电层可以相对于列中心线对称设置。

在示例性实施方式中, 相邻单元行中的第二导电层可以基本上相同。

(4) 形成第二半导体层图案。在示例性实施方式中, 形成第二半导体层图案可以包

括:在形成前述图案的基底上,依次沉积第四绝缘薄膜和第二半导体薄膜,通过图案化工艺对第二半导体薄膜进行图案化,形成覆盖基底的第四绝缘层,以及设置在第四绝缘层上的第二半导体层图案,如图 11A 和图 11B 所示,图 11B 为图 11A 中第二半导体层的平面示意图。

5 在示例性实施方式中,每个电路单元中的第二半导体层图案至少包括:第一晶体管 T1 的第一有源层 11 和第二晶体管 T2 的第二有源层 12。

在示例性实施方式中,第一有源层 11 和第二有源层 12 的形状可以呈“T”字形,第一有源层 11 在基底上的正投影与第二遮挡线 32 在基底上的正投影至少部分交叠,第二有源层 12 在基底上的正投影与第一遮挡线 31 在基底上的正投影至少部分交叠。

10 在示例性实施方式中,第一有源层 11 的第一区 11-1 可以位于第二遮挡线 32 远离第二极板 82 的一侧,第二有源层 12 的第二区 12-2 可以位于第一遮挡线 31 靠近第二极板 82 的一侧,第一有源层 11 的第二区 11-2 和第二有源层 12 的第一区 12-1 可以相互连接,第一有源层 11 的第二区 11-2 可以作为第二有源层 12 的第一区 12-1。

15 在示例性实施方式中,一个单元行中,相邻两个电路单元中的第二半导体层可以相对于列中心线对称设置。例如,第 N 单元列和第 N+1 单元列的第二半导体层可以相对于列中心线对称设置。又如,第 N+1 单元列和第 N+2 单元列的第二半导体层可以相对于列中心线对称设置。

在示例性实施方式中,相邻单元行中的第二半导体层可以基本上相同。

20 在示例性实施方式中,第二半导体层可以采用氧化物,即第一晶体管 T1 和第二晶体管 T2 为氧化物晶体管。在示例性实施方式中,第二半导体薄膜可以采用氧化铟镓锌(IGZO),氧化铟镓锌(IGZO)的电子迁移率高于非晶硅。

25 (5) 形成第三导电层图案。在示例性实施方式中,形成第三导电层图案可以包括:在形成前述图案的基底上,依次沉积第五绝缘薄膜和第三导电薄膜,采用图案化工艺对第三导电薄膜进行图案化,形成覆盖第二半导体层的第五绝缘层,以及设置在第五绝缘层上的第三导电层图案,如图 12A 和图 12B 所示,图 12B 为图 12A 中第三导电层的平面示意图。在示例性实施方式中,第三导电层可以称为第三栅金属(GATE3)层。

在示例性实施方式中,每个电路单元中的第三导电层图案至少包括:第一扫描信号线 21、第三扫描信号线 23 和第一初始连接电极 33。

30 在示例性实施方式中,第一扫描信号线 21 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状,第一扫描信号线 21 可以位于第二极板 82 和第四扫描信号线 24 之间,第一扫描信号线 21 与第二有源层相重叠的区域作为第二晶体管 T2 的栅电极。

35 在示例性实施方式中,第一扫描信号线 21 在基底上的正投影与第一遮挡线 31 在基底上的正投影至少部分交叠,第一扫描信号线 21 和第一遮挡线 31 可以连接相同的信号源,使得第一遮挡线 31 可以作为第二晶体管 T2 的底栅电极,第一扫描信号线 21 可以作为第二晶体管 T2 的顶栅电极,形成顶栅底栅结构的第二晶体管 T2。

40 在示例性实施方式中,第一扫描信号线 21 可以为非等宽度的直线或者折线,宽度是第二方向 Y 的尺寸。第一扫描信号线 21 可以至少包括相互连接的第一子扫描线段 21-1 和第二子扫描线段 21-2,第一子扫描线段 21-1 的宽度大于第二子扫描线段 21-2 的宽度。在示例性实施方式中,第一子扫描线段 21-1 可以设置在第二有源层所在区域,第一子扫描线段 21-1 在基底上的正投影与第二有源层在基底上的正投影至少部分交叠,第二子扫描线段 21-2 可以设置在第二有源层以外区域,第二子扫描线段 21-2 在基底上的正投影与第二有源层在基底上的正投影没有交叠。

在示例性实施方式中,第一子扫描线段 21-1 在基底上的正投影与第一子遮挡线段 31-1 在基底上的正投影至少部分交叠,第二子扫描线段 21-2 在基底上的正投影与第二子

遮挡线段 31-2 在基底上的正投影至少部分交叠。

在示例性实施方式中，第三扫描信号线 23 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状，第三扫描信号线 23 可以位于第四扫描信号线 24 远离第二极板 82 的一侧，第三扫描信号线 23 与第一有源层相重叠的区域作为第一晶体管 T1 的栅电极。

5 在示例性实施方式中，第三扫描信号线 23 在基底上的正投影与第二遮挡线 32 在基底上的正投影至少部分交叠，第三扫描信号线 23 和第二遮挡线 32 可以连接相同的信号源，使得第二遮挡线 32 可以作为第一晶体管 T1 的底栅电极，第三扫描信号线 23 可以作为第一晶体管 T1 的顶栅电极，形成顶栅底栅结构的第一晶体管 T1。

10 在示例性实施方式中，第一初始连接电极 33 的形状为主体部分沿着所述第二方向延伸的折线状，第一初始连接电极 33 被配置为与后续形成的第二初始连接电极连接，且第一初始连接电极和第二初始连接电极一起组成初始连接线。

15 在示例性实施方式中，第一初始连接电极 33 可以包括第一端 33A、第二端 33B、第一连接块 33-1、第二连接块 33-2 和第三连接块 33-3。第一初始连接电极 33 的第一端 33A 为第一初始连接电极 33 靠近第一扫描信号线 21 的端部，第一初始连接电极 33 的第二端 33B 为第一初始连接电极 33 靠近第三扫描信号线 23 的端部。第一连接块 33-1 可以设置在第一端 33A 靠近第二端 33B 的一侧，第一连接块 33-1 被配置为与后续形成的第一初始信号线连接。第二连接块 33-2 可以设置在第一连接块 33-1 靠近第二端 33B 的一侧，第二连接块 33-2 被配置为与后续形成的第二初始信号线连接。第三连接块 33-3 可以设置在第二连接块 33-2 靠近第二端 33B 的一侧，第三连接块 33-3 被配置为与后续形成的第三初始信号线连接。

20 在示例性实施方式中，一个单元行中，相邻两个电路单元中的第三导电层可以相对于列中心线对称设置。例如，第 N 单元列和第 N+1 单元列的第三导电层可以相对于列中心线对称设置。又如，第 N+1 单元列和第 N+2 单元列的第三导电层可以相对于列中心线对称设置。

25 在示例性实施方式中，相邻单元行中的第三导电层可以基本上相同。

(6) 形成第六绝缘层图案。在示例性实施方式中，形成第六绝缘层图案可以包括：在形成前述图案的基底上，沉积第六绝缘薄膜，采用图案化工艺对第六绝缘薄膜进行图案化，形成覆盖第三导电层的第六绝缘层，第六绝缘层上设置有多个过孔，如图 13 所示。

30 在示例性实施方式中，每个电路单元中的多个过孔至少包括：第一过孔 V1 至第十四过孔 V14。

在示例性实施方式中，第一过孔 V1 在基底上的正投影位于第一有源层的第一区在基底上的正投影的范围之内，第一过孔 V1 内的第六绝缘层和第五绝缘层被刻蚀掉，暴露出第一有源层的第一区的表面，第一过孔 V1 被配置为使后续形成的第一初始信号线通过该过孔与第一有源层的第一区连接。

35 在示例性实施方式中，第二过孔 V2 在基底上的正投影位于第一有源层的第二区（也是第二有源层的第一区）在基底上的正投影的范围之内，第二过孔 V2 内的第六绝缘层和第五绝缘层被刻蚀掉，暴露出第一有源层的第二区（也是第二有源层的第一区）的表面，第二过孔 V2 被配置为使后续形成的第二连接电极通过该过孔与第一有源层的第二区（也是第二有源层的第一区）连接。

40 在示例性实施方式中，在第二过孔 V2 所在区域，第四扫描信号线 24 上设置有弯曲部，弯曲部向着远离第二极板 82 方向的凸出，使得第二过孔 V2 在基底上的正投影与第四扫描信号线 24 在基底上的正投影没有交叠。

在示例性实施方式中，第三过孔 V3 在基底上的正投影位于第二有源层的第二区在基底上的正投影的范围之内，第三过孔 V3 内的第六绝缘层和第五绝缘层被刻蚀掉，暴露出

第二有源层的第二区的表面，第三过孔 V3 被配置为使后续形成的第一连接电极通过该过孔与第二有源层的第二区连接。

在示例性实施方式中，第四过孔 V4 在基底上的正投影位于第三有源层的第二区（也是第六有源层的第一区）在基底上的正投影的范围之内，第四过孔 V4 内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第三有源层的第二区（也是第六有源层的第一区）的表面，第四过孔 V4 被配置为使后续形成的第二连接电极通过该过孔与第三有源层的第二区（也是第六有源层的第一区）连接。

在示例性实施方式中，第五过孔 V5 在基底上的正投影位于第四有源层的第一区在基底上的正投影的范围之内，第五过孔 V5 内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第四有源层的第一区的表面，第五过孔 V5 被配置为使后续形成的第三连接电极通过该过孔与第四有源层的第一区连接。

在示例性实施方式中，第六过孔 V6 在基底上的正投影位于第五有源层的第一区在基底上的正投影的范围之内，第六过孔 V6 内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第五有源层的第一区的表面，第六过孔 V6 被配置为使后续形成的第四连接电极通过该过孔与第五有源层的第一区连接。

在示例性实施方式中，第七过孔 V7 在基底上的正投影位于第六有源层的第二区（也是第七有源层的第二区）在基底上的正投影的范围之内，第七过孔 V7 内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第六有源层的第二区（也是第七有源层的第二区）的表面，第七过孔 V7 被配置为使后续形成的第五连接电极 55 通过该过孔与第六有源层的第二区（也是第七有源层的第二区）连接。

在示例性实施方式中，第八过孔 V8 在基底上的正投影位于第七有源层的第一区在基底上的正投影的范围之内，第八过孔 V8 内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第七有源层的第一区的表面，第八过孔 V8 被配置为使后续形成的第二初始信号线通过该过孔与第七有源层的第一区连接。

在示例性实施方式中，第九过孔 V9 在基底上的正投影位于第八有源层的第一区在基底上的正投影的范围之内，第九过孔 V9 内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第八有源层的第一区的表面，第九过孔 V9 被配置为使后续形成的第三初始信号线通过该过孔与第八有源层的第一区连接。

在示例性实施方式中，第十过孔 V10 在基底上的正投影位于第八有源层的第二区在基底上的正投影的范围之内，第十过孔 V10 内的第六绝缘层、第五绝缘层、第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第八有源层的第二区的表面，第十过孔 V10 被配置为使后续形成的第二连接电极通过该过孔与第八有源层的第二区连接。

在示例性实施方式中，第十一过孔 V11 在基底上的正投影位于开口 83 在基底上的正投影的范围之内，第十一过孔 V11 内的第六绝缘层、第五绝缘层、第四绝缘层和第三绝缘层被刻蚀掉，暴露出第一极板 31 的表面，第十一过孔 V11 配置为使后续形成的第一连接电极通过该过孔与第一极板 31 连接。

在示例性实施方式中，第十二过孔 V12 在基底上的正投影位于第二极板连接线 85 在基底上的正投影的范围之内，第十二过孔 V12 内的第六绝缘层、第五绝缘层和第四绝缘层被刻蚀掉，暴露出第二极板连接线 85 的表面，第十二过孔 V12 被配置为使后续形成的第四连接电极通过该过孔与第二极板连接线 85 连接。

在示例性实施方式中，部分第一方向 X 相邻的两个电路单元可以共用同一个第十二过孔 V12。例如，第 N-1 单元列和第 N 单元列的两个电路单元可以共用同一个第十二过孔 V12。又如，第 N+1 单元列和第 N+2 单元列的两个电路单元可以共用同一个第十二过孔 V12。再如，第 N+3 单元列和第 N+4 单元列的两个电路单元可以共用同一个第十二过孔 V12。

孔 V12。

在示例性实施方式中，第十三过孔 V13 在基底上的正投影位于第一初始连接电极 33 的第一端 33A 在基底上的正投影的范围之内，第十三过孔 V13 内的第六绝缘层被刻蚀掉，暴露出第一端 33A 的表面，第十三过孔 V13 被配置为使后续形成的第二初始连接电极通过该过孔与第一端 33A 连接。

在示例性实施方式中，第十四过孔 V14 在基底上的正投影位于第一初始连接电极 33 的第二端 33B 在基底上的正投影的范围之内，第十四过孔 V14 内的第六绝缘层被刻蚀掉，暴露出第二端 33B 的表面，第十四过孔 V14 被配置为使后续形成的第二初始连接电极通过该过孔与第二端 33B 连接。

在示例性实施方式中，至少一个电路单元中的多个过孔还可以包括第十五过孔 V15、第十六过孔 V16 和第十七过孔 V17。

在示例性实施方式中，第十五过孔 V15 可以设置在第 N 单元列和第 N+3 单元列的电路单元中，第十五过孔 V15 在基底上的正投影位于第一初始连接电极 33 的第一连接块 33-1 在基底上的正投影的范围之内，第十五过孔 V15 内的第六绝缘层被刻蚀掉，暴露出第一连接块 33-1 的表面，第十五过孔 V15 被配置为使后续形成的第一初始信号线通过该过孔与第一连接块 33-1 连接。

在示例性实施方式中，第十六过孔 V16 可以设置在第 N+1 单元列的电路单元中，第十六过孔 V16 在基底上的正投影位于第一初始连接电极 33 的第二连接块 33-2 在基底上的正投影的范围之内，第十六过孔 V16 内的第六绝缘层被刻蚀掉，暴露出第二连接块 33-2 的表面，第十六过孔 V16 被配置为使后续形成的第二初始信号线通过该过孔与第二连接块 33-2 连接。

在示例性实施方式中，第十七过孔 V17 可以设置在第 N+2 单元列的电路单元中，第十七过孔 V17 在基底上的正投影位于第一初始连接电极 33 的第三连接块 33-3 在基底上的正投影的范围之内，第十七过孔 V17 内的第六绝缘层被刻蚀掉，暴露出第三连接块 33-3 的表面，第十六过孔 V16 被配置为使后续形成的第三初始信号线通过该过孔与第三连接块 33-3 连接。

(7) 形成第四导电层图案。在示例性实施方式中，形成第四导电层可以包括：在形成前述图案的基底上，沉积第四导电薄膜，采用图案化工艺对第四导电薄膜进行图案化，形成设置在第六绝缘层上的第四导电层，如图 14A 和图 14B 所示，图 14B 为图 14A 中第四导电层的平面示意图。在示例性实施方式中，第四导电层可以称为第一源漏金属 (SD1) 层。

在示例性实施方式中，每个电路单元中的第四导电层至少包括：第一初始信号线 41、第二初始信号线 42、第三初始信号线 43、第一连接电极 51、第二连接电极 52、第三连接电极 53、第四连接电极 54、第五连接电极 55 和第二初始连接电极 56。

在示例性实施方式中，第一连接电极 51 的形状可以为沿着第二方向 Y 延伸的条形状，第一连接电极 51 的第一端通过第三过孔 V3 与第二有源层的第二区连接，第一连接电极 51 的第二端通过第十一过孔 V11 与第一极板 31 连接。在示例性实施方式中，由于第一极板 31 同时作为第三晶体管 T3 的栅电极，因而第一连接电极 51 使第二晶体管 T2 的第二极、第三晶体管 T3 的栅电极和第一极板 31 具有相同的电位，形成像素驱动电路的第一节点 N1。在示例性实施方式中，第一连接电极 51 可以称为第一节点电极。

在示例性实施方式中，第一连接电极 51 在基底上的正投影与第一扫描信号线 21 在基底上的正投影至少部分交叠。由于第一连接电极 51 作为像素驱动电路的第一节点 N1，因而第一连接电极 51 可以增加第一扫描信号线 21 和第一节点 N1 之间的寄生电容。在示例性实施方式中，在第四扫描信号线 24 输出导通信号后，利用第一扫描信号线 21 的下降沿，

该寄生电容可以将第一节点 N1 的电位拉低，从而增大电流，可以有效提升显示亮度。

在示例性实施方式中，第一连接电极 51 上可以设置有第一补偿块 51-1，第一补偿块 51-1 的第一端与第一连接电极 51 的第一端连接，第一补偿块 51-1 的第二端向着第一扫描信号线 21 的方向延伸，第一补偿块 51-1 在基底上的正投影与第一扫描信号线 21 在基底上的正投影至少部分交叠。

在示例性实施方式中，第一连接电极 51 和第一补偿块 51-1 可以为相互连接的一体结构。

在示例性实施方式中，第二连接电极 52 的形状可以为主体部分沿着第二方向 Y 延伸的条形状，第二连接电极 52 的第一端通过第二过孔 V2 与第一有源层的第二区（也是第二有源层的第一区）连接第三过孔 V3 与第二有源层的第二区连接，第二连接电极 52 的第二端通过第十过孔 V10 与第八有源层的第二区连接，第二连接电极 52 的第一端与第二端之间的区域通过第四过孔 V4 与第三有源层的第二区（也是第六有源层的第一区）连接。在示例性实施方式中，第二连接电极 52 使第一晶体管 T1 的第二极、第二晶体管 T2 的第一极、第三晶体管 T3 的第二极、第六晶体管 T6 的第一极和第八晶体管 T8 的第二极具有相同的电位，形成像素驱动电路的第二节点 N2。在示例性实施方式中，第二连接电极 52 可以称为第二节点电极。

在示例性实施方式中，在第二过孔 V2 所在区域，第四扫描信号线 24 上设置有弯曲部，弯曲部向着远离第二极板 82 方向的凸出，使得第四扫描信号线 24 可以避让第二连接电极 52，第二连接电极 52 在基底上的正投影与第四扫描信号线 24 在基底上的正投影没有交叠。由于第二连接电极 52 作为像素驱动电路的第二节点 N2，因而可以有效减少第二节点 N2 与第四扫描信号线 24 之间的寄生电容，一方面可以减少第二节点 N2 的寄生电容，另一方面可以减小对数据信号写入过程的影响。

在示例性实施方式中，第四扫描信号线 24 上设置避让第二连接电极 52 的弯曲部，第三扫描信号线 23 上设置避让第一初始连接电极 33 的弯曲部，使得第四扫描信号线 24 在基底上的正投影与第三扫描信号线 23 在基底上的正投影至少部分交叠，造成第三扫描信号线 23 和第四扫描信号线 24 之间的寄生电容增大。由于第三扫描信号线 23 在第二时段输出导通信号，该导通信号不会影响第四扫描信号线 24 在第三时段输出导通信号，也不会影响数据信号写入过程。

在示例性实施方式中，第二连接电极 52 在基底上的正投影与第一扫描信号线 21 中第一子扫描线段 21-1 在基底上的正投影没有交叠，第二连接电极 52 在基底上的正投影与第一遮挡线 31 中的第一子遮挡线段 31-1 在基底上的正投影没有交叠，第二连接电极 52 在基底上的正投影与第一扫描信号线 21 中第二子扫描线段 21-2 在基底上的正投影至少部分交叠，第二连接电极 52 在基底上的正投影与第一遮挡线 31 中的第二子扫描线段 21-2 在基底上的正投影至少部分交叠。由于第二子遮挡线段 31-2 的宽度小于第一子遮挡线段 31-1 的宽度，第二子扫描线段 21-2 的宽度小于第一子扫描线段 21-1 的宽度，因而可以有效减少第二连接电极 52 与第一扫描信号线 21（第一遮挡线 31）之间的寄生电容，一方面可以减少第二节点 N2 的寄生电容，另一方面可以较少对第一扫描信号线的影响。

在示例性实施方式中，第三连接电极 53 的形状可以为块形状（如矩形），第三连接电极 53 通过第五过孔 V5 与第四有源层的第一区连接，第三连接电极 53 被配置为与后续形成的第十二连接电极连接。

在示例性实施方式中，第四连接电极 54 的形状可以为沿着第二方向 Y 延伸的条形状，第四连接电极 54 的第一端通过第六过孔 V6 与第五有源层的第一区连接，第四连接电极 54 的第二端通过第十二过孔 V12 与第二极板连接线 85 连接，第四连接电极 54 被配置为与后续形成的第十一连接电极连接。在示例性实施方式中，由于第二极板连接线 85 与第

二极管板 82 连接,因而第四连接电极 54 实现了电路单元中第五晶体管 T5 的第一极和存储电容的第二极板 82 具有相同的电位。

在示例性实施方式中,部分第一方向 X 相邻的两个电路单元的第四连接电极 54 可以为相互连接的一体结构。例如,第 N-1 单元列和第 N 单元列的两个电路单元的第四连接电极 54 可以为相互连接的一体结构。又如,第 N+1 单元列和第 N+2 单元列的两个电路单元的第四连接电极 54 可以为相互连接的一体结构。再如,第 N+3 单元列和第 N+4 单元列的两个电路单元的第四连接电极 54 可以为相互连接的一体结构。

在示例性实施方式中,第五连接电极 55 的形状可以为块形状(如矩形),第五连接电极 55 通过第七过孔 V7 与第六有源层的第二区(也是第七有源层的第二区)连接。在示例性实施方式中,第五连接电极 55 被配置为与后续形成的第十三连接电极连接,形成像素驱动电路的第四节点 N4。

在示例性实施方式中,第二初始连接电极 56 的形状可以为主体部分沿着第二方向 Y 延伸的折线状,第二初始连接电极 56 的第一端通过第十三过孔 V13 与第一初始连接电极 33 的第一端 33A 连接,第二初始连接电极 56 的第二端通过第十四过孔 V14 与第一初始连接电极 33 的第二端 33B 连接。

在示例性实施方式中,第一初始信号线 41 的形状可以为沿着第一方向 X 延伸的直线状或者折线状,可以设置在第三扫描信号线 23 远离第二极板 82 的一侧。在每个电路单元,第一初始信号线 41 通过第一过孔 V1 与第一有源层的第一区连接,实现了第一初始信号线 41 与第一晶体管 T1 的第一极的连接,第一初始信号线 41 可以将传输的第一初始信号写入第一晶体管 T1 的第一极。

在示例性实施方式中,在第 N 单元列和第 N+3 单元列的电路单元中,第一初始信号线 41 还通过第十五过孔 V15 与第一连接块 33-1 连接。由于第一连接块 33-1 与第一初始连接电极 33 连接,相邻单元行的第一初始连接电极 33 通过第二初始连接电极 56 相互连接,第 N 单元列和第 N+3 单元列中相互连接的第一初始连接电极 33 和第二初始连接电极 56 组成第一初始连接线,实现了沿着第一方向 X 延伸的第一初始信号线 41 与沿着第二方向 Y 延伸的第一初始连接线的连接,使得第一初始信号线 41 和第一初始连接线在显示区域形成网状的传输第一初始信号的网状结构,不仅可以有效降低第一初始信号线的电阻,减小第一初始信号的压降,而且可以有效提升显示基板中第一初始信号的均一性,有效提升显示均一性,提高了显示品质和显示质量。

在示例性实施方式中,第二初始信号线 42 的形状可以为沿着第一方向 X 延伸的直线状或者折线状,可以设置在第二扫描信号线 22 远离第二极板 82 的一侧。在每个电路单元,第二初始信号线 42 通过第八过孔 V8 与第七有源层的第一区连接,实现了第二初始信号线 42 与第七晶体管 T7 的第一极的连接,第二初始信号线 42 可以将传输的第二初始信号写入第七晶体管 T7 的第一极。

在示例性实施方式中,在第 N+1 单元列的电路单元中,第二初始信号线 42 还通过第十六过孔 V16 与第二连接块 33-2 连接。由于第二连接块 33-2 与第一初始连接电极 33 连接,相邻单元行的第一初始连接电极 33 通过第二初始连接电极 56 相互连接,第 N+1 单元列中相互连接的第一初始连接电极 33 和第二初始连接电极 56 组成第二初始连接线,实现了沿着第一方向 X 延伸的第二初始信号线 42 与沿着第二方向 Y 延伸的第二初始连接线的连接,使得第二初始信号线 42 和第二初始连接线在显示区域形成网状的传输第二初始信号的网状结构,不仅可以有效降低第二初始信号线的电阻,减小第二初始信号的压降,而且可以有效提升显示基板中第二初始信号的均一性,有效提升显示均一性,提高了显示品质和显示质量。

在示例性实施方式中,第三初始信号线 43 的形状可以为沿着第一方向 X 延伸的直线

状或者折线状，可以设置在第二扫描信号线 22 和第二初始信号线 42 之间。在每个电路单元，第三初始信号线 43 通过第九过孔 V9 与第八有源层的第一区连接，实现了第三初始信号线 43 与第八晶体管 T8 的第一极的连接，第三初始信号线 43 可以将传输的第三初始信号写入第八晶体管 T8 的第一极。

在示例性实施方式中，在第 N+2 单元列的电路单元中，第三初始信号线 43 还通过第十七过孔 V17 与第三连接块 33-3 连接。由于第三连接块 33-3 与第一初始连接电极 33 连接，相邻单元行的第一初始连接电极 33 通过第二初始连接电极 56 相互连接，第 N+2 单元列中相互连接的第一初始连接电极 33 和第二初始连接电极 56 组成第三初始连接线，实现了沿着第一方向 X 延伸的第三初始信号线 43 与沿着第二方向 Y 延伸的第三初始连接线的连接，使得第三初始信号线 43 和第三初始连接线在显示区域形成网状的传输第三初始信号的网状结构，不仅可以有效降低第三初始信号线的电阻，减小第三初始信号的压降，而且可以有效提升显示基板中第三初始信号的均一性，有效提升显示均一性，提高了显示品质和显示质量。

图 14C 和图 14D 为图 14A 中网状结构的初始信号线的示意图。如图 14C 和图 14D 所示，第一初始信号线 41、第二初始信号线 42 和第三初始信号线 43 可以设置在每个单元行中，第一初始连接线 44 可以设置在第 N 单元列和第 N+3 单元列中，第二初始连接线 45 可以设置在第 N+1 单元列中，第三初始连接线 46 可以设置在第 N+2 单元列中，每个单元列中的初始连接线均由相互连接的第一初始连接电极 33 和第二初始连接电极 56 组成，第一初始连接电极 33 和第二初始连接电极 56 设置在不同的导电层中，两者通过过孔相互连接。

在示例性实施方式中，位于第 N 单元列和第 N+3 单元列中的第一初始连接线 44 通过多个电路单元中的第十五过孔 V15 与多个电路单元中的第一初始信号线 41 连接，在显示区域形成网状的传输第一初始信号的网状结构。

在示例性实施方式中，位于第 N+1 单元列中的第二初始连接线 45 通过多个电路单元中的第十六过孔 V16 与多个电路单元中的第二初始信号线 42 连接，在显示区域形成网状的传输第二初始信号的网状结构。

在示例性实施方式中，位于第 N+2 单元列中的第三初始连接线 46 通过通过多个电路单元中的第十七过孔 V17 与多个电路单元中的第三初始信号线 43 连接，在显示区域形成网状的传输第三初始信号的网状结构。

在示例性实施方式中，第一初始连接线 44、第二初始连接线 45 和第三初始连接线 46 可以周期性设置在多个单元列中，相邻的两条第一初始连接线 44 之间设置有第二初始连接线 45 和第三初始连接线 46，相邻的两条第二初始连接线 45 之间设置有第一初始连接线 44 和第三初始连接线 46，相邻的两条第三初始连接线 46 之间设置有第一初始连接线 44 和第二初始连接线 45。

在示例性实施方式中，第一初始连接线 44、第二初始连接线 45 和第三初始连接线 46 在多个单元列中的设置方式可以有多种方式。例如，两条第一初始连接线 44 可以设置在一个相邻的两个单元列中，两条第二初始连接线 45 可以设置在另一个相邻的两个单元列中，两条第三初始连接线 46 可以设置在又一个相邻的两个单元列中，本公开在此不做限定。

(8) 形成第一平坦层图案。在示例性实施方式中，形成第一平坦层图案可以包括：在形成前述图案的基底上，涂覆第一平坦薄膜，采用图案化工艺对第一平坦薄膜进行图案化，形成覆盖第四导电层图案的第一平坦层，第一平坦层上设置有多过孔，如图 15 所示。

在示例性实施方式中，每个电路单元中的多个过孔至少包括：第二十一过孔 V21、第

二十二过孔 V22 和第二十三过孔 V23。

在示例性实施方式中，第二十一过孔 V21 在基底上的正投影位于第四连接电极 54 在基底上的正投影的范围之内，第二十一过孔 V21 内的第一平坦层被刻蚀掉，暴露出第四连接电极 54 的表面，第二十一过孔 V21 被配置为使后续形成的第十一连接电极通过该过孔与第四连接电极 54 连接。

在示例性实施方式中，部分第一方向 X 相邻的两个电路单元可以共用同一个第二十一过孔 V21。例如，第 N-1 单元列和第 N 单元列的两个电路单元可以共用同一个第二十一过孔 V21。又如，第 N+1 单元列和第 N+2 单元列的两个电路单元可以共用同一个第二十一过孔 V21。再如，第 N+3 单元列和第 N+4 单元列的两个电路单元可以共用同一个第二十一过孔 V21。

在示例性实施方式中，第二十二过孔 V22 在基底上的正投影位于第三连接电极 53 在基底上的正投影的范围之内，第二十二过孔 V22 内的第一平坦层被刻蚀掉，暴露出第三连接电极 53 的表面，第二十二过孔 V22 被配置为使后续形成的第十二连接电极通过该过孔与第三连接电极 53 连接。

在示例性实施方式中，第二十三过孔 V23 在基底上的正投影位于第五连接电极 55 在基底上的正投影的范围之内，第二十三过孔 V23 内的第一平坦层被刻蚀掉，暴露出第五连接电极 55 的表面，第二十三过孔 V23 被配置为使后续形成的第十三连接电极通过该过孔与第五连接电极 55 连接。

(9) 形成第五导电层图案。在示例性实施方式中，形成第五导电层可以包括：在形成前述图案的基底上，沉积第五导电薄膜，采用图案化工艺对第五导电薄膜进行图案化，形成设置在第一平坦层上的第五导电层，如图 16A 和图 16B 所示，图 16B 为图 16A 中第五导电层的平面示意图。在示例性实施方式中，第五导电层可以称为第二源漏金属 (SD2) 层。

在示例性实施方式中，每个电路单元的第五导电层至少包括：第十一连接电极 61、第十二连接电极 62 和第十三连接电极 63。

在示例性实施方式中，第十一连接电极 61 的形状可以为沿着第一方向 X 延伸的条形状，第十一连接电极 61 通过第二十一过孔 V21 与第四连接电极 54 连接，第十一连接电极 61 被配置为与后续形成的第一电源线连接。

在示例性实施方式中，部分第一方向 X 相邻的两个电路单元的第十一连接电极 61 可以为相互连接的一体结构。例如，第 N-1 单元列和第 N 单元列的两个电路单元的第十一连接电极 61 可以为相互连接的一体结构。又如，第 N+1 单元列和第 N+2 单元列的两个电路单元的第十一连接电极 61 可以为相互连接的一体结构。再如，第 N+3 单元列和第 N+4 单元列的两个电路单元的第十一连接电极 61 可以为相互连接的一体结构。

在示例性实施方式中，第十二连接电极 62 的形状可以为块形状（如矩形），第十二连接电极 62 通过第二十二过孔 V22 与第三连接电极 53 连接，第十二连接电极 62 被配置为与后续形成的数据信号线连接。

在示例性实施方式中，第十三连接电极 63 的形状可以为块形状（如矩形），第十三连接电极 63 通过第二十三过孔 V23 与第五连接电极 55 连接，第十三连接电极 63 被配置为与后续形成的阳极连接电极连接。

(10) 形成第二平坦层图案。在示例性实施方式中，形成第二平坦层图案可以包括：在形成前述图案的基底上，涂覆第二平坦薄膜，采用图案化工艺对第二平坦薄膜进行图案化，形成覆盖第五导电层图案的第二平坦层，第二平坦层上设置有多个过孔，如图 17 所示。

在示例性实施方式中，每个电路单元中的多个过孔至少包括：第三十一过孔 V31、第

三十二过孔 V32 和第三十三过孔 V33。

在示例性实施方式中，第三十一过孔 V31 在基底上的正投影位于第十一连接电极 61 在基底上的正投影的范围之内，第三十一过孔 V31 内的第二平坦层被刻蚀掉，暴露出第十一连接电极 61 的表面，第三十一过孔 V31 被配置为使后续形成的第一电源线通过该过孔与第十一连接电极 61 连接。

在示例性实施方式中，第三十二过孔 V32 在基底上的正投影位于第十二连接电极 62 在基底上的正投影的范围之内，第三十二过孔 V32 内的第二平坦层被刻蚀掉，暴露出第十二连接电极 62 的表面，第三十二过孔 V32 被配置为使后续形成的数据信号线通过该过孔与第十二连接电极 62 连接。

在示例性实施方式中，第三十三过孔 V33 在基底上的正投影位于第十三连接电极 63 在基底上的正投影的范围之内，第三十三过孔 V33 内的第二平坦层被刻蚀掉，暴露出第十三连接电极 63 的表面，第三十三过孔 V33 被配置为使后续形成的阳极连接电极通过该过孔与第十三连接电极 63 连接。

(11) 形成第六导电层图案。在示例性实施方式中，形成第六导电层可以包括：在形成前述图案的基底上，沉积第六导电薄膜，采用图案化工艺对第五导电薄膜进行图案化，形成设置在第二平坦层上的第六导电层，如图 18A 和图 18B 所示，图 18B 为图 18A 中第六导电层的平面示意图。在示例性实施方式中，第六导电层可以称为第三源漏金属 (SD3) 层。

在示例性实施方式中，每个电路单元的第五导电层至少包括：第一电源线 71、数据信号线 72 和阳极连接电极 73。

在示例性实施方式中，第一电源线 71 的形状可以为主体部分沿着第二方向 Y 延伸的直线状或者折线状，第一电源线 71 通过第三十一过孔 V31 与第十一连接电极 61。由于第十一连接电极 61 与第四连接电极 54 连接，第四连接电极 54 分别与第五晶体管 T5 的第一极和存储电容的第二极板 82 连接，因而实现了第一电源线 71 将第一电源信号写入第五晶体管 T5 和存储电容的第二极板 82。

在示例性实施方式中，第一电源线 71 可以为非等宽度的折线，不仅可以便于像素结构的布局，而且可以降低第一电源线与数据信号线之间的寄生电容。

在示例性实施方式中，部分第一方向 X 相邻的两个电路单元的第一电源线 71 可以为相互连接的一体结构。例如，第 N-1 单元列和第 N 单元列的两个电路单元的第一电源线 71 可以为相互连接的一体结构。又如，第 N+1 单元列和第 N+2 单元列的两个电路单元的第一电源线 71 可以为相互连接的一体结构。再如，第 N+3 单元列和第 N+4 单元列的两个电路单元的第一电源线 71 可以为相互连接的一体结构。

在示例性实施方式中，第一电源线 71 在基底上的正投影与第一连接电极 51 在基底上的正投影至少部分交叠，具有恒定电位的第一电源线 71 可以有效屏蔽数据电压跳变和其它信号对像素驱动电路中第一节点 N1 的影响，避免了数据电压跳变和其它信号影响第一节点 N1 的电位，提高了像素驱动电路的驱动性能。

在示例性实施方式中，第一电源线 71 在基底上的正投影包含第一连接电极 51 在基底上的正投影，即第一电源线 71 完全覆盖第一连接电极 51。

在示例性实施方式中，第一电源线 71 在基底上的正投影与第二有源层在基底上的正投影至少部分交叠。在示例性实施方式中，第一电源线 71 可以阻挡发光器件的发光和膜层反射光照射到氧化物第二晶体管，可以防止氧化物第二晶体管因光照发生特性漂移，提高了氧化物第二晶体管的电学特性。

在示例性实施方式中，第一电源线 71 在基底上的正投影与第二连接电极 52 在基底上的正投影没有交叠，可以有效减少第二节点 N2 的寄生电容。

在示例性实施方式中，第一电源线 71 上设置有屏蔽电极 74，屏蔽电极 74 的形状可以为沿着第二方向 Y 延伸的条形状，屏蔽电极 74 的第一端与第一电源线 71 连接，屏蔽电极 74 的第二端向着本电路单元中阳极连接电极 73 的方向延伸。

在示例性实施方式中，屏蔽电极 74 可以设置在一体结构的第一电源线 71 的中部，一体结构的第一电源线 71 可以相对于屏蔽电极 74 基本上镜像对称。

在示例性实施方式中，屏蔽电极 74 在基底上的正投影与第二连接电极 52 在基底上的正投影没有交叠，以有效减少第二节点 N2 的寄生电容。

在示例性实施方式中，在第一方向 X 上，屏蔽电极 74 的部分可以设置在部分相邻的第二连接电极 52 之间，具有恒定电位的屏蔽电极 74 可以有效相邻电路单元中第二节点 N2 的相互影响，提高了像素驱动电路的驱动性能。例如，屏蔽电极 74 可以设置在第 N 单元列中电路单元的第二连接电极 52 与第 N+1 单元列中电路单元的第二连接电极 52 之间。又如，屏蔽电极 74 可以设置在第 N+2 单元列中电路单元的第二连接电极 52 与第 N+3 单元列中电路单元的第二连接电极 52 之间。

在示例性实施方式中，屏蔽电极 74 还被配置为提高阳极的平坦性。

在示例性实施方式中，第一电源线 71 上还可以设置有第一电源块 71-1 和第二电源块 71-2。第一电源块 71-1 和第二电源块 71-2 的形状可以为块形（如梯形）状，可以设置在第一电源线 71 靠近屏蔽电极 74 的一侧，且分别与屏蔽电极 74 的两个端部相对应。在示例性实施方式中，第一电源块 71-1 和第二电源块 71-2 被配置为提高阳极的平坦性。

第一电源线 71、第一电源块 71-1、第二电源块 71-2 和屏蔽电极 74 可以为相互连接的一体结构。

在示例性实施方式中，数据信号线 72 的形状可以为主体部分沿着第二方向 Y 延伸的直线状或折线状，数据信号线 72 通过第三十二过孔 V32 与第十二连接电极 62 连接。由于第十二连接电极 62 与第三连接电极 53 连接，第三连接电极 53 通过过孔与第四有源层的第一区连接，因而实现了数据信号线 72 与第四晶体管 T4 的第一极的连接，数据信号线 72 可以将数据信号写入第四晶体管 T4 的第一极。

在示例性实施方式中，阳极连接电极 73 的形状可以为块形状（如矩形），阳极连接电极 73 通过第三十三过孔 V33 与第十三连接电极 63 连接，阳极连接电极 73 被配置为与后续形成的阳极连接。由于阳极连接电极 73 与第五连接电极 55 连接，第五连接电极 55 通过过孔与第六有源层的第二区和第七有源层的第二区连接，因而可以实现后续形成的阳极与第六晶体管 T6 的第二极和第七晶体管 T7 的第二极的连接，像素驱动电路可以驱动发光器件发光。

（12）形成第三平坦层图案。在示例性实施方式中，形成第三平坦层图案可以包括：在形成前述图案的基底上，涂覆第三平坦薄膜，采用图案化工艺对第三平坦薄膜进行图案化，形成覆盖第六导电层图案的第三平坦层，第三平坦层上设置有多过孔，如图 19 所示。

在示例性实施方式中，每个电路单元中的过孔至少包括第四十一过孔 V41。

在示例性实施方式中，第四十一过孔 V41 在基底上的正投影位于阳极连接电极 73 在基底上的正投影的范围之内，第四十一过孔 V41 内的第三平坦层被去掉，暴露出阳极连接电极 73 的表面，第四十一过孔 V41 被配置为使后续形成的阳极通过该过孔与阳极连接电极 73 连接。

至此，在基底上制备完成驱动电路层。在平行于显示基板的平面内，驱动电路层可以包括多个电路单元，每个电路单元可以包括像素驱动电路，以及与像素驱动电路连接的第一扫描信号线、第二扫描信号线、第三扫描信号线、第四扫描信号线、发光控制线、第一初始信号线、第二初始信号线、第三初始信号线、数据信号线 and 第一电源线。在垂直于显

示基板的方向上，驱动电路层可以包括在基底上依次设置的第一绝缘层、第一半导体层、第二绝缘层、第一导电层、第三绝缘层、第二导电层、第四绝缘层、第二半导体层、第五绝缘层、第三导电层、第六绝缘层、第四导电层、第一平坦层、第五导电层、第二平坦层、第六导电层和第三平坦层。第一半导体层可以至少包括第三晶体管至第八晶体管的有源层，第一导电层可以至少包括第二扫描信号线、第四扫描信号线和存储电容的第一极板，第二导电层可以至少包括存储电容的第二极板，第二半导体层可以至少包括第一晶体管和第三晶体管的有源层，第三导电层可以至少包括第一扫描信号线和第三扫描信号线，第四导电层可以至少包括多个连接电极，第五导电层可以至少包括多个连接电极，第六导电层可以至少包括数据信号线、第一电源线和阳极连接电极。

在示例性实施方式中，基底可以是柔性基底，或者可以是刚性基底。刚性基底可以包括但不限于玻璃、石英中的一种或多种，柔性衬底可以为但不限于聚对苯二甲酸乙二醇酯、对苯二甲酸乙二醇酯、聚醚醚酮、聚苯乙烯、聚碳酸酯、聚芳基酸酯、聚芳酯、聚酰亚胺、聚氯乙烯、聚乙烯、纺织纤维中的一种或多种。在示例性实施方式中，柔性基底可以包括在玻璃载板上叠设的第一柔性材料层、第一无机材料层、半导体层、第二柔性材料层和第二无机材料层。第一、第二柔性材料层的材料可以采用聚酰亚胺（PI）、聚对苯二甲酸乙二醇酯（PET）或经表面处理的聚合物软膜等材料，第一、第二无机材料层的材料可以采用氮化硅（SiN_x）或氧化硅（SiO_x）等，用于提高基底的抗水氧能力，第一、第二无机材料层也称为阻挡（Barrier）层，半导体层的材料可以采用非晶硅（a-si）。

在示例性实施方式中，第一导电层、第二导电层、第三导电层、第四导电层、第五导电层和第六导电层可以采用金属材料，如银（Ag）、铜（Cu）、铝（Al）和钼（Mo）中的任意一种或多种，或上述金属的合金材料，如铝钕合金（AlNd）或钼铌合金（MoNb），可以是单层结构，或者多层复合结构，如 Mo/Cu/Mo 等。第一绝缘层、第二绝缘层、第三绝缘层、第四绝缘层、第五绝缘层和第六绝缘层可以采用硅氧化物（SiO_x）、硅氮化物（SiN_x）和氮氧化硅（SiON）中的任意一种或多种，可以是单层、多层或复合层。第一绝缘层可以称为缓冲（Buffer）层，第二绝缘层、第三绝缘层、第四绝缘层和第五绝缘层可以称为栅绝缘（GI）层，第六绝缘层可以称为层间绝缘（ILD）层，第七绝缘层可以称为钝化（PVX）层。第一平坦层、第二平坦层和第三平坦层可以采用有机材料，如树脂等。

在示例性实施方式中，一个单元行中相邻两个电路单元中的像素驱动电路可以相对于列中心线基本上镜像对称。例如，第 N 列的像素驱动电路和第 N+1 列的像素驱动电路可以相对于列中心线镜像对称。又如，第 N+1 列的像素驱动电路和第 N+2 列的像素驱动电路可以相对于列中心线镜像对称。

在示例性实施方式中，制备完成驱动电路层后，可以在驱动电路层上制备发光结构层，发光结构层的制备过程可以包括如下操作。

（13）形成阳极导电层图案。在示例性实施方式中，形成阳极导电层图案可以包括：在形成前述图案的基底上，沉积阳极导电薄膜，采用图案化工艺对阳极导电薄膜进行图案化，形成设置在第三平坦层上的阳极导电层，阳极导电层可以至少包括多个阳极图案，如图 20A 和图 20B 所示，图 20B 为图 20A 中阳极导电层的平面示意图。

在示例性实施方式中，多个阳极图案可以包括红色发光器件的第一阳极 90A、蓝色发光器件的第二阳极 90B、第一绿色发光器件的第三阳极 90C 和第二绿色发光器件的第四阳极 90D，第一阳极 90A 可以位于出射红色光线的红色子像素，第二阳极 90B 可以位于出射蓝色光线的蓝色子像素，第三阳极 90C 可以位于出射绿色光线的第一绿色子像素，第四阳极 90D 可以位于出射绿色光线的第二绿色子像素。

在示例性实施方式中，第一阳极 90A 和第二阳极 90B 可以沿着第一方向 X 依次设置，第三阳极 90C 和第四阳极 90D 可以沿着第一方向 X 依次设置，第三阳极 90C 和第四阳极

90D 可以分别设置在第一阳极 90A 和第二阳极 90B 第二方向 Y 的一侧。或者，第一阳极 90A 和第二阳极 90B 可以沿着第二方向 Y 依次设置，第三阳极 90C 和第四阳极 90D 可以沿着第二方向 Y 依次设置，第三阳极 90C 和第四阳极 90D 可以设置在第一阳极 90A 和第二阳极 90B 第一方向 X 的一侧。

5 在示例性实施方式中，第一阳极 90A、第二阳极 90B、第三阳极 90C 和第四阳极 90D 可以分别通过第四十一过孔 V41 与对应电路单元的阳极连接电极 73 连接，一个像素单元中四个子像素的阳极形状和面积可以相同，或者可以不同。

在示例性实施方式中，第一阳极 90A、第二阳极 90B、第三阳极 90C 和第四阳极 90D 中的至少一个可以包括相互连接的阳极主体部和阳极连接部，阳极主体部的形状可以为圆
10 形状或者椭圆形状，阳极连接部的形状可以为条形状，阳极连接部通过第四十一过孔 V41 与阳极连接电极 73 连接，因而可以实现阳极与第六晶体管 T6 的第二极和第七晶体管 T7 的第二极的连接。

在示例性实施方式中，至少一个阳极的阳极主体部和阳极连接部可以为相互连接的一体结构。

15 在示例性实施方式中，至少一个阳极的阳极主体部可以具有第一阳极中心线 OX 和第二阳极中心线 OY，第一阳极中心线 OX 可以是在第二方向 Y 上平分该阳极的阳极主体部且沿着第一方向 X 延伸的直线，第二阳极中心线 OY 可以是在第一方向 X 上平分该阳极的阳极主体部且沿着第二方向 Y 延伸的直线。例如，第三阳极 90C 和第四阳极 90D 可以均具有第一阳极中心线 OX 和第二阳极中心线 OY。

20 在示例性实施方式中，至少一个阳极的阳极主体部在基底上的正投影与第一方向 X 上相邻的两个电路单元中的两条第一电源线 71 在基底上的正投影至少部分交叠，且该两条第一电源线 71 可以相对于该阳极的第二阳极中心线 OY 镜像对称。

在示例性实施方式中，至少一个阳极的阳极主体部在基底上的正投影与至少一个第一电源线 71 的第一电源块 71-1 和第二电源块 71-2 在基底上的正投影至少部分交叠，例如，
25 第三阳极 90C 的阳极主体部在基底上的正投影与一条第一电源线 71 的第一电源块 71-1 和第二电源块 71-2 在基底上的正投影至少部分交叠。又如，第四阳极 90D 的阳极主体部在基底上的正投影与另一条第一电源线 71 的第一电源块 71-1 和第二电源块 71-2 在基底上的正投影至少部分交叠。

在示例性实施方式中，至少一个第一电源线 71 的第一电源块 71-1 和第二电源块 71-2
30 的位置和形状可以相对于至少一个阳极的第一阳极中心线 OX 基本上镜像对称。例如，一条第一电源线 71 的第一电源块 71-1 和第二电源块 71-2 的位置和形状相对于第三阳极 90C 的第一阳极中心线 OX 基本上镜像对称。又如，另一条第一电源线 71 的第一电源块 71-1 和第二电源块 71-2 的位置和形状相对于第四阳极 90D 的第一阳极中心线 OX 基本上镜像对称。

35 在示例性实施方式中，至少一个第一电源线 71 中，第一电源块 71-1 在基底上的正投影与阳极主体部在基底上的正投影具有第一交叠区域，第二电源块 71-2 在基底上的正投影与阳极主体部在基底上的正投影具有第二交叠区域，第一交叠区域的位置和形状与第二交叠区域的位置和形状可以相对于该阳极的第一阳极中心线 OX 基本上镜像对称。例如，第一交叠区域的位置和形状与第二交叠区域的位置和形状可以相对于第三阳极 90C 的第一阳极中心线 OX 基本上镜像对称。又如，第一交叠区域的位置和形状与第二交叠区域的位置和形状可以相对于第四阳极 90D 的第一阳极中心线 OX 基本上镜像对称。
40

在示例性实施方式中，第一方向 X 上相邻的两个电路单元中的两条第一电源线 71 中，一条第一电源线 71 中的第一电源块 71-1 在基底上的正投影与阳极主体部在基底上的正投影具有第一交叠区域，另一条第一电源线 71 中的第一电源块 71-1 在基底上的正投影与阳

极主体部在基底上的正投影具有第三交叠区域,第一交叠区域的位置和形状与第三交叠区域的位置和形状可以相对于该阳极的第二阳极中心线 OY 基本上镜像对称。

5 在示例性实施方式中,第一方向 X 上相邻的两个电路单元中的两条第一电源线 71 中,一条第一电源线 71 中的第二电源块 71-2 在基底上的正投影与阳极主体部在基底上的正投影具有第二交叠区域,另一条第一电源线 71 中的第二电源块 71-2 在基底上的正投影与阳极主体部在基底上的正投影具有第四交叠区域,第二交叠区域的位置和形状与第四交叠区域的位置和形状可以相对于该阳极的第二阳极中心线 OY 基本上镜像对称。

10 在示例性实施方式中,至少一个屏蔽电极 74 在基底上的正投影与至少一个阳极的阳极主体部在基底上的正投影至少部分交叠。例如,至少一个屏蔽电极 74 在基底上的正投影与第三阳极 90C 的阳极主体部在基底上的正投影至少部分交叠。又如,至少一个屏蔽电极 74 在基底上的正投影与第四阳极 90D 的阳极主体部在基底上的正投影至少部分交叠。

15 在示例性实施方式中,至少一个屏蔽电极 74 在基底上的正投影与至少一个阳极的第二阳极中心线 OY 在基底上的正投影至少部分交叠。例如,至少一个屏蔽电极 74 在基底上的正投影与第三阳极 90C 的第二阳极中心线 OY 在基底上的正投影至少部分交叠。又如,至少一个屏蔽电极 74 在基底上的正投影与第四阳极 90D 的第二阳极中心线 OY 在基底上的正投影至少部分交叠。

在示例性实施方式中,至少一个阳极的阳极连接部在基底上的正投影与第二连接电极 52 在基底上的正投影没有交叠。

20 在示例性实施方式中,至少一个阳极的阳极连接部可以包括第一连接子部 90-1 和第二连接子部 90-2,第一连接子部 90-1 和第二连接子部 90-2 被配置为避免与第二连接电极 52 交叠。

25 在示例性实施方式中,第一阳极 90A 和第二阳极 90B 的阳极连接部可以至少包括第一连接子部 90-1 和第二连接子部 90-2,第一连接子部 90-1 的第一端与阳极主体部连接,第一连接子部 90-1 的第二端沿着第一方向 X 向着远离阳极主体部的方向延伸后,与第二连接子部 90-2 的第一端连接,第二连接子部 90-2 的第二端沿着第二方向 Y 向着远离第一连接子部 90-1 的方向延伸,使得第一阳极 90A 和第二阳极 90B 的阳极连接部避开第二连接电极 52 的所在区域。

30 在示例性实施方式中,第一连接子部 90-1 在基底上的正投影与第二连接电极 52 在基底上的正投影没有交叠,第二连接子部 90-2 基底上的正投影与第二连接电极 52 在基底上的正投影没有交叠,以有效减少第二节点 N2 的寄生电容。

在示例性实施方式中,阳极导电层可以采用单层结构,如氧化铟锡 ITO 或氧化铟锌 IZO,或者可以采用多层复合结构,如 ITO/Ag/ITO 等。

35 在示例性实施方式中,后续制备流程可以包括:先形成像素定义层图案,然后采用蒸镀或喷墨打印工艺形成有机发光层,然后在有机发光层上形成阴极,然后形成封装结构层,封装结构层可以包括叠设的第一封装层、第二封装层和第三封装层,第一封装层和第三封装层可以采用无机材料,第二封装层可以采用有机材料,第二封装层设置在第一封装层和第三封装层之间,可以保证外界水汽无法进入发光结构层。

40 一种显示基板存在发光信号线提供导通信号时出现瞬间大电流的问题,影响了显示效果。研究发现,出现瞬间大电流是由于第二节点 N2 的寄生电容较大导致的。由于像素驱动电路中的第三初始信号线通过第八晶体管 T8 与第二节点 N2 连接,因而当第二节点 N2 的寄生电容较大时,相当于第二节点 N2 存在一个存储第三初始信号线的偏置电压 (on bias) 的大电容,在发光信号线提供导通信号 (第六晶体管 T6 导通) 时,第二节点 N2 的寄生电容中的电荷量优先释放,进而出现瞬间大电流。

本公开示例性实施例提供了一种显示基板，通过布局调整和结构优化，有效减小了第二节点 N2 的寄生电容，使得第二节点 N2 的寄生电容减小 9.35f，有效避免了出现瞬间大电流的问题，且大大减小了第六晶体管 T6 导通的瞬态电流，提高了显示品质和显示效果。

5 本公开通过设置第二连接电极与第四扫描信号线没有交叠，不仅可以减少第二节点 N2 的寄生电容，而且可以减小对数据信号写入过程的影响。

本公开通过设置第一扫描信号线和第一遮挡线为非等宽度，第二连接电极与宽度较小的第一扫描信号线和第一遮挡线交叠，有效减少了第二节点 N2 与第一扫描信号线和第一遮挡线之间的寄生电容。

10 本公开通过设置第一电源线与第二连接电极没有交叠，屏蔽电极与第二连接电极没有交叠，阳极连接部与第二连接电极没有交叠，可以最大限度地减少第二节点 N2 的寄生电容。

本公开通过设置屏蔽电极设置在相邻的第二连接电极之间，具有恒定电位的屏蔽电极可以有效相邻电路单元中第二节点 N2 的相互影响，提高了像素驱动电路的驱动性能。

15 本公开通过设置第一连接电极与第一扫描信号线交叠，增加了第一扫描信号线和第一节点 N1 之间的寄生电容，利用第一扫描信号线的下降沿将第一节点 N1 的电位拉低，从而增大电流，可以有效提升显示亮度。

20 本公开通过设置第一电源线与第一连接电极交叠，可以有效避免数据电压跳变和其它信号影响第一节点 N1 的电位，提高了像素驱动电路的驱动性能。本公开通过设置第一电源线与第二晶体管的有源层交叠，可以防止氧化物第二晶体管因光照发生特性漂移，提高了氧化物第二晶体管的电学特性。

25 本公开通过设置屏蔽电极与阳极的第二阳极中心线交叠，通过设置第一电源线、第一电源块和第二电源块相对于第二阳极中心线镜像对称，第一电源块和第二电源块 71 相对于第一阳极中心线镜像对称，可以有效提高阳极的平坦性，可以避免阳极高度差，可以保证各个区域中发光器件的发光性能基本上相同，不仅避免了大视角色偏，而且避免了熄屏水印等不良，提高了显示基板的品质。

30 本公开通过设置主体部分沿第一方向延伸的第一初始信号线和主体部分沿第二方向延伸的第一初始连接线，通过设置主体部分沿第一方向延伸的第二初始信号线和主体部分沿第二方向延伸的第二初始连接线，通过设置主体部分沿第一方向延伸的第三初始信号线和主体部分沿第三方向延伸的第二初始连接线，使得第一初始信号线、第二初始信号线和第三初始信号线分别形成网状连通结构，不仅有效降低了初始信号线的电阻，减小了初始电压的压降，而且有效提升了显示基板中初始电压的均一性，有效提升了显示均一性，提高了显示品质和显示质量。

本公开的制备工艺可以很好地与现有制备工艺兼容，工艺实现简单，易于实施，生产效率，生产成本低，良品率高。

35 本公开前述所示结构及其制备过程仅仅是一种示例性说明，在示例性实施方式中，可以根据实际需要变更相应结构以及增加或减少构图工艺，本公开在此不做限定。

在示例性实施方式中，本公开显示基板可以应用于具有像素驱动电路的其它显示装置中，如量子点显示等，本公开在此不做限定。

40 本公开还提供一种显示基板的制备方法，以制作上述实施例提供的显示基板。在示例性实施方式中，所述制备方法可以包括：

在基底上形成驱动电路层，所述驱动电路层包括多个电路单元，至少一个电路单元至少包括像素驱动电路和第一电源线，所述第一电源线被配置为向所述像素驱动电路提供第一电源线号；至少一个电路单元还包括屏蔽电极，所述屏蔽电极与所述第一电源线连接；在所述驱动电路层上形成发光结构层，所述发光结构层包括多个发光单元，至少一个

发光单元至少包括阳极，所述阳极包括阳极主体部和阳极连接部，所述阳极连接部的一端与所述阳极主体部连接，所述阳极连接部的另一端与所述像素驱动电路连接；至少一个屏蔽电极在所述基底上的正投影与至少一个阳极的第二阳极中心线在所述基底上的正投影至少部分交叠，所述第二阳极中心线是在第一方向上平分所述阳极主体部且沿着第二方向延伸的直线，所述第一方向和所述第二方向交叉。

5

本公开还提供一种显示装置，显示装置包括前述的显示基板。显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件，本发明实施例并不以此为限。

10

虽然本公开所揭露的实施方式如上，但应该注意，上述实施方式仅仅是示例性的，而不是限制性的。因此，本公开不限于在此具体示出和描述的内容。可以对实施的形式及细节进行多种修改、替换或省略，而不脱离本公开的范围。

权 利 要 求 书

- 1、一种显示基板，包括设置在基底上的驱动电路层以及设置在所述驱动电路层远离所述基底一侧的发光结构层；所述驱动电路层包括多个电路单元，至少一个电路单元至少
5 包括像素驱动电路和第一电源线，所述第一电源线被配置为向所述像素驱动电路提供第一电源线号；所述发光结构层包括多个发光单元，至少一个发光单元至少包括阳极，所述阳极包括阳极主体部和阳极连接部，所述阳极连接部的一端与所述阳极主体部连接，所述阳极连接部的另一端与
10 所述像素驱动电路连接；至少一个电路单元还包括屏蔽电极，所述屏蔽电极与所述第一电源线连接，至少一个屏蔽电极在所述基底上的正投影与至少一个阳极的第二阳极中心线在所述基底上的正投影至少部分交叠，所述第二阳极中心线是在第一方向上平分所述阳极主体部且沿着第二方向延伸的直线，所述第一方向和所述第二方向交叉。
- 2、根据权利要求1所述的显示基板，其中，至少一个阳极的阳极主体部在所述基底上的正投影与所述第一方向上相邻的两个电路单元中的两条第一电源线在所述基底上的
15 正投影至少部分交叠，所述两条第一电源线相对于所述第二阳极中心线镜像对称。
- 3、根据权利要求1所述的显示基板，其中，至少一条第一电源线上设置有第一电源块和第二电源块，至少一个阳极的阳极主体部在所述基底上的正投影与所述第一电源块和所述第二电源块在所述基底上的正投影至少部分交叠，所述第一电源块和所述第二电源块相对于第一阳极中心线镜像对称，所述第一阳极中心线是在所述第二方向 Y 上平分所述
20 阳极主体部且沿着所述第一方向延伸的直线。
- 4、根据权利要求3所述的显示基板，其中，至少一个阳极的阳极主体部在所述基底上的正投影与所述第一方向上相邻的两个电路单元中的两个第一电源块在所述基底上的正投影至少部分交叠，所述两个第一电源块相对于所述第二阳极中心线镜像对称；至少一个阳极的阳极主体部在所述基底上的正投影与
25 所述第一方向上相邻的两个电路单元中的两个第二电源块在所述基底上的正投影至少部分交叠，所述两个第二电源块相对于所述第二阳极中心线镜像对称。
- 5、根据权利要求1所述的显示基板，其中，所述像素驱动电路至少包括作为补偿晶体管的第二晶体管和作为驱动晶体管的第三晶体管，所述第二晶体管的栅电极与第一扫描信号线连接，所述第二晶体管的第二极通过第二节点电极与所述第三晶体管的第二极连接，
30 所述第二晶体管的第二极通过第一节点电极与所述第三晶体管的栅电极连接；所述阳极连接部在所述基底上的正投影与所述第二节点电极在所述基底上的正投影没有交叠。
- 6、根据权利要求5所述的显示基板，其中，所述第一电源线在所述基底上的正投影与所述第二节点电极在所述基底上的正投影没有交叠。
- 7、根据权利要求5所述的显示基板，其中，所述屏蔽电极设置在所述第一方向相邻
35 两个电路单元的所述第二节点电极之间。
- 8、根据权利要求5所述的显示基板，其中，所述屏蔽电极在所述基底上的正投影与所述第二节点电极在所述基底上的正投影没有交叠。
- 9、根据权利要求5所述的显示基板，其中，所述像素驱动电路还包括作为数据写入晶体管的第四晶体管，所述第四晶体管的栅电极与第四扫描信号线连接，所述第四晶体管的
40 的第一极与数据信号线连接，所述第四晶体管的第二极与所述第三晶体的第一极连接，所述第二节点电极在所述基底上的正投影与所述第四扫描信号线在所述基底上的正投影没有交叠。
- 10、根据权利要求5所述的显示基板，其中，所述第一扫描信号线至少包括相互连接的第一子扫描线段和第二子扫描线段，所述第一子扫描线段的宽度大于所述第二子扫

描线段的宽度，所述宽度为所述第二方向的尺寸；所述第二节点电极在所述基底上的正投影与所述第一子扫描线段在所述基底上的正投影没有交叠，所述第二节点电极在所述基底上的正投影与所述第二子扫描线段在所述基底上的正投影至少部分交叠。

5 11、根据权利要求 5 所述的显示基板，其中，至少一个电路单元还包括第一遮挡线，所述第一遮挡线至少包括相互连接的第一子遮挡线段和第二子遮挡线段，所述第一子遮挡线段的宽度大于所述第二子遮挡线段的宽度，所述宽度为所述第二方向的尺寸；所述第二节点电极在所述基底上的正投影与所述第一子遮挡线段在所述基底上的正投影没有交叠，所述第二节点电极在所述基底上的正投影与所述第二子扫描线段在所述基底上的正投影至少部分交叠。

10 12、根据权利要求 5 所述的显示基板，其中，所述第一节点电极在所述基底上的正投影与所述第一扫描信号线在所述基底上的正投影至少部分交叠。

13、根据权利要求 12 所述的显示基板，其中，所述第一节点电极的第一端与所述第二晶体管的第二极连接，所述第一节点电极的第二端与所述第三晶体管的栅电极连接；所述第一节点电极的第一端连接有第一补偿块，所述第一补偿块在所述基底上的正投影与所述第一扫描信号线在所述基底上的正投影至少部分交叠。

14、根据权利要求 5 所述的显示基板，其中，所述第一电源线在所述基底上的正投影与所述第一节点电极在所述基底上的正投影至少部分交叠。

15、根据权利要求 5 所述的显示基板，其中，所述第一电源线在所述基底上的正投影与所述第二晶体管的有源层在所述基底上的正投影至少部分交叠。

20 16、根据权利要求 1 至 15 任一项所述的显示基板，其中，至少一个电路单元还包括沿着所述第一方向延伸的第一初始信号线和沿着所述第二方向延伸的第一初始连接线，所述第一初始信号线被配置为向所述像素驱动电路提供第一初始信号，所述第一初始信号连接线与所述第一初始信号线连接，形成传输所述第一初始信号的网状连通结构，和/或，至少一个电路单元还包括沿着所述第一方向延伸的第二初始信号线和沿着所述第二方向延伸的第二初始连接线，所述第二初始信号线被配置为向所述像素驱动电路提供第二初始信号，所述第二初始信号连接线与所述第二初始信号线连接，形成传输所述第二初始信号的网状连通结构，和/或，至少一个电路单元还包括沿着所述第一方向延伸的第三初始信号线和沿着所述第二方向延伸的第三初始连接线，所述第三初始信号线被配置为向所述像素驱动电路提供第三初始信号，所述第三初始信号连接线与所述第三初始信号线连接，形成传输所述第三初始信号的网状连通结构。

30 17、根据权利要求 16 所述的显示基板，其中，所述第一初始连接线、所述第二初始连接线和所述第三初始连接线中的至少一个包括相互连接的第一初始连接电极和第二初始连接电极；在垂直于所述基底的方向上，所述驱动电路层包括多个导电层，所述第一初始连接电极和所述第二初始连接电极设置在不同的导电层中。

35 18、一种显示装置，包括如权利要求 1 至 17 任一项所述的显示基板。

19、一种显示基板的制备方法，包括：

在基底上形成驱动电路层，所述驱动电路层包括多个电路单元，至少一个电路单元至少包括像素驱动电路和第一电源线，所述第一电源线被配置为向所述像素驱动电路提供第一电源线号；至少一个电路单元还包括屏蔽电极，所述屏蔽电极与所述第一电源线连接；

40 在所述驱动电路层上形成发光结构层，所述发光结构层包括多个发光单元，至少一个发光单元至少包括阳极，所述阳极包括阳极主体部和阳极连接部，所述阳极连接部的一端与所述阳极主体部连接，所述阳极连接部的另一端与所述像素驱动电路连接；至少一个屏蔽电极在所述基底上的正投影与至少一个阳极的第二阳极中心线在所述基底上的正投影至少部分交叠，所述第二阳极中心线是在第一方向上平分所述阳极主体部且沿着第二方向

延伸的直线，所述第一方向和所述第二方向交叉。

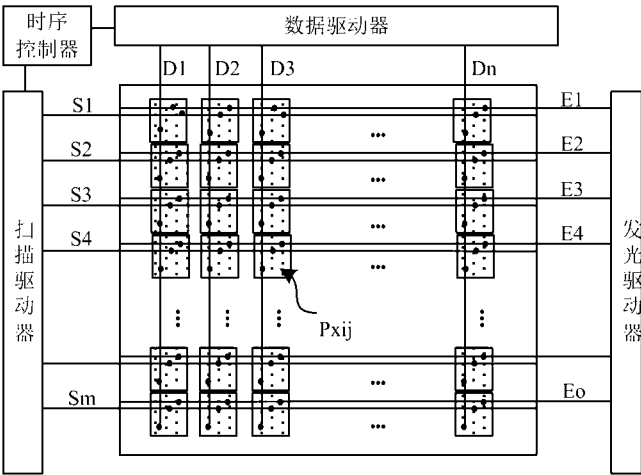


图1

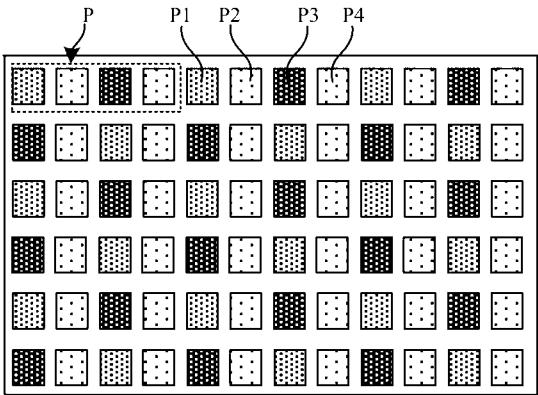


图2

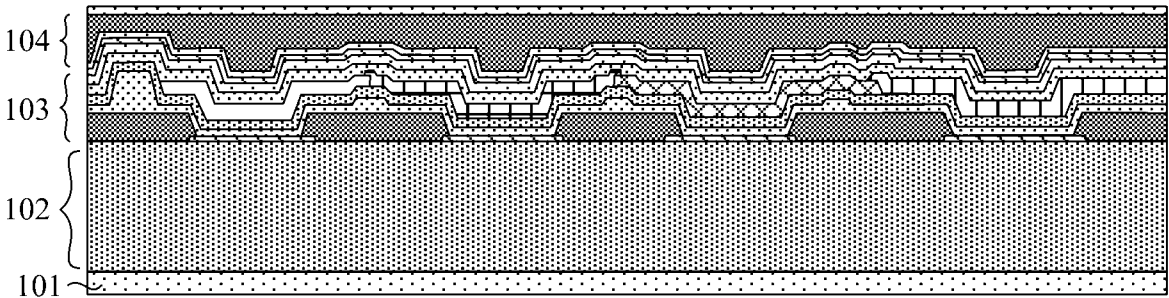


图3

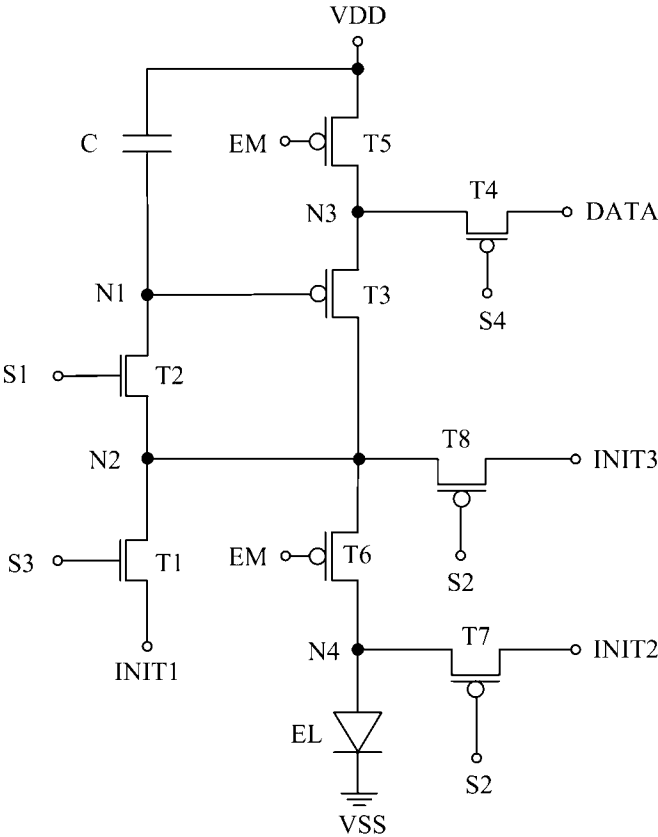


图4

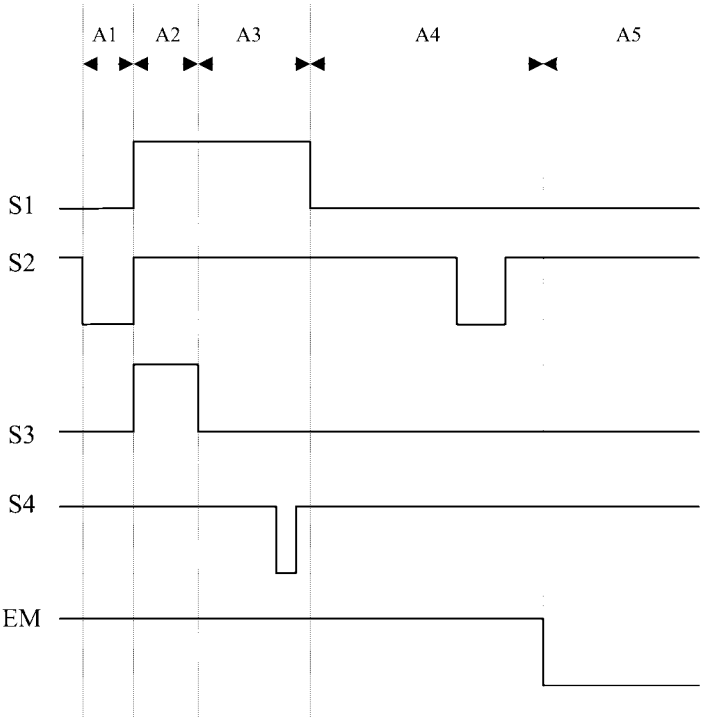


图5

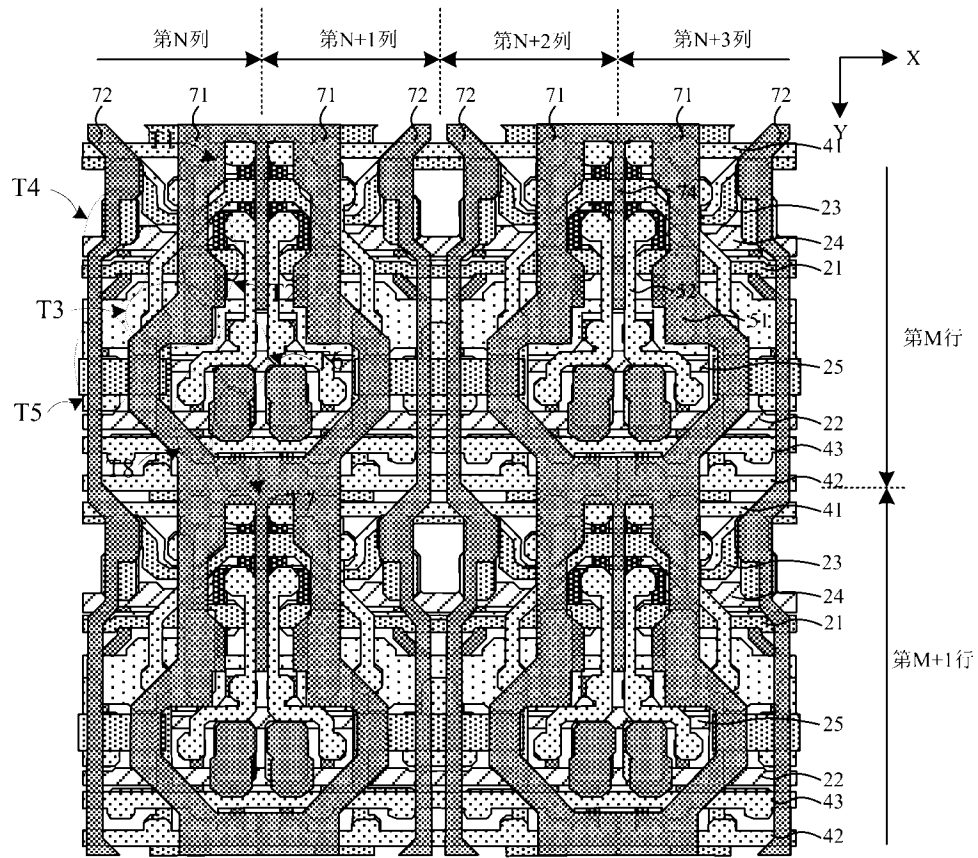


图6

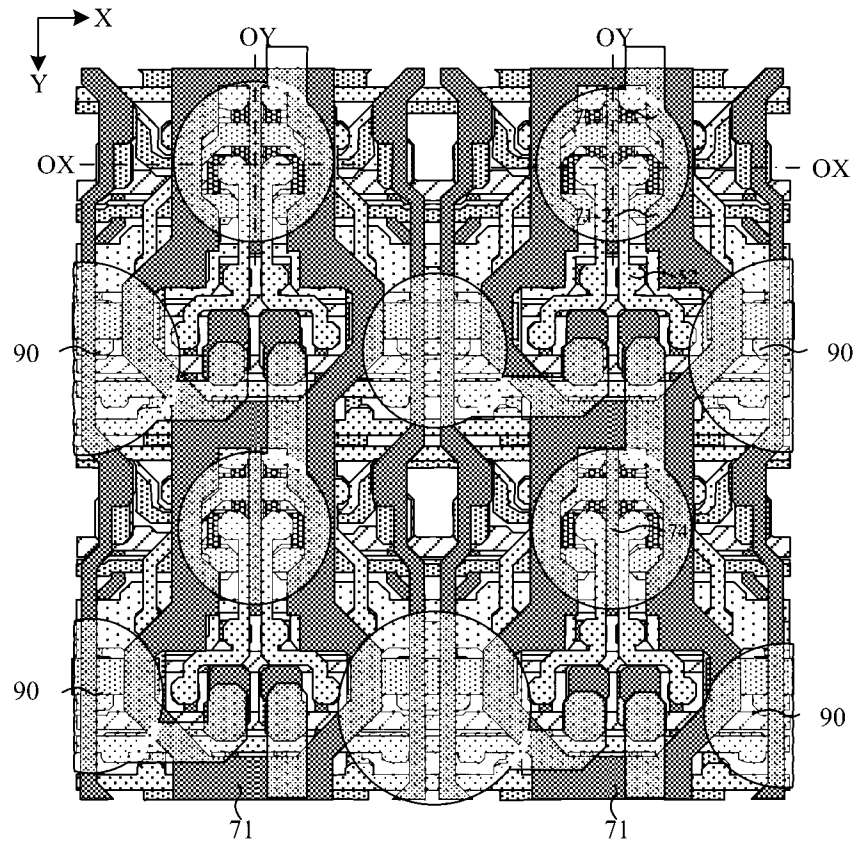


图7

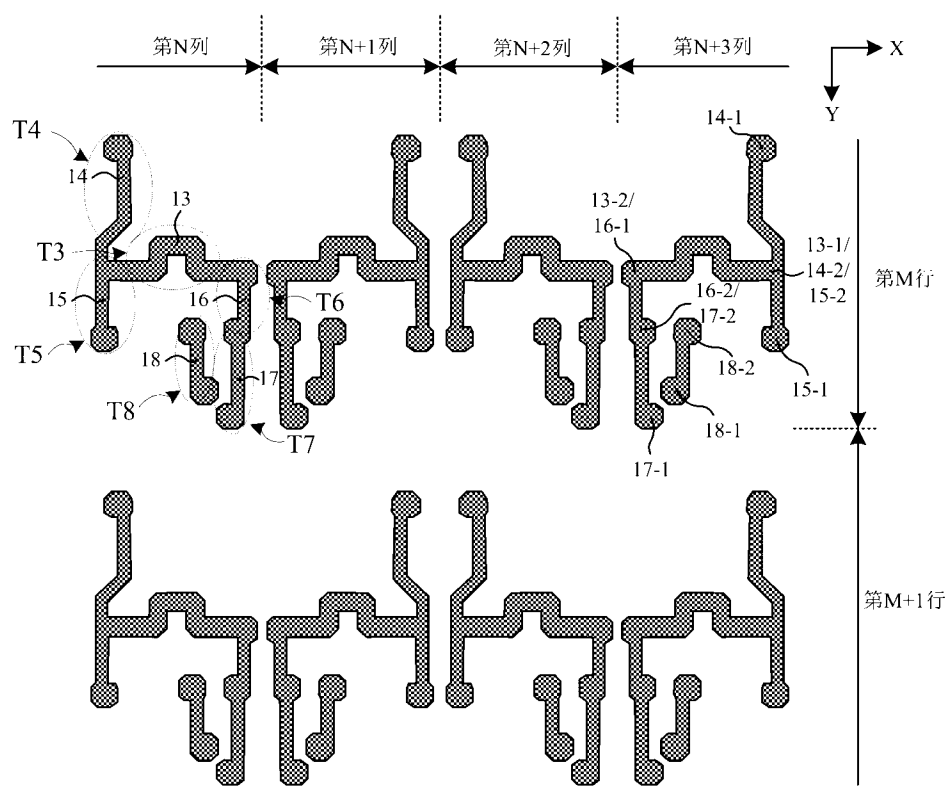


图8

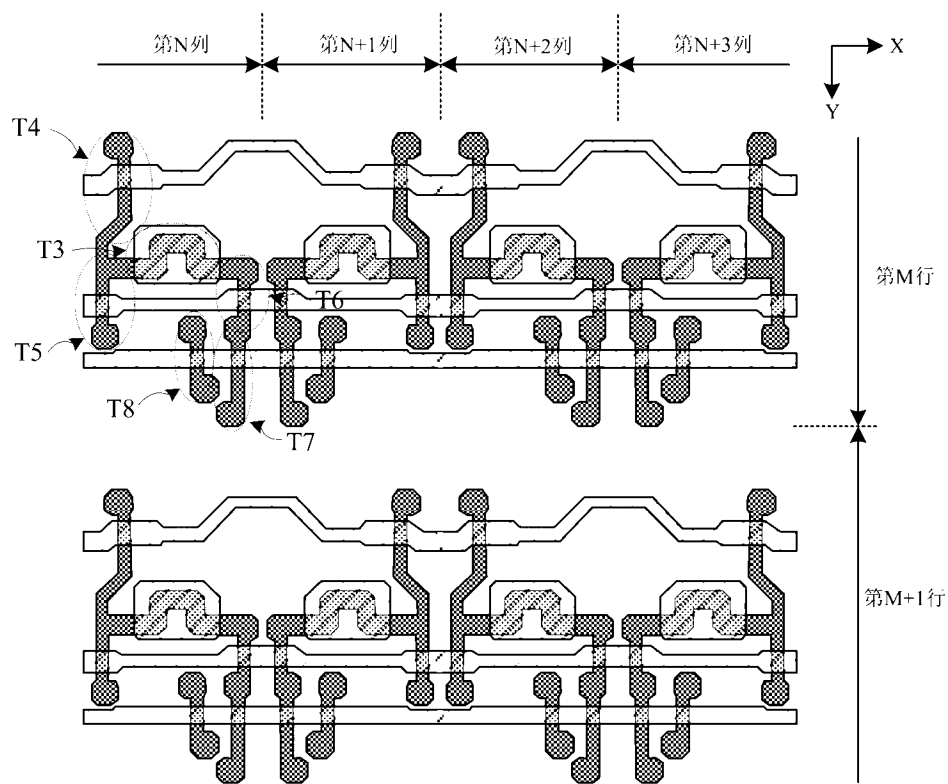


图9A

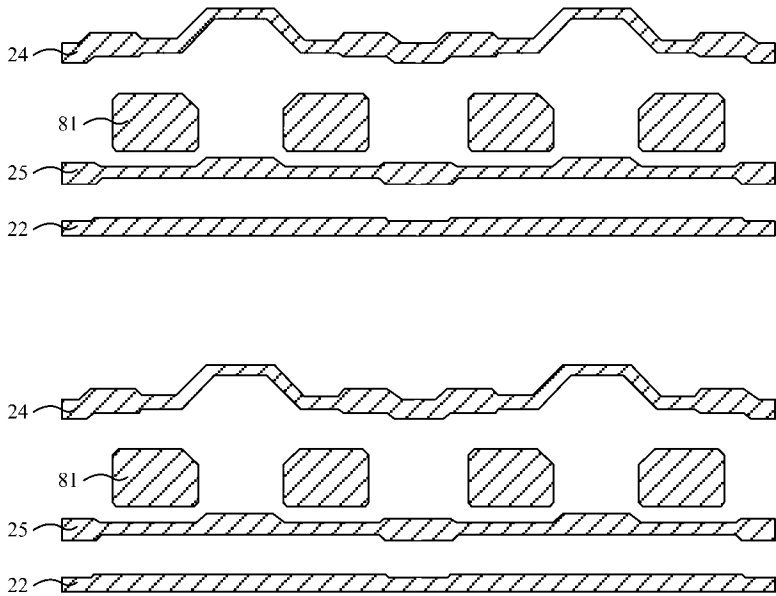


图9B

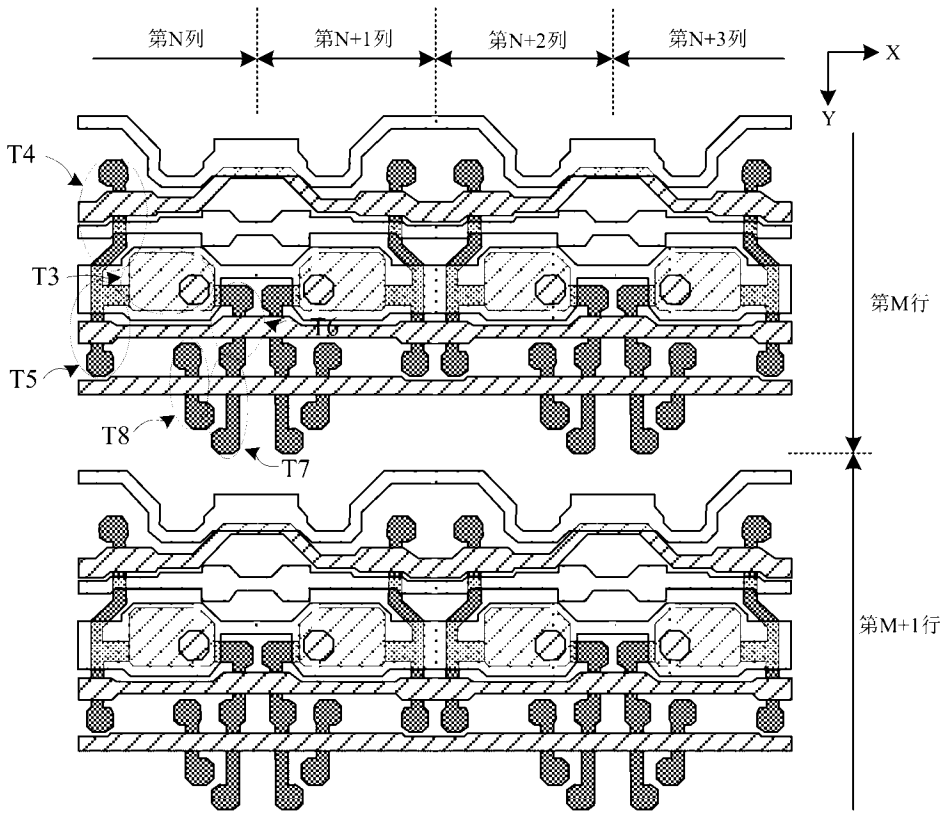


图10A

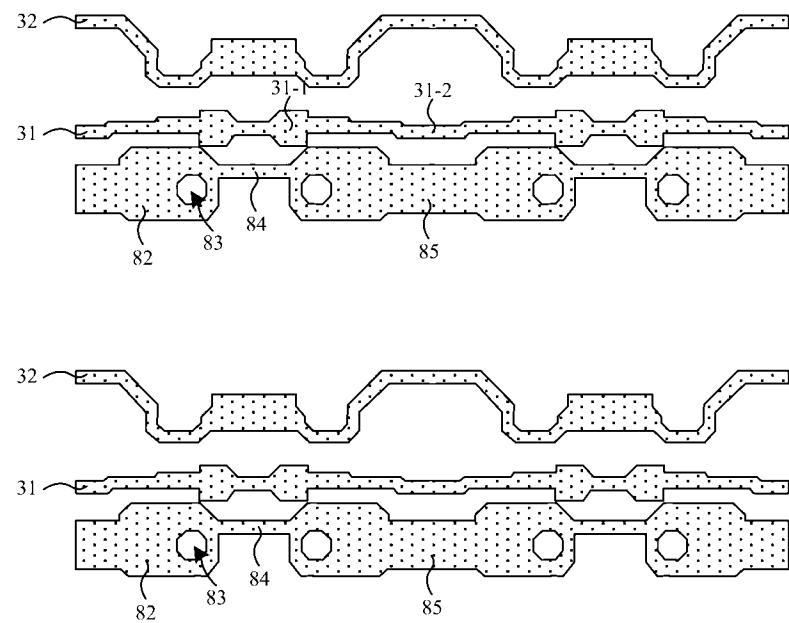


图10B

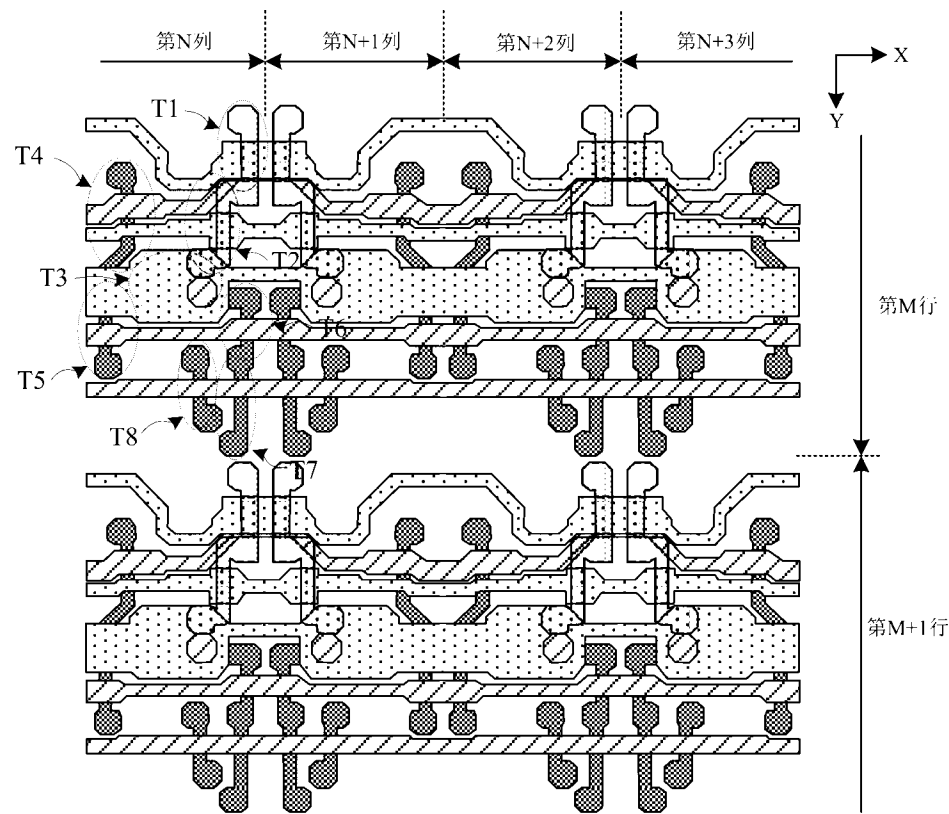


图11A

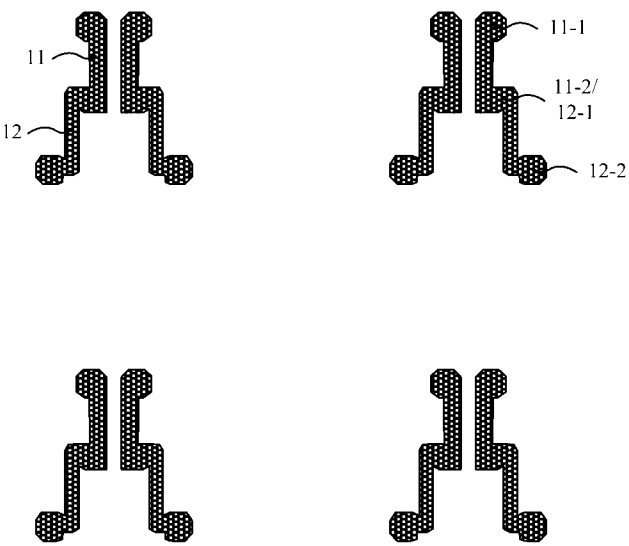


图11B

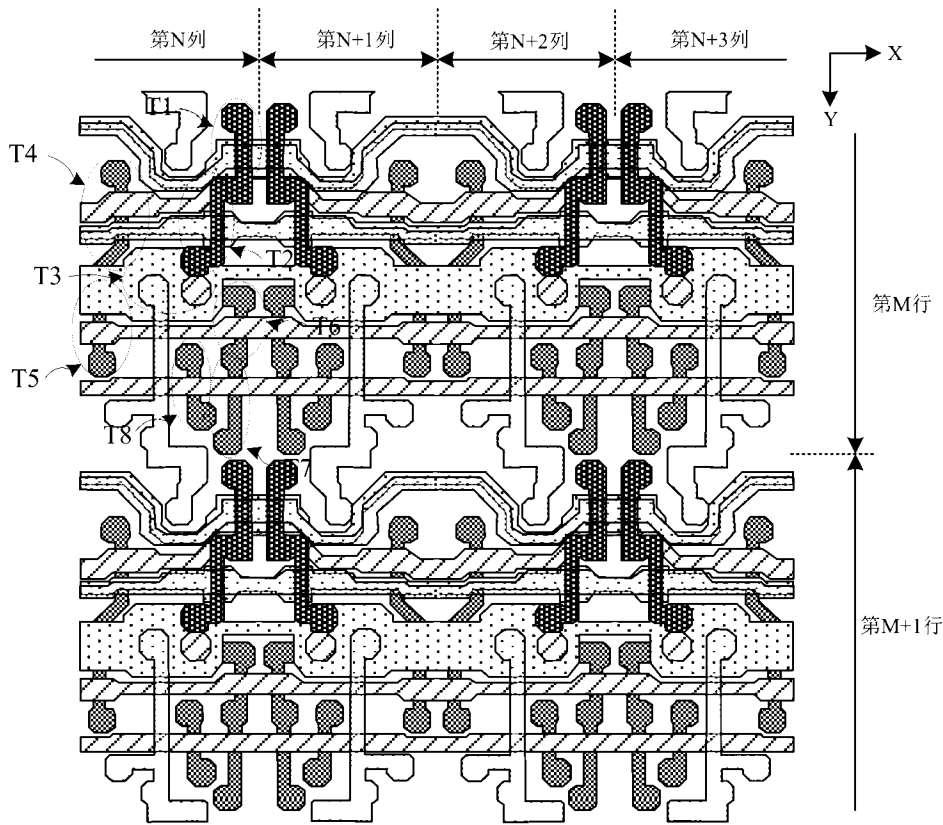


图12A

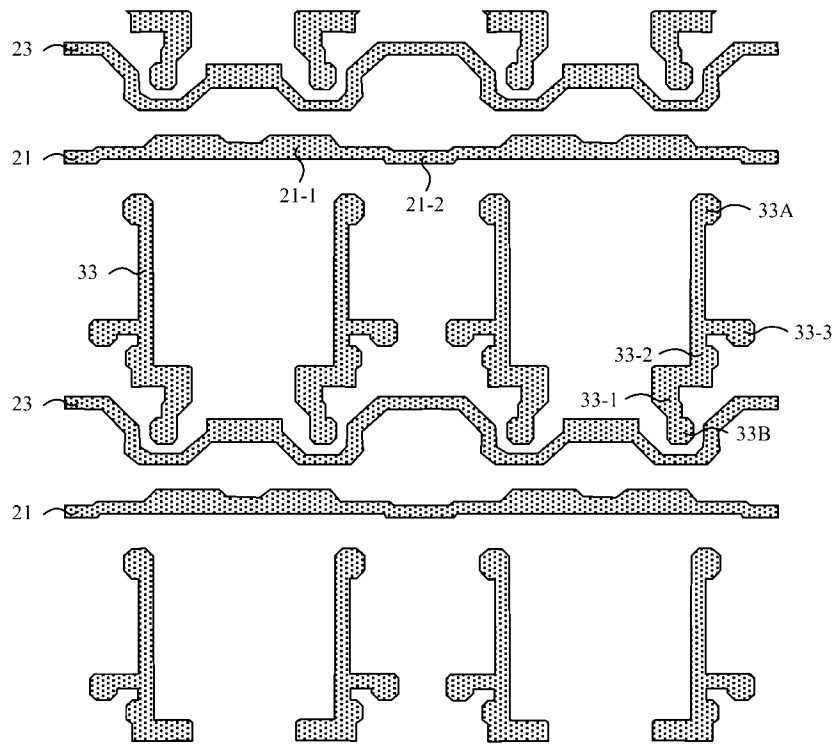


图12B

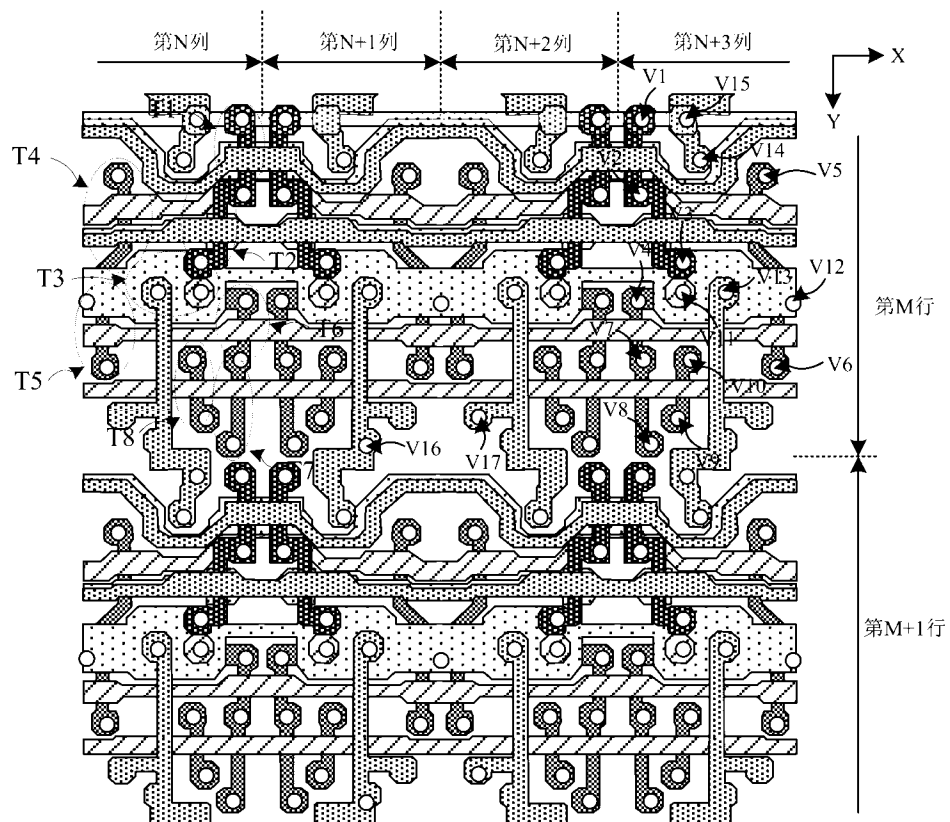


图13

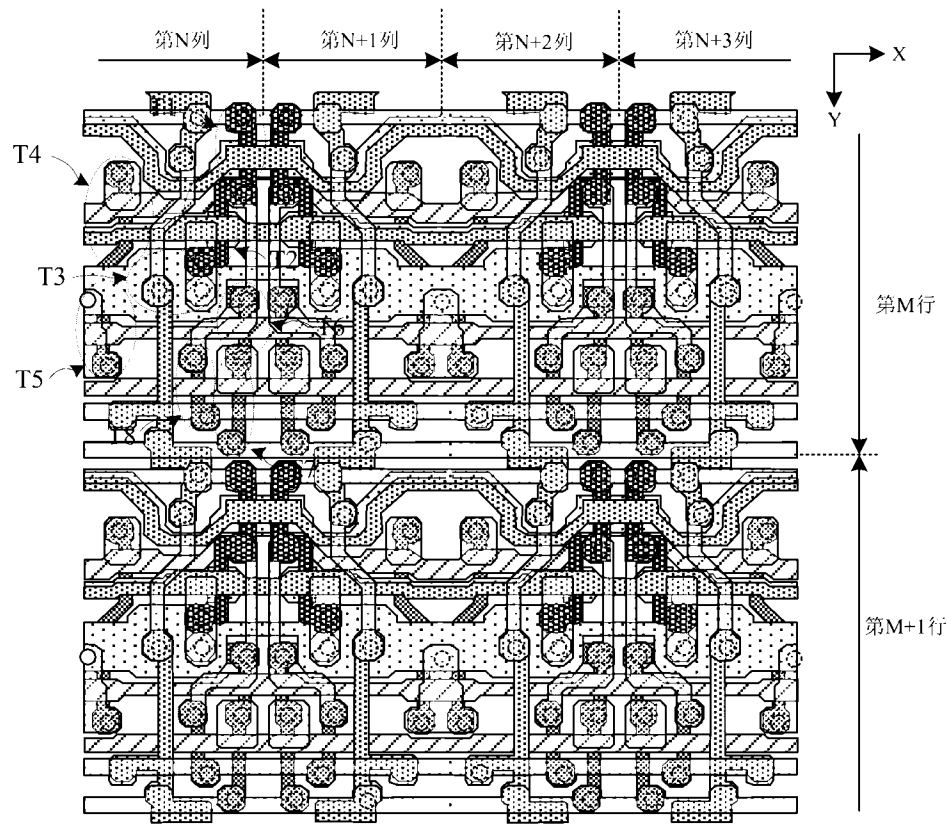


图14A

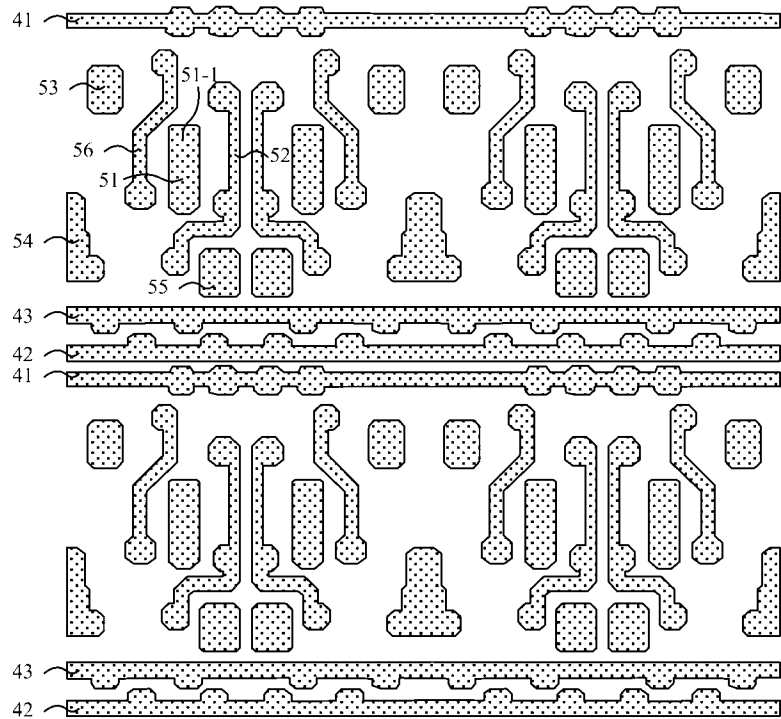


图14B

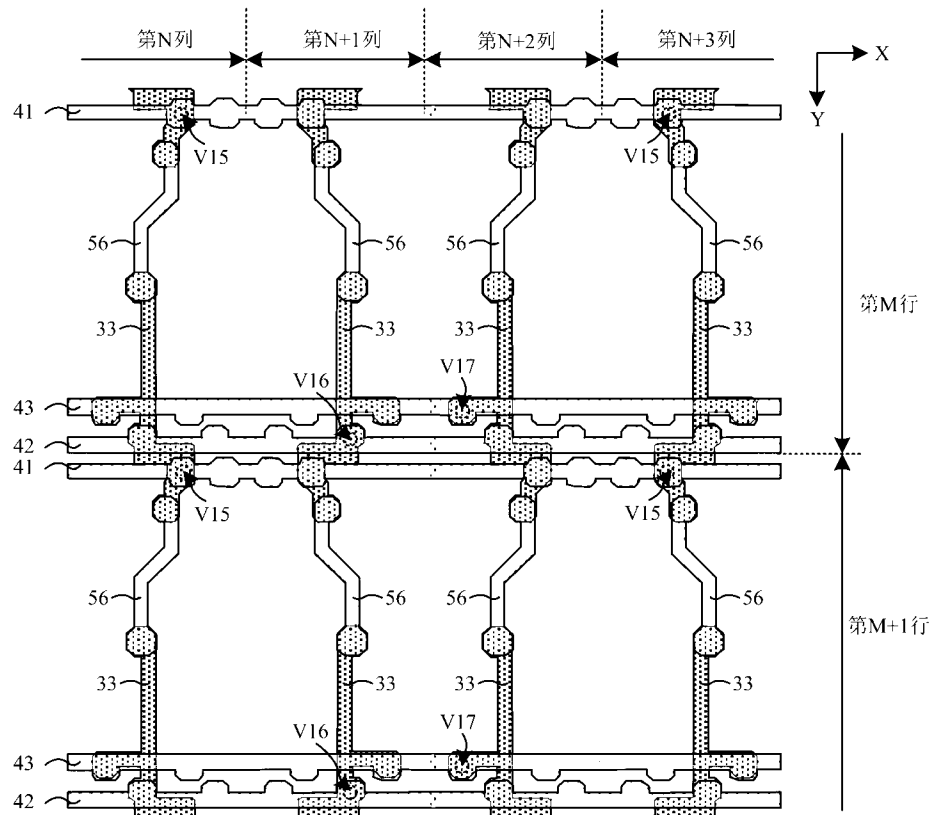


图14C

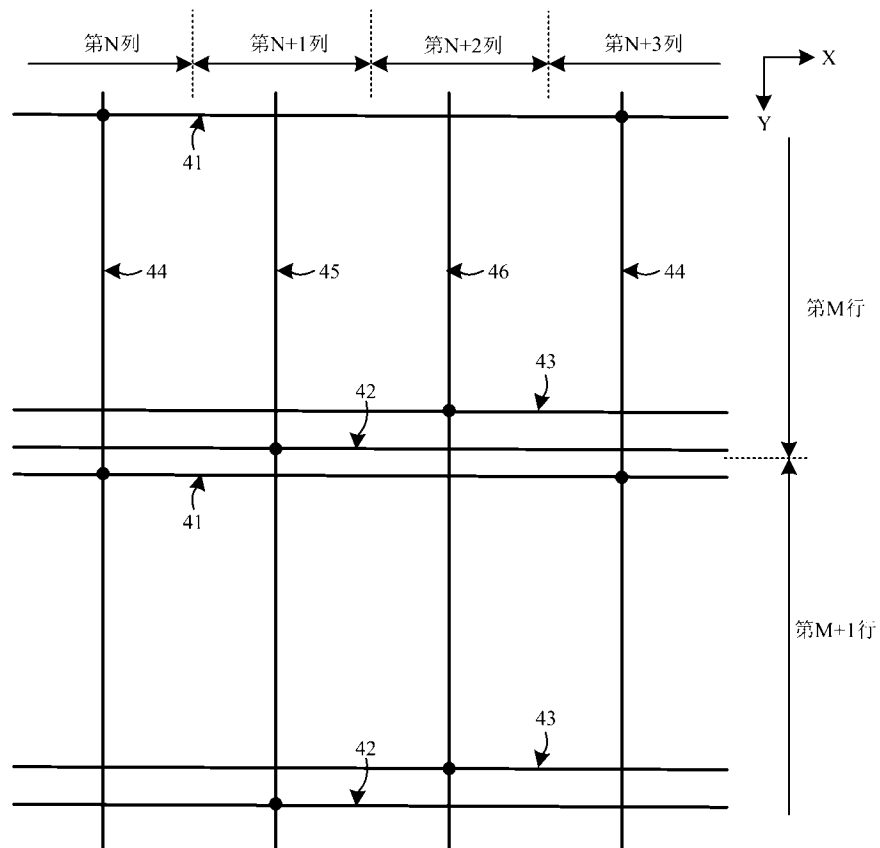


图14D

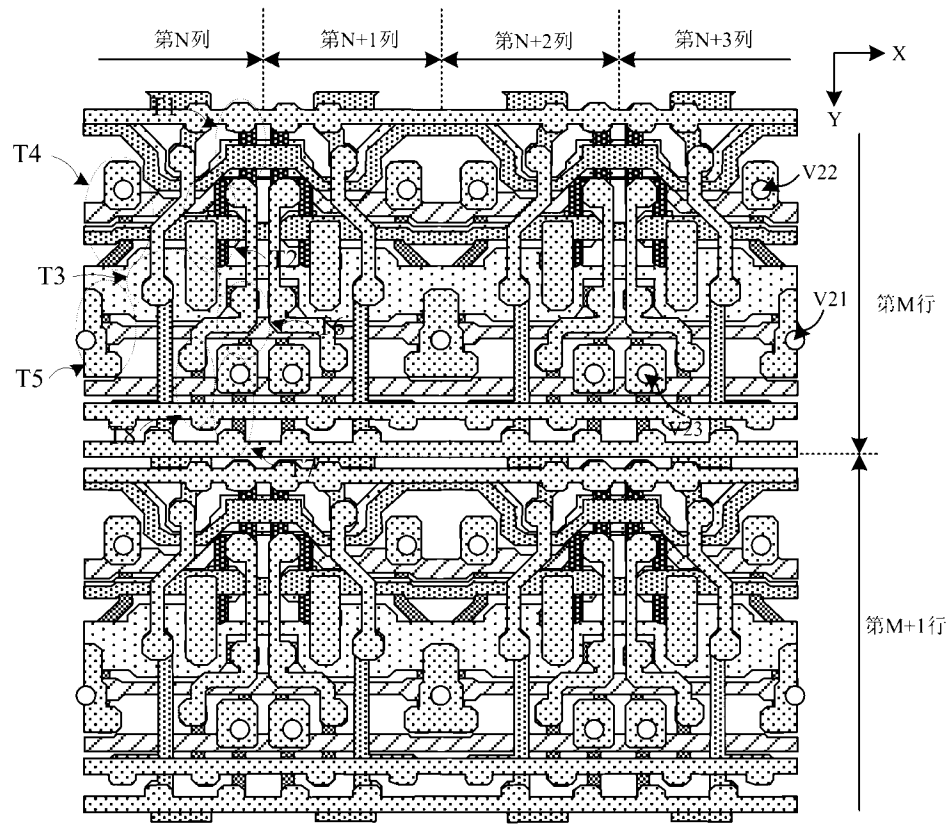


图15

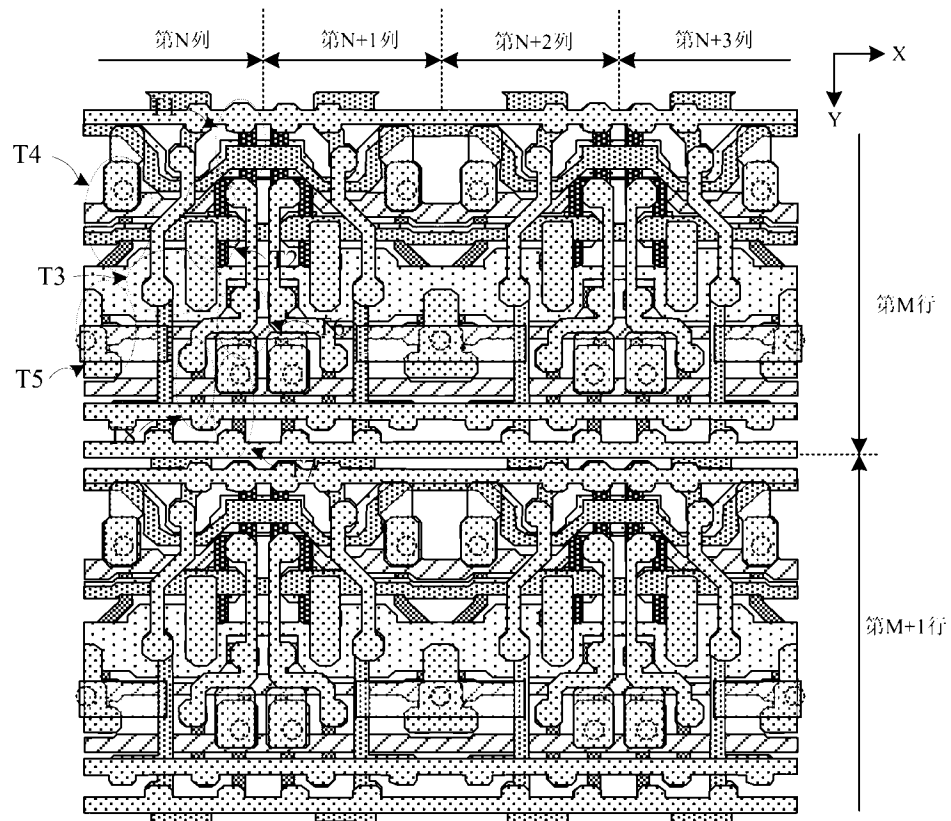


图16A

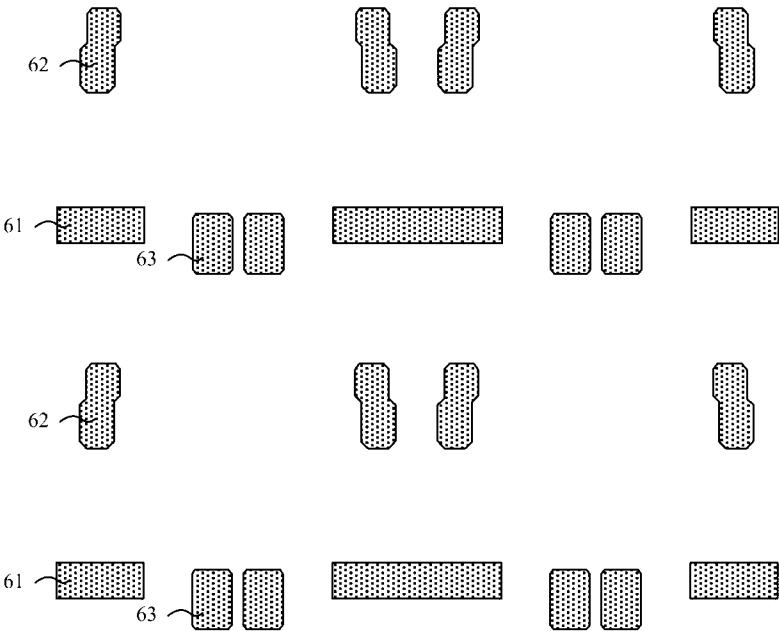


图16B

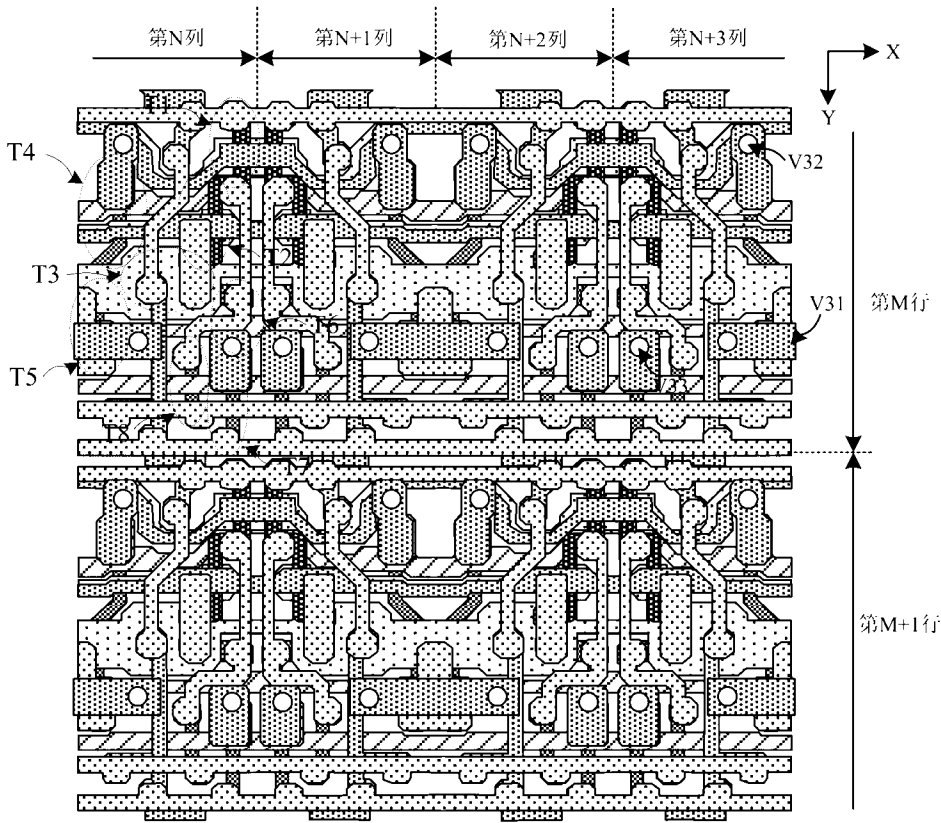


图17

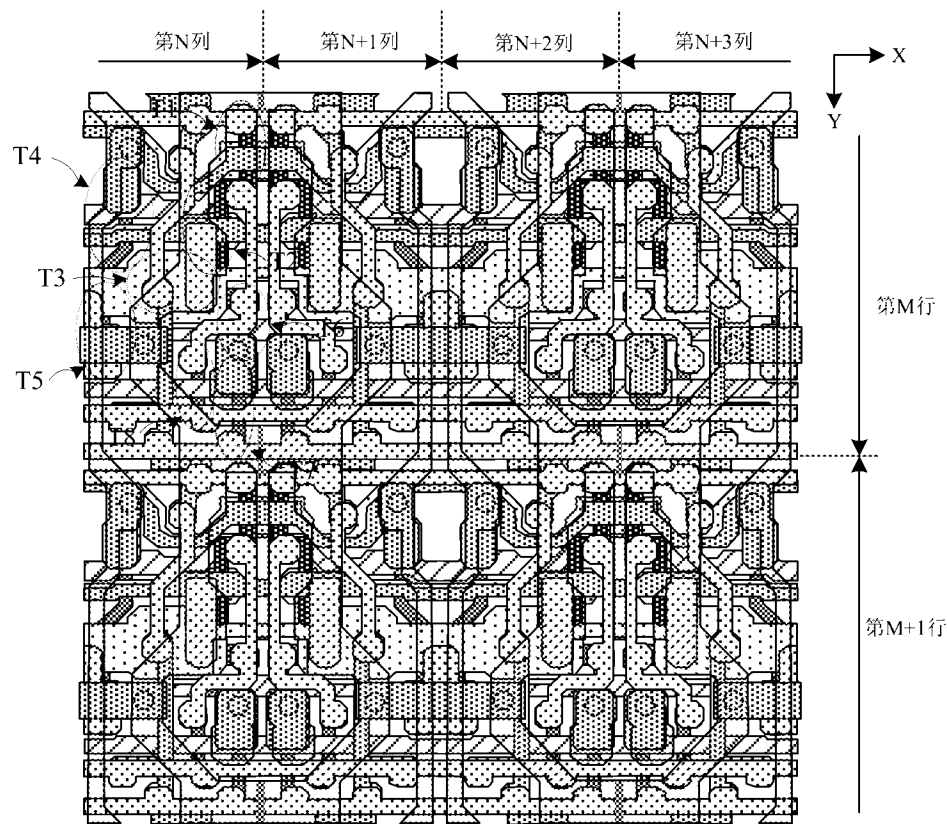


图18A

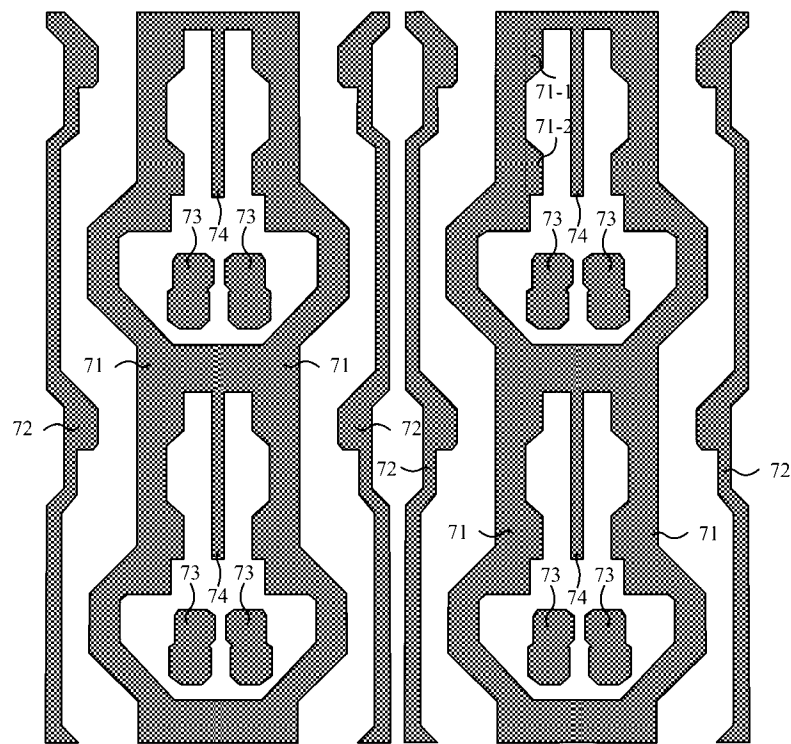


图18B

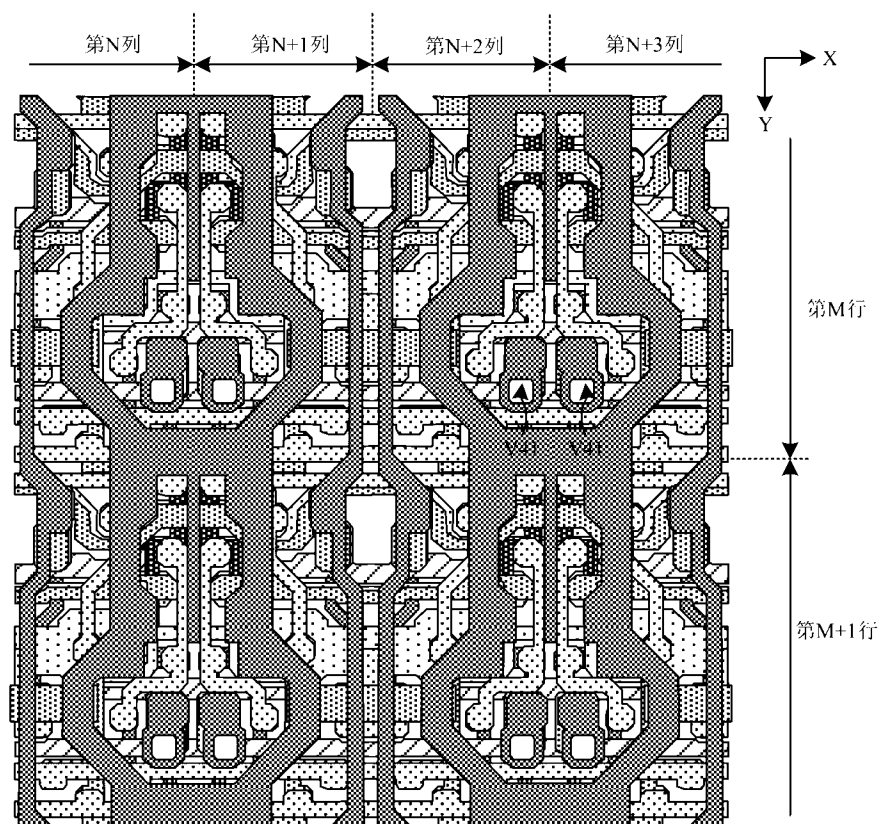


图19

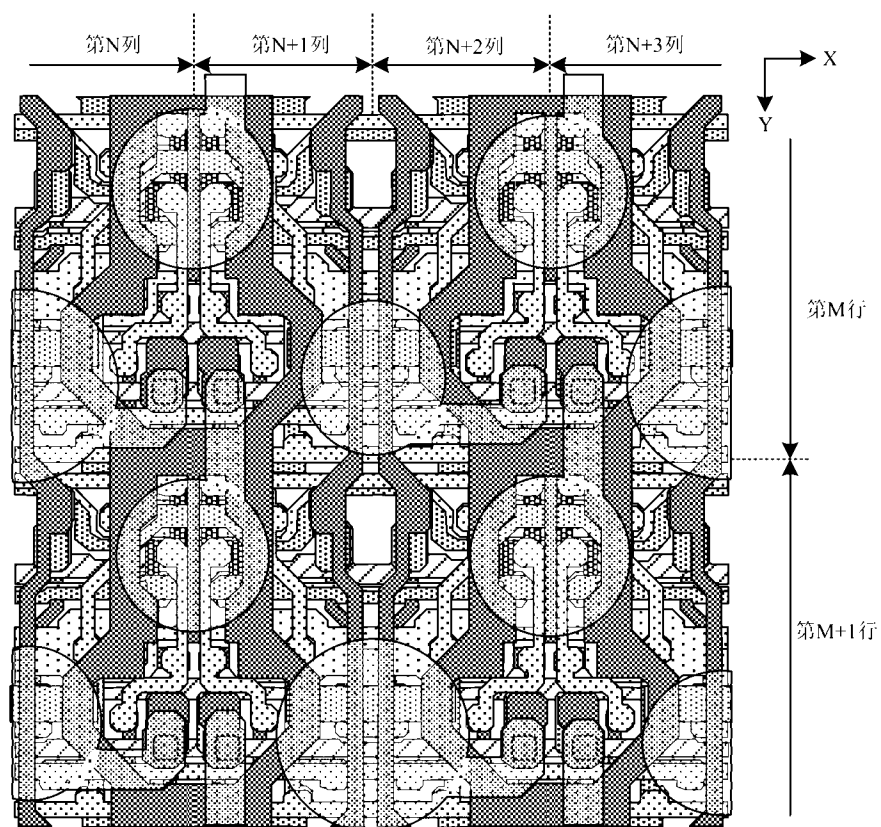


图20A

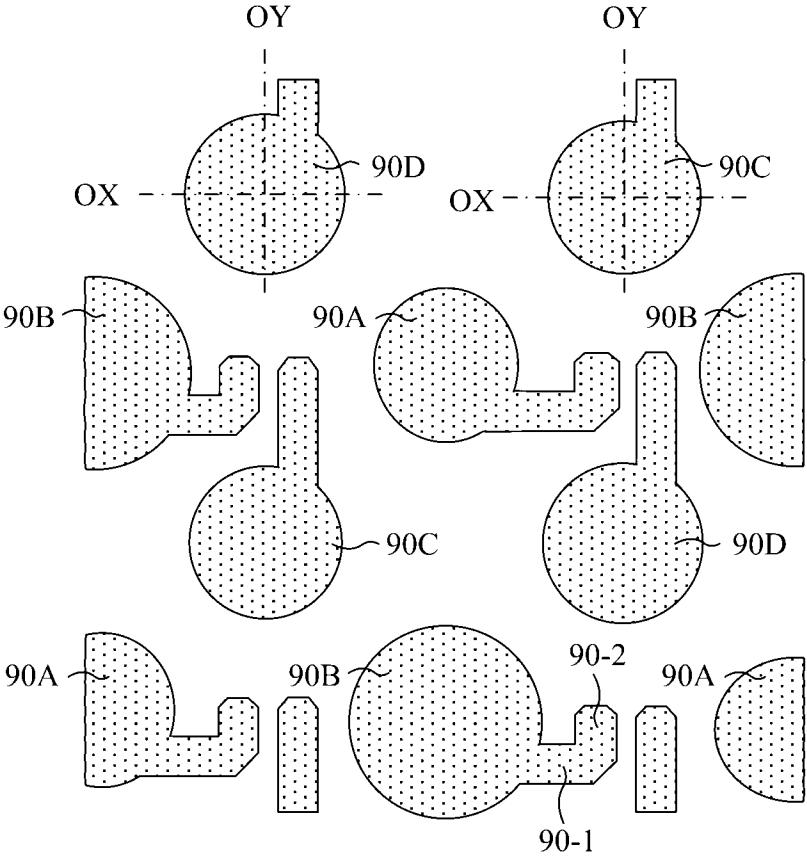


图20B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/140335

A. CLASSIFICATION OF SUBJECT MATTER H1H10K59/126(2023.01)i; G09G3/32(2016.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC:H01L,H10K Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT, DWPI, ENTXT, ENTXTC, CNKI: 显示基板, 驱动电路, 发光结构, 电路单元, 像素驱动电路, 电源线, 第一电源线, 发光单元, 阳极, 阳极主体部, 阳极连接部, 屏蔽电极, 正投影, 交叠, 第一方向, 第二方向, 延伸, 直线, 交叉, 垂直; display substrate, driving circuit, light emitting structure, circuit unit, pixel driving circuit, power supply line, first power supply line, light emitting unit, anode, anode body portion, anode connection portion, shield electrode, orthographic projection, overlap, first direction, second direction, extension, straight line, cross, vertical.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 115705821 A (BOE TECHNOLOGY GROUP CO., LTD.; CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 17 February 2023 (2023-02-17) entire document	1-19
A	CN 116613175 A (BOE TECHNOLOGY GROUP CO., LTD.; CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 18 August 2023 (2023-08-18) entire document	1-19
A	WO 2023039886 A1 (BOE TECHNOLOGY GROUP CO., LTD.; CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 23 March 2023 (2023-03-23) entire document	1-19
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 24 June 2024		Date of mailing of the international search report 24 June 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/140335

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	115705821	A	17 February 2023	None	
CN	116613175	A	18 August 2023	None	
WO	2023039886	A1	23 March 2023	None	

A. 主题的分类 H1H10K59/126(2023.01)i; G09G3/32(2016.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC:H01L,H10K 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT,DWPI,ENTXT,ENTXTC,CNKI:显示基板, 驱动电路, 发光结构, 电路单元, 像素驱动电路, 电源线, 第一电源线, 发光单元, 阳极, 阳极主体部, 阳极连接部, 屏蔽电极, 正投影, 交叠, 第一方向, 第二方向, 延伸, 直线, 交叉, 垂直; display substrate, driving circuit, light emitting structure, circuit unit, pixel driving circuit, power supply line, first power supply line, light emitting unit, anode, anode body portion, anode connection portion, shield electrode, orthographic projection, overlap, first direction, second direction, extension, straight line, cross, vertical.		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 115705821 A (京东方科技集团股份有限公司 成都京东方光电科技有限公司) 2023年2月17日 (2023 - 02 - 17) 全文	1-19
A	CN 116613175 A (京东方科技集团股份有限公司 成都京东方光电科技有限公司) 2023年8月18日 (2023 - 08 - 18) 全文	1-19
A	WO 2023039886 A1 (BOE TECHNOLOGY GROUP CO LTD;CHENGDU BOE OPTOELECT TECH CO;) 2023年3月23日 (2023 - 03 - 23) 全文	1-19
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2024年6月24日		国际检索报告邮寄日期 2024年6月24日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 梁静静 电话号码 (+86) 62412227

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/140335

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	115705821	A	2023年2月17日	无	
CN	116613175	A	2023年8月18日	无	
WO	2023039886	A1	2023年3月23日	无	