

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 10 月 7 日(07.10.2010)

PCT

(10) 国際公開番号
WO 2010/113779 A1

(51) 国際特許分類:

H01L 21/338 (2006.01) H01L 27/06 (2006.01)
H01L 21/768 (2006.01) H01L 29/417 (2006.01)
H01L 21/822 (2006.01) H01L 29/423 (2006.01)
H01L 21/8232 (2006.01) H01L 29/49 (2006.01)
H01L 23/522 (2006.01) H01L 29/778 (2006.01)
H01L 27/04 (2006.01) H01L 29/812 (2006.01)

(21) 国際出願番号: PCT/JP2010/055321

(22) 国際出願日: 2010 年 3 月 26 日(26.03.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-083063 2009 年 3 月 30 日(30.03.2009) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社(NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 松永 高治 (MATSUNAGA Koji) [JP/JP]; 〒1088001 東京都港

区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 工藤 実(KUDOH Minoru); 〒1400013 東京都品川区南大井六丁目 2 4 番 1 0 号カドヤビル 6 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

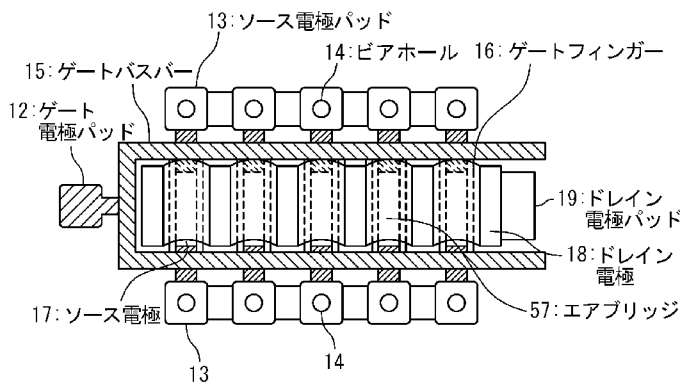
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図3]



12 GATE ELECTRODE PAD
15 GATE BUS BAR
13 SOURCE ELECTRODE PAD
14 VIA HOLE
16 GATE FINGER
19 DRAIN ELECTRODE PAD
18 DRAIN ELECTRODE
57 AIR BRIDGE
17 SOURCE ELECTRODE

(57) Abstract: The both ends of each of the gate fingers are connected to the same gate bus bar. The both ends of each of a plurality of source electrodes are grounded. The source electrodes and a plurality of drain electrodes are alternately disposed one by one, and another gate fingers are disposed between the source electrodes and the drain electrodes. The drain electrodes are connected by means of an air bridge provided over the source electrode and the two gate fingers sandwiched between the drain electrodes. A ladder circuit is connected to the gate bus bar in parallel to the gate fingers, and loop oscillation conditions are adjusted.

(57) 要約: ゲートフィンガーの両端を、同一のゲートバスバーに接続する。複数のソース電極のそれぞれにおいて、両端を設置する。複数のソース電極と、複数のドレイン電極を、1つずつ交互に配置し、ソース電極とドレイン電極との間にゲートフィンガーをさらに配置する。ドレイン電極同士を、間に挟まれたソース電極および2本のゲートフィンガーを跨ぐエアブリッジで接続する。ゲートバスバーに、ラダー回路を、ゲートフィンガーと並列に、接続して、ループ発振条件を調整する。

WO 2010/113779 A1



CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : 半導体装置

技術分野

[0001] 本発明は、マルチフィンガー（櫛型構造）のトランジスタに係り、特に、マイクロ波領域で用いるためのマルチフィンガートランジスタに係る。

背景技術

[0002] 図1は、本発明に関連する技術によるマルチフィンガーFET（Field Effect Transistor：電界効果トランジスタ）の構造について説明するための概略図である。このマルチフィンガーFETは、ゲート部と、ソース部と、ドレイン部とを具備する。ここで、ゲート部は、ゲート電極パッド1と、ゲートバスバー4と、複数のゲートフィンガー5とを具備する。ソース部は、ソース電極パッド2と、複数のソース電極6と、複数のビアホール3とを具備する。ドレイン部は、ドレイン電極パッド8と、複数のドレイン電極7とを具備する。

[0003] 複数のソース電極6と、複数のドレイン電極7とは、1つずつ交互に配置されている。また、隣接するソース電極6およびドレイン電極7の間には、1本のゲートフィンガー5が配置されている。

[0004] ゲート部において、ゲート電極パッド1は、ゲートバスバー4を介して、複数のゲートフィンガー5に接続されている。

[0005] ソース部において、ソース電極パッド2は、エアブリッジを介して複数のビアホール3に接続されている。複数のビアホール3は、接地されている。複数のビアホール3は、複数のソース電極6にそれぞれ接続されている。

[0006] ドレイン部において、ドレイン電極パッド8は、複数のドレイン電極7に接続されている。

[0007] このような構造のマルチフィンガーFETにおいて、それぞれのゲートフィンガー5の単位長さあたりの付随容量および直列抵抗を、それぞれCおよびRと表す。また、ゲートフィンガー5のフィンガー長を L_w と表す。

[0008] 図2は、本発明に関連する技術によるマルチフィンガーFETにおけるゲート部に設定される座標系について説明するための概略図である。このゲート部は、図1におけるゲート部から一部を抜き出したものに等しい。このゲート部は、ゲート電極パッド9と、ゲートバスバー10と、複数のゲートフィンガー11とを具備する。すなわち、図2のゲート電極パッド9、ゲートバスバー10および複数のゲートフィンガー11は、図1のゲート電極パッド1、ゲートバスバー4および複数のゲートフィンガー5に、それぞれ対応する。

[0009] 図2において、ゲートフィンガー11のゲートバスバー10に接続された根元の位置を原点とし、ゲートフィンガー11の長さ方向をx軸とする。この座標系において、ゲートフィンガー11の先端の座標はLwとなる。

[0010] この座標系において、任意のゲートフィンガー11の、ゲートバスバー10からの距離x、すなわち座標x、における電圧方程式は、分布定数的に、次のように表すことができる。

$$\partial V^2(x) / \partial x = CR \partial V(x) / \partial t$$

[0011] ゲートフィンガー11の境界条件により、ゲートへの入力電圧V₀を使って、電流成分I(x)および電圧成分V(x)が求まる。図2の境界条件は、以下のとおりである。

$$V(0) = V_0$$

$$I(Lw) = 0$$

[0012] 分布定数的表現によれば、関連技術によるマルチフィンガーFETにおいて、フィンガー端がオープンであれば、ゲートフィンガーの任意の点における電流および電圧は一樣ではない。これは、ゲートフィンガーの素子特性は場所によって異なり、マルチフィンガーFETのデバイス特性が変動しやすいことを意味する。

[0013] 関連技術によるマルチフィンガーFETの構造において、分布定数的表現によれば、ゲートフィンガーにおける電流および電圧は一樣ではない。したがって、ゲートフィンガーより見たソースインダクタが、ゲートフィンガー

のどの位置から見たかによって変化する。その結果、デバイス利得特性に影響を及ぼす、という課題が、関連技術によるマルチフィンガーFETには存在する。

[0014] また、FET利得の低下に寄与しているのは、ソースインダクタによるものである。しかし、関連技術によるマルチフィンガーFETでは、ビアホールはソース電極の片側のみで接続されている。そのため、ゲートフィンガーから見るソースインダクタも、ゲートフィンガーのどの位置から見たかによって変化する。特に、ゲートフィンガーの端点から見えるソースインダクタの増大は、デバイス利得特性を大きく劣化させる原因となっている。これも関連技術によるマルチフィンガーFETに存在する課題である。

[0015] さらに、ゲートフィンガーの始点と端点を端に接続した場合、ゲート給電線が閉回路となる。このとき、条件が揃えばループ発振が発生し、マルチフィンガーFETが不安定となる恐れがある。これも関連技術によるマルチフィンガーFETに存在する課題である。

[0016] 上記に関連して、特許文献1（特開2000-138236号公報）には、半導体装置に係る記載が開示されている。この半導体装置は、同軸上に配置された複数のソース電極が導電体でそれぞれ接続され、くし型構造のゲート電極およびドレイン電極を有する電界効果トランジスタを使用したものである。この半導体装置は、各ソース電極における両端に位置するソース電極が対応して接続される各接地電極を、それぞれ対応して設置するバイアホールを備える。この半導体装置の特徴としては、各バイアホールは、ホール形状がだ円である。

先行技術文献

特許文献

[0017] 特許文献1：特開2000-138236号公報

発明の概要

[0018] 本発明の目的は、ゲートフィンガーの各点から見たソースインダクタが一様で、かつ、安定したマルチフィンガーFETを提供することである。

- [0019] 本発明による半導体装置は、ソース電極と、ドレイン電極と、ゲート電極と、ゲート給電線とを具備する。ここで、ゲート電極は、ソース電極および前記ドレイン電極の間に配置されている。ゲート給電線は、ゲート電極の両端に接続されている。
- [0020] 本発明の半導体装置によれば、ゲートフィンガーの各点から見たソースインダクタが一樣で、かつ、安定している。したがって、マイクロ波やミリ波の帯域においてFETの高利得化が実現される。

図面の簡単な説明

- [0021] 上記発明の目的、効果、特徴は、添付される図面と連携して実施の形態から、より明らかになる。
- [0022] [図1] 図1は、本発明に関連する技術によるマルチフィンガーFETの構造について説明するための概略図である。
- [図2] 図2は、本発明に関連する技術によるマルチフィンガーFETにおけるゲート部に設定される座標系について説明するための概略図である。
- [図3] 図3は、本発明の第1の実施形態によるマルチフィンガーFETの全体的な構造について説明するための概略図である。
- [図4] 図4は、本発明の第1の実施形態によるマルチフィンガーFETにおけるゲート部に設定される座標系について説明するための概略図である。
- [図5] 図5は、本発明の第2の実施形態による半導体装置の全体的な構造について説明するための概略図である。
- [図6] 図6は、ソースインダクタ（寄生インダクタ）の値による高周波FETの38GHz帯での利得特性（Gain）を求めた結果を示すグラフである。
- [図7] 図7は、本発明の第3の実施形態による半導体装置の全体的な構造について説明するための概略図である。
- [図8A] 図8Aは、本実施形態による半導体装置からラダー回路を除いた場合の閉回路について説明するための回路図である。
- [図8B] 図8Bは、本実施形態による半導体装置からラダー回路を除いた場合

の閉回路における位相差を計算した結果について説明するためのグラフである。

[図9A]図9Aは、本実施形態による半導体装置、すなわちラダー回路を設けた場合の閉回路について説明するための回路図である。

[図9B]図9Bは、本実施形態による半導体装置、すなわちラダー回路を設けた場合の閉回路における位相差を計算した結果について説明するためのグラフである。

[図10]図10は、本発明による半導体素子のマルチフィンガー構造に基づいた、MMIC（高周波モノシリック集積回路）の実施例における構造について説明するための概略図である。

発明を実施するための形態

[0023] 添付図面を参照して、本発明による半導体装置を実施するための形態を以下に説明する。

[0024] （第1の実施形態）

図3は、本発明の第1の実施形態による半導体装置の全体的な構造について説明するための概略図である。この半導体装置は、マルチフィンガーFETであって、ソース部と、ゲート部と、ドレイン部とを具備する。ここで、ソース部は、2つのソース電極パッド13と、複数のビアホール14と、複数のソース電極17とを具備する。ゲート部は、ゲート電極パッド12と、ゲートバスバー15と、複数のゲートフィンガー16とを具備する。ゲートバスバー15は、2本の端部を具備する。ドレイン部は、ドレイン電極パッド19と、複数のエアブリッジ57と、複数のドレイン電極18とを具備する。なお、ソース電極17、ドレイン電極18およびゲートフィンガー16の数は、図3ではそれぞれ5つ、6つ、10本であるが、これらの数はあくまでも一例であって本発明を限定するものではない。

[0025] ここで、ゲートフィンガー16は、ゲート電極として動作する。ゲートバスバー15は、ゲート給電線として動作する。ビアホール14は、接地されており、接地部として動作する。

- [0026] 複数のソース電極 17 と、複数のドレイン電極 18 とは、1 つずつ交互に配置されている。また、隣接するソース電極 17 およびドレイン電極 18 の間には、1 本のゲートフィンガー 16 が配置されている。
- [0027] ソース部において、2 つのソース電極パッド 13 は、複数のビアホール 14 に接続されている。複数のビアホール 14 は、それぞれ接地されている。複数のソース電極のそれぞれにおいて、一方の端は一方のソース電極パッド 13 に接続されており、他方の端は他方のソース電極パッド 13 に接続されている。
- [0028] ゲート部において、ゲート電極パッド 12 は、ゲートバスバー 15 の途中に接続されている。ゲートバスバー 15 の、ゲート電極パッド 12 が接続されている位置から一方の端までを、ゲートバスバー 15 の一方の端部と呼ぶ。同様に、ゲート電極パッド 12 が接続されている位置から他方の端までを、ゲートバスバー 15 の他方の端部と呼ぶ。ゲートバスバー 15 の 2 本の端部はそれぞれ、これら複数のソース電極 17、複数のドレイン電極 18 および複数のゲートフィンガー 16 の並びに沿って配置されている。複数のゲートフィンガー 16 の両端は、ゲートバスバー 15 の一方の端部および他方の端部にそれぞれ接続されている。したがって、全てのゲートフィンガー 16 の全域が同電位となる。
- [0029] ドレイン部において、ドレイン電極パッド 19 は、第 1 のドレイン電極 18 に接続されている。第 1 のドレイン電極 18 は、第 1 のエアブリッジ 57 に接続されている。第 1 のエアブリッジ 57 は、第 2 のドレイン電極 18 に接続されている。ここで、第 1 のエアブリッジ 57 は、第 1 のドレイン電極 18 と第 2 のドレイン電極 18 との間に配置されている 2 本のゲートフィンガー 16 および 1 本のソース電極 17 を跨いでいる。以下同様に、複数のドレイン電極 18 と複数のエアブリッジ 57 は 1 つずつ交互に接続され、かつ、それぞれのエアブリッジ 57 はその両端に接続された 2 つのドレイン電極 18 の間に配置されている 2 本のゲートフィンガー 16 および 1 本のソース電極 17 を跨いでいる。

[0030] 図4は、本実施形態によるマルチフィンガーFETにおけるゲート部に設定される座標系について説明するための概略図である。このゲート部は、図3におけるゲート部から一部を抜き出したものに等しい。このゲート部は、ゲート電極パッド20と、ゲートバスバー21と、複数のゲートフィンガー22とを具備する。すなわち、図4のゲート電極パッド20、ゲートバスバー21および複数のゲートフィンガー22は、図3のゲート電極パッド12、ゲートバスバー15および複数のゲートフィンガー16に、それぞれ対応する。

[0031] 図4において、ゲートフィンガー22の一方の端部、すなわちゲートバスバー21に接続された一方の根元の位置を原点とし、ゲートフィンガー22の長さ方向をx軸とする。この座標系において、ゲートフィンガー22のもう一方の端部の座標は L_w となる。ここで、 L_w はゲートフィンガー22の長さである。

[0032] この座標系において、任意のゲートフィンガー22の、一方の端部からの距離 x 、すなわち座標 x 、における電圧方程式は、分布定数的に、次のように表すことができる。

$$\partial V^2(x) / \partial x = CR \partial V(x) / \partial t$$

ここで、CおよびRは、それぞれ、任意のゲートフィンガー5の単位長さあたりの付随容量および直列抵抗を表す。

[0033] また、境界条件は、

$$V(0) = V(L_w) = V_0$$

である。

[0034] ゲートフィンガー22の入力インピーダンスは、

$$Z_{in}(x) = V(x) / I(x)$$

である。この実抵抗成分である

$$\text{Re} [Z_{in}(x=0)]$$

は、ゲート抵抗を示す。そこで、上記の境界条件により、ゲート抵抗が求められる。

[0035] ゲートフィンガー 22 の両端を、ゲートバスバー 21 に接続することで、ゲートフィンガー 22 の全域が同電位となった場合の、ゲート抵抗は、

$$\operatorname{Re}\left[Z_{in}(0)\right]=(1 / 12) R L w$$

となる。

[0036] ちなみに、関連技術として紹介したマルチフィンガー FET のように、ゲートフィンガーの一方の端部をゲートバスバー 21 に接続し、他方の端部をオープンにした場合のゲート抵抗は、

$$\operatorname{Re}\left[Z_{in}(0)\right]=(1 / 3) R L w$$

となる。

[0037] この結果により、ゲートフィンガー 22 の両端をゲートバスバーに接続してゲートフィンガー全域を同電位とした場合、ゲート抵抗は、関連技術構造の $1 / 4$ にまで低減させることが可能となる。

[0038] したがって、ゲート抵抗を低減させたことによって、本発明によるマルチフィンガー FET では、高利得化が得られる。

[0039] また、本発明によるマルチフィンガー FET の構造では、ゲートフィンガーの両端がゲートバスバーに接続されているので、ゲートフィンガーの全域において電圧が一樣であり、素子特性のバラツキの影響が小さい。

[0040] (第 2 の実施形態)

図 5 は、本発明の第 2 の実施形態による半導体装置の全体的な構造について説明するための概略図である。この半導体装置は、第 1 の実施形態による半導体装置におけるソース電極 28 の数を 1 つに変更したものである。その結果、ドレイン電極 29 の数は 2 つに、ゲートフィンガー 27 の数は 2 つに、それぞれ変更されている。言い換えれば、本実施形態は、本発明による半導体装置としてのマルチフィンガー FET の、最小構成である。

[0041] この半導体装置は、さらに、2 つのソース電極パッド 25 と、2 つのビアホール 26 と、ゲート電極パッド 23 と、ゲートバスバー 24 と、ドレイン電極パッド 30 と、エアブリッジ 58 とを具備する。図 5 における 2 つのソース電極パッド 25、2 つのビアホール 26、ゲート電極パッド 23、ゲー

トバスバー 24 およびドレイン電極パッド 30 は、図 3 における複数のビアホール 14、ゲート電極パッド 12、ゲートバスバー 15 およびドレイン電極パッド 19 に、それぞれ対応する。

[0042] 図 5 に示すように、ソース電極 28 に接続される 2 つのビアホール 26 は、ソース電極 28 の両端に配置されている。その結果、ソースインダクタの低減が図られていると同時に、ゲートフィンガー 27 の各点から見えるソースインダクタの影響をも低減させることが出来る。

[0043] 図 6 は、ソースインダクタ（寄生インダクタ）の値による高周波 FET の 38 GHz 帯での利得特性（Gain）を求めた結果を示すグラフである。このグラフにおいて、横軸はソースインダクタの値 L を、縦軸は利得特性を、それぞれ表す。

[0044] 関連技術による半導体装置におけるソースインダクタの値は 0.08 nH であった。ソースインダクタの値を 0.04 nH に半減すれば、利得特性を、その理想値である約 6.8 dB に近づけることが出来ることが、図 6 のグラフから分かる。

[0045] 以上により、ゲートフィンガー 27 の両端をゲートバスバー 24 に接続し、かつ、ソース電極 28 を、その両端に配置したビアホール 26 を介して接地することで、本発明によるマルチフィンガー FET は、高周波において、関連技術のものよりも高い利得特性を得ることが可能になる。

[0046] （第 3 の実施形態）

図 7 は、本発明の第 3 の実施形態による半導体装置の全体的な構造について説明するための概略図である。この半導体装置は、第 2 の実施形態によるマルチフィンガー FET にラダー回路を追加したものに等しい。

[0047] 図 7 のマルチフィンガー FET は、ゲート電極パッド 51 と、ゲートバスバー 52 と、2 本のゲートフィンガー 53 と、2 つのソース電極パッド 54 と、ソース電極 59 と、ドレイン電極パッド 55 と、2 つのドレイン電極 60 と、エアブリッジ 56 と、抵抗 31 と、ビアホール付きキャパシタ 32 とを具備する。図 7 のゲート電極パッド 51、ゲートバスバー 52、2 本のゲ

ートフィンガー 53、2つのソース電極パッド 54、ソース電極 59、ドレイン電極パッド 55、2つのドレイン電極 60およびエアブリッジ 56は、図 5の、にそれぞれ対応する。抵抗 31およびビアホール付きキャパシタ 32は、本実施形態におけるラダー回路に対応する。なお、ビアホール付きキャパシタ 32は、ビアホールにおいて接地されている。

[0048] このラダー回路は、抵抗 31と、ビアホール付きキャパシタ 32とを直列に接続したものである。このラダー回路は、ゲートフィンガー 53に並列に接続されることによって、ループ発振を抑圧、回避するものである。

[0049] ここで、抵抗 31およびビアホール付きキャパシタ 32の値をそれぞれ R および C と置くと、並列共振回路としてのラダー回路に共振周波数 f が以下のように決定される。

$$f = 1 / 2 \pi R C$$

[0050] 図 8 A は、本実施形態による半導体装置からラダー回路を除いた場合の閉回路について説明するための回路図である。この閉回路は、3つのゲートバスバー 33と、1つのゲートフィンガー 34とを具備する。ここで、図 8 A における3つのゲートバスバー 33は、図 7におけるゲートバスバー 52の2つの端部およびゲート電極パッド 51に対応する。図 8 A におけるゲートフィンガー 34は、図 7におけるゲートフィンガー 53に対応する。

[0051] 図 8 B は、本実施形態による半導体装置からラダー回路を除いた場合の閉回路における位相差を計算した結果について説明するためのグラフである。このグラフにおいて、横軸は周波数を、縦軸は位相差を、それぞれ表す。

[0052] 位相差が 180 度近辺であるときに、ループ発振が発生しやすい。この位相差は、ゲートバスバーおよびゲートフィンガーのレイアウト上の長さの組み合わせによって決定する。

[0053] 図 9 A は、本実施形態による半導体装置、すなわちラダー回路を設けた場合の閉回路について説明するための回路図である。この閉回路は、3つのゲートバスバー 35と、1つのゲートフィンガー 36と、2つのラダー回路とを具備する。2つのラダー回路のそれぞれは、抵抗 37と、接地されたキャ

パシタ 38 とを具備する。図 9 A における 3 つのゲートバスバー 35 は、図 7 におけるゲートバスバー 52 の 2 つの端部およびゲート電極パッド 51 に対応する。図 9 A におけるゲートフィンガー 36 は、図 7 におけるゲートフィンガー 53 に対応する。図 9 A における抵抗 37 および接地されたキャパシタ 38 は、図 7 における抵抗 31 およびビアホール付きキャパシタ 32 に対応する。

[0054] 図 9 B は、本実施形態による半導体装置、すなわちラダー回路を設けた場合の閉回路における位相差を計算した結果について説明するための回路図である。このグラフにおいて、横軸は周波数を、縦軸は位相差を、それぞれ表す。

[0055] ゲートバスバーおよびゲートフィンガーのレイアウト上の長さの組み合わせによって決定されるループ発振周波数領域を、並列共振回路を設けることによって回避することが可能である。従って、この共振周波数を使って、所望動作周波数帯でのループ発振条件を回避することが可能である。これにより、始点および端点の両方をゲートバスバーに接続したゲートフィンガーにおける閉回路網においても、安定動作が可能となる。

[0056] (実施例)

図 10 は、本発明による半導体素子のマルチフィンガー構造に基づいた、MMIC（高周波モノシリック集積回路）の実施例における構造について説明するための概略図である。このMMICは、バイアス回路 39 と、本発明の第 2 の実施形態によるマルチフィンガー FET と、段間信号回路 40 と、本発明の第 1 の実施形態によるマルチフィンガー FET と、出力整合回路 41 と、複数のキャパシタ 42 a ~ 42 d とを具備する。

[0057] このMMICにおいて、バイアス回路 39 は、本発明の第 2 の実施形態によるマルチフィンガー FET におけるゲート電極パッド 23 に接続されている。本発明の第 2 の実施形態によるマルチフィンガー FET におけるドレイン電極パッド 30 は、第 1 のキャパシタ 42 a と、段間信号回路 40 とに接続されている。段間信号回路 40 は、第 2 のキャパシタ 42 b を介して、本

発明の第 1 の実施形態によるマルチフィンガー FET におけるゲート電極パッド 12 に接続されている。本発明の第 1 の実施形態によるマルチフィンガー FET におけるドレイン電極パッド 19 は、第 3 のキャパシタ 42 c に接続されている。本発明の第 1 の実施形態によるマルチフィンガー FET におけるドレイン電極パッド 19 は、第 4 のキャパシタ 42 d と、出力整合回路 41 とに接続されている。

[0058] 本実施例によれば、マイクロ波帯からミリ波帯に至る周波数領域において、高利得特性を達成できる。同時に、高利得 MMIC への展開も可能となる。

[0059] 本発明のマルチフィンガー構造は、高周波 FET で使われる GaAs (ガリウム砒素)、InP (リン化インジウム)、GaN (窒化ガリウム)、SiC (炭化ケイ素)、ZnO (酸化亜鉛) 等の化合物半導体や、CMOS (Complementary Metal Oxide Semiconductor)、SiGe (シリコンゲルマニウム) 等の Si (シリコン) 系半導体を使った、高利得 FET および MMIC への展開が可能である。

[0060] 以上、実施形態 (及び実施例) を参照して本願発明を説明したが、本願発明は上記実施形態 (及び実施例) に限定されるものではない。本願発明の構成や詳細には、本願発明の Scope 内で当業者が理解し得る様々な変更をすることができる。

[0061] この出願は、2009 年 3 月 30 日に出願された日本出願特願 2009-83063 を基礎とする優先権を主張し、その開示の全てをここに取り込む。

請求の範囲

- [請求項1] ソース電極と、
 ドレイン電極と、
 前記ソース電極および前記ドレイン電極の間に配置されたゲート電極と、
 前記ゲート電極の両端に接続されたゲート給電線と
 を具備する
 半導体装置。
- [請求項2] 請求項 1 に記載の半導体装置において、
 前記ソース電極の一方の端部を接地するための第 1 の接地部と、
 前記ソース電極の他方の端部を設置するための第 2 の接地部と
 をさらに具備する
 半導体装置。
- [請求項3] 請求項 1 または 2 に記載の半導体装置において、
 前記ゲート電極および前記ゲート給電線におけるループ発振条件を
 調整するための並列共振回路
 をさらに具備する
 半導体装置。
- [請求項4] 請求項 3 に記載の半導体装置において、
 前記並列共振回路は、
 前記ゲート給電線に一方の端部が接続された抵抗と、
 前記抵抗の他方の端部に一方の端部が接続されたキャパシタと
 を具備し、
 前記キャパシタの他方の端部は接地されている
 半導体装置。
- [請求項5] 請求項 1 ～ 4 のいずれかに記載の半導体装置において、
 前記ソース電極の、前記ドレイン電極とは反対側に配置された別の
 ドレイン電極と、

前記ソース電極および前記別のドレイン電極の間に配置された別のゲート電極と、

前記ゲート電極と、前記ソース電極と、前記別のゲート電極とを跨いで、前記ドレイン電極と、前記別のドレイン電極とを接続するエアブリッジと

をさらに具備する

半導体装置。

[請求項6]

請求項5に記載の半導体装置において、

複数のソース電極と、

複数のドレイン電極と、

複数のゲート電極と

複数のエアブリッジと、

を具備し、

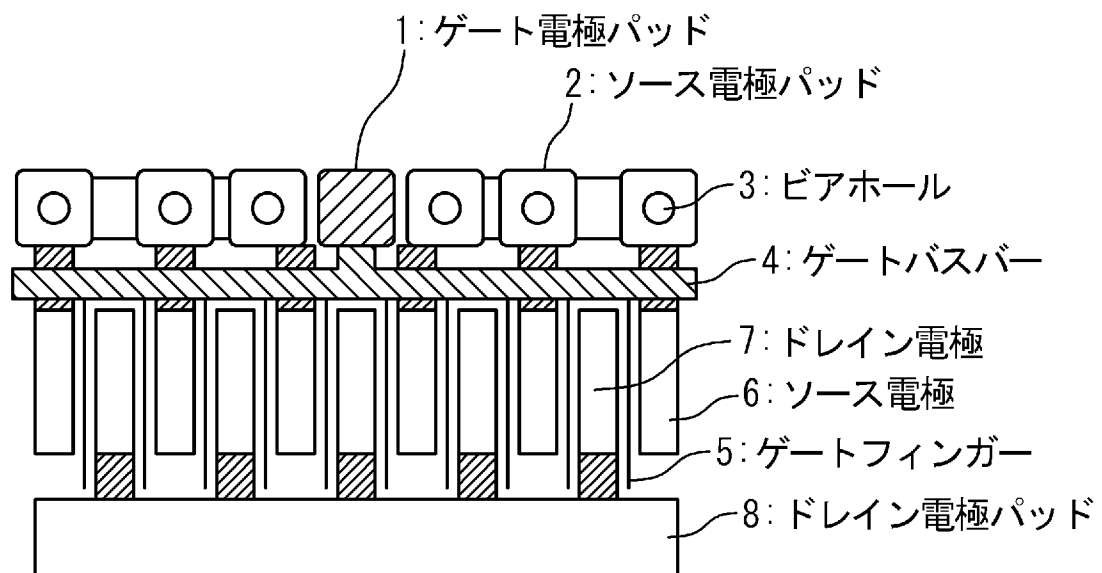
前記複数のソース電極と、前記ドレイン電極とは、1つずつ交互に配置されており、

前記複数のゲート電極のそれぞれは、前記複数のソース電極と、前記ドレイン電極とのうち、隣接する1つのソース電極および1つのドレイン電極の間に1つずつ配置されており、

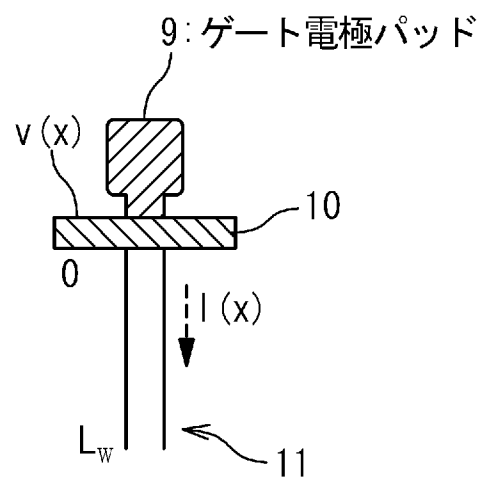
前記複数のエアブリッジのそれぞれは、隣接する2つのドレイン電極の間に配置された1つのソース電極および2つのゲート電極を跨いで、前記隣接する2つのドレイン電極を接続する

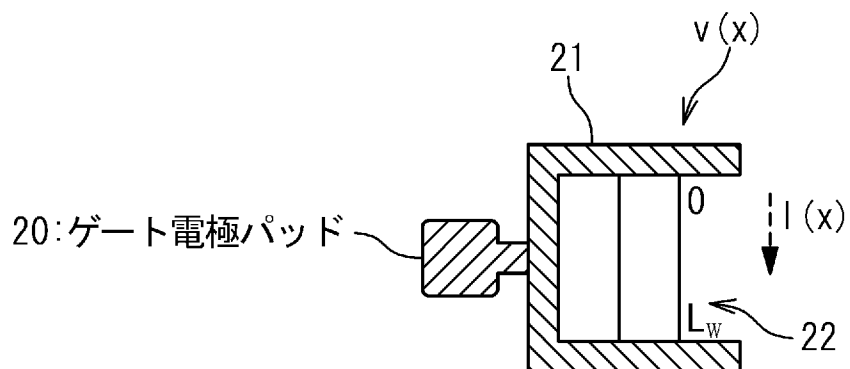
半導体装置。

[図1]

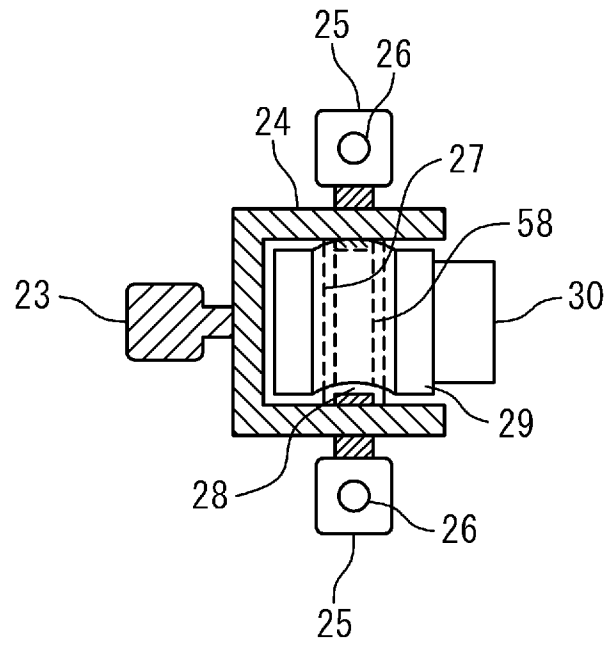


[図2]

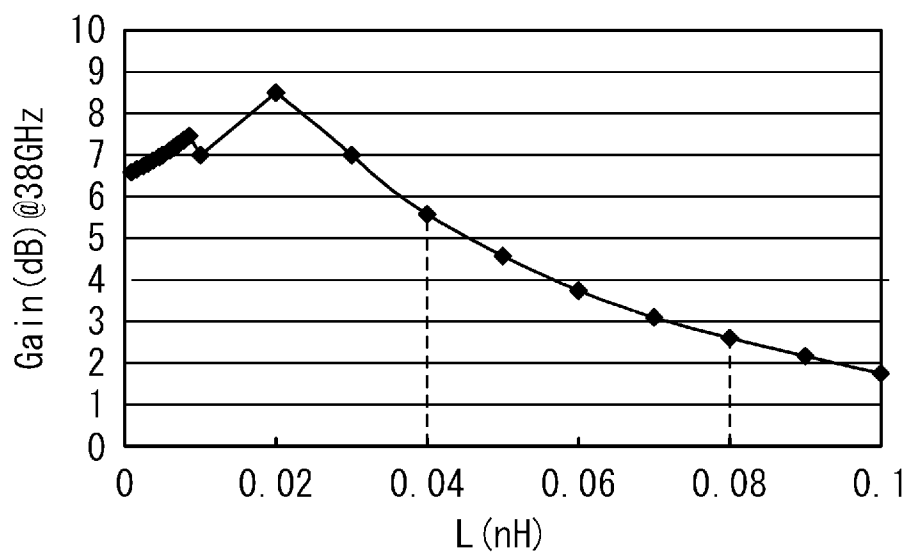




[図5]



[図6]



54: ソース電極パッド

32

53: ゲートフィンガー

31

51: ゲート電極パッド

55: ドレイン電極パッド

60

56: エアブリッジ

59: ソース電極

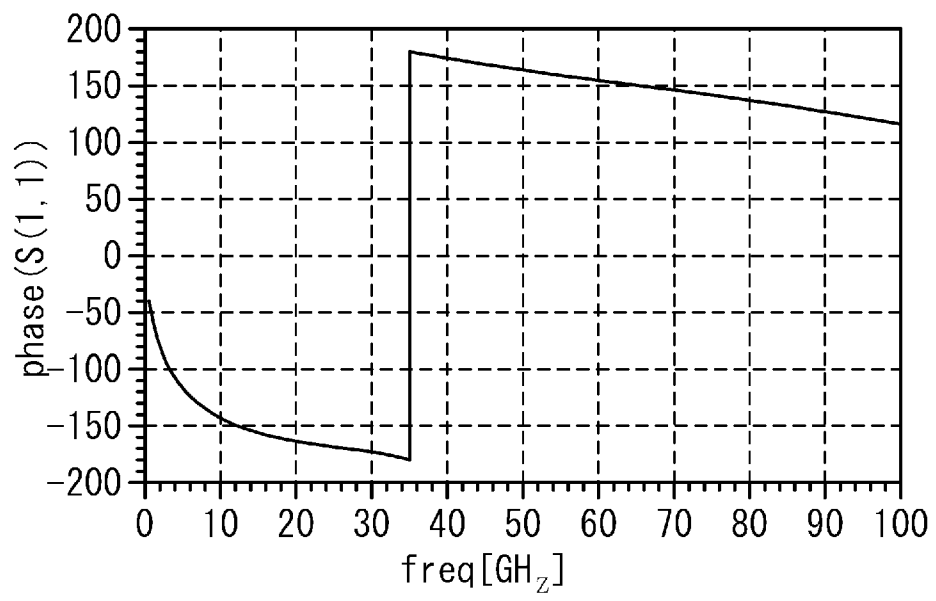
54

26

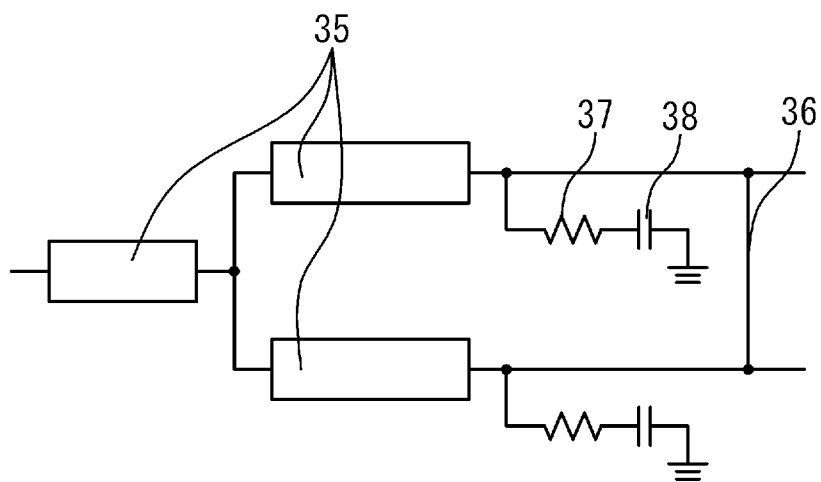
52: ゲートバスバー

The diagram shows a parallel circuit. On the left, a voltage source (represented by a rectangle) is connected to a junction. This junction splits into two parallel branches. The top branch contains a rectangular component labeled 33. The bottom branch contains a rectangular component labeled 34. Both branches rejoin at a common return line on the right, which is connected back to the negative terminal of the voltage source.

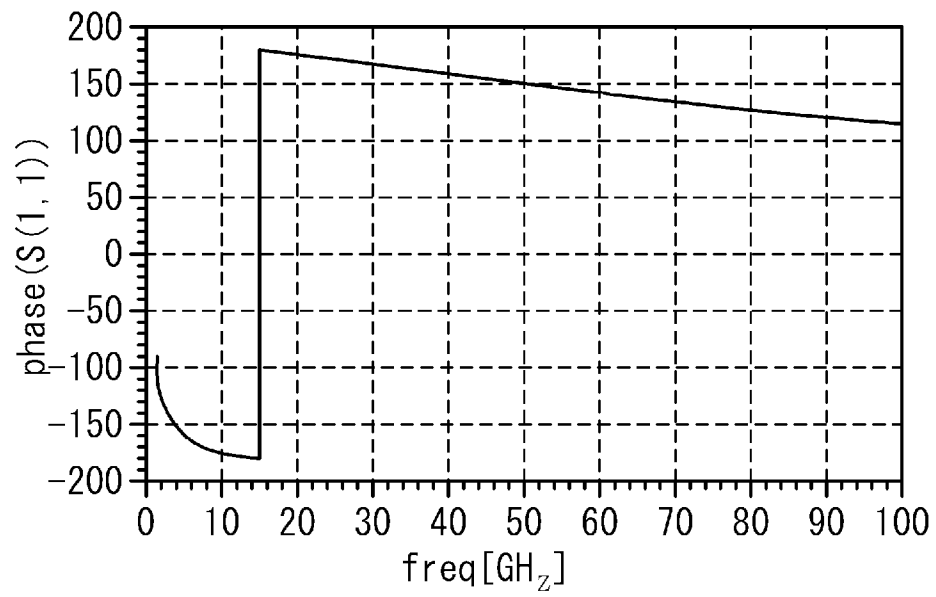
[図8B]



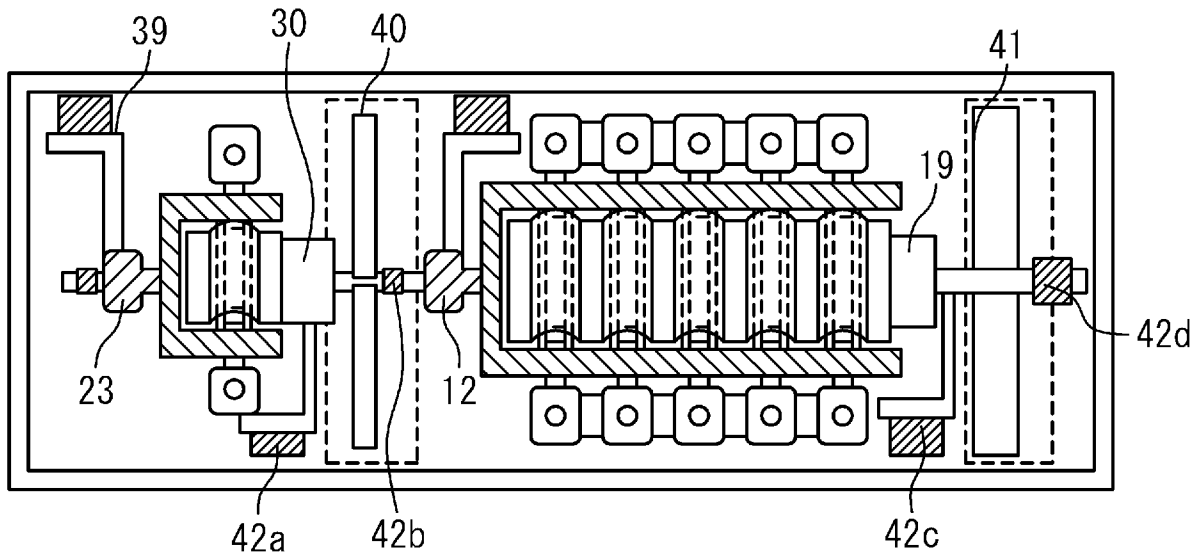
[図9A]



[図9B]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/055321

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L21/768(2006.01)i, H01L21/822(2006.01)i,
H01L21/8232(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i,
H01L27/06(2006.01)i, H01L29/417(2006.01)i, H01L29/423(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L21/768, H01L21/822, H01L21/8232, H01L23/522, H01L27/04,
H01L27/06, H01L29/417, H01L29/423, H01L29/49, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 04-125941 A (Oki Electric Industry Co., Ltd.), 27 April 1992 (27.04.1992), fig. 3 (Family: none)	1, 5, 6 2-6
X Y	JP 52-055476 A (Fujitsu Ltd.), 06 May 1977 (06.05.1977), fig. 4 (Family: none)	1 2-6
X Y	JP 07-142512 A (Hitachi, Ltd.), 02 June 1995 (02.06.1995), fig. 3, 4 (Family: none)	1 2-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 June, 2010 (03.06.10)

Date of mailing of the international search report
15 June, 2010 (15.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/055321

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-054632 A (Fujitsu Ltd.), 12 March 2009 (12.03.2009), fig. 10 & US 2009/0050900 A1	1 2-6
Y	JP 2000-294568 A (Mitsubishi Electric Corp.), 20 October 2000 (20.10.2000), fig. 7 & US 6320476 B1	2, 5, 6
Y	JP 10-233404 A (Mitsubishi Electric Corp.), 02 September 1998 (02.09.1998), fig. 1 to 9 & US 5883407 A	2
Y	JP 2007-060458 A (Mitsubishi Electric Corp.), 08 March 2007 (08.03.2007), fig. 10 to 13; paragraph [0030] & US 2007/0046379 A1 fig. 1 to 13; paragraph [0046]	3, 4
Y	JP 2001-024148 A (Mitsubishi Electric Corp.), 26 January 2001 (26.01.2001), fig. 7; paragraphs [0041] to [0043] & US 2007/0046379 A1 fig. 7; column 7, lines 29 to 56	3, 4
A	JP 04-302149 A (Matsushita Electric Industrial Co., Ltd.), 26 October 1992 (26.10.1992), fig. 1 to 8 (Family: none)	1-6
A	JP 07-226488 A (Nippon Telegraph And Telephone Corp.), 22 August 1995 (22.08.1995), fig. 1, 2 (Family: none)	1-6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/055321

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

H01L29/49(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

(According to International Patent Classification (IPC) or to both national classification and IPC)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/055321

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The matter described in claim 1 is not novel, since the matter is described in the document 1 (JP 04-125941 A (Oki Electric Industry Co., Ltd.), 27 April 1992 (27.04.1992), fig. 3), the document 2 (JP 52-055476 A (Fujitsu Ltd.), 6 May 1977 (06.05.1977), fig. 4), the document 3 (JP 07-142512 A (Hitachi, Ltd.), 2 June 1995 (02.06.1995), fig. 3, 4), and the document 4 (JP 2009-054632 A (Fujitsu Ltd.), 12 March 2009 (12.03.2009), fig. 10).

Therefore, claims 1 - 6 do not have a common matter as a special technical feature in the meaning of the second sentence of PCT Rule 13.2, and consequently, said claims do not satisfy the requirement of unity of invention.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/338(2006.01)i, H01L21/768(2006.01)i, H01L21/822(2006.01)i, H01L21/8232(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L29/417(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/338, H01L21/768, H01L21/822, H01L21/8232, H01L23/522, H01L27/04, H01L27/06, H01L29/417, H01L29/423, H01L29/49, H01L29/778, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 04-125941 A (沖電気工業株式会社) 1992.04.27, 図3 (ファミリーなし)	1, 5, 6 2-6
X Y	JP 52-055476 A (富士通株式会社) 1977.05.06, 図4 (ファミリーなし)	1 2-6
X Y	JP 07-142512 A (株式会社日立製作所) 1995.06.02, 図3, 4 (ファミリーなし)	1 2-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 6 . 2 0 1 0

国際調査報告の発送日

1 5 . 0 6 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

村岡 一磨

4 L

3 4 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009-054632 A (富士通株式会社) 2009.03.12, 図 10 & US 2009/0050900 A1	1 2-6
Y	JP 2000-294568 A (三菱電機株式会社) 2000.10.20, 図 7 & US 6320476 B1	2, 5, 6
Y	JP 10-233404 A (三菱電機株式会社) 1998.09.02, 図 1-9 & US 5883407 A	2
Y	JP 2007-060458 A (三菱電機株式会社) 2007.03.08, 図 10-13, 段落 【0030】 & US 2007/0046379 A1, 図 1-13, 段落[0046]	3, 4
Y	JP 2001-024148 A (三菱電機株式会社) 2001.01.26, 図 7, 段落【0041】 - 【0043】 & US 2007/0046379 A1, 図 7, 第 7 欄第 29-56 行	3, 4
A	JP 04-302149 A (松下電器産業株式会社) 1992.10.26, 図 1-8 (ファ ミリーなし)	1-6
A	JP 07-226488 A (日本電信電話株式会社) 1995.08.22, 図 1, 2 (ファ ミリーなし)	1-6

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に記載された事項は、文献1（JP 04-125941 A（沖電気工業株式会社）1992.04.27, 図3）、文献2（JP 52-055476 A（富士通株式会社）1977.05.06, 図4）、文献3（JP 07-142512 A（株式会社日立製作所）1995.06.02, 図3, 4）、文献4（JP 2009-054632 A（富士通株式会社）2009.03.12, 図10）に記載されており、新規なものではない。

したがって、請求項1－6には、PCT規則13.2の第2文における意味において、特別な技術的特徴である共通事項は存在せず、よって、発明の単一性の要件を満たしていない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。