

公告本

申請日期	90.7.20
案 號	90117773
類 別	G11C''00

A4
C4

533411

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新型名稱	中 文	併合輸出基礎冗餘之叢發讀取
	英 文	BURST READ INCORPORATING OUTPUT BASED REDUNDANCY
二、發明人 創作	姓 名	1.艾力 K·艾爾-夏馬 ALI K. AL-SHAMMA 2.赤荻隆男 TAKAO AKAOGI
	國 籍	1.伊拉克 2.日本國
	住、居所	1.美國·加州 95128·聖喬西市·#10 木瑞帕克·2966 號 2966 Moorpark #10, San Jose, CA 95128 U.S.A. 2.美國·加州 95014·古皮蒂諾市·十月道 7911 號 7911 October Way, Cupertino, CA 95014 U.S.A.
三、申請人	姓 名 (名稱)	1.高級微裝置公司 ADVANCED MICRO DEVICES, INC. 2.富士通股份有限公司 FUJITSU LIMITED
	國 籍	1.美國 2.日本國
	住、居所 (事務所)	1.美國·加州 94088-3453 桑尼威·第 1AMD 區·M/S 68·郵政信箱 3453 號 One AMD Place, P.O. Box 3453, Sunnyvale, Mail Stop 68, CA, 94088-3453, U.S.A. 2.日本國神奈川縣川崎市中原區上小田中 4 丁目 1 番 1 號 1-1, Kamikodanaka 4-chome, Nakahatara-ku Kawasaki-shi, Kanagawa Japan
	代 表 人 姓 名	1.理查·J·諾迪 RICHARD J. RODDY 2.秋草直之 NAOYUKI AKIKUSA

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

美

國(地區)申請專利，申請日期：案號：，☒有 ☐無主張優先權

2000 年 7 月 25 日 60/220,690 (主張優先權)

2000 年 11 月 28 日 09/724,669 (主張優先權)

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

[技術領域]

本發明係廣泛地關於半導體記憶體裝置。更明確地，本發明係關於快閃記憶體之輸出基礎冗餘。

[背景技藝]

快閃隨機存取記憶體(RAM)，更通常稱為快閃記憶體，為一種使用具有浮置閘極設計之記憶胞的非揮發性儲存形式。將高電壓施加於記憶胞輸入端以程式化或儲存電荷於浮置閘極，或由浮置閘極拭除或移除電荷。程式化藉由熱電子轉移，將電荷置於浮置閘極而產生，而拭除則使用 Fowler-Nordheim 隧穿，其中電子進入一層薄電介質材料，以減少浮置閘極上之電荷數量。拭除一個記憶胞使該記憶胞邏輯值變為 "1"，而程式化記憶胞則使邏輯值變為 "0"。除程式化或拭除操作外，快閃記憶體與隨機可存取唯讀記憶體(ROM)操作相似。通常，快閃記憶體晶片，包含快閃記憶體儲存胞與支持邏輯/電路，乃是製造半導體材料層與多晶矽內連接層及第一與第二金屬層於基板而形成。可察知的是有許多包含更多或更少層之積體電路製造技術，亦適用於此。

較新之技術，例如同步讀取與寫入操作快閃記憶體，顯示重新設計 CAM 電路與結構及其相關輸出電路之機會，以符合日益增加之系統性能標準，與裝置密度。實現較有效率之冗餘 CAM 電路與結構及相關輸出電路是會令人滿意的。

冗餘核心胞陣列乃用於替換主要或正常陣列之無法操

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 2 ）

作或缺陷記憶體核心胞。內容可尋址記憶體(CAM)電路可用以協助冗餘替換。冗餘 CAM 胞儲存有關無法操作或缺陷記憶體胞位置之資訊，使得記憶體胞之冗餘陣列可用以替換主要陣列之無法操作或缺陷記憶體胞。

典型地，記憶體胞陣列於顧客或使用者使用前，由製造者測試性能與正確性。於適當測試階段後，拭除或程式化無法操作記憶體胞之位置之冗餘 CAM 胞。

記憶體核心胞為位元組或字元可尋址。若於主要陣列執行特定操作，則提供用以操作之位址。目前，於主要陣列記憶體胞位置存取前，此位址將與有關無法操作記憶體胞位置之位址資訊做比較。若此位址與一群無法操作記憶體胞位置相符，此位址將重導引至冗餘陣列。操作接著便於冗餘陣列執行。若此位址沒有與一群無法操作記憶體胞位置相符，此位址則用於主要陣列，而且操作便於主要陣列執行。典型地，以冗餘陣列記憶體胞將主要陣列記憶體胞之替換對於記憶體使用者為無縫及顯而易見的。

較新之技術，例如同步讀取與寫入操作快閃記憶體，顯示重新設計 CAM 電路與結構及其相關輸出電路之機會，以符合日益增加之系統性能標準，與裝置密度。目前於本文中描述之較佳具體實施例實現一個較有效率之例如快閃記憶體之於記憶體中冗餘 CAM 電路與結構及相關輸出電路。

CAM 胞設計為儲存有關主要核心胞陣列裡之無法操作記憶體胞位置之資訊。典型地，無法操作記憶體胞需以冗餘

五、發明說明（ 3 ）

陣列裡之記憶胞替換。儲存於 CAM 胞之資訊可關連至是否主要核心胞陣列操作位址所定址之記憶胞需以冗餘陣列之記憶胞替換。

參照第 1 圖，為依照目前較佳實施例之記憶體 100 之區塊圖。於本文中說明之實施例，記憶體 100 設計為一個快閃記憶體，形成互補金屬氧化半導體 (CMOS) 之積體電路以儲存數位資料。然而，記憶體 100 可使用任何其他適當形式，且事實上本文中所說明之原理可應用於任何其他適當電路，如同步操作允許雙埠 CAM 結構。記憶體 100 包含核心胞陣列 102、解碼器 104、位址緩衝器電路 108、冗餘 CAM 電路 106、控制邏輯電路 110，及檢測放大器與輸出電路 112。控制邏輯電路 110 連接至解碼器 104、位址緩衝器電路 108、及檢測放大器與輸出電路 112。控制邏輯電路 110 產生一連串讀取與寫入選擇操作信號 RSEL、WSEL，且將信號送至解碼器 104 與冗餘 CAM 電路 106。更佳地，控制邏輯電路 110 分配時序與其他控制信號至記憶體 100。

核心胞陣列 102 包含複數個記憶胞，每個設計為儲存資料。於一些應用，每個記憶胞可儲存單一位元資料；於其他應用，每個記憶胞可儲存兩個或多個位元資料。核心胞陣列 102 之記憶胞可為位元組或字元可尋址，且可由位址緩衝器電路 108 之對應位址存取。於一個特定的實施例，記憶胞以資料字元存取，且位址對應於資料字元。然而，為熟習此技藝之一般技術者所顯而易見，每個記憶胞

五、發明說明 (4)

具有由解碼器 104 解碼之特定位址之其他具體實施例亦為可能。

解碼器 104 典型地包含列或 x-位址解碼邏輯與位元線或 y-位址解碼邏輯。解碼器 104 之 x-位址解碼邏輯藉由啟動複數個字元線中之一字元線，而每一字元線關連至核心胞陣列之一列，回應至一從位址緩衝電路 108 提供之位址信號 ADD。回應字元線之啟動，與此字元線連接之記憶胞啟動且開始吸入電流。為適當地啟動記憶胞，字元線需藉由實質的電壓差，例如 3.0 至 4.0 伏特加以改變。

解碼器 104 之 y-位址解碼邏輯將核心胞陣列 102 之適當位元線連接至檢測放大器與輸出電路 112。y-位址解碼邏輯回應一個由位址緩衝器電路 108 來之位址信號 ADD，以將從核心胞陣列 102 複數個位元線中選擇之位元線解碼。檢測放大器與輸出電路 112 檢測核心胞陣列 102 之選擇記憶胞之電流且判定儲存於選擇記憶胞裡之一個或多個位元資料之二進位狀態。於一個實施例中，電路 112 產生記憶胞資料，此資料由位於作為記憶體 100 外部使用之記憶體 100 之輸出之感測放大電路 112 感測作為資料字元。其他電路，沒有於第 1 圖顯示，提供如核心胞陣列 102 之個別記憶胞所需之編寫程式、讀取、核對、拭除與執行其他操作。

記憶體 100 回應於第 1 圖標示為 VCC 之供給電壓而操作。VCC 與接地端之電壓差為供給電壓且範圍舉例而言在 0.8 至 3.3 伏特。適當之供給電壓 VCC 乃依據各種因素，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

包括記憶體 100 製造之技術。一般而言，於先進 CMOS 製程，供給電壓正常為 1.8 伏特。於絕對條件，此電壓大於 p-通道電晶體啟動電壓或截止電壓 V_{tp} 之 0.9 伏特及 n-通道電晶體啟動電壓或截止電壓 V_{tn} 之 +1.0 伏特。

核心胞陣列 102 典型地包含一連串主要陣列與冗餘陣列。第 1 圖之冗餘 CAM 電路 106 更包含 CAM 胞儲存有關核心胞陣列 102 主要陣列之一中無法操作或缺陷記憶胞，或無法操作或缺陷位元線位置之資訊。相關冗餘陣列之位元線用以替換無法操作位元線。冗餘 CAM 電路 106 之 CAM 胞於 PROG/ERASE 輸入端程式化與拭除，如第 1 圖所示。典型地，CAM 胞於終端用戶或顧客使用晶片前之測試階段時程式化與拭除。

每當操作例如讀取或寫入於核心胞陣列 102 執行時，將操作位址施加至冗餘 CAM 電路 106 以比較操作位址與儲存於 CAM 胞之資訊。若操作位址與儲存於 CAM 胞之位址資訊相符，則操作位址所對應之至少一個記憶胞位置為無法操作且需冗餘替換。

例如，若讀取操作由正常陣列執行，對應於組成一個資料字元之一連串記憶胞之讀取位址將與冗餘 CAM 胞之資訊比較。若一條無法操作位元線碰巧包含讀取位址欲存取且無冗餘替換之一連串記憶胞其中之一個，則冗餘 CAM 電路將指示讀取符合讀取位址。解碼邏輯確保冗餘陣列之位元線替換讀取位址欲存取，且無冗餘替換之無法操作之位元線與無法操作之記憶胞。若無法操作之位元線碰巧包

五、發明說明 (6)

含寫入位址欲存取，且無冗餘替換之一連串記憶胞其中之一個，則相似的替換亦會產生。

依據第 1 圖之記憶體 100，第 2 圖為說明一個示範核心胞陣列 102 之圖示，包括主要陣列與冗餘陣列。水平地，第 2 圖之示範核心胞陣列 102 分為上層排 114 與下層排 116。垂直地，陣列 102 分為四個垂直陣列 VERT0、VERT1、VERT2、VERT3，每個垂直陣列包含一個主要陣列與一個相關冗餘陣列。上層排 114 包含上層主要陣列 118A 至 D 與上層冗餘陣列 120A 至 D。下層排 116 包含下層主要陣列 128A 至 D 與下層冗餘陣列 130A 至 D。垂直陣列 VERT0，舉例而言，包含主要陣列 118A、128A 與冗餘陣列 120A、130A。

於一個具體實施例，每個垂直陣列分為九個記憶胞區段(未於第 2 圖顯示)。水平地，每個區段於主要陣列裡分為一連串圓柱區域。每個圓柱區域依次包含許多記憶胞。圓柱區域之每個記憶胞最好對應於主要陣列之一個特定位元線。如上述，當無法操作之記憶胞位於主要陣列，則將辨識無法操作之記憶胞之位置。典型地，橫跨垂直陣列之上層與下層冗餘陣列部分之位元線替換對應於無法操作之記憶胞之主要陣列之整個位元線。若位元線其中之一個記憶胞無法操作，則整個位元線將由一個冗餘位元線所替換，故依據定義一個無法操作位元線包含至少一個無法操作記憶胞。典型地，且依據核心胞陣列 102 之設計，有限數目之主要陣列之無法操作位元線可以相關之冗餘陣列替

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

換。

如上述之一個實施例，記憶胞以資料字元存取，且記憶胞之一個圓柱區域儲存特定資料字元。例如，執行讀取操作時，每次讀取內部兩個 16 位元資料字元，且每次一個 16 位元資料字元由輸出電路 112 產生。以此方式，兩個圓柱區域可於讀取操作時一同存取。相對而言，執行一個寫入操作時，每次存取一個 16 位元資料字元與一個圓柱區域。當然，這些資料字元長度僅為範例且其他適當字元長度亦可使用。

依據第 1 圖之記憶體，第 3 圖為一個示範 CAM 級 200 之電路圖與伴隨輸出電路。示範 CAM 級 200 包含 CAM 胞 202、寫入資料匯流排 204、與讀取資料匯流排 206。CAM 胞 202 為電晶體，較佳為 n-通道金屬氧化物半導體場效電晶體(MOSFET)。雖然 CAM 胞 202 較佳為做為非揮發性記憶胞之 MOSFET 電晶體，任何適當的主動資料儲存元件皆可用於 CAM 胞 202。寫入資料匯流排 204 具有連接至節點 212 之輸出埠與連接至 CAM 胞 202 之汲極於節點 216 之輸入端。讀取資料匯流排 206 具有連接至節點 214 之輸出埠與連接至 CAM 胞 202 之汲極於節點 216 之輸入端。寫入資料匯流排 204 與讀取資料匯流排 206 為電晶體，典型為 n-通道 MOSFETs。當然，任何適當的資料匯流排可用於資料匯流排 204、206。寫入選擇信號 WSELm 施加於寫入資料匯流排 204 之閘極，而讀取選擇信號 RSELm 施加於讀取資料匯流排 206 之閘極。電壓 VG 施加於 CAM 胞 202

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

之閘極輸入，而電壓 VS 施加於 CAM 胞 202 之源極輸入。於一個實施例，於 CAM 胞 202 正常操作時，例如當 CAM 胞 202 被檢查或存取時，電壓 VS 將為接地電壓。

一個示範雙埠 CAM 級 200 之速記名稱亦顯示於第 3 圖。一個總稱 CAM 級 200 可以 $CAM_n/VERT_m$ 表示，其中 m 表示 M 個垂直陣列 $VERT_0$ 至 $VERT_m$ 中任何一個，而 n 表示對應於垂直陣列 $VERT_m$ 之 N 個 CAM 級 $200CAM_0$ 至 CAM_N 中任何一個。顯示於第 2 圖之示範核心胞陣列 102，有 $M=4$ 之垂直陣列 $VERT_0$ 至 $VERT_3$ 。於一個實施例，每個垂直陣列 $VERT_m$ 具有 $N=8$ 之相關與特定冗餘 CAM 級 CAM_0 至 CAM_7 。於另一個實施例，每個垂直陣列 $VERT_m$ 具有 $N=16$ 之相關與特定冗餘 CAM 級 CAM_0 至 CAM_{16} ，安排於一個或兩個個別圓柱。當然，核心胞陣列 102 為可依比例設計且在設計、尺寸、排列、或分隔可以不同於第 2 圖所示之示範核心胞陣列 102。關於每個垂直陣列之冗餘 CAM 胞 202 與級 200 數目亦依據實施例與核心胞陣列 102 之特殊設計與配置而不同。亦即，可以提供更多的冗餘陣列或使用額外的 CAM 胞以明確地辨識無法操作或缺陷的記憶胞之位置，包含無法操作記憶胞之無法操作位元線位置，或無法操作位元線所在之圓柱區域。

於一個具體實施例，CAM 胞 202 為可拭除資訊或程式化資訊之非揮發性記憶胞。若 CAM 胞 202 為 n-通道 MOSFET 電晶體，此乃藉由修正電晶體之門限電壓而達成。程式化/拭除之信號胞與伴隨箭頭乃欲指示於 CAM 胞

五、發明說明 (9)

202 執行之程式化/拭除操作。CAM 胞 202 對依據於 CAM 胞 202 是否程式化或拭除之施加閘極電壓有不同回應。

當 CAM 胞 202 程式化時，調節之電壓典型地施加於電晶體胞 202 之汲極與閘極。調節之電壓與供給電壓 VCC 相比是相當地高。例如，接近 5.0 伏特之電壓 VD 施加於 CAM 胞 202 電晶體之汲極，而接近 8.5 伏特之 VG 施加於 CAM 胞 202 電晶體之閘極輸入。不管所用的電壓，當冗餘 CAM 電路 106 正常操作時，程式化操作於 CAM 胞 202 之結合作用乃增加截止電壓，使其比任何施加於 CAM 胞 202 電晶體之閘極之電壓高，亦即，比供給電壓 VCC 高。

於正常操作，一旦 CAM 胞 202 程式化且 CAM 胞 202 之汲極為接地電壓，當一個閘極電壓 VG，較佳為供給電壓 VCC，施加時，不會產生任何反應，亦即，CAM 胞不會啟動或傳導。

典型地，所有的 CAMs 於拭除前先程式化，且一同拭除。CAM 胞 202 可以紫外光拭除程序加以拭除，此為熟習此項技藝之技術者所熟知。當然，其他拭除技術亦可使用。CAM 胞 202 上之拭除效果，乃將截止電壓由 CAM 胞 202 程式化時之數值降低至與一般的電晶體一致之正常數值。典型地，當 CAM 胞 202 拭除時，截止電壓設定為使 CAM 胞 202 作用如同一個 n-通道電晶體。亦即，當閘極電壓 VG 與施加之供給電壓 VCC 相同時，CAM 胞將啟動與傳導。

第 3 圖亦描繪兩個 p-通道偏壓電晶體 208、210，作為

五、發明說明（ 10）

示範 CAM 級 200 之伴隨輸出電路。電晶體 208、210 相對於 CAM202 設計成且尺寸化為弱上拉(weak pull-up)電晶體。於一個實施例之 p-通道電晶體 208、210 為第 3 圖之低門限電壓電晶體。此為熟習此項技藝之技術者所熟知，電晶體例如 MOSFETs 之門限電壓於製造時所控制。裝置製造過程允許選擇門限電壓時具有一些彈性。然而，正常值較普遍且於特定製程為 MOSFETs 一般使用。需瞭解這些門限電壓僅為範例。通常，電晶體之設計參數例如門限電壓與裝置大小、其他電路結構、或其他熟習此項技藝之技術者可利用之適用設計技術可使用或替換於適當之處。

p-通道電晶體 208、210 連接至寫入與讀取資料匯流排 204、206。例如，讀取 p-通道偏壓電晶體 210 連接至讀取資料匯流排 206 之輸出埠於節點 214。總稱 CAM 級 200，以 CAMn/VERTm 表示，且讀取 p-通道偏壓電晶體 210 產生信號 CAMnR 於節點 214，其中，如上述，n 表示對應於垂直陣列 VERTm 之 n 個 CAM 級 200 CAM0 至 CAMn 其中之任何一個。R 於節點 214 辨識信號 CAMnR 為讀取操作 CAM 信號。依照上述，寫入 p-通道偏壓電晶體 208 與其寫入資料匯流排 204 之功能將為熟習此項技藝之技術者顯而易見。

當源極輸入端為供給電壓 VCC，讀取與寫入 p-通道偏壓電晶體 210、208 之閘極輸入接至接地電壓。因此，如上述因為電晶體 210、208 為低門限電壓電晶體，於缺少 CAM 級 200 之上拉動作，電晶體 210、208 將傳導且個別節點

五、發明說明 (11)

212、214 將為 VCC。

CAM 級 200 連同電晶體 208、210 之操作乃依下列方式進行。於一個實施例，當存取核心胞陣列 102 操作產生時，無論操作為讀取或寫入，冗餘 CAM 電路 106 之 CAM 胞 202 將存取。接著判定所存取之位址(讀取位址或寫入位址)是否包含需冗餘替換之無法操作之記憶胞位置。有關此位置之資訊典型地於操作前程式化至 CAM 胞 202。當讀取或寫入操作，或兩者皆發生時，每個 CAM 胞 202 之源極電壓 VS 為接地電壓且每個 CAM 胞 202 之閘極電壓 VG 升至供給電壓 VCC。

若讀取操作於一個垂直陣列 VERTm 執行，則讀取選擇信號 RSELM 將為高且讀取資料匯流排 206 將啟通。一個已程式化之 CAM 胞 202 將仍為關斷且不會啟通或傳導，當回應一個施加閘極電壓 VG，或於一個具體實施例之供給電壓 VCC 時。讀取上拉電晶體 210 將傳導且節點 214 將為 VCC 且無由 CAM 級 200 來之上拉動作。因此，若 CAM 胞 202 程式化且讀取資料匯流排 206 啟動，則節點 214 仍為高或 VCC。

若讀取操作於一個垂直陣列 VERTm 執行，接著讀取選擇信號 RSELM 將為高且讀取資料匯流排 206 將啟通。當回應一個施加閘極電壓 VG，或於一個具體實施例之供給電壓 VCC 時，已拭除 CAM 胞 202 將作用如 n-通道電晶體且將啟通並傳導。CAM 胞 202 會將節點 216 拉至接地電壓。典型地，CAM 胞 202 設計為比讀取上拉電晶體 210 強

五、發明說明 (12)

大，且因此，若拭除 CAM 胞 202 且讀取資料匯流排 204 啟通，則節點 214 將拉至接地電位。

若讀取操作未於垂直陣列 VERT_m 執行，則讀取資料匯流排 206 將關斷且 CAM 胞 202 將不會受檢查。無論 CAM 胞 202 是否程式化或拭除將不會影響位於節點 214 之信號 CAM_nR 之數值。

通常，若讀取操作於一個垂直陣列 VERT_m 執行，CAM₀R...CAM_nR 信號將明確指明冗餘替換產生之位元線位置，若其存在且程式化於 CAM 級 200 CAM₀/VERT_m ... CAM_n/VERT_m。較佳地，一個或多個 CAM₀R ... CAM_nR 信號將與讀取位址比較，以判定是否有讀取符合。若對於無法操作或缺陷位元線有讀取符合，則一條冗餘陣列之位元線將替換無法操作位元線。亦即，若指出符合於讀取位址與關聯於否則將產生讀取操作之主要陣列之 CAM 及 200 之間之符合，則將使用冗餘位元線而非無法操作位元線。

第 4 圖為一個區塊圖，顯示依據第 1 圖之記憶體與第 2 圖之示範核心胞陣列 102 之範例 CAM 級陣列 300 與伴隨之輸出電路。第 1 圖之冗餘 CAM 電路 106 包含範例 CAM 級陣列 300。CAM 級陣列 300 包含下列關聯於垂直陣列 VERT₀ 之 CAM 級 200：CAM₀/VERT₀ 302A... CAM₇/VERT₀ 302H。相似之 CAM 級 200 關聯於其他垂直陣列 VERT₁ 至 VERT₃。

CAM 級陣列 300 更包含讀取 p-通道上拉低門限電壓電晶體 370A 至 H 與寫入 p-通道上拉低門限電壓電晶體 380A

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

至 H。

關聯於垂直陣列 VERT0 之 CAM 級陣列 300 中之所有 CAM 級 200 接收寫入與讀取選擇信號 WSEL0、RSEL0。關聯於其他垂直陣列之 CAM 級陣列 300 中之所有的 CAM 級 200 接收相似寫入與讀取選擇信號。

CAM 級 CAM0/VERT0 302A 至 CAM0/VERT3 305A 皆連接至讀取上拉電晶體 370A 於一個具信號 CAM0R 之共享輸出端，且皆連接至寫入上拉電晶體 380A 於一個具信號 CAM0W 之共享輸出端。

位於其他水平線之 CAM 級皆連接至讀取上拉電晶體於共享輸出端 CAM1R 至 CAM7R，且皆連接至相似寫入上拉電晶體於共享輸出端 CAM1W 至 CAM7W。

第 5 圖為一個區塊圖，顯示對應於第 2 圖範例核心胞陣列 102 之一個垂直陣列 VERT_m 之 CAM 級 200 之範例群組 400。範例 CAM 級群組 400 包含下列 CAM 級 200：CAM0/VERT_m 402A ... CAM7/VERT_m 402H，皆關聯於垂直陣列 VERT_m。CAM 級群組 400 之所有 CAM 級 200 接收一個對應於垂直陣列 VERT_m 之寫入選擇信號 WSEL_m 與讀取選擇信號 RSEL_m。

此外，於一個具體實施例，記憶胞以資料字元存取，且記憶胞一行區域儲存唯一資料字元。例如，執行一個讀取操作，其中每次兩個 16 位元資料字元於內部讀取，且每次一個 16 位元資料字元由第 1 圖之輸出電路 112 產生。以此方式，兩個行區域將於一次讀取操作一同存取。相較而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

言，執行寫入操作，其中每次存取一個 16 位元資料字元，與存取一個行區域。當然，這些資料字元長度為範例且其他適當之資料字元長度亦可使用。

依據一個具體實施例，垂直陣列 VERT_m 主要陣列之水平列包含 p 個行區域，每個行區域包含 q 條位元線。例如，列可包含 p=16 個行區域且該 16 個行區域之每個包含有 q=16 條位元線，總共 256 條位元線於一個水平列。當然，這些數值為示範且欲作解釋用而非限制所述之具體實施例。

八個 CAM 級 402A 至 402H 之範例 CAM 級群組 400 明確指出無法操作位元線位置與垂直陣列 VERT_m 之主要陣列行區域。冗餘陣列之一個冗餘位元線替換此無法操作位元線，否則此無法操作位元線將由寫入或讀取操作所存取。

無法操作位元線 BL_i 位置之辨識首先辨識包含無法操作位元線之 p 個行區域之行區域。接著，辨識對應於無法操作位元線之行區域之 q 條位元線之位元線。因此，八個 CAM 級 402A 至 402H 之範例 CAM 級群組 400 儲存兩份資訊以指出無法操作位元線 BL_i 之位置。

對於讀取操作，對應於兩個行區域，具總數 2q 條位元線之 h-位元 ($2h=p/2$) 讀取位址，與儲存於一群 h 位址 CAM 級之 h-位元 ($2h=p/2$) 位址比較。此具體實施例之兩個行區域儲存兩個資料字元。尤其，h 位址 CAM 級明確指出兩個行區域之 h-位元 ($2h=p/2$) 位址，其中一個包含無法操作

五、發明說明 (15)

位元線 BL_i 。若 h -位元讀取位址與儲存於 h 位址 CAM 級之 h 位址相符，則無法操作位元線 BL_i 位置由 j ($2j=2q$) I/O CAM 級所辨識。 h 與 j 之數值通常取決於 p 與 q 之數值。

例如，依據一個具體實施例之讀取操作，每次兩個 16 位元資料字元於內部讀取，且每次一個 16 位元資料字元由第 1 圖之輸出電路 112 產生。以此方式，每次存取 $p=16$ 個行區域中之兩個，每個行區域包含 $q=16$ 條位元線。依據第 5 圖， $h=3$ ($23=8$) 位址 CAM 級 402F、G、H 儲存兩個行區域之 3 位元位址，其中之一包含無法操作位元線 BL_i ，且 $j=5$ ($25=32$) I/O CAM 級 402A 至 402E 儲存 32 位元線之無法操作位元線 BL_i 位置於兩個行區域裡。當執行讀取操作時，讀取位址分別與位址 CAM 級 CAM5/VERTm 402F、CAM6/VERTm 402G、與 CAM7/VERTm 402H 之讀取位址 CAM 信號 READADD0、READADD1、與 READADD2 比較(使用未於第 5 圖或第 1 圖顯示之位址匹配電路)。若讀取位址與讀取位址 CAM 信號相符，則 I/O CAM 級 402A 至 402E 指出兩個行區域之 32 條位元線何者為無法操作位元線 BL_i 。

CAM 級共同提供有關需以冗餘陣列位元線替換之主要陣列無法操作位元線位置之資訊。例如，參照第 5 圖，假設 CAM 級 402A 至 402H 之輸出分別為 00010001。

若於具共同讀取位址 000 之兩個行區域執行讀取操作，則這三個位元與下列信號比較：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 16 ）

READADD2=CAM7R=0 由（位址）CAM 級 402H；

READADD1=CAM6R=0 由（位址）CAM 級 402G； 及

READADD0=CAM5R=0 由（位址）CAM 級 402F.

含有讀取位址符合，故檢查 I/O CAM 級內容以判定位於共同具有讀取位址 000 之兩個行區域裡，無法操作位元線 Bli 之位置，如下列信號所顯示：

READIO4=CAM4R=1 由（I/O）CAM 級 402E；

READIO3=CAM3R=0 由（I/O）CAM 級 402D；

READIO2=CAM2R=0 由（I/O）CAM 級 402C；

READIO1=CAM1R=0 由（I/O）CAM 級 402B； 及

READIO0=CAM0R=1 由（I/O）CAM 級 402A.

於一個具體實施例，第 1 圖之所有元件包含於單一積體電路晶片。注意用於範例快閃記憶體晶片之位址與控制輸入乃依據記憶體密度與介面實行。可察知的是所揭示具體實施例可於不同記憶體密度與其伴隨交替位址與控制輸入結構之交替介面實行下工作。

同時操作快閃記憶體可於叢發模式下操作。於叢發讀取模式下，每次讀取複數個資料位元且以一個或多個部分顯示於記憶體輸出。例如，於一個具體實施例中，每次讀取 32 位元資料且以兩個 16 位元部分顯示於記憶體輸出。叢發發生於非常短時間間隔內，例如 20 毫微秒。此短暫時時間間隔剩餘非常短時間由冗餘 CAMS 判定是否需冗餘讀取。再者，於此判定後，僅有非常短時間以辨識無法操作或缺陷，且需由冗餘位元或行替換之位元線。當此判定進

五、發明說明（17）

行且指出須冗餘讀取時，及當進行位元線辨識時，於叢發輸出前存取冗餘陣列及其讀取與替換缺陷位元線將延緩叢發輸出且降低記憶體裝置之性能。因此，於冗餘操作時，改進事件順序將有益於叢發讀取操作時獲取時間優勢。

如此處所使用，不同名稱與用語具下列含義。名稱位址乃欲廣泛地指任何唯一地對應至記憶胞或記憶胞位置之位置辨識器。名稱與用語低、邏輯低、非確認、非有效、及無效乃欲廣泛地指數位信號之邏輯低數值，通常以二進位零(0)表示。名稱與用語高、邏輯高、確認、有效、乃欲廣泛地指數位信號之邏輯高數值，通常以二進位一(1)表示。用語"A與B耦接"定義為A直接連接至B，或A經由一個或多個中間元件，間接地與B連接。名稱使用者乃欲指一個處理器或其他元件或試圖存取記憶體之實體。名稱信號廣泛地指一個類比或數位信號與包含兩種之信號。

如此處所使用，名稱無法操作或有缺陷，當與一個儲存元件或一群儲存元件一同使用時，廣泛地指任何需以一個以上儲存元件替換無法操作儲存元件之條件或狀態。舉例而言，儲存元件可包含一個或多個記憶胞，或位元線，或至記憶胞之介面電路。尤其，如此處所使用，一個無法操作或缺陷記憶胞廣泛地指一個具有或不具有伴隨電路之記憶胞，例如一條連接至記憶胞之位元線，或包含記憶胞之一條位元線。典型地，無功能之儲存元件需要一個替換儲存元件。無功能乃因儲存元件或至儲存元件之介面損害或缺陷。

五、發明說明（ 18）

此處所述方法之步驟可以與所述行動一致之任何順序執行。

雖然本發明特定具體實施例已予顯示並將作說明，但仍可進行修改。例如，個別電晶體，p-通道與n-通道之感測可於適當應用中反轉。需注意的是適當電晶體尺寸明確指出組成於圖中省略之描繪電路電晶體之通道寬度與長度比例（以百萬分之一米或微米測量）。可察知的是適當比例之選擇不僅依據設計需求與用於實行電路之特定積體電路製造過程之能力與限制，且依據特定具體實施例之性能需求。再者，此處所述之發明概念可應用於記憶體裝置外之其他電路。

[發明之揭示]

鑑於上述，提供一個於快閃記憶體裝置執行冗餘讀取之裝置與方法。

本發明之第一概念係關於執行冗餘讀取之裝置。此裝置包含記憶胞陣列，可為正常記憶胞或冗餘記憶胞。正常記憶胞依次可為缺陷或非-缺陷，且每個具有儲存位址與輸入/輸出指定器。缺陷位址為缺陷記憶胞之儲存位址。

此裝置亦包含解碼電路，回應於記憶胞之輸入/輸出指定器，若記憶胞位址為缺陷的，則產生一個缺陷解碼信號。此電路亦產生一個正常解碼信號，若記憶胞位址不為缺陷的，且此信號對應於此記憶胞之輸入/輸出指定器。此裝置亦包含一個多工器級，回應於正常記憶胞，與對應於正常記憶胞之輸入/輸出指定器，輸出一個正常解碼信號。此正

五、發明說明 (19)

常信號施加至對應於正常記憶胞之輸入/輸出指定器之多工器輸出。此電路亦輸出一個回應冗餘記憶胞，與對應於缺陷記憶胞輸入/輸出指定器之缺陷解碼信號之冗餘信號。此冗餘信號施加至對應於缺陷記憶胞輸入/輸出指定器之多工器輸出。

此外，執行冗餘讀取之裝置亦包含一個或多個 CAMs 之第一陣列，設定為儲存缺陷位址，與一個或多個 CAMs 之第二陣列，設定為儲存缺陷記憶胞之輸入/輸出指定器。

此裝置亦可包含一個於第一時間間隔讀取正常記憶胞且於其間產生正常信號之正常感測放大器。於此情形，裝置亦包含於第二時間間隔讀取冗餘記憶胞且於其間產生冗餘信號之冗餘感測放大器。第二時間間隔大體上不會超過第一時間間隔。

若裝置包含正常感測放大器，則解碼電路將於第四時間間隔作用，其大體上不會超過第一時間間隔。

除這些感測放大器外，裝置亦可包含位址匹配電路，此電路比較正常記憶胞之位址與缺陷位址，並於第三時間間隔產生缺陷位址符合信號，若比較判定位址為缺陷。此電路亦於第三時間間隔產生一個非-缺陷位址符合信號，若比較判定位址為非-缺陷。第三時間間隔大體上不會超過第一時間間隔。

若裝置包含位址匹配電路，則解碼電路之功能乃依據記憶胞之位址為缺陷與否，由位址匹配電路執行。

同樣地，於裝置包含兩種感測放大器情形下，正常感

五、發明說明（ 20）

測放大器將資料由正常記憶胞送至多工器級。另一方面，冗餘感測放大將資料由冗餘記憶胞送至多工器級。

因此，主要優點為冗餘感測放大器將於一個通常與正常感測放大器操作時間相符之時間間隔內操作。結果，記憶體裝置之操作將不會因冗餘檢測放大器之操作而延緩。

更進一步優點為位址匹配電路將於一個通常與正常感測放大器操作時間相符之時間間隔內操作。因此，記憶體裝置之操作將不會因位址匹配電路之操作而延緩。

更進一步優點為解碼電路將於一個通常與正常檢測放大器操作時間相符之時間間隔內操作。因此，記憶體裝置之操作將不會因解碼電路之操作而延緩。

本發明更進一步優點為由 X-解碼與相關電路所佔據之區域數量將可減少。

最後，本發明可提高增加記憶體裝置操作速度之主要目標。

下列較佳具體實施例之圖式與詳細說明將更清楚地說明本發明這些與其他目標及優點。

[圖式之簡單說明]

第 1 圖為依據現今較佳具體實施例之記憶體區塊圖；

第 2 圖為依據第 1 圖之記憶體之包含主要陣列與冗餘陣列之範例核心胞陣列；

第 3 圖為依據第 1 圖之記憶體之範例 CAM 級與伴隨輸出電路之電路圖；

第 4 圖為依據第 1 圖之記憶體與第 2 圖之範例核心胞

五、發明說明 (21)

陣列之區塊圖，顯示一個範例 CAM 級陣列與伴隨輸出電路；

第 5 圖為區塊圖顯示關聯於第 2 圖範例核心胞陣列之垂直陣列之範例 CAM 級群；以及

第 6 圖為本發明一個具體實施例之區塊圖；

第 7 圖為本發明多工器級最佳具體實施例之電路圖。

[元件符號說明]

100	記憶體
102	核心胞陣列
104	解碼器
106	冗餘 CAM 電路
108	位址緩衝器電路
110	控制邏輯電路
112	檢測放大器與輸出電路
114	上層排
116	下層排
118A 至 D	上層主要陣列
120A 至 D	上層冗餘陣列
128A 至 D	下層主要陣列
130A 至 D	下層冗餘陣列
200、402A 至 402F	CAM 級
202	CAM 胞
204	寫入資料匯流排
206	讀取資料匯流排
208、210	p-通道偏壓電晶體
212、214、216	節點
300、432	CAM 級陣列
370A 至 H	讀取 p-通道上拉低門限電壓電晶體
380A 至 H	寫入 p-通道上拉低門限電壓電晶體
400	CAM 級群組
410	感測放大器
412	主要陣列

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

414	位元線匯流排
420	冗餘感測放大器
422	冗餘陣列
424	二位元寬匯流排
432	CAM陣列
450	字元位址比較器
460	解碼器
470、490	輸出(多工器級)
480	記憶體輸出
500	選通器電路
510	選通器電路較低部分
520	選通器電路較高部分
530	NOR閘極
540、542、544	CMOS傳輸閘極
550、560、580	傳輸閘極
570	栓鎖

[實行本發明之模式]

描繪於第 6 圖之本發明之一個具體實施例，感測放大器 410 讀取記憶胞，即主要陣列 412 裡之正常記憶胞。例如，於一個叢發讀取具體實施例，每次讀取 32 位元資料且以兩個連續 16 位元部分出現於記憶體輸出 480。於此具體實施例，32 個感測放大器 410 讀取正常記憶胞。同樣地，冗餘感測放大器 420 讀取關聯於冗餘陣列 422 裡之記憶胞，即冗餘記憶胞。感測放大器之實際設計之選擇將依據整體記憶體電路需求且將為此技藝之技術者所熟知。基於便利，且無須由於固有之差異，主要陣列 412 與冗餘陣列 422 之記憶胞分別意指正常記憶胞與冗餘記憶胞。基於相似原因，感測放大器 410 分別意指正常感測放大器與冗餘感測放大器 420。如上述，記憶胞之兩個行區域或字元，每個 16 位元，於讀取操作時同時存取，且因此由正常感測

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 23）

放大器 410 來之位元線匯流排 414 為 32 位元寬且 32 個正常感測放大器由區塊圖 410 表示。

於最佳具體實施例實際上每個主要陣列 412 有兩個冗餘陣列 422。對應於兩個冗餘陣列為兩個冗餘感測放大器 420。對應於兩個冗餘陣列亦為兩個 CAM 級個別陣列 432，每個儲存一個缺陷二字元數據段位址。此加倍之冗餘容許以冗餘記憶胞替換於主要陣列 412 內之兩個不同二字元數據段之缺陷記憶胞，因為兩個 CAM 陣列 432 中每一個可儲存一個不同缺陷二字元位址。於最佳具體實施例此加倍得以替換於相同二字元數據段之兩個不同位置。二位元寬匯流排 424 由兩個冗餘感測放大器 420 傳送輸出信號。於本具體實施例，兩個冗餘感測放大器 420 分離地完成讀取兩個冗餘記憶胞，大體上不晚於正常感測放大器 410 之讀取操作完成。

如上述，CAM 級 432 之陣列將關聯於每個主要陣列 412。如上述，且為本具體實施例所利用，由主要陣列 412 讀取時，將存取此 CAM 級 432 陣列，以判定由主要陣列讀取之二字元數據段是否需一個替換記憶胞。此 CAM 級 432 陣列之存取描繪於第 6 圖之區塊 440。這些 CAM 級 432 將包含兩種資訊形式。首先他們將包含一個二字元數據段之位址。位址包含於 CAM 級 432 之二字元數據段將為缺陷的，即，將包含缺陷位元。其次，CAM 級 432 將儲存缺陷記憶胞之位置或此二字元數據段裡之位元線。

此位置用語可視為叢發讀取記憶體之特別形式。因 16

五、發明說明（ 24）

位元（即，二字元數據段之一個字元）同時置於記憶體多路輸入/輸出連接 480，這些 16 位元裡之位元位置此處意指“輸入/輸出指定器”，且範圍為 0 至 15。

接著，於存取後，即處理 CAM 陣列 432 之第一形式資訊，即缺陷二字元數據段之位址。缺陷二字元數據段之位址與正在讀取，位於主要陣列 412 裡之二字元數據段位址進行比較或匹配。比較由正常感測放大器 410 完成，大體上不晚於正常記憶胞讀取結束。於較佳具體實施例中，二字元數據段之位址由三位元表示，如上述並參照第 5 圖。執行比較之電路為此技藝之技術者所熟知且由第 6 圖區塊 450 表示。

若兩位址相同，或符合，將處理 CAM 陣列 432 之第二形式資訊，即缺陷記憶胞之位置或二字元數據段裡之位元線。

如上述並參照第 5 圖，位於缺陷記憶胞或位元線之缺陷二字元數據段裡之位置包含於兩個 CAM 陣列 432 其中一個之五位元裡。將解碼這些五位元以選擇需由冗餘陣列記憶胞替換之 32 位元記憶胞或位元線其中之一。於最佳具體實施例，此解碼 460 為兩階段過程。第一階段為預先解碼階段。例如，若敘述位元線位置之 CAM 陣列五位元以 A0 至 4 敘述，將形成 (A0, A1)、(A2, A3) 與 A4 位元群組。所有組合，包含 (A0, A1) 與 (A2, A3) 之配對物，可產生八種組合。這些組合接著作為輸入至簡單出口以產生一個預先解碼輸出。於解碼第二階段，這些預先解碼輸出接著彼

五、發明說明 (25)

此限制並與 A4 連接且 A4 產生代表五位元 A0 至 A4 小名稱之 32 個輸出。此過程僅概述群組之形成，組合安排與應用，與輸出開極為此技藝之一般技術者所熟知。此解碼過程由正常感測放大器 410 完成，大體上不晚於讀取。

由兩個 CAM 陣列 432 其中一個產生之 32 個輸出 470，第一 16 個輸出指定為 rp0ln 且第二 16 個輸出為 rp0hn。Rp0ln 判定二字元數據段中第一或較低字元裡之缺陷位置，而 rp0hn 判定二字元數據段中第二或較高字元裡之缺陷位置。這些二信號每個字尾之 n 表示解碼器 460 32 個輸出中每一個(於說明每個 rp0l 與 rp0h 之 16 個字尾)且指定至信號將連接之 16 個多工器電路，將於下列討論。由兩個 CAM 陣列中另一個產生之 32 個輸出指定為第一 16 個 rp0ln 與第二 16 個 rp0hn。

於最佳具體實施例，解碼電路不選擇任何位元為缺陷且需替換，若字元位址比較 450，依據兩個冗餘 CAM 陣列 432，判定二-數據段字元並非缺陷。此選擇之無效結果，乃由於使用一個由比較電路 450 來之無符合結果，做為解碼階段 460 之一個關閉信號。

雖然解碼功能 460 已敘述具有兩階段，第一為預先解碼階段，然其他設計亦為可能，為此技藝之技術者所熟知。

於此時，電路已由 34 個感測放大器 410、420 獲得 34 個位元資料。此 34 個中之 32 位元最終將形成二字元數據段之電路輸出。32 位元輸出多工器級 470 將由 34 個中選擇適當之 32 個且每次將這些 32 個中之 16 個輸出於時間

五、發明說明 (26)

480。

第 7 圖描繪一個多工器級 490 電路之一部分 500 且可便利地以多工器電路 500 表示。具有 16 個相同多工器電路 500，於第 7 圖中以 $n = 0, 1, \dots, 15$ 表示於多工器級 490。多工器電路之較低(標示 "h" 之信號)部分 510(或"較低多工器局部電路")與較高(標示 "l" 之信號)部分 520 操作方式相同，為此技藝之技術者所熟知。因此僅提供較高部分 520 之操作細節。16 個相同多工器電路 500 之集合體僅表示為具有 16 位元匯流排輸出 $DSIn$ 之多工器級 490。

由二字元數據段其中一個來之資料，例如第一資料，施加於 16 個較高多工器局部電路 520 群組於輸入端 $DSILn$ ($n = 0, \dots, 15$)。如上述，關閉解碼器 460 輸出且無缺陷選擇除非由兩個冗餘 CAM 陣列 432 其中之一判定二-數據段字元為缺陷。若 $rp0ln$ 與 $rp1ln$ 兩者皆為 0 或低，由 NOR 閘極 530 產生之 $norpln$ ("無冗餘" = "nor") 為 1 或高，且其互補之 $norplbn$ 為低；因此，正常陣列位元 $DSILn$ 由 CMOS 傳輸閘極 540 通過且接著暫時儲存於拴鎖 550。

若 $rp0ln$ 為 1 或高，則 CMOS 傳輸閘極 542 傳送 $REDSI(0)$ ，此信號來自於冗餘感測放大器 420 讀取冗餘記憶胞其中一個。若 $rp1ln$ 為 1 或高，則 CMOS 傳輸閘極 544 傳送 $REDSI(1)$ ，此信號由冗餘檢測放大器 420 讀取另一冗餘記憶胞。

$DSILn$ 、 $REDSI(0)$ 或 $REDSI(1)$ ，視情形而定，接著由 DTLDB (確認低)控制之傳輸閘極 550 傳送，若邏輯(未

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

描繪)要求整個電路執行讀取。(於傳輸閘極 560 上層兩個電晶體之三角形狀表示一個 p-型 MOSFET)。再次，儲存於拴鎖 570 後，信號穿過由當低時可穿過之 RA(0)所控制之傳輸閘極 580，即，RA(0)將由控制器判定低或高，依據二數據段字元之 "L" 或第一部份(DSILN，上述範例之信號)或 "H" 或第二部分("DSIHn")是否會施加至多工器級輸出 DSIN，若非缺陷時。

上述詳細說明僅敘述此發明可採用之許多形式中之數個。因此上述詳細說明乃欲視為說明而非限制，且可瞭解的是下列申請專利範圍，包含所有均等物，乃欲定義本發明之精神與範疇。因此附加之申請專利範圍乃欲涵蓋所有此類於本發明真實精神與範疇內之變動與修改。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：併合輸出基礎冗餘之叢發讀取）

本發明提供一種於快閃記憶體執行冗餘讀取之裝置。此裝置包含正常記憶胞(410)陣列與冗餘記憶胞(412)陣列。一些正常記憶胞可具有缺陷位址。正常檢測放大器(420)將於其存取之位址讀取正常記憶胞，而冗餘檢測放大器(422)將讀取冗餘記憶胞。內容可尋址記憶體(CAMs)之第一陣列(432)將儲存缺陷記憶胞之缺陷位址，而CAMs之第二陣列(432)將儲存缺陷記憶胞之輸入/輸出指定器。解碼電路(460)將解碼缺陷與非缺陷記憶胞之輸入/輸出指定器。一個多位元多工器級(490)將輸出正常記憶胞(410)之內容或，若位址為缺陷，則將輸出冗餘記憶胞(412)之內容。內容將施加至對應於記憶胞輸入/輸出指定器之多工器輸出。

英文發明摘要（發明之名稱：BURST READ INCORPORATING OUTPUT BASED REDUNDANCY）

A device for performing redundant reading in a flash memory. The device includes arrays of regular memory cells (410) and arrays of redundant memory cells (412). Some of the regular memory cells may have defective addresses. A regular sense amplifier (420) will read the regular memory cells at their accessed address while a redundant sense amplifier (422) will read the redundant memory cells. A first array (432) of CAMs will store the defective addresses of the defective memory cells while a second array (432) of CAMs will store the input/output designators of the defective memory cells. Decoding circuitry (460) will decode the input/output designators of both the defective and non-defective memory cells. A multi-bit multiplexer stage (490) will output either the contents of the regular memory cell (410) or, if the address is defective, the contents of the redundant memory cell (412). The contents will be applied to the multiplexer output corresponding to the input/output designator of the memory cell.

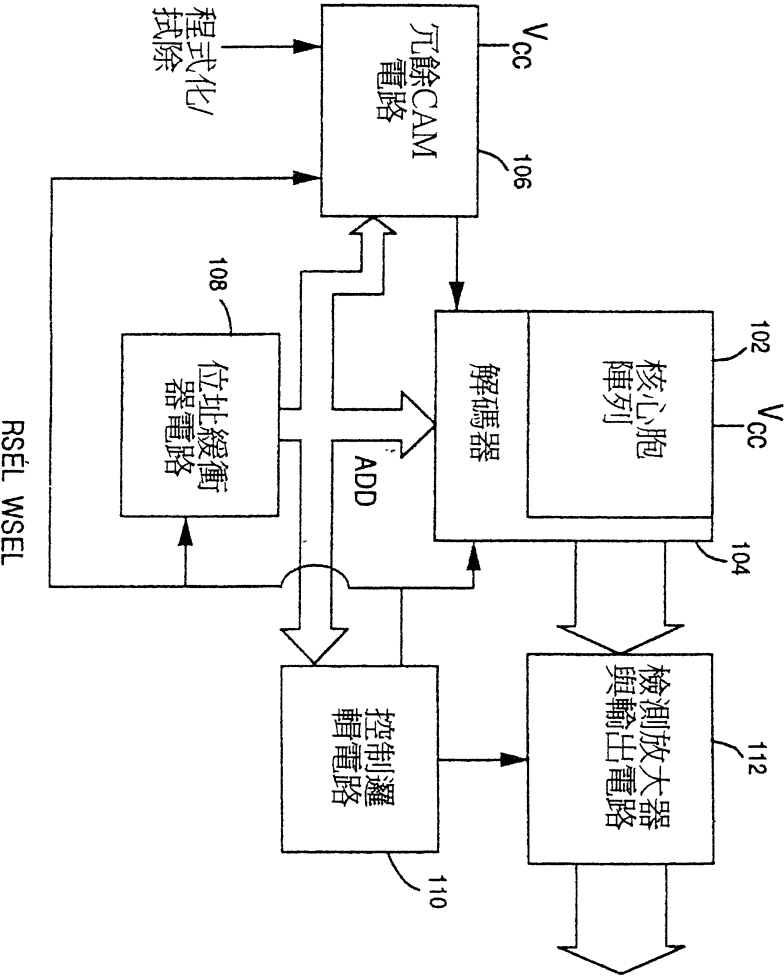
（請先閱讀背面之注意事項再填寫本頁各欄）

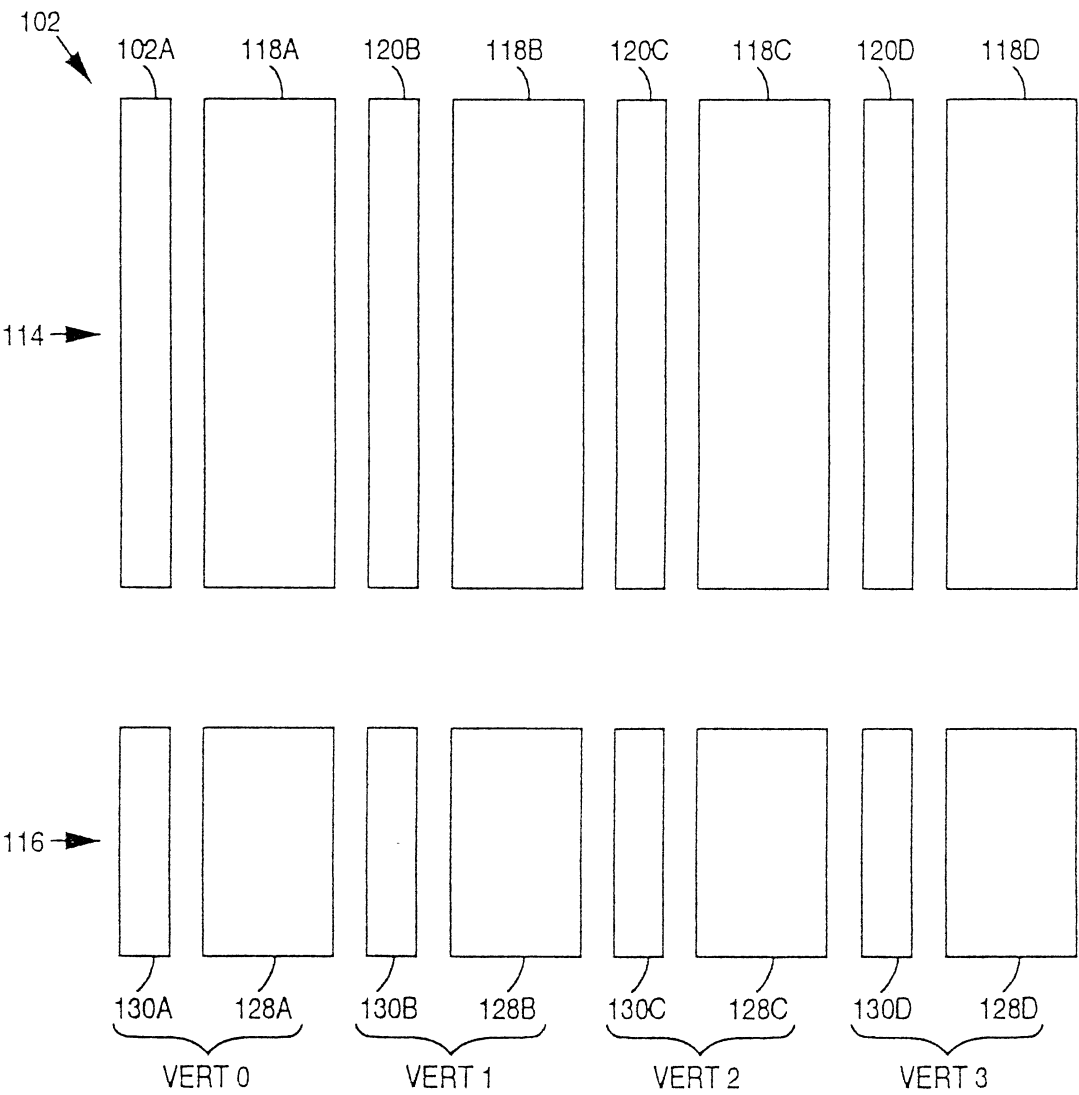
裝

訂

線

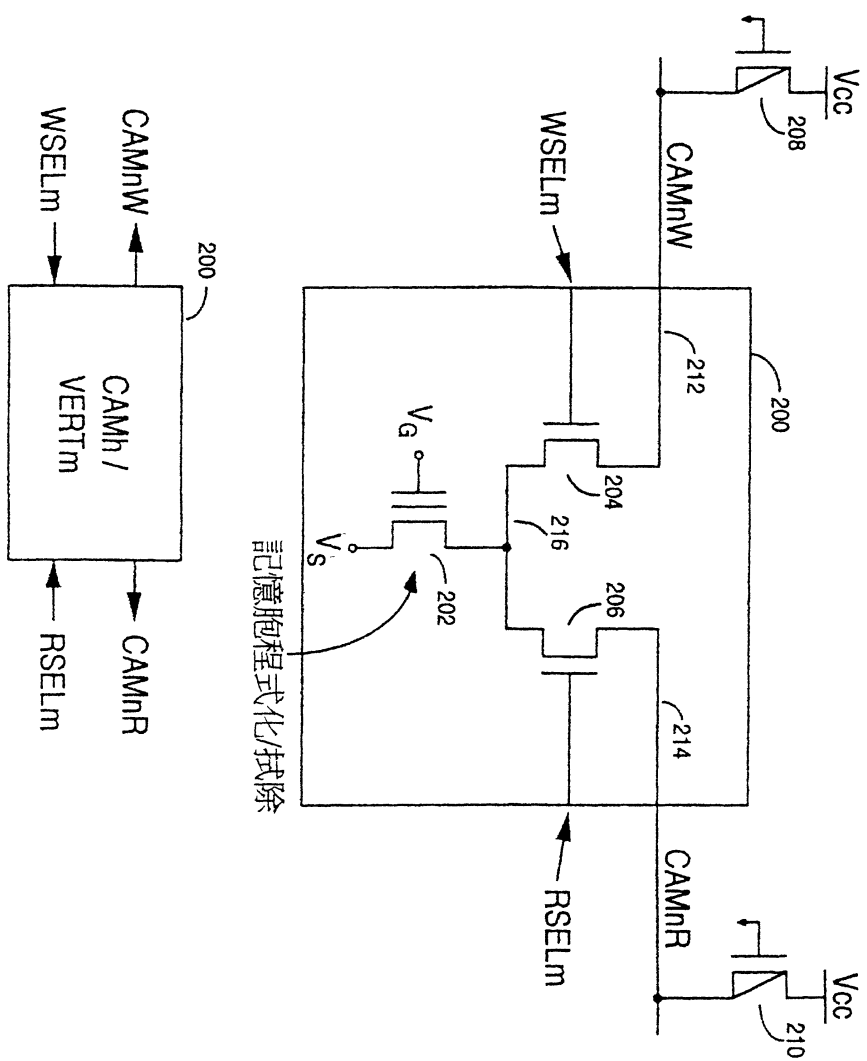
第 1 圖

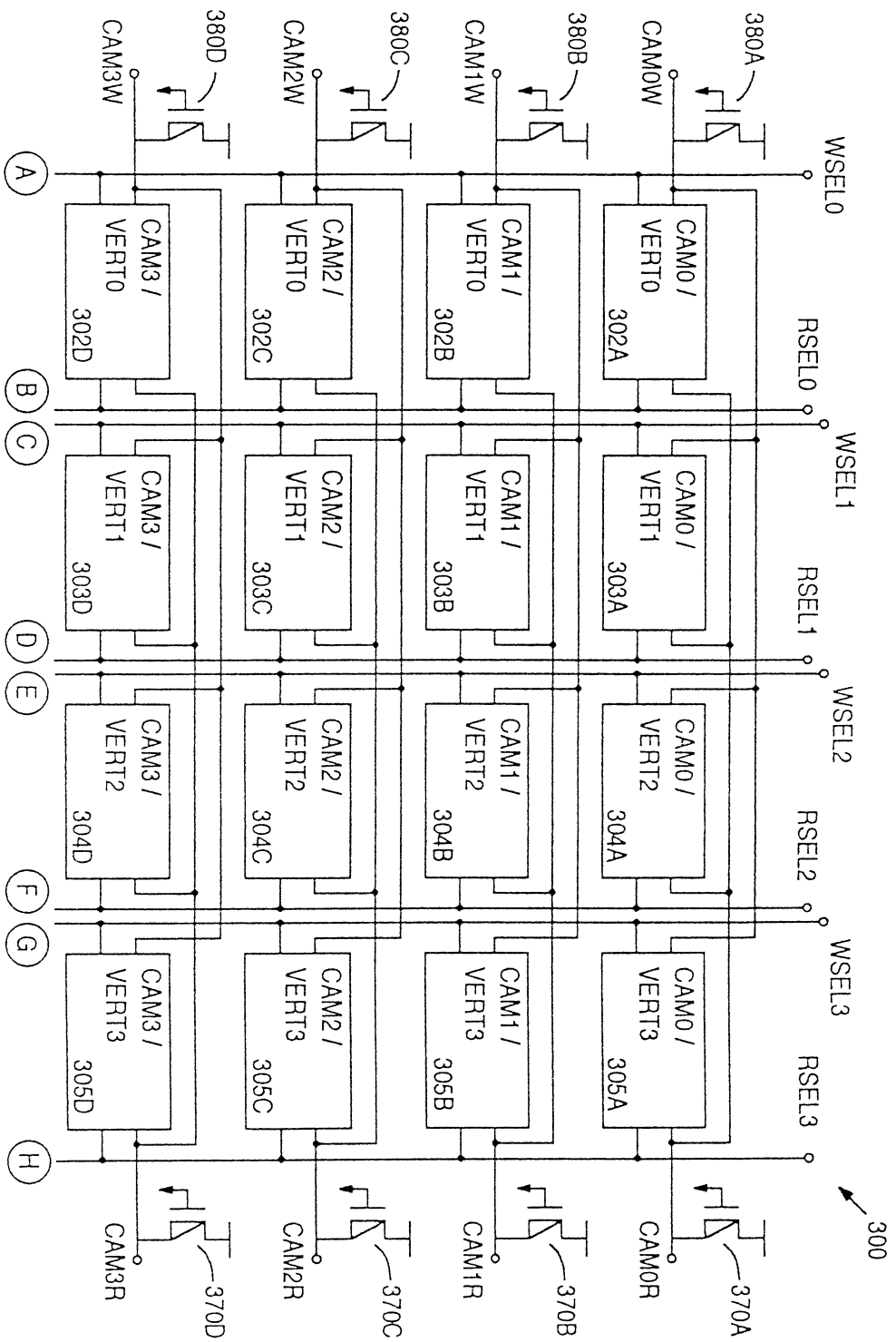


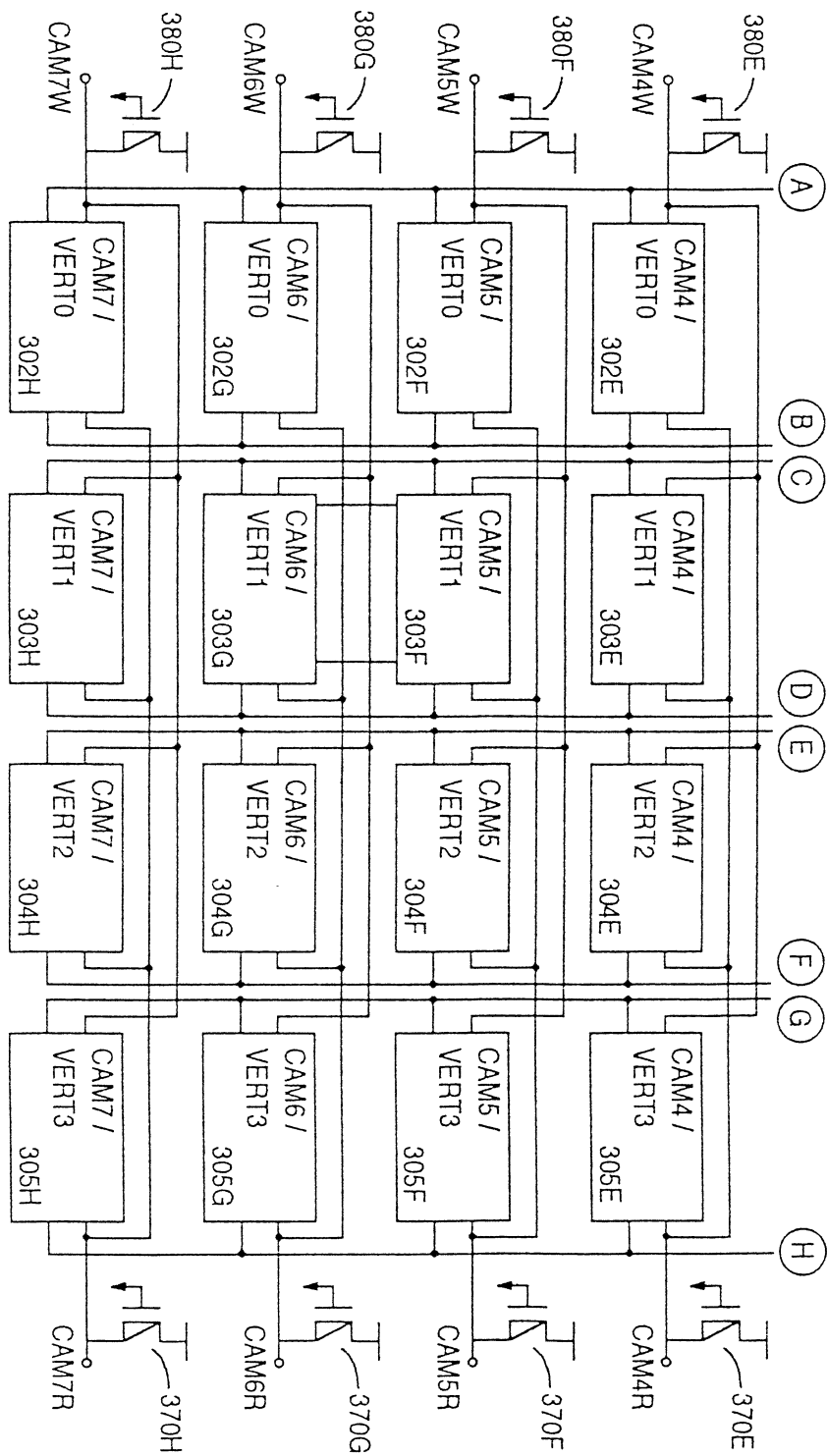


第 2 圖

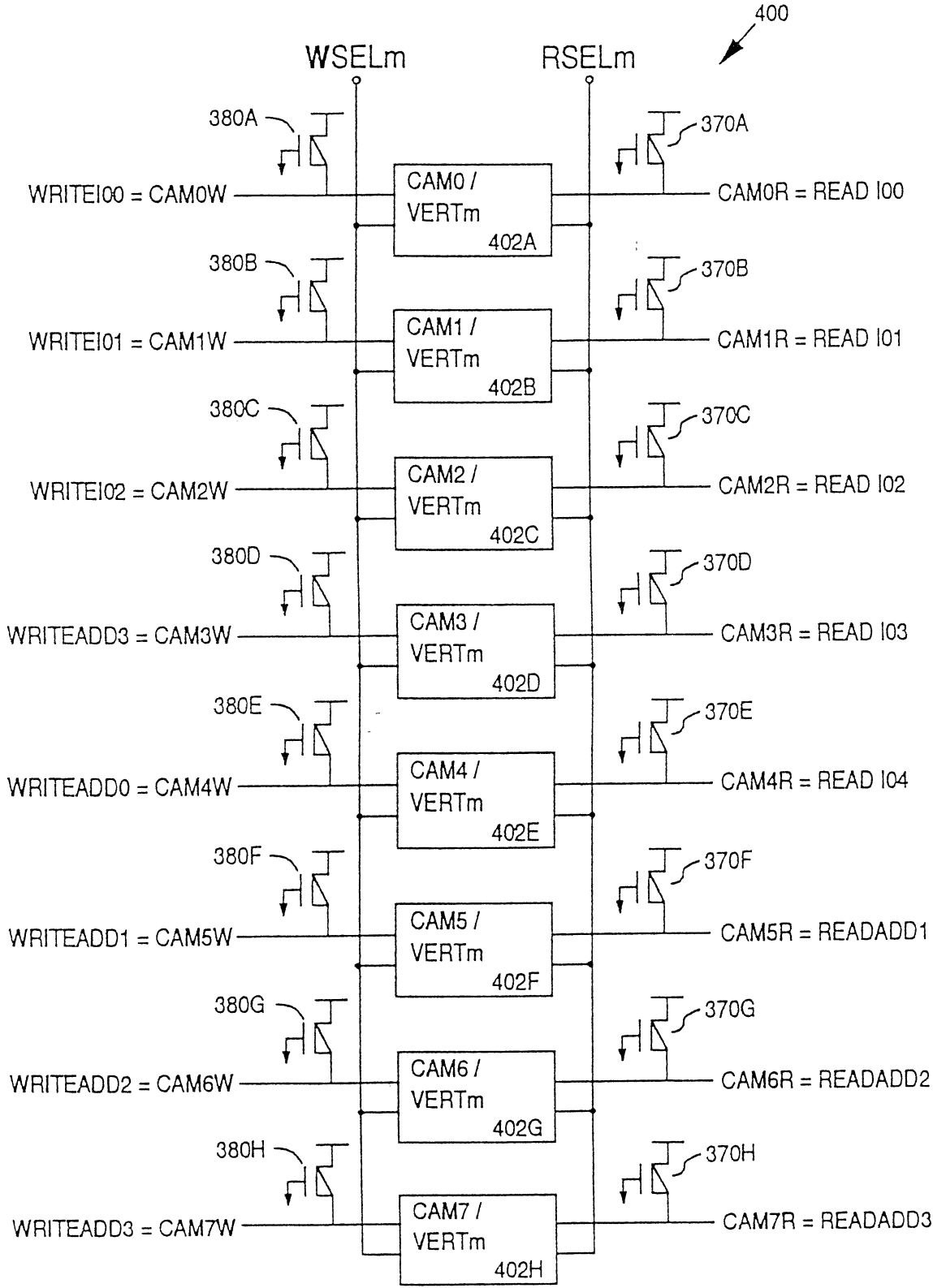
第 3 圖





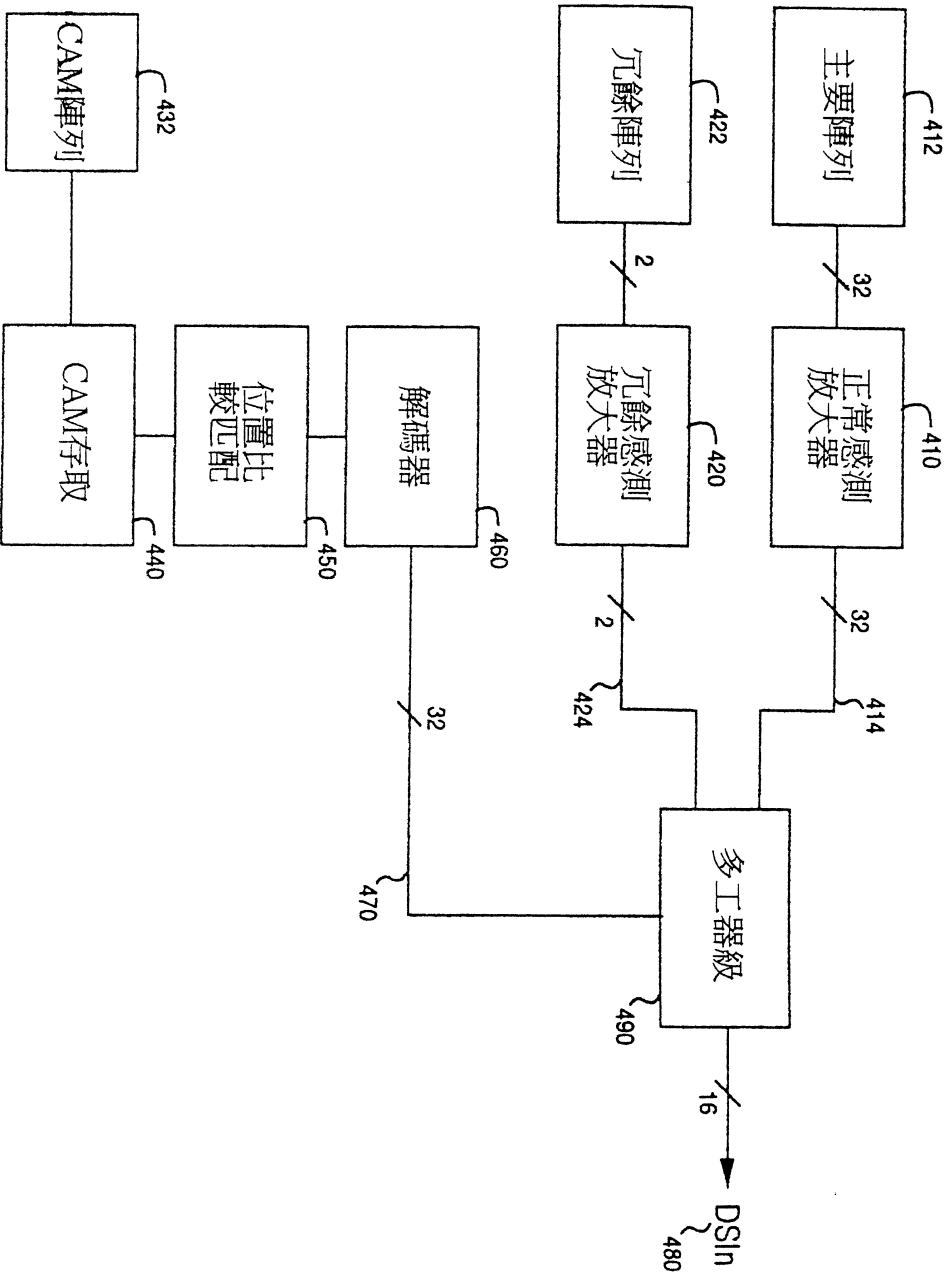


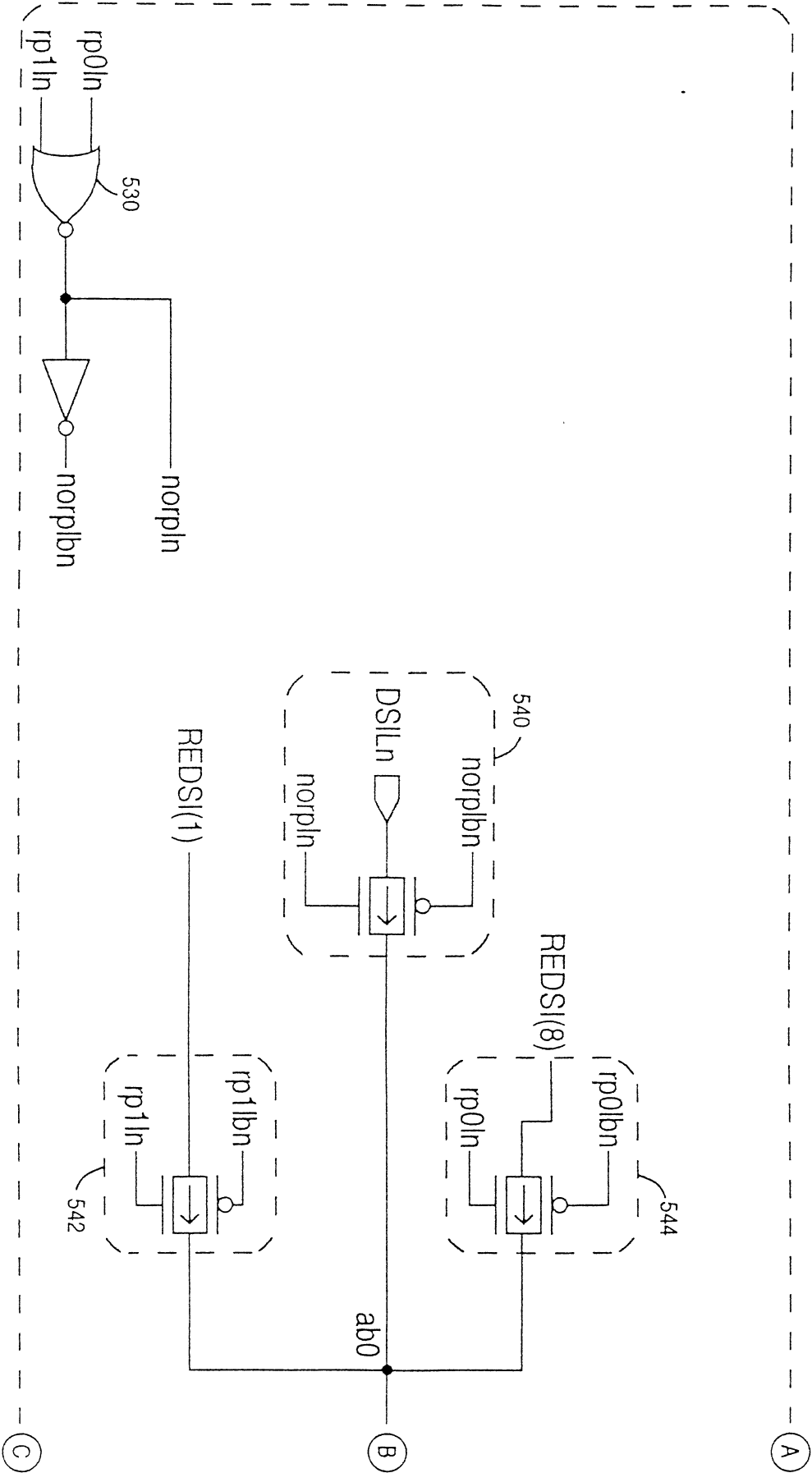
第 4 圖 (延續前圖)



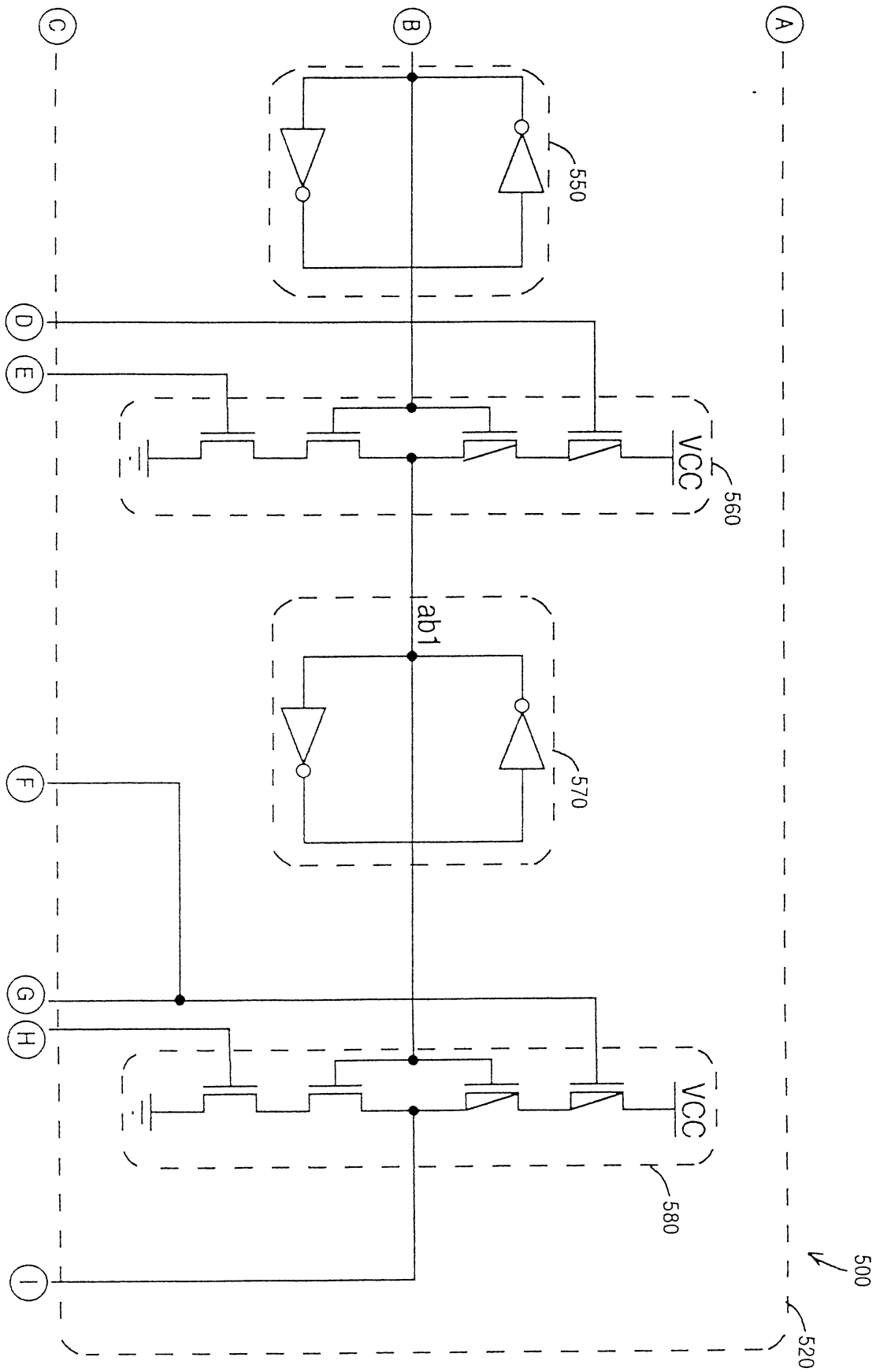
第 5 圖

圖 6

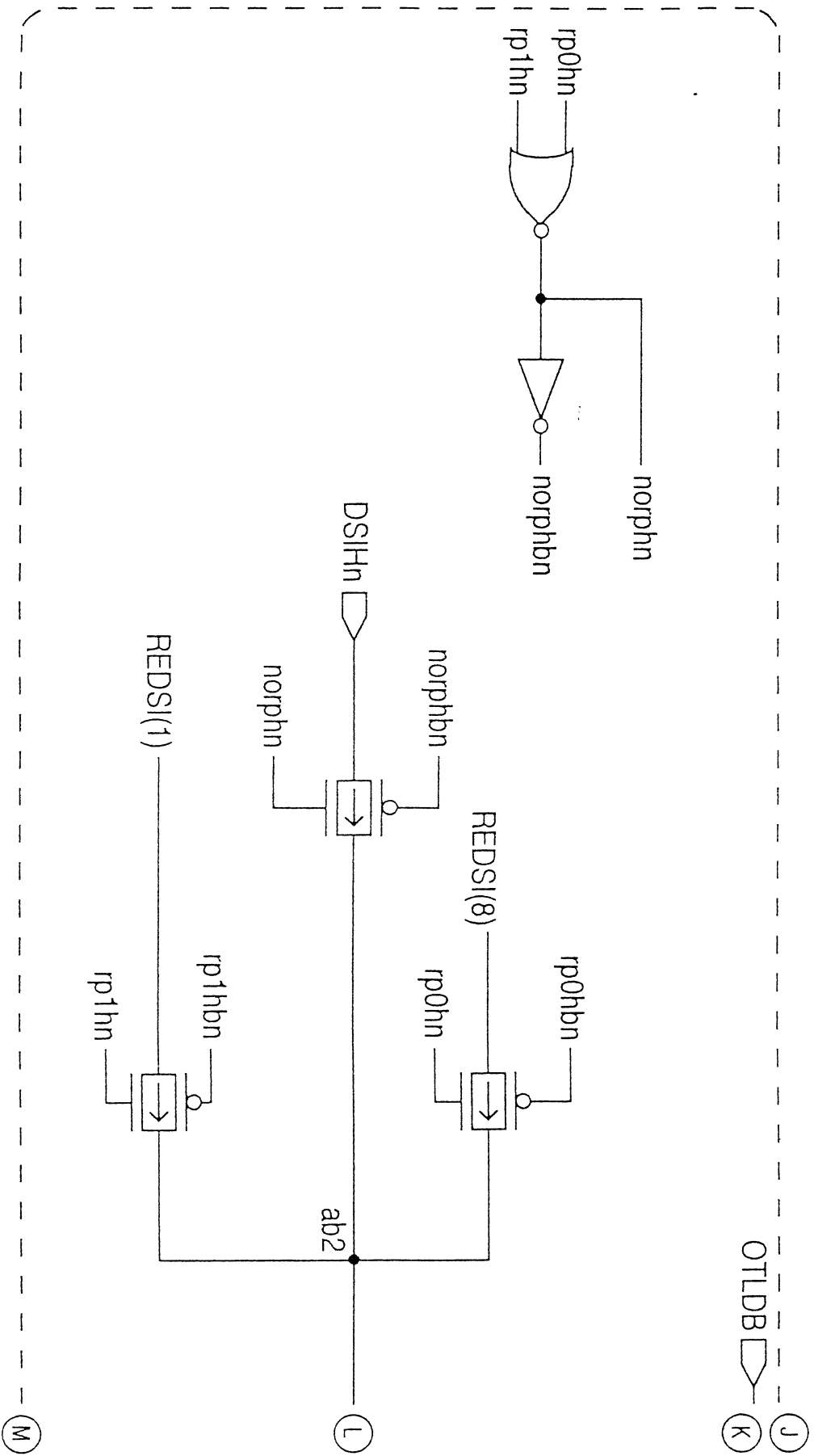




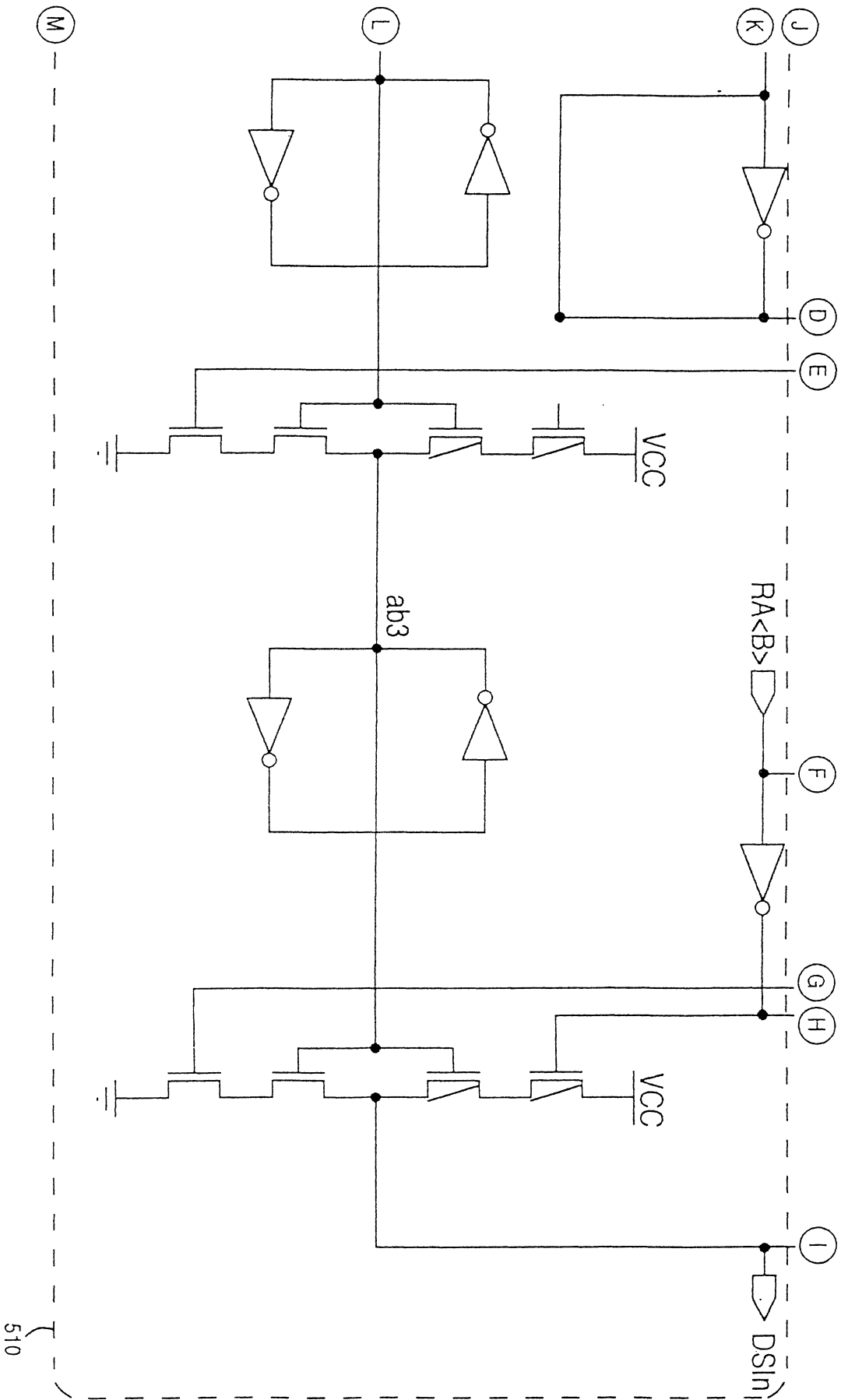
第 7 圖



第 7 圖 (延續前圖)



第 7 圖 (延續前圖)



第 7 圖 (延續前圖)

第 90117773 號專利申請案

申請專利範圍修正本

(92 年 1 月 3 日)

1. 一種快閃記憶體裝置內之讀取冗餘組件，該組件包括：

記憶體陣列，該記憶體陣列包含正常記憶體陣列(412)與冗餘記憶體陣列(422)；

該正常記憶體陣列(412)包含缺陷記憶體與非-缺陷記憶體，每個正常記憶體具有輸入/輸出指定器與儲存位址；

正常第一記憶體，包含正常記憶體中之一個；

第一位址，包含正常第一記憶體之儲存位址；

缺陷第一記憶體，包含缺陷記憶體中之一個；

缺陷位址，包含缺陷第一記憶體之儲存位址；

解碼電路(460)，配置為回應缺陷第一記憶體之輸入/輸出指定器，若該電路判定該第一位址為缺陷位址，則產生缺陷解碼信號，該缺陷解碼信號對應於該輸入/輸出指定器；

該解碼電路(460)更進一步配置為產生正常解碼信號，若該電路判定該第一位址並非缺陷位址，該正常解碼信號對應於該正常第一記憶體之輸入/輸出指定器；

具多工輸出之多工器級(490)，該多工器級配置為回應於正常第一記憶體與反應於對應於正常第一記憶體之輸入/輸出指定器之正常解碼信號，選擇與提供正常輸出信號於多工第一輸出，該多工第一輸出為對應於

正常第一記憶胞之輸入/輸出指定器之多工輸出；以及

該多工器級(490)更配置為回應冗餘記憶胞與回應對應於缺陷第一記憶胞輸入/輸出指定器之缺陷解碼信號，選擇與提供一個冗餘輸出信號於多工第二輸出，該多工第二輸出為對應於缺陷第一記憶胞輸入/輸出指定器之多工輸出。

2.如申請專利範圍第1項之快閃記憶體裝置內之讀取冗餘組件，該組件更包含：

配置為讀取正常第一記憶胞之正常感測放大器(410)；

存取正常第一記憶胞，此存取正常第一記憶胞包含由該正常感測放大器(410)讀取之正常第一記憶胞；

存取位址，此存取位址包含存取正常第一記憶胞之儲存位址；以及

冗餘感測放大器(420)。

3.如申請專利範圍第2項之快閃記憶體裝置內之讀冗餘組件，其中：

該正常感測放大器(410)更配置為讀取存取之正常第一記憶胞之正常第一記憶胞於第一時間間隔，且於該第一時間間隔產生正常信號；

冗餘感測放大器(420)，配置為讀取冗餘記憶胞(422)於第二時間間隔，且於該第二時間間隔產生冗餘信號，該第二時間間隔大體上不超過該第一時間間隔。

4.如申請專利範圍第3項之快閃記憶體裝置內之讀取冗餘

組件，該組件更包含：

位址匹配電路(450)，配置為比較存取之位址與缺陷位址，該電路更配置為於第三時間間隔產生缺陷位址符合信號，若比較判定存取之位址為缺陷位址；以及

位址匹配電路(450)，更配置為於第三時間間隔產生非缺陷位址符合信號，若比較判定存取之位址並非缺陷位址，該第三時間間隔大體上不超過第一時間間隔。

5.如申請專利範圍第4項之快閃記憶體裝置內之讀取冗餘組件，其中：

該解碼電路(460)更配置為回應於由該位址匹配電路所產生之缺陷位址符合信號，判定該第一位址為缺陷位址，該解碼電路配置為於第四時間間隔產生此判定，該第四時間間隔大體上不超過該第一時間間隔；以及

該解碼電路(460)更配置為回應於由該位址匹配電路所產生之非缺陷位址符合信號，判定該第一位址並非缺陷位址，該解碼電路配置為於第四時間間隔產生此判定。

6.如申請專利範圍第5項之快閃記憶體裝置內之讀取冗餘組件，該組件更包含：

一個或多個內容可尋址記憶體(CAMs)之第一陣列(432)，該第一陣列配置為儲存缺陷位址；以及

一個或多個內容可尋址記憶體之第二陣列(432)，該第二陣列配置為儲存缺陷記憶體胞之輸入/輸出指定器。

7.一種快閃記憶體裝置內之讀取冗餘組件，該組件包括：

記憶體陣列，該記憶體包含正常記憶體(412)與冗餘記憶體(422)；

該正常記憶體(412)包含缺陷記憶體與非缺陷記憶體；

儲存字元，包含複數個正常記憶體，於該儲存字元中之每個正常記憶體具有輸入/輸出指定器；

儲存字元之儲存位址；

缺陷字元，包含具有缺陷記憶體之儲存字元；

非缺陷字元，包含具有非缺陷記憶體之儲存字元；

缺陷位址，包含缺陷字元之儲存位址；其特徵為：

一個或多個內容可尋址記憶體(CAMs)之第一陣列(432)配置為儲存缺陷位址；

一個或多個內容可尋址記憶體之第二陣列(432)配置為儲存缺陷記憶體之輸入/輸出指定器；

位址核對電路(450)，配置為比較儲存位址與缺陷位址，該電路更配置為產生缺陷位址符合信號，若比較判定儲存位址為缺陷位址；

該位址核對電路(450)更配置為產生非缺陷位址符合信號，若比較判定儲存位址並非缺陷位址；

解碼電路(460)，配置為回應於具存取位址之缺陷字元之缺陷記憶體輸入/輸出指定器與回應於缺陷位址符合信號，產生缺陷解碼信號，該缺陷解碼信號對應於該輸入/輸出指定器；

該解碼電路(460)更配置為回應於非缺陷位址符合信號，產生個別正常解碼信號，該個別正常解碼信號對應於具有存取之位址之非缺陷字元之個別非缺陷記憶胞之個別輸入/輸出指定器；

具有多工輸出之多工器級(490)，該多工器級(490)配置為回應正常記憶胞與回應對應於此非缺陷字元之此個別非缺陷記憶胞輸入/輸出指定器之正常解碼信號，選擇與提供正常輸出信號於多工第一輸出，該多工第一輸出為對應於此個別非缺陷記憶胞輸入/輸出指定器之多路輸出；以及

該多工器級(490)更配置為回應冗餘記憶胞與回應對應於缺陷記憶胞輸入/輸出指定器之缺陷解碼信號，選擇與配置冗餘輸出信號於多工第二輸出，該多工第二輸出為對應於缺陷記憶胞輸入/輸出指定器之多路輸出。

8. 一種於快閃記憶體裝置內冗餘讀取之方法，該裝置包含：

記憶胞陣列，該記憶胞包含正常記憶胞(412)與冗餘記憶胞(422)；

該正常記憶胞(412)包含缺陷記憶胞與非缺陷記憶胞；

儲存字元包含複數個正常記憶胞，於儲存字元中之每個正常記憶胞具有輸入/輸出指定器；

儲存該字元之儲存位址；

配置為讀取該儲存之字元正常記憶胞(412)之正常感測放大器(410)；

包含具有由該正常感測放大器讀取之正常記憶胞(412)之儲存字元之存取字元；

存取位址包含存取之字元之儲存位址；

冗餘感測放大器(420)；

缺陷字元包含具有缺陷記憶胞之儲存字元；

非缺陷字元包含具有非缺陷記憶胞之儲存字元；

缺陷位址包含缺陷字元之儲存位址；

一個或多個內容可尋址記憶體(CAMs)之第一陣列(432)，該第一陣列配置為儲存缺陷位址；

一個或多個內容可尋址記憶體之第二陣列(432)，該第二陣列配置為儲存缺陷記憶胞之輸入/輸出指定器；

本方法包含行為有：

於第一時間間隔以正常感測放大器(410)讀取存取之字元之正常記憶胞(412)；

回應於此讀取於第一時間間隔產生正常信號；

於第二時間間隔以冗餘感測放大器(420)讀取冗餘記憶胞(412)；

回應於此讀取於第二時間間隔產生冗餘信號，該第二時間間隔大體上不超過該第一時間間隔；

於第三時間間隔比較存取之位址與缺陷位址，該第三時間間隔大體上不超過該第一時間間隔；

若比較判定存取之位址為缺陷位址，則於第三時間間隔產生缺陷位址符合信號；

若比較判定存取之位址並非缺陷位址，則於第三時間間隔產生非缺陷位址符合信號；

回應於具有存取之位址之缺陷字元之缺陷記憶胞輸入/輸出指定器與回應於缺陷位址符合信號，於第四時間間隔產生缺陷解碼信號，該缺陷解碼信號對應於該輸入/輸出指定器，該第四時間間隔大體上不超過該第一時間間隔；

回應於非缺陷位址符合信號，於第四時間間隔產生個別之正常解碼信號，該個別之正常解碼信號對應於具有存取之位址之非缺陷字元之個別非缺陷記憶胞個別輸入/輸出指定器；

回應於正常信號與回應於對應於此非缺陷字元之此個別非缺陷記憶胞輸入/輸出指定器之正常解碼信號，選擇與提供正常輸出信號於多工第一輸出，此多工第一輸出為對應於此個別非缺陷記憶胞輸入/輸出指定器之多工輸出；以及

回應於冗餘信號與回應於對應於缺陷記憶胞輸入/輸出指定器之缺陷解碼信號，選擇與提供冗餘輸出信號於多工第二輸出，該多工第二輸出為對應於缺陷記憶胞輸入/輸出指定器之多工輸出。