Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 915267

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 03.10.79 (21) 2825026/18-09

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.03.82. Бюллетень № 11

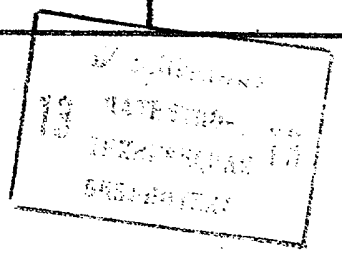
Дата опубликования описания 23.03.82

(51) М. Кл.[3] H 04 L 7/04

(53) УДК 621.394.6(088.8)

(72) Автор изобретения В.Г.Сакута

(71) Заявитель -



(54) УСТРОЙСТВО СИНФАЗНОГО ПРИЕМА ИМПУЛЬСНЫХ СИГНАЛОВ

1

Изобретение относится к радиотехнике и может использоваться при построении устройств синфазного приема импульсных сигналов.

Известно устройство синфазного приема импульсных сигналов, содержащее последовательно соединенные первый триггер, блок фазовой автоподстройки частоты (ФАПЧ) и блок фазирования, причем вход первого триггера и второй вход блока ФАПЧ являются цикловым входом, а третий вход ФАПЧ и второй вход блока фазирования являются тактовым входом [1].

Однако достоверность приема импульсных сигналов известного устройства невысока.

Цель изобретения - повышение достоверности приема.

Поставленная цель достигается тем, что в устройство синфазного приема импульсных сигналов введены последовательно соединенные элемент И и второй триггер, выход которого подключен к

2

четвертому входу блока ФАПЧ, другие выходы которого соединены с входами элемента И, выход которого подключен к третьему входу блока фазирования, при этом второй вход второго триггера соединен с третьим входом блока ФАПЧ, причем блок ФАПЧ выполнен в виде первого триггера, выходы которого соответственно через второй и третий триггеры подключены к входам элемента ИЛИ, при этом выход инвертора подключен к второму входу второго триггера, причем входы инвертора, первого, второго и третьего триггеров являются соответствующими входами блока ФАПЧ, а выходы первого триггера и выход элемента ИЛИ являются соответствующими выходами блока ФАПЧ, а блок фазирования выполнен в виде последовательно соединенных инвертора, триггера и элемента И, второй вход которого объединен с входом инвертора, причем другие входы триггера, вход инвертора и выход элемен-

та И являются соответственно входами и выходом блока фазирования.

На чертеже представлена структурная электрическая схема устройства.

Устройство синфазного приема импульсных сигналов содержит блок 1 фазовой автоподстройки частоты (ФАПЧ), блок 2 фазирования, первый триггер 3, элемент И 4 и второй триггер 5, причем ФАПЧ 1 содержит первый, второй и третий триггеры 6-8, инвертор 9 и элемент ИЛИ 10, а блок 2 фазирования содержит триггер 11, элемент И 12 и инвертор 13.

Устройство работает следующим образом.

В исходном состоянии первый триггер 3 устанавливается в нулевое состояние, а первый триггер 6 ФАПЧ 1 - в единичное состояние. Так как из линии связи импульсные сигналы (логические единицы) не поступают на тактирующие входы второго и третьего триггеров 7 и 8 ФАПЧ 1, то на их выходах установлены логические нули из-за наличия на их установочных входах сигналов с выхода второго триггера 5. Триггер 11 также находится в состоянии логического нуля. На выходе устройства информация отсутствует. При появлении первого импульсного сигнала из линии связи его передний фронт записывает единицу в первый триггер 3. Таким образом, происходит однократное переключение в каждом цикле первого триггера 3 по переднему фронту только первого импульсного сигнала данного сообщения. Эта единица поступает на тактирующий вход первого триггера 6.

Если в момент прихода переднего фронта первого импульсного сигнала на информационном входе первого триггера 6 был сигнал в виде логического нуля, первый триггер 6 переключается. При этом элемент И 4 формирует сигнал сброса, который предотвращает ложную запись во второй триггер 7 и триггер 11 логической единицы передним фронтом принятого первого импульсного сигнала. Этот принятый информационный сигнал записывается теперь задним фронтом в третий триггер 8. Записанный импульсный сигнал через элемент ИЛИ 10 поступает на информационный вход триггера 11. С приходом очередного заднего фронта тактовых импульсов на вход инвертора 13 информационный сигнал записывается триггером 11. А с приходом следующего тактового импульса на выходе устройства элементов И 12 формируется информационный сигнал, синфазный с тактовыми импульсами. В момент записи триггером 11 информационного сигнала сбрасывается третий триггер 8, который снова готов к приему следующего импульсного сигнала. Если следом за первым информационным импульсом пришел еще один, то третий триггер 8 снова записывает логическую единицу и триггер 11 еще раз перезаписывает ее, не перебрасываясь в нулевое состояние. Если за первым импульсным сигналом не последовало очередного информационного импульса, то третий триггер 8, а за ним через элемент ИЛИ 10, и триггер 11 записывают логический нуль. В случае когда переключение первого триггера 6 не произошло, работает второй триггер 7. Все остальные блоки функционируют аналогично. В этом случае сразу на передний фронт принятого импульсного сигнала произойдет запись логической единицы во второй триггер 7. А затем процесс фазирования повторяется аналогично при поступлении на вход устройства последующих импульсных сигналов.

Использование предлагаемого устройства в системах телемеханики для управления различными телевизионными устройствами по длинным линиям связи с различными фазовыми характеристиками обеспечивает стабильную работу цифровых устройств с высокой достоверностью приема.

Формула изобретения

1. Устройство синфазного приема импульсных сигналов, содержащее последовательно соединенные первый триггер, блок фазовой автоподстройки частоты (ФАПЧ) и блок фазирования, причем вход первого триггера и второй вход блока ФАПЧ является цикловым входом, а третий вход ФАПЧ и второй вход блока фазирования являются тактовым входом, о т л и ч а ю щ е е с я тем, что, с целью повышения достоверности, введены последовательно соединенные элемент И и второй триггер, выход которого подключен к четвертому входу блока ФАПЧ, другие вы-

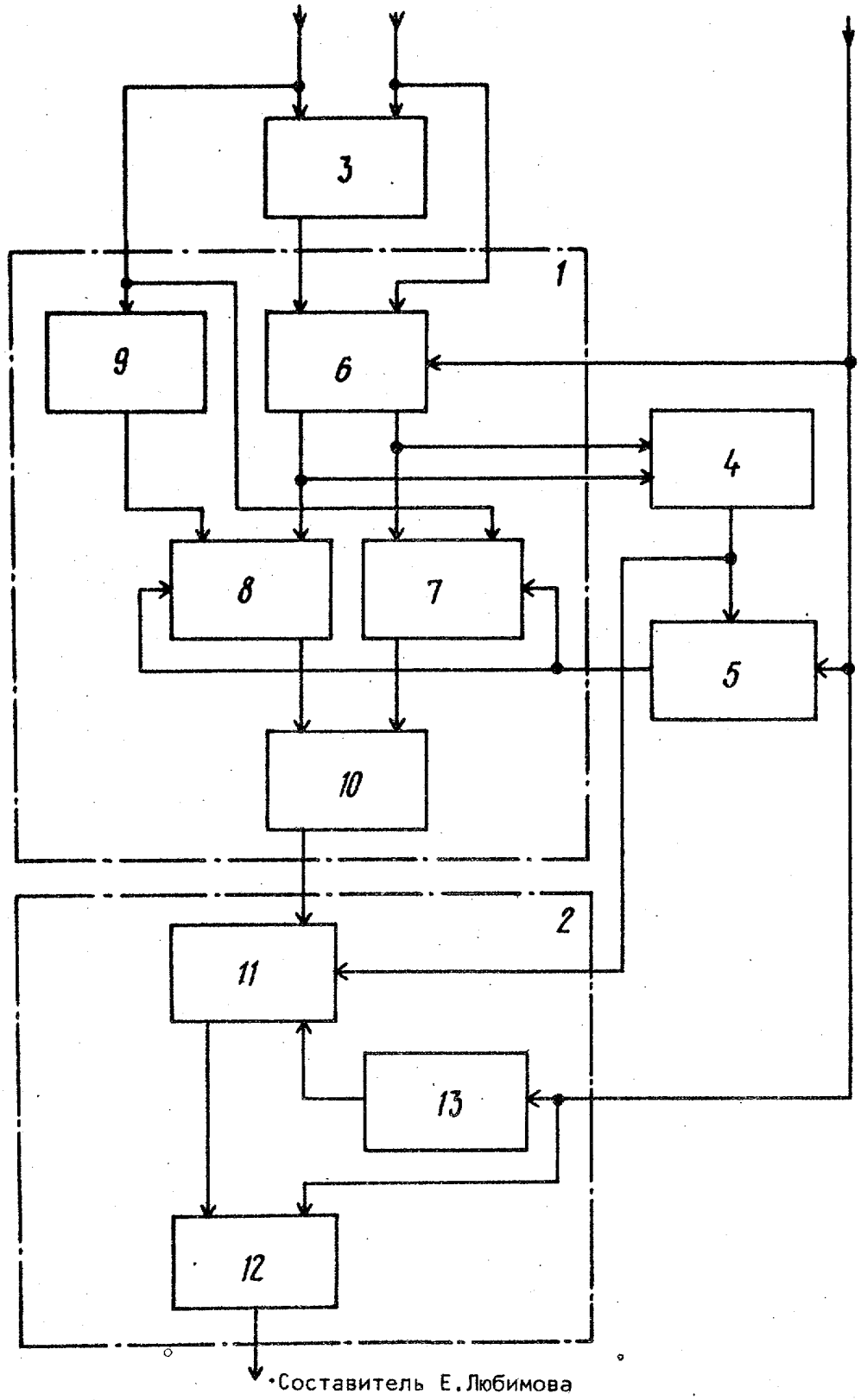
ходы которого соединены с входами элемента И, выход которого подключен к третьему входу блока фазирования, при этом второй вход второго триггера соединен с третьим входом блока ФАПЧ.

2. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что блок ФАПЧ выполнен в виде первого триггера, выходы которого соответственно через второй и третий триггеры подключены к входам элемента ИЛИ, при этом выход инвертора подключен к второму входу второго триггера, причем входы инвертора, первого, второго и третьего триггеров являются соответствующими входами блока ФАПЧ, а выходы первого триггера и выход элемента ИЛИ являются соответствующими выходами блока ФАПЧ.

3. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что блок фазирования выполнен в виде последовательно соединенных инвертора, триггера и элемента И, второй вход которого объединен с входом инвертора, причем другие входы триггера, вход инвертора и выход элемента И являются соответственно входами и выходом блока фазирования.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР по заявке № 2710873/18-09, кл. H 04 L 7/10, 1979 (прототип).



Составитель Е.Любимова
Редактор Р.Цицика Техред А.Ач Корректор Ю.Макаренко

Заказ 1683/66 Тираж 685 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная, 4