

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 1 月 19 日(19.01.2012)

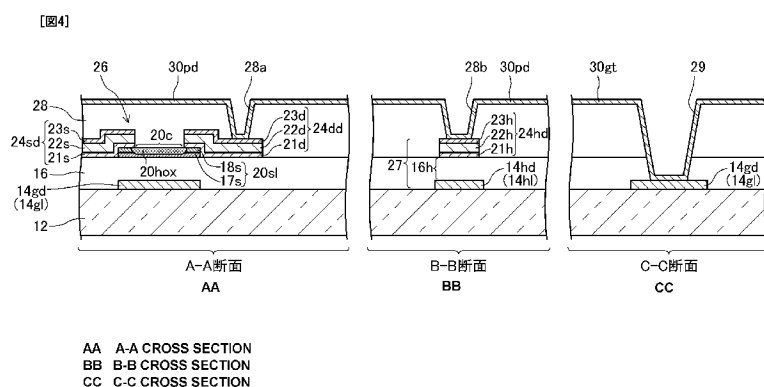
PCT

(10) 国際公開番号
WO 2012/008080 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) *G02F 1/1368* (2006.01)
- (21) 国際出願番号: PCT/JP2011/002881
- (22) 国際出願日: 2011 年 5 月 24 日(24.05.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-159529 2010 年 7 月 14 日(14.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 美崎克紀 (MISAKI, Katsunori).
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: THIN-FILM TRANSISTOR SUBSTRATE

(54) 発明の名称: 薄膜トランジスタ基板



(57) Abstract: Disclosed is a thin-film transistor substrate that has an oxide semiconductor layer, and that reduces the contact resistance between the oxide semiconductor layer and both a source electrode and a drain electrode while suppressing alteration of the oxide semiconductor layer by means of compensating for oxygen deficiency of the oxide semiconductor layer. In the oxide semiconductor layer, within an area having a predetermined electrical resistance, the degree of oxidation (S1) of the portion on the same side as the gate insulating film, and the degree of oxidation (S2) of the portion on the surface-side at the connection sites of the source electrode and the drain electrode are set at the relationship of $S2 < S1$, and the degree of oxidation (S3) of the portion on the surface-side of a channel region is caused to be higher than the degrees of oxidation (S1, S2) of the other regions by means of annealing—in an atmosphere containing oxygen—the oxide semiconductor layer after the source electrode and the drain electrode have been formed.

(57) 要約:

[続葉有]



本発明は、酸化物半導体層を有する薄膜トランジスタ基板において、酸化物半導体層の酸素欠損を補償することにより酸化物半導体層の変質を抑制しつつ、ソース電極及びドレイン電極と酸化物半導体層とのコンタクト抵抗を低くするものである。酸化物半導体層において、所定の電気抵抗を有する範囲で、ゲート絶縁膜側部分の酸化度 S_1 並びにソース電極及びドレイン電極の接続箇所における表層側部分の酸化度 S_2 を $S_2 < S_1$ の関係に設定し、チャネル領域の表層側部分の酸化度 S_3 を、ソース電極及びドレイン電極の形成後に酸化物半導体層を酸素を含む雰囲気中でアニール処理することで、他の領域の酸化度 S_1 、 S_2 よりも高くする。

明 細 書

発明の名称： 薄膜トランジスタ基板

技術分野

- [0001] 本発明は、薄膜トランジスタ（Thin Film Transistor、以下、T F Tと称する）基板及びそれを備えた液晶表示装置並びにT F T基板の製造方法に関し、特に、酸化物半導体からなる半導体層を用いたT F Tを有するT F T基板及び液晶表示装置並びにT F T基板の製造方法に関するものである。

背景技術

- [0002] 近年、液晶表示装置を構成するT F T基板では、画像の最小単位である各画素のスイッチング素子として、アモルファスシリコン（a-S i）からなる半導体層を用いた従来のT F Tに代えて、酸化物半導体からなる半導体層（以下、酸化物半導体層と称する）を用い、高移動度、高信頼性及び低オフ電流などの良好な特性を有するT F Tが提案されている。
- [0003] 一般的なボトムゲート構造のT F Tは、例えば、ガラス基板上に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上にゲート電極に重なるように設けられた半導体層と、該半導体層に一部が互いに離間して重なるようにゲート絶縁膜上に設けられたソース電極及びドレイン電極とを備え、これらソース電極とドレイン電極との間で露出した半導体層部分にチャネル領域が構成されている。この構造は酸化物半導体層を用いたT F Tにおいても同様である。そして、T F T基板では、上記T F Tが保護絶縁膜に覆われ、該保護絶縁膜に形成されたコンタクトホールを介して当該絶縁膜上に形成された画素電極がドレイン電極に接続されている。
- [0004] このようなボトムゲート構造のT F Tを備えたT F T基板は、例えば、ガラス基板上にスパッタリングや化学気相成長（Chemical Vapor Deposition、

以下、CVDと称する)法などにより被エッチング膜を、塗布法により感光性樹脂膜を順に成膜し、該感光性樹脂膜をフォトマスクを介して露光した後に現像することによりレジストパターンを形成して、該レジストパターンから露出する被エッチング膜をドライエッチングやウェットエッチングによりパターニングするという一連の工程を繰り返すことにより、製造することができる。

[0005] 上記ボトムゲート構造のTFETとしては、チャネルエッチ型のTFETが知られている。このチャネルエッチ型のTFETは、エッチングストッパとして機能するチャネル保護膜を備えたエッチストッパ型のTFETに比べて、該チャネル保護膜がない分だけその形成に必要なフォトマスクの枚数が少なく済み、製造コストの面で有利である。酸化物半導体層を用いたTFETとしても、例えば特許文献1にチャネルエッチ型のTFETが開示されている。

[0006] この特許文献1では、層厚方向に異なる比抵抗の領域を有する酸化物半導体層を用い、該酸化物半導体層のゲート絶縁膜側の比抵抗をソース電極及びドレイン電極側の比抵抗よりも低くする構成が開示されている。そして同文献には、当該構成によれば、閾値電圧などが安定した特性を有するTFETを得ることができる、と記載されている。

先行技術文献

特許文献

[0007] 特許文献1：特開2010-40552号公報

発明の概要

発明が解決しようとする課題

[0008] ところで、上記酸化物半導体層は、ソース電極及びドレイン電極をウェットエッチングする場合に一般的に用いられる酸系のエッチング液に容易に溶解する。このため、酸化物半導体層を用いたチャネルエッチ型のTFETでは、ソース電極及びドレイン電極をドライエッチングによりパターニングすることになる。

- [0009] しかしこの場合には、ソース電極及びドレイン電極から露出する酸化物半導体層のチャネル領域がプラズマに曝されるため、該プラズマの熱により酸化物半導体層から酸素が脱離するなどして、上記チャネル領域がプラズマダメージを受け、当該チャネル領域の表層側部分に酸素欠損が発生しやすい。
- [0010] また、保護絶縁膜をCVD法により成膜する際には、当該成膜処理に伴う熱によって酸化物半導体層が真空雰囲気下でアニール処理される。これによっても、酸化物半導体層から全体的に酸素が脱離して、該酸化物半導体層に酸素欠損が発生しやすい。
- [0011] このようにチャネルエッチ型のTFETにおける酸化物半導体層には、TFET基板の製造過程で酸素欠損が発生しやすく、特に、チャネル領域の表層側部分には、ソース電極及びドレイン電極の形成時にプラズマダメージを受ける分だけ酸化物半導体層の他の領域よりも集中して酸素欠損が発生しやすい。そうすると、酸化物半導体層が変質してその電気抵抗が低下し、閾値電圧及びオフ電流の上昇、ヒステリシスの発生などの不具合を招いて、TFETの特性が低下してしまうので、酸化物半導体層を用いたチャネルエッチ型のTFETを備えたTFET基板では、良好な特性を有するTFETを安定して形成することが困難である。
- [0012] そこで、酸化物半導体層として酸化度の高い高酸化膜を採用することで、上記酸素欠損を補償して酸化物半導体層の変質を抑制することが考えられるが、酸化物半導体層は酸化度が高いほどその比抵抗も大きくなるので、特に酸化欠損の集中するチャネル領域の表層側部分に合わせて酸化物半導体層の酸化度を設定すると、ソース電極とドレイン電極との間の電気抵抗が過剰に大きくなって、当該TFETの移動度及びオン電流が低下してしまう。
- [0013] また、たとえ特許文献1のTFETであっても、酸化物半導体層の酸素欠損の分布に適合した構成でないから酸素欠損に起因する閾値電圧の上昇などを招きやすく、さらに、酸化物半導体層におけるソース電極及びドレイン電極の接続箇所の表層側部分が高抵抗なので、これらソース電極及びドレイン電極と酸化物半導体層とのコンタクト抵抗が高く、移動度及びオン電流の低下

などの不具合を招いて、良好な特性を得ることが困難である。

- [0014] 本発明は、斯かる点に鑑みてなされたものであり、その目的とするところは、酸化物半導体層を用いたチャネルエッチ型のＴＦＴにおいて、良好な特性を安定して得ることにある。

課題を解決するための手段

- [0015] 上記の目的を達成するために、この発明では、酸化物半導体層におけるソース電極及びドレイン電極の接続箇所を表層側部分を低酸化度にし、該酸化物半導体層におけるチャネル領域を含む他の領域では従来組成の酸化物半導体層に発生する酸素欠損の分布に応じて酸化度が高くなるように酸化物半導体層の組成を工夫した。
- [0016] 具体的には、本発明は、ベース基板と、該ベース基板上に設けられた複数のＴＦＴと、該各ＴＦＴを覆うように設けられた保護絶縁膜と、該保護絶縁膜上に上記各ＴＦＴ毎に設けられた画素電極とを備え、上記各ＴＦＴは、ゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるように設けられた酸化物半導体層と、各々一部が上記酸化物半導体層に接続されるように、且つ該酸化物半導体層上で互いに離間するように上記ゲート絶縁膜上に設けられたソース電極及びドレイン電極とを有し、上記ソース電極と上記ドレイン電極との間の酸化物半導体層部分にチャネル領域が構成されたＴＦＴ基板及びそれを備えた液晶表示装置並びにＴＦＴ基板の製造方法を対象とし、以下の解決手段を講じたものである。
- [0017] すなわち、第１の発明は、ＴＦＴ基板であって、上記各酸化物半導体層において、所定の電気抵抗を有する範囲で、上記ゲート絶縁膜側部分の酸化度 S_1 並びに上記ソース電極及びドレイン電極の接続箇所における表層側部分の酸化度 S_2 は、 $S_2 < S_1$ の関係に設定され、上記チャネル領域の表層側部分の酸化度 S_3 は、上記各ソース電極及びドレイン電極の形成後に当該各酸化物半導体層が酸素を含む雰囲気中でアニール処理されることで、他の領域の酸化度 S_1 、 S_2 よりも高くなっていることを特徴とする。

[0018] 上記の構成によると、各酸化物半導体層において、ゲート絶縁膜側部分の酸化度 S_1 並びにソース電極及びドレイン電極の接続箇所における表層側部分の酸化度 S_2 が $S_2 < S_1$ の関係に設定されていることにより、各酸化物半導体層のソース電極及びドレイン電極の接続箇所における表層側部分ではその酸化度 S_2 に応じて電気抵抗が低く抑えられるので、これらソース電極及びドレイン電極と酸化物半導体層とのコンタクト抵抗が小さくなって、各 T F T の移動度及びオン電流が高められる。また、各酸化物半導体層のゲート絶縁膜側部分では、ソース電極及びドレイン電極がドライエッチングにより形成され、保護絶縁膜が C V D 法などの気相成長法により成膜されても、酸素欠損が補償されて変質が抑制されるので、その酸化度 S_1 に応じた上記電極接続箇所の半導体層表層側部分よりも高い電気抵抗が確保される。そして、各酸化物半導体層において特に集中して酸素欠損が発生しやすいチャネル領域の表層側部分の酸化度 S_3 が、各ソース電極及びドレイン電極の形成後に当該半導体層が酸素を含む雰囲気中でアニール処理されることで、他の領域の酸化度 S_1 、 S_2 よりも高くなっているので、当該チャネル領域の表層側部分にはその酸化度 S_3 に応じて他の領域よりも高い電気抵抗が確保される。これによって、各 T F T の閾値電圧が安定する。したがって、酸化物半導体層を用いたチャネルエッチ型の T F T において、移動度及びオン電流が高められつつ閾値電圧が安定し、良好な特性が安定して得られる。

[0019] 第 2 の発明は、第 1 の発明の T F T 基板において、上記各酸化物半導体層は、複数の層が積層されてなる積層構造を有していることを特徴とする。

[0020] 上記の構成によると、各酸化物半導体層が積層構造を有していることにより、上記アニール処理による酸化反応が隣り合う層の界面で抑制されるので、チャネル領域のゲート絶縁膜側界面にまで層厚方向全体に亘って酸化反応が進行することが阻止される。これによって、チャネル領域の電気抵抗に準じてソース電極とドレイン電極との間の電気抵抗が過剰に大きくなることが防止され、各 T F T に良好な移動度及びオン電流が得られる。

[0021] 第 3 の発明は、第 2 の発明の T F T 基板において、上記各酸化物半導体層

は、第 1 半導体層と第 2 半導体層とが順に積層されてなる 2 層構造を有し、上記各酸化物半導体層において、上記ゲート絶縁膜側部分は上記第 1 半導体層に対応し、上記ソース電極及びドレイン電極の接続箇所の上記第 2 半導体層部分に対応し、上記チャネル領域の表層側部分は上記第 2 半導体層のチャネル領域部分に対応していることを特徴とする。

[0022] 上記の構成によると、第 1 の発明の作用効果が具体的に奏されると共に、上記アニール処理による酸化反応が第 1 半導体層と第 2 半導体層との界面で抑制されるので、チャネル領域のゲート絶縁膜側界面にまで層厚方向全体に亘って酸化反応が進行することが具体的に阻止される。

[0023] 第 4 の発明は、第 2 の発明の T F T 基板において、上記各酸化物半導体層は、第 1 半導体層、第 2 半導体層及び第 3 半導体層が順に積層されてなる 3 層構造を有し、上記各酸化物半導体層において、上記ゲート絶縁膜側部分は上記第 1 半導体層に対応し、上記ソース電極及びドレイン電極の接続箇所の上記第 1 半導体層に対応し、上記ソース電極及びドレイン電極の接続箇所の第 2 半導体層部分及び第 3 半導体層部分に対応し、上記チャネル領域の表層側部分は上記第 2 半導体層及び第 3 半導体層のチャネル領域部分に対応していることを特徴とする。

[0024] 上記の構成によると、第 1 の発明の作用効果が具体的に奏されると共に、上記アニール処理による酸化反応が第 2 半導体層と第 3 半導体層との界面で、さらに必要に応じて第 1 半導体層と第 2 半導体層との界面で抑制されるので、チャネル領域のゲート絶縁膜側界面にまで層厚方向全体に亘って酸化反応が進行することがよりいっそう阻止される。

[0025] 第 5 の発明は、第 1 の発明の T F T 基板において、上記各酸化物半導体層は、単一の層からなり、上記チャネル領域の表層側部分を除いて、上記ゲート絶縁膜側から上記ソース電極及びドレイン電極側に向かって酸化度が低くなっていることを特徴とする。

[0026] 上記の構成によっても、本発明の作用効果が具体的に奏される。

- [0027] 第6の発明は、第1～第5の発明のいずれか1つのTFT基板において、上記ゲート絶縁膜の少なくとも表層側は、酸化シリコンからなることを特徴とする。
- [0028] 上記の構成によると、ゲート絶縁膜の表層側が例えば窒化シリコンからなる場合に懸念される膜中の水素脱離による酸化物半導体層の酸素欠損の発生が抑制される。
- [0029] 第7の発明は、第1～第6の発明のいずれか1つのTFT基板において、上記保護絶縁膜は、酸化シリコンからなることを特徴とする。
- [0030] 上記の構成によると、保護絶縁膜が酸化シリコンからなることで、当該保護絶縁膜が例えば窒化シリコンからなる場合に懸念される膜中の水素脱離による酸化物半導体層の酸素欠損の発生が抑制される。また、酸化シリコンからなるゲート絶縁膜は例えば窒化シリコン膜よりも酸素の透過率が一般的に高いので、保護絶縁膜を成膜した後に酸素を含む雰囲気中でアニール処理を行う場合には、酸化物半導体層のチャネル領域にアニール処理の酸素が有効に供給される。
- [0031] 第8の発明は、第1～第7の発明のいずれか1つのTFT基板において、上記各酸化物半導体層は、インジウムガリウム亜鉛酸化物（Indium Gallium Zinc Oxide、以下、In-Ga-Zn-Oと称する）系の酸化物半導体からなることを特徴とする。
- [0032] 上記の構成によると、各TFTにおいて、高移動度、高信頼性及び低オフ電流という良好な特性が具体的に得られる。
- [0033] 第9の発明は、液晶表示装置であって、第1～第8の発明のいずれか1つのTFT基板と、上記TFT基板に対向して配置された対向基板と、上記TFT基板と上記対向基板との間に設けられた液晶層とを備えることを特徴とする。
- [0034] 上記の構成によると、第1～第8の発明のTFT基板は、酸化物半導体層を用いたチャネルエッチ型のTFTにおいて良好な特性を安定して得られるという優れた特性を備えているので、液晶表示装置として製造コストを抑え

ながらも、表示品位を向上させることができる。

[0035] 第10の発明は、第1の発明のTFT基板を製造する方法であって、上記ベース基板上に導電膜を成膜し、該導電膜を第1のフォトリソを用いてパターンニングすることにより、上記各ゲート電極を形成する第1パターンニング工程と、上記各ゲート電極を覆うように上記ゲート絶縁膜を成膜するゲート絶縁膜成膜工程と、上記ゲート絶縁膜上に酸化物半導体からなる半導体膜を、上記ゲート絶縁膜側の酸化度 S_1 及び表層側の酸化度 S_2 が $S_2 < S_1$ の関係となるように成膜し、該半導体膜を第2のフォトリソを用いてパターンニングすることにより、上記各TFTを構成する酸化物半導体層を形成する第2パターンニング工程と、上記各酸化物半導体層を覆うように導電膜を成膜し、該導電膜を第3のフォトリソを用いてドライエッチングでパターンニングすることにより、上記各ソース電極及びドレイン電極を形成する第3パターンニング工程と、上記各ソース電極及びドレイン電極を覆うように気相成長法により保護絶縁膜を成膜し、該保護絶縁膜を第4のフォトリソを用いてパターンニングすることにより、上記各ドレイン電極の対応箇所にコンタクトホールを形成する第4パターンニング工程と、上記保護絶縁膜上に対し、上記各コンタクトホールを介してドレイン電極に接続するように導電膜を成膜し、該導電膜を第5のフォトリソを用いてパターンニングすることにより、各々が対応するドレイン電極に接続するように上記複数の画素電極を形成する第5パターンニング工程とを含み、上記第3パターンニング工程よりも後に、上記各ソース電極及びドレイン電極が形成された基板を酸素を含む雰囲気中でアニール処理することにより、上記各酸化物半導体層におけるチャネル領域の表層側部分の酸化度 S_3 を他の領域の酸化度 S_1 、 S_2 よりも高めることを特徴とする。

[0036] 上記の製造方法によると、第2パターンニング工程にてゲート絶縁膜側の酸化度 S_1 及び表層側の酸化度 S_2 が $S_2 < S_1$ の関係に設定されるように各酸化物半導体層を形成するので、各酸化物半導体層のソース電極及びドレイン電極の接続箇所における表層側部分ではその酸化度 S_2 に応じて電気抵抗

が低く抑えられ、これらソース電極及びドレイン電極と酸化物半導体層とのコンタクト抵抗が小さくなって、各TFTの移動度及びオン電流が高められる。また、各酸化物半導体層のゲート絶縁膜側部分では、ソース電極及びドレイン電極をドライエッチングにより形成し、保護絶縁膜を気相成長法により成膜しても、酸素欠損が補償されて変質を抑制できるので、その酸化度S₁に応じた上記電極接続箇所の半導体層表層側部分よりも高い電気抵抗が確保される。さらに、各ソース電極及びドレイン電極が形成された基板を酸素を含む雰囲気中でアニール処理することにより、各酸化物半導体層において特に集中して酸素欠損が発生しやすいチャネル領域の表層側部分の酸化度S₃を他の領域の酸化度S₁、S₂よりも高めるので、当該チャネル領域の表層側部分にはその酸化度S₃に応じて他の領域よりも高い電気抵抗が確保される。これによって、各TFTの閾値電圧が安定する。したがって、酸化物半導体層を用いたチャネルエッチ型のTFTにおいて、移動度及びオン電流が高められつつ閾値電圧が安定し、良好な特性が安定して得られる。

[0037] また、計5枚のフォトマスクを用いてTFT基板が製造されるので、エッチストップ型のTFTを備えたTFT基板を製造する場合に比べて、エッチングストップとして機能するチャネル保護膜がない分だけフォトマスクの枚数が少なく済み、製造コストが抑えられる。

発明の効果

[0038] 本発明によれば、酸化物半導体層におけるソース電極及びドレイン電極の接続箇所の表層側部分を低酸化度にし、該酸化物半導体層におけるチャネル領域を含む他の領域では従来組成の酸化物半導体層に発生する酸素欠損の分布に応じて酸化度が高くなっているので、酸化物半導体層を用いたチャネルエッチ型のTFTにおいて、移動度及びオン電流を高めつつ閾値電圧を安定させることができ、良好な特性を安定して得ることができる。そして、このTFT基板を表示装置に適用すれば、表示装置としても製造コストを抑えながら、表示品位を向上させることができる。

図面の簡単な説明

[0039] [図1] 図1は、実施形態1に係る液晶表示装置を概略的に示す平面図である。

[図2] 図2は、図1のII-II線における断面構造を示す断面図である。

[図3] 図3は、実施形態1に係るTFT基板の1画素及び各配線の端子部の構成を概略的に示す平面図である。

[図4] 図4は、図3のA-A線、B-B線、C-C線における断面構造を示す断面図である。

[図5] 図5は、実施形態1に係るTFT基板の製造方法における第1パターニング工程でゲート電極を形成した状態を示す図4対応箇所の断面図である。

[図6] 図6は、実施形態1に係るTFT基板の製造方法におけるゲート絶縁膜成膜工程でゲート絶縁膜を成膜した状態を示す図4対応箇所の断面図である。

[図7] 図7は、実施形態1に係るTFT基板の製造方法における第2パターニング工程で積層半導体膜を成膜した状態を示す図4対応箇所の断面図である。

[図8] 図8は、実施形態1に係るTFT基板の製造方法における第2パターニング工程で酸化物半導体層を形成した状態を示す図4対応箇所の断面図である。

[図9] 図9は、実施形態1に係るTFT基板の製造方法における第3パターニング工程でソース電極及びドレイン電極を形成した状態を示す図4対応箇所の断面図である。

[図10] 図10は、実施形態1に係るTFT基板の製造方法において、酸化物半導体層をアニール処理した状態を示す図4対応箇所の断面図である。

[図11] 図11は、実施形態1に係るTFT基板の製造方法における第4パターニング工程で保護絶縁膜を形成した状態を示す図4対応箇所の断面図である。

[図12] 図12は、実施形態2に係るTFT基板の1画素及び各配線の端子部の構成を概略的に示す図4相当箇所の断面図である。

[図13] 図13は、実施形態2に係るTFT基板の製造方法における第2パタ

ーニング工程で積層半導体膜を成膜した状態を示す図 1 2 対応箇所の断面図である。

[図14] 図 1 4 は、実施形態 2 に係る T F T 基板の製造方法における第 2 パターニング工程で酸化物半導体層を形成した状態を示す図 1 2 対応箇所の断面図である。

[図15] 図 1 5 は、実施形態 2 に係る T F T 基板の製造方法における第 3 パターニング工程でソース電極及びドレイン電極を形成した状態を示す図 1 2 対応箇所の断面図である。

[図16] 図 1 6 は、実施形態 2 に係る T F T 基板の製造方法において、酸化物半導体層をアニール処理した状態を示す図 1 2 対応箇所の断面図である。

[図17] 図 1 7 は、実施形態 2 に係る T F T 基板の製造方法における第 4 パターニング工程で保護絶縁膜を形成した状態を示す図 1 2 対応箇所の断面図である。

[図18] 図 1 8 は、実施形態 3 に係る T F T 基板の 1 画素及び各配線の端子部の構成を概略的に示す図 4 相当箇所の断面図である。

[図19] 図 1 9 は、実施形態 3 に係る T F T 基板の製造方法における第 2 パターニング工程で酸化物半導体膜を成膜した状態を示す図 1 8 対応箇所の断面図である。

[図20] 図 2 0 は、実施形態 3 に係る T F T 基板の製造方法における第 2 パターニング工程で酸化物半導体層を形成した状態を示す図 1 8 対応箇所の断面図である。

[図21] 図 2 1 は、実施形態 3 に係る T F T 基板の製造方法における第 3 パターニング工程でソース電極及びドレイン電極を形成した状態を示す図 1 8 対応箇所の断面図である。

[図22] 図 2 2 は、実施形態 3 に係る T F T 基板の製造方法において、酸化物半導体層をアニール処理した状態を示す図 1 8 対応箇所の断面図である。

[図23] 図 2 3 は、実施形態 3 に係る T F T 基板の製造方法における第 4 パターニング工程で保護絶縁膜を形成した状態を示す図 1 8 対応箇所の断面図で

ある。

[図24]図24は、実施形態4に係るTFT基板の1画素及び各配線の端子部の構成を概略的に示す図4相当箇所の断面図である。

[図25]図25は、実施形態4に係るTFT基板の製造方法における第2パターンニング工程で酸化物半導体膜を成膜した状態を示す図24対応箇所の断面図である。

[図26]図26は、実施形態4に係るTFT基板の製造方法における第2パターンニング工程で酸化物半導体膜をプラズマ処理した状態を示す図24対応箇所の断面図である。

[図27]図27は、実施形態4に係るTFT基板の製造方法における第2パターンニング工程で酸化物半導体層を形成した状態を示す図24対応箇所の断面図である。

[図28]図28は、実施形態4に係るTFT基板の製造方法における第3パターンニング工程でソース電極及びドレイン電極を形成した状態を示す図24対応箇所の断面図である。

[図29]図29は、実施形態4に係るTFT基板の製造方法において、酸化物半導体層をアニール処理した状態を示す図24対応箇所の断面図である。

[図30]図30は、実施形態4に係るTFT基板の製造方法における第4パターンニング工程で保護絶縁膜を形成した状態を示す図24対応箇所の断面図である。

発明を実施するための形態

[0040] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0041] 《発明の実施形態》

図1は、この実施形態に係る液晶表示装置Sの概略平面図である。図2は、図1のII-II線における断面構造を示す概略断面図である。なお、図1では、図2に示す偏光板58の図示を省略している。

[0042] <液晶表示装置Sの構成>

液晶表示装置Sは、互いに対向するように配置されたTFT基板10及び対向基板50と、これらTFT基板10及び対向基板50の両外周縁部同士を接着する枠状のシール材51と、TFT基板10と対向基板50との間でシール材51の内側に封入された液晶層52とを備えている。

[0043] この液晶表示装置Sは、透過型の液晶表示装置であり、TFT基板10と対向基板50とが重なる領域であってシール材51の内側、つまり液晶層52が設けられた領域に画像表示を行う表示領域Dを有し、この表示領域Dの外部にTFT基板10が対向基板50から例えばL字状などに突出した端子領域10aを有している。

[0044] 表示領域Dは、例えば矩形状の領域であって、画像の最小単位である画素がマトリクス状に複数配列して構成されている。一方、端子領域10aの一边側（図1中左辺側）には、各々異方性導電膜（Anisotropic Conductive Film、以下、ACFと称する）を介して複数のゲートドライバ集積回路（Integrated Circuit、以下、ICと称する）チップ53が実装されている。また、端子領域10aの他辺側（図1中下辺側）には、各々ACFを介して複数のソースドライバICチップ54が実装されている。

[0045] TFT基板10及び対向基板50は、例えば矩形状に形成され、図2に示すように、互いに対向する内側表面に配向膜55、56がそれぞれ設けられていると共に、外側表面に偏光板57、58がそれぞれ設けられている。液晶層52は、電気光学特性を有するネマチックの液晶材料などにより構成されている。

[0046] <TFT基板10の構成>

上記TFT基板10の概略構成図を図3及び図4に示す。図3は、1画素及び各配線の端子部を示す平面図である。図4は、図中左側から順に、図3のA-A線、B-B線、C-C線における断面構造を示す断面図である。

[0047] TFT基板10は、図4に示すベース基板であるガラス基板などの絶縁性基板12を有し、表示領域Dにおいて、該絶縁性基板12上に、図3に示すように、互いに平行に延びるように設けられた複数のゲート配線14g1と

、各ゲート配線 14 g l 毎に該各ゲート配線 14 g l に沿って延びるように設けられた複数の保持容量配線 14 h l と、絶縁膜を介して各ゲート配線 14 g l 及び各保持容量配線 14 h l と交差する方向に互いに平行に延びるように設けられた複数のソース配線 24 s l とを備えている。ここで、ゲート配線 14 g l 及びソース配線 24 s l は、各画素を区画するように全体として格子状に形成されている。また、各保持容量配線 14 h l は、ゲート配線 14 g l が延びる方向に並ぶ複数の画素に亘ってそれら各画素を横断するように延びている。

[0048] この T F T 基板 10 はさらに、上記各ゲート配線 14 g l と各ソース配線 24 s l との交差部毎、つまり各画素毎に、T F T 26、保持容量素子 27 及び画素電極 30 p d を備えている。

[0049] 各 T F T 26 は、ボトムゲート構造を有するチャネルエッチ型の T F T であって、図 4（A-A 断面）に示すように、絶縁性基板 12 表面に設けられたゲート電極 14 g d と、該ゲート電極 14 g d を覆うように設けられたゲート絶縁膜 16 と、該ゲート絶縁膜 16 上に上記ゲート電極 14 g d に重なるように設けられた酸化物半導体層 20 s l と、各々一部が上記酸化物半導体層 20 s l に接続されるように、且つ該酸化物半導体層 20 s l 上で互いに離間するようにゲート絶縁膜 16 上に設けられたソース電極 24 s d 及びドレイン電極 24 d d とを備え、これらソース電極 24 s d とドレイン電極 24 d d との間の酸化物半導体層 20 s l 部分にチャネル領域 20 c が構成されている。

[0050] ゲート電極 14 g d は、対応する交差部を構成するゲート配線 14 g l の一部であり、図 3 に示すように該ゲート配線 14 g l の幅方向両側に突出する突出部を有し、該突出部の突出幅で上記 T F T 26 のチャネル長を調整している。このゲート電極 14 g d は、図示は省略するが、ゲート配線 14 g l と共に例えばアルミニウム（A l）層、チタン（T i）層及び窒化チタン（T i N）層が順に積層されて一体に構成されている。

[0051] また、ゲート絶縁膜 16 は、例えば酸化シリコン（S i O）からなる。こ

れによって、当該ゲート絶縁膜 16 が例えば窒化シリコン (SiN) 膜からなる場合に懸念される膜中の水素脱離による酸化物半導体層 20s1 の酸素欠損の発生が防止されている。このようにゲート絶縁膜 16 の水素脱離による酸化物半導体層 20s1 の酸素欠損を防止するには、当該ゲート絶縁膜 16 は、例えば窒化シリコン膜及び酸化シリコン膜が順に積層されてなっているように、少なくとも表層部分が酸化シリコンからなっていればよい。

[0052] 酸化物半導体層 20s1 は、In-Ga-Zn-O 系の酸化物半導体からなる。これにより、各 TFT 26 は、高移動度、高信頼性及び低オフ電流という良好な特性を有している。この酸化物半導体層 20s1 では、所定の電気抵抗を有する範囲内で、上記ゲート絶縁膜側部分の酸化度 S1 並びにソース電極 24sd 及びドレイン電極 24dd の接続箇所における表層側部分の酸化度 S2 が、 $S2 < S1$ の関係に設定され、チャネル領域 20c の表層側部分の酸化度 S3 が、他の領域の酸化度 S1、S2 よりも高くなっている。ここでいう「酸化度」とは、酸化物半導体層 20s1 を構成する金属元素に対する酸素元素の元素比であり、例えば X 線回折分析 (XRF; X-Ray Fluorescence analysis) により測定することができ、その測定には例えば蛍光 X 線分析装置を用いることができる。

[0053] 具体的に本実施形態では、酸化物半導体層 20s1 は、高酸化な In-Ga-Zn-O 系の酸化物半導体からなる第 1 半導体層 17s と、該第 1 半導体層 17s に比べて低酸化な In-Ga-Zn-O 系の酸化物半導体からなる第 2 半導体層 18s とが順に積層された 2 層構造を有しており、上記第 2 半導体層 18s のチャネル領域部分に上記第 1 半導体層 17s よりも高酸化な高酸化領域 20hox が形成されている。この高酸化領域 20hox は、後に詳述するがソース電極 24sd 及びドレイン電極 24dd の形成後に酸化物半導体層 20s1 を酸素を含む雰囲気中でアニール処理することで形成され、第 2 半導体層 18s におけるソース電極 24sd 及びドレイン電極 24dd の接続箇所及び第 1 半導体層 17s にも若干広がっている。当該酸化物半導体層 20s1 において、上記ゲート絶縁膜側部分は上記第 1 半導体層

17 s に対応し、上記ソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における表層側部分は該ソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における第 2 半導体層部分に対応し、上記チャネル領域 20 c の表層側部分は上記第 2 半導体層 18 s のチャネル領域部分（高酸化領域 20 h o x）に対応している。

[0054] このように第 1 半導体層 17 s の酸化度 S_1 、ソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における第 2 半導体層部分の酸化度 S_2 、並びに高酸化領域 20 h o x の酸化度 S_3 は、 $S_2 < S_1 < S_3$ の関係に設定されている。これによって、各 T F T 26 の移動度及びオン電流を高めつつ閾値電圧を安定させることができる。

[0055] つまり、酸化物半導体層 20 s l において、第 1 半導体層 17 s の酸化度 S_1 並びにソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における第 2 半導体層 18 s の酸化度 S_2 が $S_2 < S_1$ の関係に設定されているので、これら各酸化物半導体層 20 s l のソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における表層側部分ではその酸化度 S_2 に応じて電気抵抗が低く抑えられる。これにより、これらソース電極 24 s d 及びドレイン電極 24 d d と酸化物半導体層 20 s l とのコンタクト抵抗が小さくなって、各 T F T 26 の移動度及びオン電流を高めることができる。また、酸化物半導体層 20 s l のゲート絶縁膜側部分では、ソース電極及びドレイン電極がドライエッチングにより形成され、保護絶縁膜が C V D 法などの気相成長法により成膜されても、酸素欠損が補償されて変質が抑制されるので、その酸化度 S_1 に応じた上記電極接続箇所の第 2 半導体層部分よりも高い電気抵抗を確保できる。そして、各酸化物半導体層 20 s l で特に集中して酸素欠損が発生しやすい第 2 半導体層 18 s におけるチャネル領域 20 c の表層側部分（高酸化領域 20 h o x）の酸化度 S_3 が他の領域の酸化度 S_1 、 S_2 よりも高くなっているため、当該チャネル領域 20 c の表層側部分にはその酸化度 S_3 に応じて他の領域よりも高い電気抵抗を確保できる。これにより、各 T F T 26 の閾値電圧を安定させることができる。

[0056] ソース電極 2 4 s d 及びドレイン電極 2 4 d d は、例えば、チタン (T i) 層 2 1 s, 2 1 d、アルミニウム (A l) 層 2 2 s, 2 2 d 及び窒化モリブデン (M o N) 層 2 3 s, 2 3 d が順に積層されて一体に構成されてなる。後に詳述するが、チタン層 2 1 s, 2 1 d は、基板略全面にベタに成膜したチタン膜をドライエッチングによりパターニングして形成され、上記アルミニウム層 2 2 s, 2 2 d 及び窒化モリブデン層 2 3 s, 2 3 d は、基板略全面にベタに成膜したアルミニウム膜及び窒化モリブデン膜の積層膜をウェットエッチングによりパターニングして形成される。

[0057] 各保持容量素子 2 7 は、図 4 (B-B 断面) に示すように、保持容量配線 1 4 h l の一部で構成されてゲート絶縁膜 1 6 に覆われた下部電極 1 4 h d と、該下部電極 1 4 h d に対応するゲート絶縁膜部分からなる誘電層 1 6 h と、該誘電層 1 6 h を介して上記下部電極 1 4 h d に重なる島状の上部電極 2 4 h d とを備えている。上記下部電極 1 4 h d は、保持容量配線 1 4 h l と共にゲート配線 1 4 g l 及びゲート電極 1 4 g d と同様な積層構造 (T i / N / T i / A l) を有している。上記上部電極 2 4 h d は、ソース電極 2 4 s d 及びドレイン電極 2 4 d d と同様な積層構造 (M o N / A l / T i) 2 1 h, 2 2 h, 2 3 h を有している。

[0058] 上記各 T F T 2 6 及び各保持容量素子 2 7 は、図 4 に示すように、酸化シリコン (S i O) からなる保護絶縁膜 2 8 によって覆われている。これによって、当該保護絶縁膜 2 8 が例えば窒化シリコン (S i N) からなる場合に懸念される膜中の水素脱離による酸化物半導体層 2 0 s l の酸素欠損の発生が防止される。この保護絶縁膜 2 8 には、各 T F T 2 6 のドレイン電極 2 4 d d 及び各保持容量素子 2 7 の上部電極 2 4 h d の対応箇所に当該各電極 2 4 d d, 2 4 h d に達するコンタクトホール 2 8 a, 2 8 b が形成されている。当該保護絶縁膜 2 8 は、後に詳述するが、C V D 法によって基板略全面にベタに成膜した後にコンタクトホール 2 8 a, 2 8 b を形成して設けられる。

[0059] 各画素電極 3 0 p d は、例えばインジウムスズ酸化物 (Indium Tin Oxide

、以下、ITOと称する）からなり、保持容量素子27を覆うように画素の略全体に形成され、各コンタクトホール28a, 28bを介してド레인電極24dd及び上部電極24hdに接続されている。ここで、画素電極30pdは、ド레인電極24dd及び上部電極24hdの最上層を構成する窒化モリブデン層23d, 23hに直接に接続されている。これらITOからなる画素電極30pdと窒化モリブデン層23d, 23hとの間のイオン化傾向の差は画素電極30pdとアルミニウム層22d, 22hとの間のイオン化傾向の差よりも小さく、窒化モリブデン層23d, 23hによりド레인電極24dd及び上部電極24hdと画素電極30pdとの間のイオン化傾向の差が緩衝されているので、当該ド레인電極24dd及び上部電極24hdと画素電極30pdとの間においてガルバニック腐食現象の発生が抑制される。

[0060] また、各ゲート配線14glは、ゲートドライバICチップ53が実装される端子領域10aにまで引き出され、その引き出された先端部分が図3に示すゲート端子部14gtを構成している。このゲート端子部14gtは、ゲート絶縁膜16及び保護絶縁膜28に形成された図4（C-C断面）に示すコンタクトホール29を介して当該絶縁膜28上に設けられたゲート接続電極30gtに接続されている。このゲート接続電極30gtは、ゲートドライバICチップ53に電氣的に接続するための電極を構成している。

[0061] 各ソース配線24slは、ソースドライバICチップ54が実装される端子領域10aにまで引き出され、その引き出された先端部分が図3に示すソース端子部24stを構成している。このソース端子部24stは、保護絶縁膜28に形成されたコンタクトホール28cを介して当該絶縁膜28上に形成されたソース接続電極30stに接続されている。このソース接続電極30stは、ソースドライバICチップ54に電氣的に接続するための電極を構成している。

[0062] 各保持容量配線14hlは、シール材51が設けられた領域まで両端部が延びており、その両端部が図3に示す保持容量端子部14htをそれぞれ構

成している。これら各保持容量端子部 14 h t は、共通配線 14 c l に接続されて、後述する対向基板 50 の共通電極にいわゆるコモン転移により電氣的に接続されており、保持容量配線 14 h l に対して上記共通電極と同様な共通電圧を印加するための電極を構成している。

[0063] <対向基板 50 の構成>

対向基板 50 は、図示は省略するが、ベース基板である絶縁性基板上にゲート配線 14 g l 及びソース配線 24 s l に対応するように格子状に設けられたブラックマトリクスと、該ブラックマトリクスの格子間に周期的に配列するように設けられた赤色層、緑色層及び青色層を含む複数色のカラーフィルタと、それらブラックマトリクス及び各カラーフィルタを覆うように設けられた共通電極と、該共通電極上に柱状に設けられたフォトスペーサとを備えている。

[0064] <液晶表示装置 S の作動>

上記構成の液晶表示装置 S では、各画素において、ゲートドライバ I C チップ 53 からゲート信号がゲート配線 14 g l を介してゲート電極 14 g d に送られて、T F T 26 がオン状態になったときに、ソースドライバ I C チップ 54 からソース信号がソース配線 24 s l を介してソース電極 24 s d に送られて、酸化物半導体層 20 s l 及びドレイン電極 24 d d を介して、画素電極 30 p d に所定の電荷が書き込まれると共に保持容量素子 27 が充電される。このとき、T F T 基板 10 の各画素電極 30 p d と対向基板 50 の共通電極との間において電位差が生じ、液晶層 52 に所定の電圧が印加される。また、各 T F T 26 がオフ状態のときには、保持容量素子 27 に形成された保持容量によって、対応する画素電極 30 p d に書き込まれた電圧の低下が抑制される。そして、液晶表示装置 S では、各画素において、液晶層 52 に印加する電圧の大きさによって液晶分子の配向状態を変えることにより、液晶層 52 での光透過率を調整して画像が表示される。

[0065] ー製造方法ー

次に、上記 T F T 基板 10 及び液晶表示装置 S を製造する方法について、

図5～図11を参照しながら一例を挙げて説明する。図5は、TFT基板10の製造方法における第1パターニング工程を示す断面図である。図6は、TFT基板10の製造方法におけるゲート絶縁膜成膜工程を示す断面図である。図7及び図8は、TFT基板10の製造方法における第2パターニング工程を示す断面図である。図9は、TFT基板10の製造方法における第3パターニング工程を示す断面図である。図10は、TFT基板10の製造方法におけるアニール処理を施した基板状態を示す断面図である。図11は、TFT基板10の製造方法における第4パターニング工程を示す断面図である。なお、これら図5～図11は、図4対応箇所をそれぞれ示している。

[0066] 本実施形態の液晶表示装置Sの製造方法は、TFT基板製造工程と、対向基板製造工程と、貼合工程と、実装工程とを含んでいる。

[0067] <TFT基板製造工程>

TFT基板製造工程は、第1パターニング工程、ゲート絶縁膜成膜工程、及び第2～第5パターニング工程を含んでいる。

[0068] <第1パターニング工程>

予め準備したガラス基板などの絶縁性基板12上に、スパッタリング法により、例えば、アルミニウム（Al）膜、チタン（Ti）膜及び窒化チタン（TiN）膜を順に成膜して積層導電膜を形成する。続いて、その積層導電膜におけるゲート配線14g1、ゲート電極14gd、保持容量配線14h1及び下部電極14hdの形成箇所に対して、第1のフォトリソグラフィによるレジストパターンを形成し、該レジストパターンをマスクとしてドライエッチングの一種である塩素系ガスを用いた反応性イオンエッチング（Reactive Ion Etching、以下、RIEと称する）を行う。その後に、レジスト剥離液による上記レジストパターンの剥離及び洗浄を行うことにより、図5に示すように、ゲート配線14g1、ゲート電極14gd、保持容量配線14h1及び下部電極14hdを同時に形成する。

[0069] <ゲート絶縁膜形成工程>

ゲート電極14gd及び下部電極14hdなどが形成された基板上に、C

VD法により、酸化シリコン膜を成膜して、図6に示すようにゲート絶縁膜16とする。

[0070] <第2パターニング工程>

まず、ゲート絶縁膜16が形成された基板上に、スパッタリング法により、高酸化なIn-Ga-Zn-O系の酸化物半導体からなる第1酸化物半導体膜17を成膜する。具体的には例えば、インジウム(In)、ガリウム(Ga)及び亜鉛(Zn)を含む酸化物($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$)をターゲットとし、アルゴン(Ar)及び酸素(O_2)の混合ガス雰囲気下で、該混合ガスの総流量を200 sccm~400 sccmとして、酸素ガスを20 sccm~100 sccmの範囲で混合して、チャンバー内真空度0.1 Pa~2.0 Pa程度及びDC電力3 kW~20 kW程度で、30 nm~100 nm程度の厚さに第1酸化物半導体膜17を成膜する。ここで、「sccm」は、「Standard Cubic Centimeters per Minute」という意味であり、1分間当たり流量(cc)を示す単位である。なお、上述したガス流量及びDC電力の値は、一例であり、チャンバーや基板のサイズなどに依存するものである。

[0071] 続いて、第1酸化物半導体膜17上に、スパッタリング法により、第1酸化物半導体膜17よりも低酸化なIn-Ga-Zn-O系の酸化物半導体からなる第2酸化物半導体膜18を成膜する。具体的には例えば、インジウム(In)、ガリウム(Ga)及び亜鉛(Zn)を含む酸化物($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$)をターゲットとし、アルゴン(Ar)及び酸素(O_2)の混合ガス雰囲気下で、該混合ガスの総流量を200 sccm~400 sccmとして、酸素ガスを0 sccm~20 sccmの範囲で混合して、チャンバー内真空度0.1 Pa~2.0 Pa及びDC電力3 kW~20 kWで、30 nm~100 nm程度の厚さに第2酸化物半導体膜18を成膜する。こうして、図7に示す積層半導体膜20を形成する。

[0072] その後、上記積層半導体膜20に対して、第2のフォトリソグラフィによりレジストパターンを形成し、該レジストパターン

をマスクとしてシュウ酸液にてウェットエッチングを行い、その後、レジスト剥離液により上記レジストパターンの剥離及び洗浄を行うことにより、図8に示すように、酸化物半導体層20s1を形成する。

[0073] <第3パターニング工程>

まず、酸化物半導体層20s1が形成された基板上に、スパッタリング法により、チタン(Ti)膜、アルミニウム(Al)膜及び窒化モリブデン(MoN)膜を順に成膜することにより、積層導電膜を形成する。続いて、この積層導電膜に対して、第3のフォトマスクを用いたフォトリソグラフィーにより、ソース配線24s1、ソース電極24sd、ドレイン電極24dd及び上部電極24hdの形成箇所にレジストパターンを形成する。

[0074] そして、上記レジストパターンをマスクとして上記積層導電膜24のうち上側2層のアルミニウム膜及び窒化モリブデン膜を燐酸、酢酸及び硝酸の混合液にてウェットエッチングすることにより、ソース配線24s1、ソース電極24sd、ドレイン電極24dd及び上部電極24hdを構成するアルミニウム層22s, 22d, 22h及び窒化モリブデン層23s, 23d, 23hを形成する。

[0075] さらに、上記レジストパターンと共に先に形成したアルミニウム層22s, 22d, 22h及び窒化モリブデン層23s, 23d, 23hをマスクとして、残りのチタン膜をRIEでパターニングすることにより、図9に示すように、ソース配線24s1、ソース電極24sd、ドレイン電極24dd及び上部電極24hdを同時に形成し、TFT26及び保持容量素子27を構成する。ここでのRIEでのエッチング条件は、例えば、原料ガスとして Cl_2 （流量100sccm程度）と BCl_3 （流量100sccm程度）との混合ガスを用い、チャンバー内真空度を4Pa程度、高周波電力を1100W程度とする。

[0076] しかる後、ソース電極24sd及びドレイン電極24ddが形成された基板に対して、水蒸気アニールチャンバーを用い、酸素ガスをキャリアガスとして、酸素及び水蒸気を含む雰囲気中で100℃～450℃程度のアニール

処理を例えば10分～180分間に亘って大気圧で行うことにより、水蒸気アニール処理を行う。これにより、各酸化物半導体層20s1において、ソース電極24sd及びドレイン電極24ddから露出するチャネル領域20cが表層側から酸化反応を起こし、図10に示すように高酸化領域20hoxが形成される。このとき、各酸化物半導体層20s1が2層構造を有していることにより、当該アニール処理による酸化反応が第1半導体層17sと第2半導体層18sとの界面で抑制されるので、チャネル領域20cのゲート絶縁膜側界面にまで層厚方向全体に亘って酸化反応が進行することが阻止される。

[0077] <第4パターニング工程>

まず、ソース電極24sd及びドレイン電極24ddなどが形成された基板上に、CVD法により、酸化シリコン膜を成膜して保護絶縁膜28とする。続いて、この保護絶縁膜28におけるコンタクトホール28a, 28b, 28c, 29の形成箇所を除く領域に対して、第4のフォトリソグラフィによりレジストパターンを形成し、該レジストパターンをマスクとしてフッ素系ガスを用いたRIEにより上記保護絶縁膜28をパターニングする。その後に、レジスト剥離液にて上記レジストパターンの剥離及び洗浄を行うことにより、図11に示すようにコンタクトホール28a, 28b, 28c, 29を形成する。

[0078] <第5パターニング工程>

上記保護絶縁膜28にコンタクトホール28a, 28b, 28c, 29が形成された基板上に、スパッタリング法により、例えばITOなどの透明導電膜を成膜する。続いて、この透明導電膜に対して、第5のフォトリソグラフィにより画素電極30pd、ゲート接続電極30gt及びソース接続電極30stの形成箇所にレジストパターンを形成し、該レジストパターンをマスクとしてシュウ酸液にて上記透明導電膜をウェットエッチングする。その後に、レジスト剥離液にて上記レジストパターンの剥離及び洗浄を行うことにより、画素電極30pd、ゲート接続電極30g

t 及びソース接続電極 30st を形成する。

[0079] 以上のようにして、図 4 に示す TFT 基板 10 を製造することができる。

[0080] <対向基板製造工程>

まず、ガラス基板などの絶縁性基板上に、スピンコート法又はスリットコート法により、例えば、黒色に着色された感光性樹脂を塗布した後、その塗布膜を、フォトリソグラフィを用いて露光した後に現像することによりパターンニングして、ブラックマトリクスを形成する。

[0081] 続いて、ブラックマトリクスが形成された基板上に、例えば赤、緑又は青に着色されたネガ型のアクリル系の感光性樹脂を塗布し、その塗布膜を、フォトリソグラフィを介して露光した後に現像することによりパターンニングして、選択した色の着色層（例えば赤色層）を形成する。さらに、他の 2 色の着色層（例えば緑色層及び青色層）についても、同様な処理を繰り返し行うことにより形成して、カラーフィルタを形成する。

[0082] 次いで、カラーフィルタが形成された基板上に、スパッタリング法により、例えばITO膜を成膜して、共通電極を形成する。その後、共通電極が形成された基板上に、スピンコート法により、ポジ型のフェノールノボラック系の感光性樹脂を塗布し、その塗布膜を、フォトリソグラフィを介して露光した後に現像することによりパターンニングして、フォトリソグラフィを形成する。

[0083] 以上のようにして、対向基板 50 を製造することができる。

[0084] <貼合工程>

まず、TFT 基板 10 の表面に、印刷法によりポリイミド系樹脂を塗布した後、その塗布膜に対して焼成及びラビング処理を行うことにより、配向膜 55 を形成する。また、対向基板 50 の表面にも、印刷法によりポリイミド系樹脂を塗布した後、その塗布膜に対して焼成及びラビング処理を行うことにより、配向膜 56 を形成する。

[0085] 次いで、ディスペンサなどを用いて、配向膜 56 が設けられた対向基板 50 に、紫外線硬化性及び熱硬化性を有する併用型樹脂などのシール材 51 を矩形枠状に描画する。続いて、対向基板 50 のシール材 51 の内側領域に液

晶材料を所定量滴下する。

[0086] そして、液晶材料が滴下された対向基板 50 と、配向膜 55 が設けられた TFT 基板 10 とを、減圧下で貼り合わせた後、その貼り合わせた貼合体を大気圧下に開放することにより、貼合体の表面を加圧する。さらに、貼合体のシール材 51 に UV (UltraViolet) 光を照射してシール材 51 を仮硬化させた後、その貼合体を加熱することにより、シール材 51 を本硬化させて、TFT 基板 10 と対向基板 50 とを接着する。

[0087] その後、互いに接着された TFT 基板 10 及び対向基板 50 の外表面に対し、偏光板 57, 58 をそれぞれ貼り付ける。

[0088] <実装工程>

両面に偏光板 57, 58 が貼り付けられた貼合体における端子領域 10a に ACF を配置した後、それら ACF を介して各ゲートドライバ IC チップ 53 及び各ソースドライバ IC チップ 54 を端子領域 10a に熱圧着することにより、それら各ドライバ IC チップ 53, 54 を貼合体に実装する。

[0089] 以上の工程を行って、液晶表示装置 S を製造することができる。

[0090] ー実施形態 1 の効果ー

この実施形態 1 によると、各 TFT 26 の酸化物半導体層 20s1 における第 1 半導体層 17s の酸化度 S1 並びにソース電極 24sd 及びドレイン電極 24dd の接続箇所における第 2 半導体層 18s の酸化度 S2 が S2 < S1 の関係に設定され、さらに、各酸化物半導体層 20s1 におけるチャネル領域 20c の表層側部分の酸化度 S3 が他の領域の酸化度 S1, S2 よりも高くなっているため、酸化物半導体層 20s1 を用いたチャネルエッチ型の TFT 26 において、移動度及びオン電流を高めつつ閾値電圧を安定させることができ、良好な特性を安定して得ることができる。その結果、TFT 基板 10 については液晶表示装置 S の製造コストを抑えながら、表示品位を向上させることができる。

[0091] 《発明の実施形態 2》

図 1 2 は、この実施形態 2 に係る T F T 基板 1 0 における 1 画素及び各配線の端子部の概略構成を示す平面図である。なお、以降の各実施形態では、T F T 基板 1 0 の構成が上記実施形態 1 と異なる他は液晶表示装置 S について上記実施形態 1 と同様に構成されているので、構成の異なる T F T 基板 1 0 についてのみ説明し、同一の構成箇所は図 1 ～図 1 1 に基づく上記実施形態 1 の説明に譲ることにして、その詳細な説明を省略する。

[0092] 上記実施形態 1 では、各 T F T 2 6 における酸化物半導体層 2 0 s 1 は 2 層構造を有しているとしたが、本実施形態の各酸化物半導体層 2 0 s 1 は、高酸化な I n - G a - Z n - O 系の酸化物半導体からなる第 1 半導体層 1 7 s、該第 1 半導体層 1 7 s に比べて低酸化な第 2 半導体層 1 8 s、及び該第 2 半導体層 1 8 s よりも低酸化な第 3 半導体層 1 9 s が順に積層されてなる 3 層構造を有している。

[0093] そして、上記第 2 半導体層 1 8 s 及び第 3 半導体層 1 9 s のチャネル領域部分には、第 1 半導体層 1 7 s よりも高酸化な高酸化領域 2 0 h o x が形成されている。この高酸化領域 2 0 h o x は、上記実施形態 1 と同様にソース電極 2 4 s d 及びドレイン電極 2 4 d d の形成後に酸化物半導体層 2 0 s 1 を酸素を含む雰囲気中でアニール処理することで形成され、第 2 半導体層 1 8 s 及び第 3 半導体層 1 9 s におけるソース電極 2 4 s d 及びドレイン電極 2 4 d d の接続箇所にも若干広がっている。

[0094] 当該酸化物半導体層 2 0 s 1 において、上記ゲート絶縁膜側部分は上記第 1 半導体層 1 7 s に対応し、上記ソース電極 2 4 s d 及びドレイン電極 2 4 d d の接続箇所における表層側部分は該ソース電極 2 4 s d 及びドレイン電極 2 4 d d の接続箇所における第 2 半導体層部分及び第 3 半導体層部分に対応し、上記チャネル領域 2 0 c の表層側部分は上記第 2 半導体層 1 8 s 及び第 3 半導体層 1 9 s のチャネル領域部分に対応している。

[0095] なお、図 1 2 では第 1 半導体層 1 7 s には高酸化領域 2 0 h o x が形成されていないように図示しているが、該高酸化領域 2 0 h o x は第 1 半導体層 1 7 s に若干広がっていてもよい。また、本実施形態では、第 2 半導体層 1

8 s 及び第3半導体層 19 s のチャネル領域部分に高酸化領域 20 h o x が形成されているとしているが、該高酸化領域 20 h o x は、第3半導体層 19 s のチャネル領域部分だけに形成されていても構わない。この場合、酸化物半導体層 20 s l において、上記ゲート絶縁膜側部分は上記第1半導体層 17 s 及び第2半導体層 18 s に対応し、上記ソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における表層側部分は該ソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における第3半導体層部分に対応し、上記チャネル領域 20 c の表層側部分は上記第3半導体層 19 s のチャネル領域部分に対応する。

[0096] このように第1半導体層 17 s の酸化度 S_1 、ソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における第2半導体層部分の酸化度 S_{2-1} 及び第3半導体層部分の酸化度 S_{2-2} 、並びに高酸化領域 20 h o x の酸化度 S_3 は、 $S_{2-2} < S_{2-1} < S_1 < S_3$ の関係に設定されている。これによって、各 T F T 26 の移動度及びオン電流を高めつつ閾値電圧を安定させることができる。

[0097] つまり、各酸化物半導体層 20 s l において、第1半導体層 17 s の酸化度 S_1 、ソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における第2半導体層部分の酸化度 S_{2-1} 並びに第3半導体層部分の酸化度 S_{2-2} が、 $S_{2-2} < S_{2-1} < S_1$ の関係に設定されているので、これら各酸化物半導体層 20 s l のソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における表層側部分ではその酸化度 S_{2-1} 、 S_{2-2} に応じて電気抵抗が低く抑えられる。これにより、これらソース電極 24 s d 及びドレイン電極 24 d d と酸化物半導体層 20 s l とのコンタクト抵抗が小さくなって、各 T F T 26 の移動度及びオン電流を高めることができる。また、各酸化物半導体層 20 s l のゲート絶縁膜側部分では、ソース電極及びドレイン電極がドライエッチングにより形成され、保護絶縁膜が C V D 法などの気相成長法により成膜されても、酸素欠損が補償されて変質が抑制されるので、その酸化度 S_1 に応じた上記電極接続箇所の第2半導体層部分及び第3半導

体層部分よりも高い電気抵抗を確保できる。そして、各酸化物半導体層 20s1 で特に集中して酸素欠損が発生しやすい第 2 半導体層 18s 及び第 3 半導体層 19s におけるチャネル領域 20c 部分（高酸化領域 hox）の酸化度 S3 が他の領域の酸化度 S1, S2-1, S2-2 よりも高くなっているため、当該チャネル領域 20c の表層側部分にはその酸化度 S3 に応じて他の領域よりも高い電気抵抗を確保できる。これにより、各 TFT 26 の閾値電圧を安定させることができる。

[0098] ー製造方法ー

次に、上記 TFT 基板 10 を製造する方法について、図 13～図 17 を参照しながら説明する。図 13 及び図 14 は、第 2 パターニング工程を示す断面図である。図 15 は、第 3 パターニング工程を示す断面図である。図 16 は、アニール処理を施した基板状態を示す断面図である。図 17 は、第 4 パターニング工程を示す断面図である。なお、これら図 13～図 17 は、図 12 対応箇所をそれぞれ示している。

[0099] 本実施形態の TFT 基板製造工程も、第 1 パターニング工程、ゲート絶縁膜成膜工程及び第 2～第 5 パターニング工程を含んでいる。なお、第 1 パターニング工程及びゲート絶縁膜成膜工程については、上記実施形態 1 と同様であるので、その説明を省略する。

[0100] <第 2 パターニング工程>

まず、ゲート絶縁膜 16 が形成された基板上に、スパッタリング法により、高酸化な In-Ga-Zn-O 系の酸化物半導体からなる第 1 酸化物半導体膜 17 を成膜する。具体的には例えば、インジウム（In）、ガリウム（Ga）及び亜鉛（Zn）を含む酸化物（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ ）をターゲットとし、アルゴン（Ar）及び酸素（ O_2 ）の混合ガス雰囲気下で、該混合ガスの総流量を $200 \text{ sccm} \sim 400 \text{ sccm}$ として、酸素ガスを $20 \text{ sccm} \sim 100 \text{ sccm}$ の範囲で混合して、チャンバー内真空度 $0.1 \text{ Pa} \sim 2.0 \text{ Pa}$ 程度及び AC 電力 $3 \text{ kW} \sim 20 \text{ kW}$ 程度で、 $30 \text{ nm} \sim 100 \text{ nm}$ 程度の厚さに第 1 酸化物半導体膜 17 を成膜する。

[0101] 続いて、第1酸化物半導体膜17上に、スパッタリング法により、第1酸化物半導体膜17よりも低酸化なIn-Ga-Zn-O系の酸化物半導体からなる第2酸化物半導体膜18を成膜する。具体的には例えば、インジウム(In)、ガリウム(Ga)及び亜鉛(Zn)を含む酸化物($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$)をターゲットとし、アルゴン(Ar)及び酸素(O_2)の混合ガス雰囲気下で、該混合ガスの総流量を200 sccm~400 sccmとして、酸素ガスを10 sccm~20 sccmの範囲で混合して、チャンバー内真空度0.1 Pa~2.0 Pa及びAC電力3 kW~20 kWで、30 nm~100 nm程度の厚さに第2酸化物半導体膜18を成膜する。

[0102] さらに続いて、第2酸化物半導体膜18上に、スパッタリング法により、第2酸化物半導体膜18よりも低酸化なIn-Ga-Zn-O系の酸化物半導体からなる第3酸化物半導体膜19を成膜する。具体的には例えば、インジウム(In)、ガリウム(Ga)及び亜鉛(Zn)を含む酸化物($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$)をターゲットとし、アルゴン(Ar)及び酸素(O_2)の混合ガス雰囲気下で、該混合ガスの総流量を200 sccm~400 sccmとして、酸素ガスを0 sccm~10 sccmの範囲で混合して、チャンバー内真空度0.1 Pa~2.0 Pa及びAC電力3 kW~20 kWで、30 nm~100 nm程度の厚さに第2酸化物半導体膜18を成膜する。こうして、図13に示す積層半導体膜20を形成する。

[0103] その後、上記積層半導体膜20に対して、第2のフォトリソグラフィによりレジストパターンを形成し、該レジストパターンをマスクとしてシュウ酸液にてウェットエッチングを行う。その後、レジスト剥離液により上記レジストパターンの剥離及び洗浄を行うことにより、図14に示すように、酸化物半導体層20s1を形成する。

[0104] <第3パターニング工程>

上記実施形態1と同様にして、酸化物半導体層20s1が形成された基板上に、チタン(Ti)膜、アルミニウム(Al)膜及び窒化モリブデン(M

o N) 膜を順に成膜して積層導電膜を形成する。次いで、第3のフォトマスクを用いたフォトリソグラフィーにより、積層導電膜のうち上側2層のアルミニウム膜及び窒化モリブデン膜をウェットエッチングで、残りのチタン膜をRIEでそれぞれパターニングすることにより、図15に示すように、ソース配線24s1、ソース電極24sd、ドレイン電極24dd及び上部電極24hdを同時に形成し、TF T 26及び保持容量素子27を構成する。

[0105] しかる後、ソース電極24sd及びドレイン電極24ddが形成された基板に対して、水蒸気アニールチャンバーを用い、酸素ガスをキャリアガスとして、酸素及び水蒸気を含む雰囲気中で100℃～450℃程度のアニール処理を例えば10分～180分間に亘って大気圧で行うことにより、水蒸気アニール処理を行う。これにより、各酸化物半導体層20s1において、ソース電極24sd及びドレイン電極24ddから露出するチャネル領域20cが表層側から酸化反応を起こし、図16に示すように高酸化領域20hoxが形成される。このとき、酸化物半導体層20s1が3層構造を有していることにより、当該アニール処理による酸化反応が第2半導体層18sと第3半導体層19sとの界面、及び第1半導体層17sと第2半導体層18sとの界面で抑制されるので、チャネル領域20cのゲート絶縁膜側界面にまで層厚方向全体に亘って酸化反応が進行することが良好に阻止される。

[0106] <第4パターニング工程>

上記実施形態1と同様にして、ソース電極24sd及びドレイン電極24ddなどが形成された基板上に、CVD法により酸化シリコン膜を成膜して保護絶縁膜28とし、該保護絶縁膜28を、第4のフォトマスクを用いたフォトリソグラフィーにより形成したレジストパターンをマスクとしてRIEでパターニングして、図17に示すように保護絶縁膜28にコンタクトホール28a、28b、28c、29を形成する。

[0107] <第5パターニング工程>

上記実施形態1と同様にして、保護絶縁膜28にコンタクトホール28a、28b、28c、29が形成された基板上に、スパッタリング法により透

明導電膜を成膜し、該透明導電膜を、第5のフォトリソグラフィにより形成したレジストパターンをマスクとしてウェットエッチングでパターニングして、画素電極30p d、ゲート接続電極30g t及びソース接続電極30s tを形成する。

[0108] 以上のようにして、図12に示すTF T基板10を製造することができる。

[0109] ー実施形態2の効果ー

この実施形態2によると、各酸化物半導体層20s lが3層構造を有しているので、チャネル領域20cのゲート絶縁膜側界面にまで層厚方向全体に亘って酸化反応が進行することを良好に阻止できて、チャネル領域20cの電気抵抗に準じてソース電極24s dとドレイン電極24d dとの間の電気抵抗が過剰に大きくなることを確実に防止できる。これによって、各TF T 26に良好な移動度及びオン電流を安定して得ることができる。

[0110] その他については、上記実施形態1と同様の効果を得ることができる。

[0111] 《発明の実施形態3》

図18は、この実施形態3に係るTF T基板10における1画素及び各配線の端子部の概略構成を示す平面図である。

[0112] 上記実施形態1及び2では、各TF T 26の酸化物半導体層20s lが積層構造を有しているとしたが、本実施形態の各酸化物半導体層20s lは、単一の層からなり、チャネル領域20cの表層側部分を除いて、ゲート絶縁膜16側からソース電極24s d及びドレイン電極24d d側に向かって酸化度が徐々に低くなっている。

[0113] そして、各酸化物半導体層20s lのチャネル領域20cの表層側部分には、他の領域よりも高酸化な高酸化領域20h o xが形成されている。この高酸化領域20h o xは、上記実施形態1と同様に、ソース電極24s d及びドレイン電極24d dの形成後に酸化物半導体層20s lを酸素を含む雰囲気中でアニール処理することで形成され、ソース電極24s d及びドレイン電極24d dの接続箇所にも若干広がっている。

[0114] このように本実施形態の各酸化物半導体層 20 s 1 では、所定の電気抵抗を有する範囲内で、上記ゲート絶縁膜側部分の酸化度 S 1、ソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における表層側部分の酸化度 S 2、並びに高酸化領域 20 h o x の酸化度 S 3 が $S 2 < S 1 < S 3$ の関係に設定されており、これによって各 T F T 26 の移動度及びオン電流を高めつつ閾値電圧を安定させることができる。

[0115] つまり、各酸化物半導体層 20 s 1 において、ゲート絶縁膜側部分の酸化度 S 1 並びにソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における表層側部分の酸化度 S 2 が $S 2 < S 1$ の関係に設定されているので、これら各酸化物半導体層 20 s 1 のソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における表層側部分ではその酸化度 S 2 に応じて電気抵抗が低く抑えられる。これにより、これらソース電極 24 s d 及びドレイン電極 24 d d と酸化物半導体層 20 s 1 とのコンタクト抵抗が小さくなって、各 T F T 26 の移動度及びオン電流を高めることができる。また、各酸化物半導体層 20 s 1 のゲート絶縁膜側部分では、ソース電極及びドレイン電極がドライエッチングにより形成され、保護絶縁膜が C V D 法などの気相成長法により成膜されても、酸素欠損が補償されて変質が抑制されるので、その酸化度 S 1 に応じた上記電極接続箇所の半導体層表層側部分よりも高い電気抵抗を確保できる。そして、各酸化物半導体層 20 s 1 で特に集中して酸素欠損が発生しやすいチャネル領域 20 c の表層部分（高酸化領域 20 h o x）の酸化度 S 3 が他の領域の酸化度 S 1、S 2 よりも高くなっているため、当該チャネル領域 20 c の表層側部分にはその酸化度 S 3 に応じて他の領域よりも高い電気抵抗を確保できる。これにより、各 T F T 26 の閾値電圧を安定させることができる。

[0116] ー製造方法ー

次に、上記 T F T 基板 10 を製造する方法について、図 19～図 23 を参照しながら説明する。図 19 及び図 20 は、第 2 パターニング工程を示す断面図である。図 21 は、第 3 パターニング工程を示す断面図である。図 22

は、アニール処理を施した基板状態を示す断面図である。図23は、第4パターニング工程を示す断面図である。なお、これら図19～図23は、図18対応箇所をそれぞれ示している。

[0117] 本実施形態のTFE基板製造工程も、第1パターニング工程、ゲート絶縁膜成膜工程、及び第2～第5パターニング工程を含んでいる。なお、第1パターニング工程及びゲート絶縁膜成膜工程については、上記実施形態1と同様であるので、その説明を省略する。

[0118] <第2パターニング工程>

ゲート絶縁膜16が形成された基板の上に、スパッタリング法により、In-Ga-Zn-O系の酸化物半導体からなる酸化物半導体膜20をゲート絶縁膜16側から表層側に向かって酸化度が徐々に低くなるように成膜する。具体的には例えば、インジウム(In)、ガリウム(Ga)及び亜鉛(Zn)を含む酸化物($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$)をターゲットとし、アルゴン(Ar)及び酸素(O_2)の混合ガス雰囲気下で、該混合ガスの総流量を200sccm～400sccmとして、酸素ガスを0sccm～100sccmの範囲で成膜の進行に伴って徐々に少なくなるように混合して、チャンバー内真空度0.1Pa～2.0Pa程度及びDC電力3kW～20kW程度で、30nm～150nm程度の厚さに酸化物半導体膜20を成膜する。

[0119] その後、上記酸化物半導体膜20に対して、第2のフォトリソグラフィによりレジストパターンを形成し、該レジストパターンをマスクとしてシュウ酸液にてウェットエッチングを行う。その後、レジスト剥離液により上記レジストパターンの剥離及び洗浄を行うことにより、図20に示すように、酸化物半導体層20s1を形成する。

[0120] <第3パターニング工程>

上記実施形態1と同様にして、酸化物半導体層20s1が形成された基板の上に、チタン(Ti)膜、アルミニウム(Al)膜及び窒化モリブデン(MoN)膜を順に成膜して積層導電膜を形成し、次いで、第3のフォトリソグラフィにより、

を用いたフォトリソグラフィーにより、積層導電膜のうち上側２層のアルミニウム膜及び窒化モリブデン膜をウェットエッチングで、残りのチタン膜をＲＩＥでそれぞれパターニングすることにより、図２１に示すように、ソース配線２４ｓ１、ソース電極２４ｓｄ、ドレイン電極２４ｄｄ、及び上部電極２４ｈｄを同時に形成し、ＴＦＴ２６及び保持容量素子２７を構成する。

[0121] しかる後、ソース電極２４ｓｄ及びドレイン電極２４ｄｄが形成された基板に対して、水蒸気アニールチャンバーを用い、酸素ガスをキャリアガスとして、酸素及び水蒸気を含む雰囲気中で１００℃～４５０℃程度のアニール処理を例えば１０分～１８０分間に亘って大気圧で行うことにより、水蒸気アニール処理を行う。これにより、各酸化物半導体層２０ｓ１において、ソース電極２４ｓｄ及びドレイン電極２４ｄｄから露出するチャネル領域２０ｃが表層側から酸化反応を起こし、図２２に示すように高酸化領域２０ｈｏｘが形成される。

[0122] <第４パターニング工程>

上記実施形態１と同様にして、ソース電極２４ｓｄ及びドレイン電極２４ｄｄなどが形成された基板上に、ＣＶＤ法により酸化シリコン膜を成膜して保護絶縁膜２８とし、該保護絶縁膜２８を、第４のフォトマスクを用いたフォトリソグラフィーにより形成したレジストパターンをマスクとしてＲＩＥでパターニングして、図２３に示すように保護絶縁膜２８にコンタクトホール２８ａ、２８ｂ、２８ｃ、２９を形成する。

[0123] <第５パターニング工程>

上記実施形態１と同様にして、保護絶縁膜２８にコンタクトホール２８ａ、２８ｂ、２８ｃ、２９が形成された基板上に、スパッタリング法により透明導電膜を成膜し、該透明導電膜を、第５のフォトマスクを用いたフォトリソグラフィーにより形成したレジストパターンをマスクとしてウェットエッチングでパターニングして、画素電極３０ｐｄ、ゲート接続電極３０ｇｔ及びソース接続電極３０ｓｔを形成する。

[0124] 以上のようにして、図１９に示すＴＦＴ基板１０を製造することができる

。

[0125] ー実施形態 3 の効果ー

この実施形態 3 によっても、酸化物半導体層 20 s l を用いたチャネルエッチ型の T F T 26 において、移動度及びオン電流を高めつつ閾値電圧を安定させて、良好な特性を安定して得ることができ、その結果、T F T 基板 10 ひいては液晶表示装置 S の製造コストを抑えながら、表示品位を向上させることができる。

[0126] 《発明の実施形態 4》

図 24 は、この実施形態 4 に係る T F T 基板 10 における 1 画素及び各配線の端子部の概略構成を示す平面図である。

[0127] 上記実施形態 3 では、各 T F T 26 の各酸化物半導体層 20 s l が、チャネル領域 20 c の表層側部分を除いて、ゲート絶縁膜 16 側からソース電極 24 s d 及びドレイン電極 24 d d 側に向かって酸化度が徐々に低くなる単一の層からなるとしたが、本実施形態の各酸化物半導体層 20 s l は、ゲート絶縁膜 16 側に酸化度が相対的に高い第 1 領域 20 a、ソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における表層側に酸化度が相対的に低い第 2 領域 20 b を有する単一の層からなる。

[0128] そして、各酸化物半導体層 20 s l のチャネル領域 20 c の表層側部分には、他の領域 20 a、20 b よりも高酸化な高酸化領域 20 h o x が形成されている。この高酸化領域 20 h o x は、上記実施形態 1 と同様に、ソース電極 24 s d 及びドレイン電極 24 d d の形成後に酸化物半導体層 20 s l を酸素を含む雰囲気中でアニール処理することで形成され、ソース電極 24 s d 及びドレイン電極 24 d d の接続箇所及び第 1 領域 20 a にも若干広がっている。

[0129] このように本実施形態の各酸化物半導体層 20 s l では、所定の電気抵抗を有する範囲内で、上記第 1 領域 20 a の酸化度 S 1、第 2 領域 20 b の酸化度 S 2 及び高酸化領域 20 h o x の酸化度 S 3 が $S 2 < S 1 < S 3$ の関係に設定されており、これによって各 T F T 26 の移動度及びオン電流を高め

つつ閾値電圧を安定させることができる。

[0130] つまり、各酸化物半導体層 20 s 1 において、第 1 領域 20 a の酸化度 S_1 及び第 2 領域 20 b の酸化度 S_2 が $S_2 < S_1$ の関係に設定されているので、これら各酸化物半導体層 20 s 1 のソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における表層側部分ではその酸化度 S_2 に応じて電気抵抗が低く抑えられる。これにより、これらソース電極 24 s d 及びドレイン電極 24 d d と酸化物半導体層 20 s 1 とのコンタクト抵抗が小さくなって、各 TFT 26 の移動度及びオン電流を高めることができる。また、各酸化物半導体層 20 s 1 のゲート絶縁膜側部分では、ソース電極及びドレイン電極がドライエッチングにより形成され、保護絶縁膜が CVD 法などの気相成長法により成膜されても、酸素欠損が補償されて変質が抑制されるので、その酸化度 S_1 に応じた第 2 領域 20 b よりも高い電気抵抗を確保できる。そして、各酸化物半導体層 20 s 1 で特に集中して酸素欠損が発生しやすいチャネル領域 20 c の表層部分（高酸化領域 20 h o x）の酸化度 S_3 が他の領域 20 a, 20 b の酸化度 S_1, S_2 よりも高くなっているため、当該チャネル領域 20 c の表層側部分にはその酸化度 S_3 に応じて他の領域 20 a, 20 b よりも高い電気抵抗を確保できる。これにより、各 TFT 26 の閾値電圧を安定させることができる。

[0131] ー製造方法ー

次に、上記 TFT 基板 10 を製造する方法について、図 25～図 30 を参照しながら説明する。図 25～図 27 は、第 2 パターニング工程を示す断面図である。図 28 は、第 3 パターニング工程を示す断面図である。図 29 は、アニール処理を施した基板状態を示す断面図である。図 30 は、第 4 パターニング工程を示す断面図である。なお、これら図 25～図 30 は、図 24 対応箇所をそれぞれ示している。

[0132] 本実施形態の TFT 基板製造工程も、第 1 パターニング工程、ゲート絶縁膜成膜工程、及び第 2～第 5 パターニング工程を含んでいる。なお、第 1 パターニング工程及びゲート絶縁膜成膜工程については、上記実施形態 1 と同

様であるので、その説明を省略する。

[0133] <第2パターニング工程>

ゲート絶縁膜16が形成された基板上に、スパッタリング法により、図25に示すように、In-Ga-Zn-O系の酸化物半導体からなる酸化物半導体膜20を成膜する。具体的には例えば、インジウム(In)、ガリウム(Ga)及び亜鉛(Zn)を含む酸化物($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$)をターゲットとし、アルゴン(Ar)及び酸素(O_2)の混合ガス雰囲気下で、該混合ガスの総流量を200sccm~400sccmとして、酸素ガスを5sccm~60sccmの範囲で混合して、チャンバー内真空度0.1Pa~2.0Pa程度及びDC電力3kW~20kW程度で、30nm~100nm程度の厚さに酸化物半導体膜20を成膜する。

[0134] 続いて、上記酸化物半導体膜20に対し、CVD装置を用いて、水素ガスの流量を200sccm~3000sccmとして、チャンバー内真空度100Pa~300Pa程度及び高周波電力5W~3000W程度で100秒~300秒に亘って水素プラズマ処理を行うことにより、酸化物半導体膜20の表層側の酸化度を還元反応によって低下させ、図26に示すように、当該酸化物半導体膜20を、酸化度が相対的に高い第1領域20aと酸化度が相対的に低い第2領域20bとに2分する。

[0135] その後、上記酸化物半導体膜20に対して、第2のフォトリソマスクを用いたフォトリソグラフィーによりレジストパターンを形成し、該レジストパターンをマスクとしてシュウ酸液にてウェットエッチングを行う。その後、レジスト剥離液により上記レジストパターンの剥離及び洗浄を行うことにより、図27に示すように、酸化物半導体層20s1を形成する。

[0136] <第3パターニング工程>

上記実施形態1と同様にして、酸化物半導体層20s1が形成された基板の上に、チタン(Ti)膜、アルミニウム(Al)膜及び窒化モリブデン(MoN)膜を順に成膜して積層導電膜を形成し、次いで、第3のフォトリソマスクを用いたフォトリソグラフィーにより、積層導電膜のうち上側2層のアルミ

ニウム膜及び窒化モリブデン膜をウェットエッチングで、残りのチタン膜を R I E でそれぞれパターニングすることにより、図 28 に示すように、ソース配線 24 s l、ソース電極 24 s d、ドレイン電極 24 d d、及び上部電極 24 h d を同時に形成し、T F T 26 及び保持容量素子 27 を構成する。

[0137] しかる後、ソース電極 24 s d 及びドレイン電極 24 d d が形成された基板に対して、水蒸気アニールチャンバーを用い、酸素ガスをキャリアガスとして、酸素及び水蒸気を含む雰囲気中で 100℃～450℃程度のアニール処理を例えば 10 分～180 分間に亘って大気圧で行うことにより、水蒸気アニール処理を行う。これにより、各酸化物半導体層 20 s l において、ソース電極 24 s d 及びドレイン電極 24 d d から露出するチャンネル領域 20 c が表層側から酸化反応を起こし、図 29 に示すように高酸化領域 20 h o x が形成される。

[0138] <第 4 パターニング工程>

上記実施形態 1 と同様にして、ソース電極 24 s d 及びドレイン電極 24 d d などが形成された基板上に、C V D 法により酸化シリコン膜を成膜して保護絶縁膜 28 とし、該保護絶縁膜 28 を、第 4 のフォトマスクを用いたフォトリソグラフィにより形成したレジストパターンをマスクとして R I E でパターニングして、図 30 に示すように保護絶縁膜 28 にコンタクトホール 28 a、28 b、28 c、29 を形成する。

[0139] <第 5 パターニング工程>

上記実施形態 1 と同様にして、保護絶縁膜 28 にコンタクトホール 28 a、28 b、28 c、29 が形成された基板上に、スパッタリング法により透明導電膜を成膜し、該透明導電膜を、第 5 のフォトマスクを用いたフォトリソグラフィにより形成したレジストパターンをマスクとしてウェットエッチングでパターニングして、画素電極 30 p d、ゲート接続電極 30 g t 及びソース接続電極 30 s t を形成する。

[0140] 以上のようにして、図 24 に示す T F T 基板 10 を製造することができる。

[0141] ー実施形態 4 の効果ー

この実施形態 4 によっても、酸化物半導体層 20 s 1 を用いたチャネルエッチ型の TFT 26 において、移動度及びオン電流を高めつつ閾値電圧を安定させて、良好な特性を安定して得ることができ、その結果、TFT 基板 10 ひいては液晶表示装置 S の製造コストを抑えながら、表示品位を向上させることができる。

[0142] 《その他の実施形態》

上記実施形態 1 ～ 4 では、ソース電極 24 s d 及びドレイン電極 24 d d を形成した後であって保護絶縁膜 28 を成膜する前に水蒸気アニール処理を行うとしたが、本発明はこれに限られず、保護絶縁膜 28 を成膜した後に水蒸気アニール処理を行ってもよい。

[0143] このようにすれば、保護絶縁膜 28 を形成するための CVD 法による成膜で酸化物半導体層 20 s 1 のチャネル領域 20 c の酸素が脱離して酸素欠損が発生するおそれがあるものの、その保護絶縁膜 28 を成膜した後に酸素雰囲気中でアニール処理を行うので、酸化物半導体層 20 s 1 の酸素欠損を有効に修復して当該半導体層 20 s 1 の特性を確実に安定化させることができる。

[0144] この場合には、保護絶縁膜 28 が酸化シリコン (SiO₂) からなることが好ましい。このように構成されていれば、酸化シリコンからなる保護絶縁膜 28 は例えば窒化シリコン膜よりも酸素の透過率が一般的に高いので、酸化物半導体層 20 s 1 のチャネル領域 20 c にアニール処理の酸素を有効に供給することができる。

[0145] また、上記実施形態 1 では各酸化物半導体層 20 s 1 が 2 層構造を有しているとし、上記実施形態 2 では各酸化物半導体層 20 s 1 が 3 層構造を有しているとしたが、本発明はこれに限られず、各酸化物半導体層 20 s 1 は、所定の電気抵抗を有する範囲内で、ゲート絶縁膜側の酸化度 S₁ 並びにソース電極 24 s d 及びドレイン電極 24 d d の接続箇所における表層側部分の酸化度 S₂ が S₂ < S₁ に設定され、チャネル領域 20 c の表層側部分の酸

化度 S_3 が他の領域の酸化度 S_1 , S_2 よりも高くなっていれば、4層以上の構造を有していても構わない。

[0146] 以上、本発明の好ましい実施形態について説明したが、本発明の技術的範囲は上記実施形態に記載の範囲に限定されない。上記実施形態が例示であり、それらの各構成要素や各処理プロセスの組合せに、さらにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0147] 例えば、上記各実施形態では、酸化物半導体層 2051 が $In-Ga-Zn-O$ 系の酸化物半導体からなるとしているが、これに限らず、当該酸化物半導体層 2051 は、インジウムシリコン亜鉛酸化物 ($In-Si-Zn-O$) 系、インジウムアルミニウム亜鉛酸化物 ($In-Al-Zn-O$) 系、スズシリコン亜鉛酸化物 ($Sn-Si-Zn-O$) 系、スズアルミニウム亜鉛酸化物 ($Sn-Al-Zn-O$) 系、スズガリウム亜鉛酸化物 ($Sn-Ga-Zn-O$) 系、ガリウムシリコン亜鉛酸化物 ($Ga-Si-Zn-O$) 系、ガリウムアルミニウム亜鉛酸化物 ($Ga-Al-Zn-O$) 系、インジウム銅亜鉛酸化物 ($In-Cu-Zn-O$) 系、スズ銅亜鉛酸化物 ($Sn-Cu-Zn-O$) 系、亜鉛酸化物 ($Zn-O$) 系、インジウム酸化物 ($In-O$) 系などの他の酸化物半導体からなってもよい。

[0148] また、上記各実施形態では、液晶表示装置 S を例に挙げて説明したが、本発明はこれに限らず、液晶表示装置 S だけでなく、有機 EL (Electro Luminescence) 表示装置やプラズマ表示装置などの他の表示装置にも適用することができ、TFT を備える電子機器であれば広く適用することができる。

産業上の利用可能性

[0149] 以上説明したように、本発明は、TFT 基板及びそれを備えた液晶表示装置並びに TFT 基板の製造方法について有用であり、特に、酸化物半導体層を用いたチャネルエッチ型の TFT において、良好な特性を安定して得ることが要望される TFT 基板及びそれを備えた液晶表示装置並びに TFT 基板の製造方法に適している。

符号の説明

[0150]	S	液晶表示装置
	1 2	絶縁性基板（ベース基板）
	1 4 g d	ゲート電極
	1 6	ゲート絶縁膜
	1 7 s	第 1 半導体層
	1 8 s	第 2 半導体層
	1 9 s	第 3 半導体層
	2 0	積層半導体膜、酸化物半導体膜
	2 0 s l	酸化物半導体層
	2 0 c	チャネル領域
	2 4 s d	ソース電極
	2 4 d d	ドレイン電極
	2 6	T F T（薄膜トランジスタ）
	2 8	保護絶縁膜
	3 0 p d	画素電極
	5 0	対向基板
	5 2	液晶層

請求の範囲

[請求項1]

ベース基板と、
上記ベース基板上に設けられた複数の薄膜トランジスタと、
上記各薄膜トランジスタを覆うように設けられた保護絶縁膜と、
上記保護絶縁膜上に上記各薄膜トランジスタ毎に設けられた画素電極とを備え、

上記各薄膜トランジスタは、ゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるように設けられた酸化物半導体からなる半導体層と、各々が上記半導体層に接続されるように、且つ該半導体層上で互いに離間するように上記ゲート絶縁膜上に設けられたソース電極及びドレイン電極とを有し、上記ソース電極と上記ドレイン電極との間の半導体層部分にチャネル領域が構成された薄膜トランジスタ基板であって、

上記各半導体層において、所定の電気抵抗を有する範囲で、上記ゲート絶縁膜側部分の酸化度 S_1 並びに上記ソース電極及びドレイン電極の接続箇所における表層側部分の酸化度 S_2 は、 $S_2 < S_1$ の関係に設定され、上記チャネル領域の表層側部分の酸化度 S_3 は、上記各ソース電極及びドレイン電極の形成後に当該各半導体層が酸素を含む雰囲気中でアニール処理されることで、他の領域の酸化度 S_1 、 S_2 よりも高くなっている

ことを特徴とする薄膜トランジスタ基板。

[請求項2]

請求項1に記載の薄膜トランジスタ基板において、
上記各半導体層は、複数の層が積層されてなる積層構造を有している
ことを特徴とする薄膜トランジスタ基板。

[請求項3]

請求項2に記載の薄膜トランジスタ基板において、
上記各半導体層は、第1半導体層と第2半導体層とが順に積層されてなる2層構造を有し、

上記各半導体層において、上記ゲート絶縁膜側部分は上記第 1 半導体層に対応し、上記ソース電極及びドレイン電極の接続箇所の表層側部分は該ソース電極及びドレイン電極の接続箇所の上記第 2 半導体層部分に対応し、上記チャネル領域の表層側部分は上記第 2 半導体層のチャネル領域部分に対応していることを特徴とする薄膜トランジスタ基板。

[請求項4]

請求項 2 に記載の薄膜トランジスタ基板において、

上記各半導体層は、第 1 半導体層、第 2 半導体層及び第 3 半導体層が順に積層されてなる 3 層構造を有し、

上記各半導体層において、上記ゲート絶縁膜側部分は上記第 1 半導体層に対応し、上記ソース電極及びドレイン電極の接続箇所の表層側部分は該ソース電極及びドレイン電極の接続箇所の第 2 半導体層部分及び第 3 半導体層部分に対応し、上記チャネル領域の表層側部分は上記第 2 半導体層及び第 3 半導体層のチャネル領域部分に対応していることを特徴とする薄膜トランジスタ基板。

[請求項5]

請求項 1 に記載の薄膜トランジスタ基板において、

上記各半導体層は、単一の層からなり、上記チャネル領域の表層側部分を除いて、上記ゲート絶縁膜側から上記ソース電極及びドレイン電極側に向かって酸化度が低くなっていることを特徴とする薄膜トランジスタ基板。

[請求項6]

請求項 1 ～ 5 のいずれか 1 項に記載の薄膜トランジスタ基板において、

上記ゲート絶縁膜の少なくとも表層側は、酸化シリコンからなることを特徴とする薄膜トランジスタ基板。

[請求項7]

請求項 1 ～ 6 のいずれか 1 項に記載の薄膜トランジスタ基板において、

上記保護絶縁膜は、酸化シリコンからなることを特徴とする薄膜トランジスタ基板。

[請求項8] 請求項 1 ～ 7 のいずれか 1 項に記載の薄膜トランジスタ基板において、

上記各半導体層は、インジウムガリウム亜鉛酸化物系の酸化物半導体からなる

ことを特徴とする薄膜トランジスタ基板。

[請求項9] 請求項 1 ～ 8 のいずれか 1 項に記載の薄膜トランジスタ基板と、

上記薄膜トランジスタ基板に対向して配置された対向基板と、

上記薄膜トランジスタ基板と上記対向基板との間に設けられた液晶層とを備える

ことを特徴とする液晶表示装置。

[請求項10] 請求項 1 に記載の薄膜トランジスタ基板を製造する方法であって、

上記ベース基板上に導電膜を成膜し、該導電膜を第 1 のフォトマスクを用いてパターニングすることにより、上記各ゲート電極を形成する第 1 パターニング工程と、

上記各ゲート電極を覆うように上記ゲート絶縁膜を成膜するゲート絶縁膜成膜工程と、

上記ゲート絶縁膜上に酸化物半導体からなる半導体膜を、上記ゲート絶縁膜側の酸化度 S_1 及び表層側の酸化度 S_2 が $S_2 < S_1$ の関係となるように成膜し、該半導体膜を第 2 のフォトマスクを用いてパターニングすることにより、上記各薄膜トランジスタを構成する半導体層を形成する第 2 パターニング工程と、

上記各半導体層を覆うように導電膜を成膜し、該導電膜を第 3 のフォトマスクを用いてドライエッチングでパターニングすることにより、上記各ソース電極及び各ドレイン電極を形成する第 3 パターニング工程と、

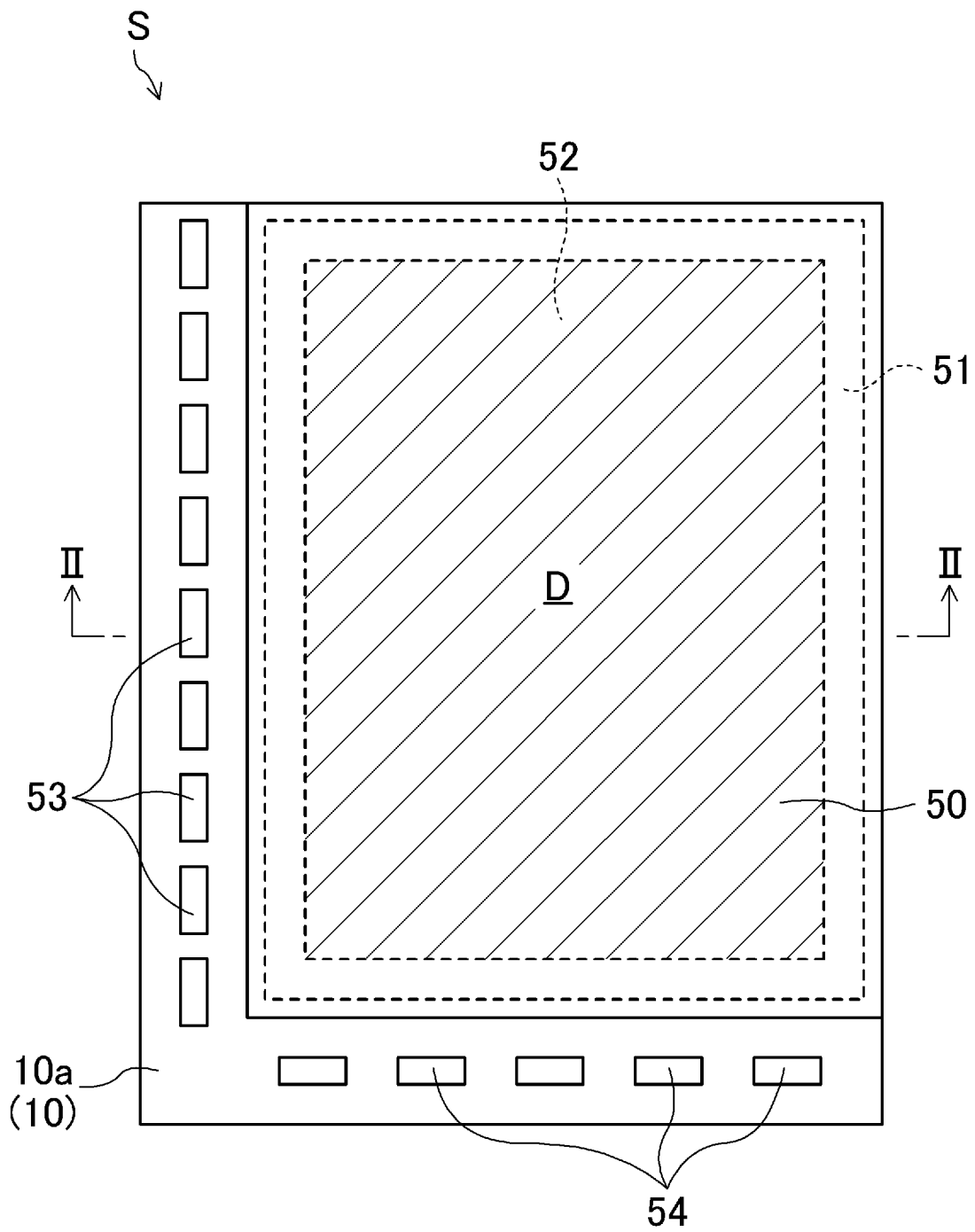
上記各ソース電極及び各ドレイン電極を覆うように気相成長法により保護絶縁膜を成膜し、該保護絶縁膜を第 4 のフォトマスクを用いてパターニングすることにより、上記各ドレイン電極の対応箇所にコン

タクトホールを形成する第4パターニング工程と、

上記保護絶縁膜上に対し、上記各コンタクトホールを介してドレイン電極に接続するように導電膜を成膜し、該導電膜を第5のフォトリソマスクを用いてパターニングすることにより、各々が対応するドレイン電極に接続するように上記複数の画素電極を形成する第5パターニング工程とを含み、

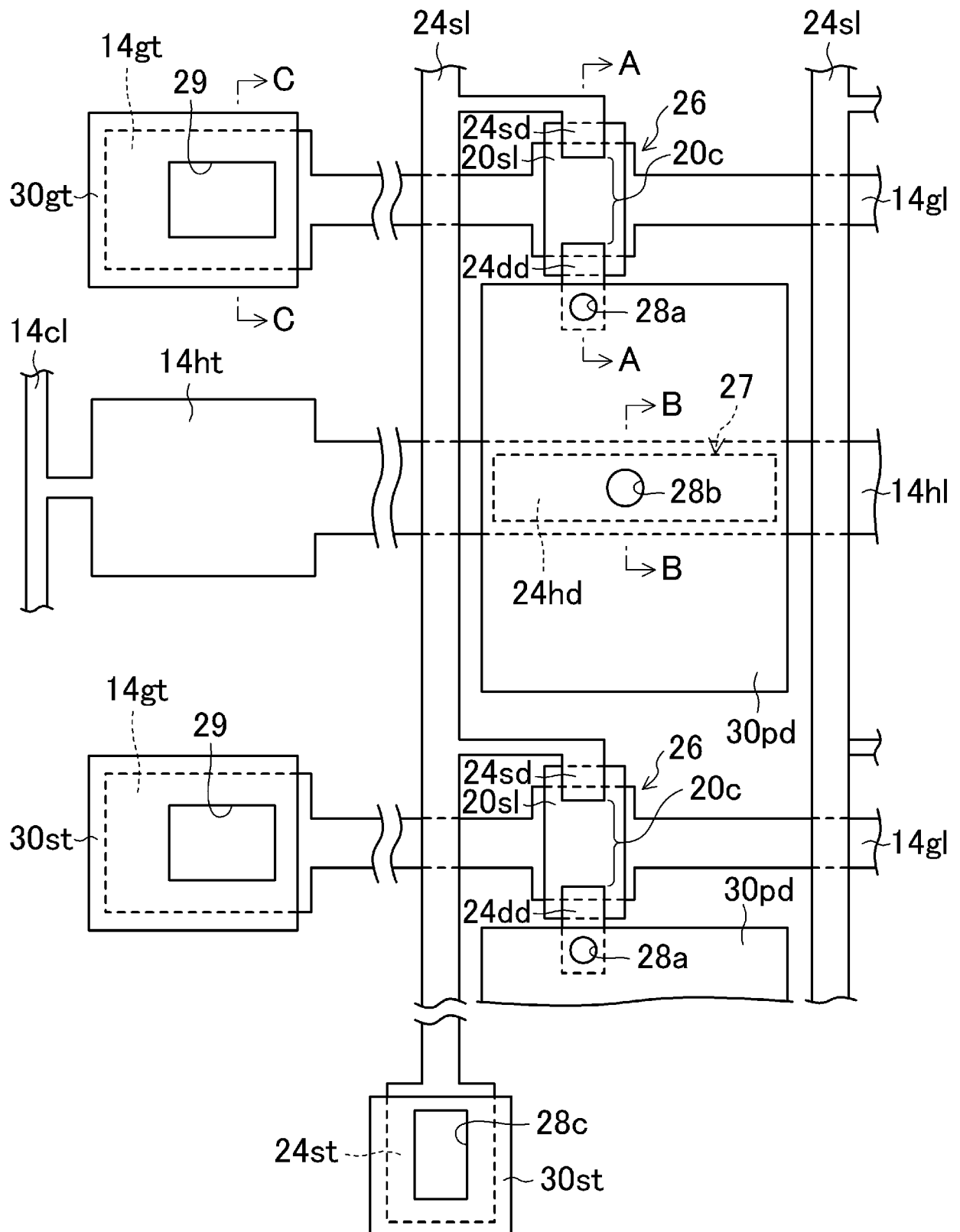
上記第3パターニング工程よりも後に、上記各ソース電極及び各ドレイン電極が形成された基板を酸素を含む雰囲気中でアニール処理することにより、上記各半導体層におけるチャネル領域の表層側部分の酸化度S3を他の領域の酸化度S1、S2よりも高めることを特徴とする薄膜トランジスタ基板の製造方法。

[図1]

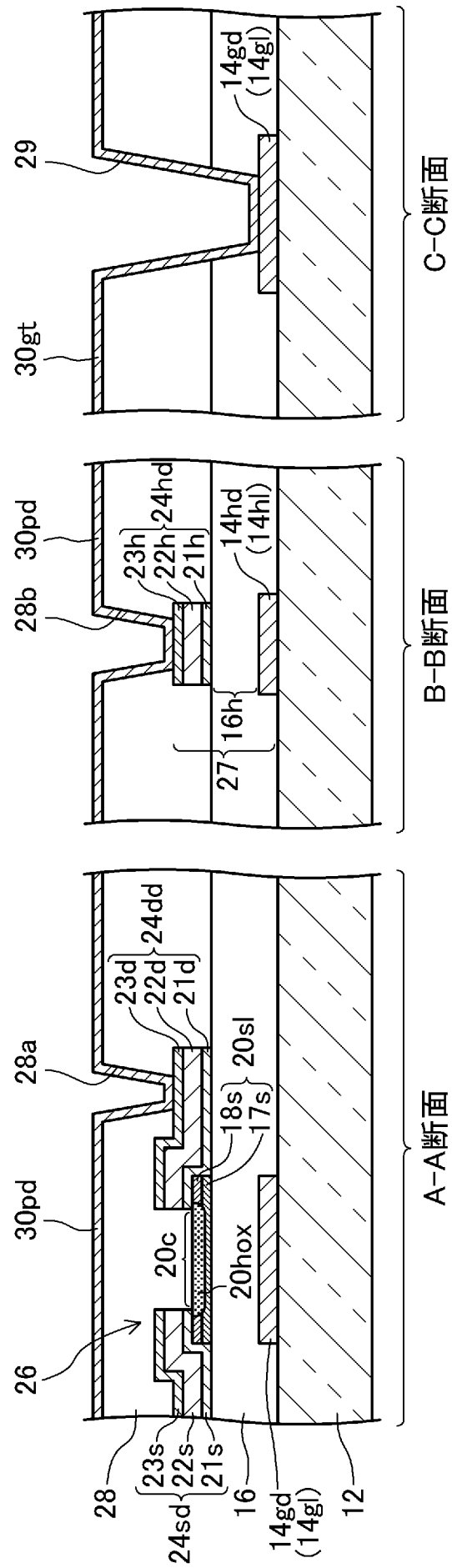


This cross-sectional view shows a semiconductor device 10. It features a substrate 10a with a base layer 53. A central region contains a stack of layers: a bottom layer 51, a middle layer 52, and a top layer 50. The middle layer 52 is filled with a material 55. The top layer 50 is covered by a protective layer 58. The entire structure is surrounded by a side layer 57. A dimension line D indicates the width of the central stack. A label S with an arrow points to the top surface of the device.

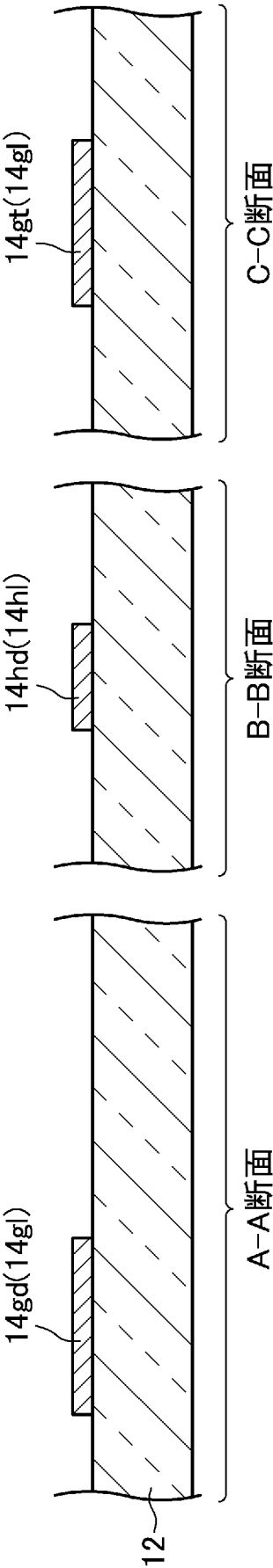
[図3]



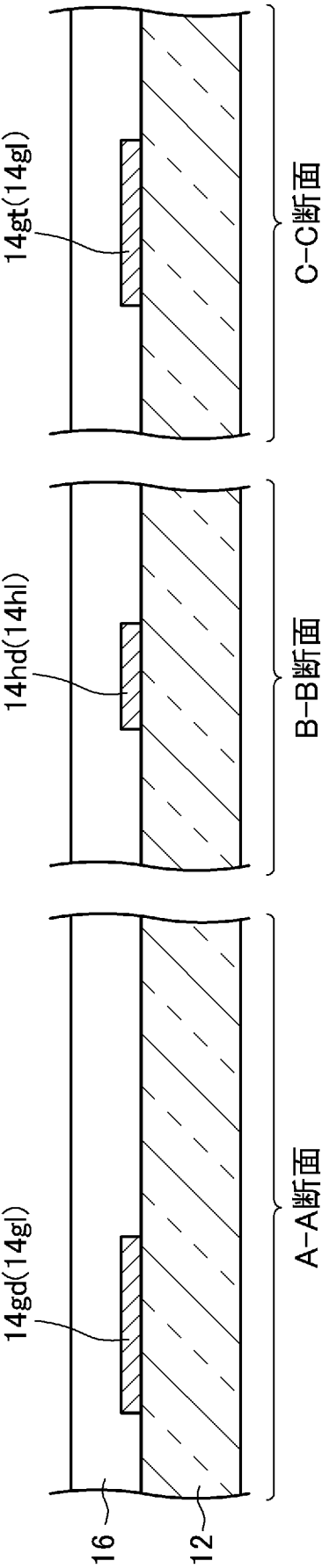
[図4]



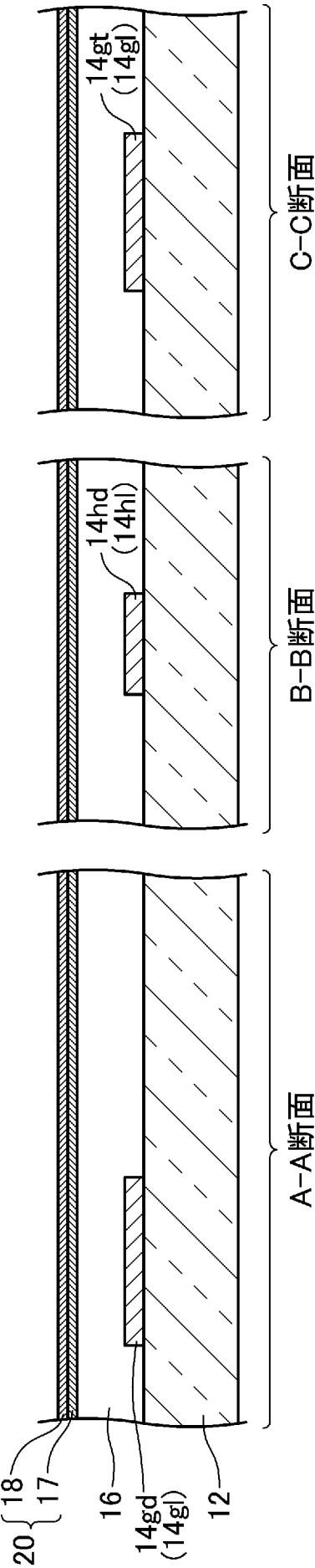
[図5]



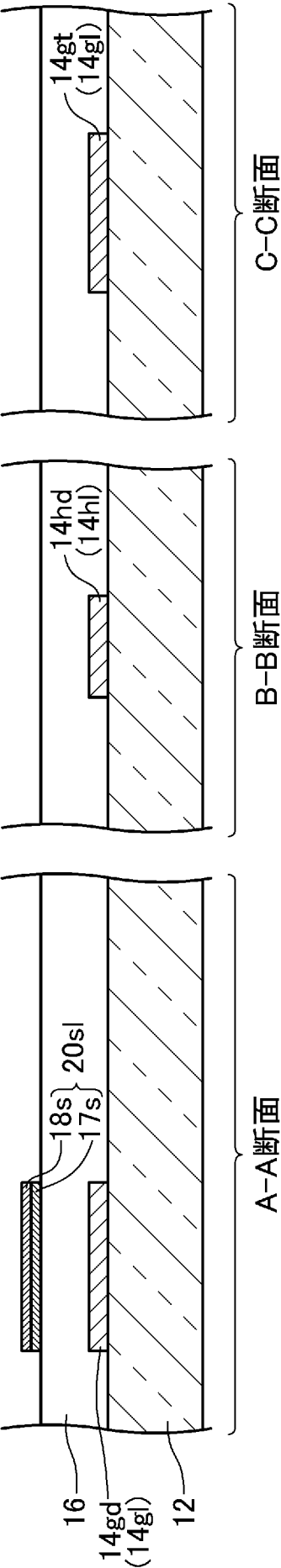
[図6]



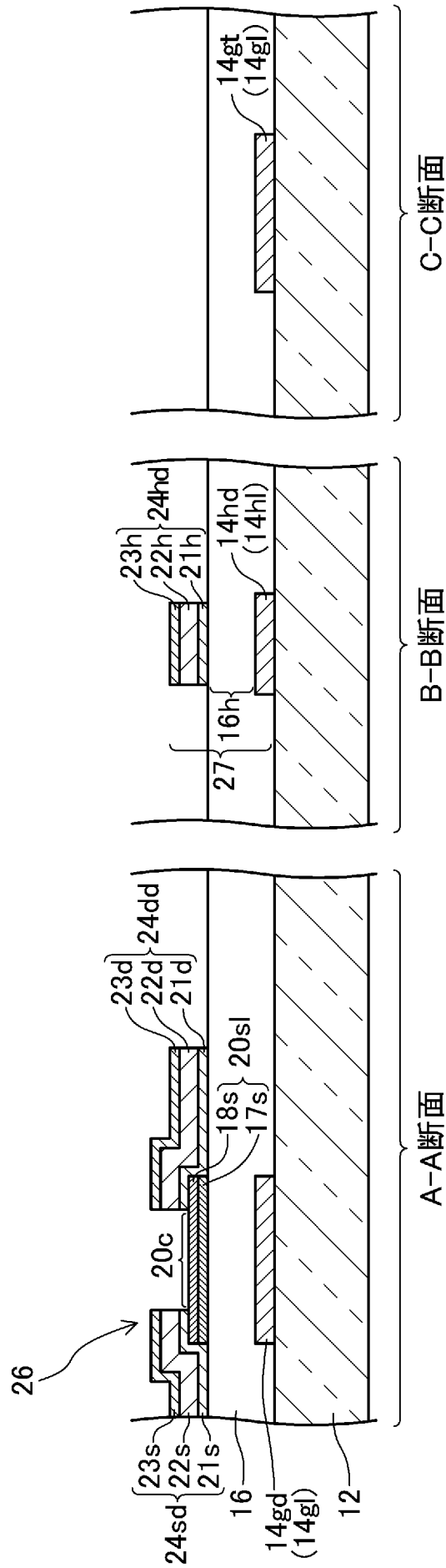
[図7]



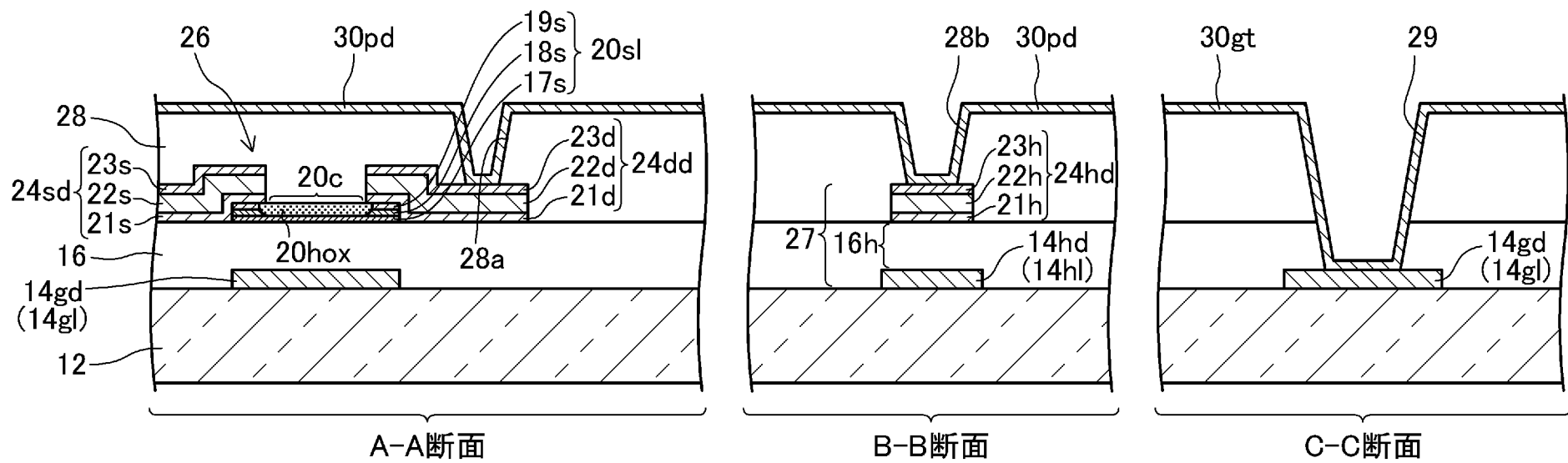
[図8]



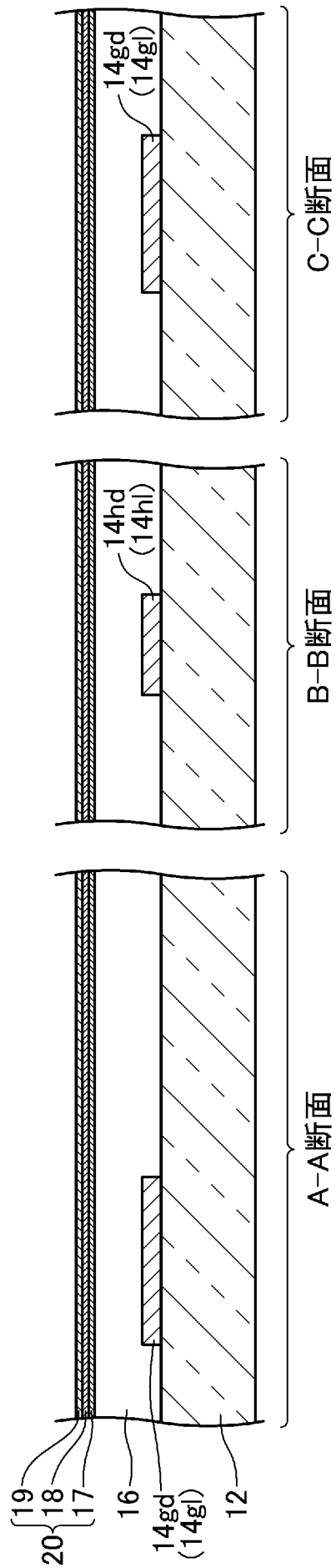
[図9]



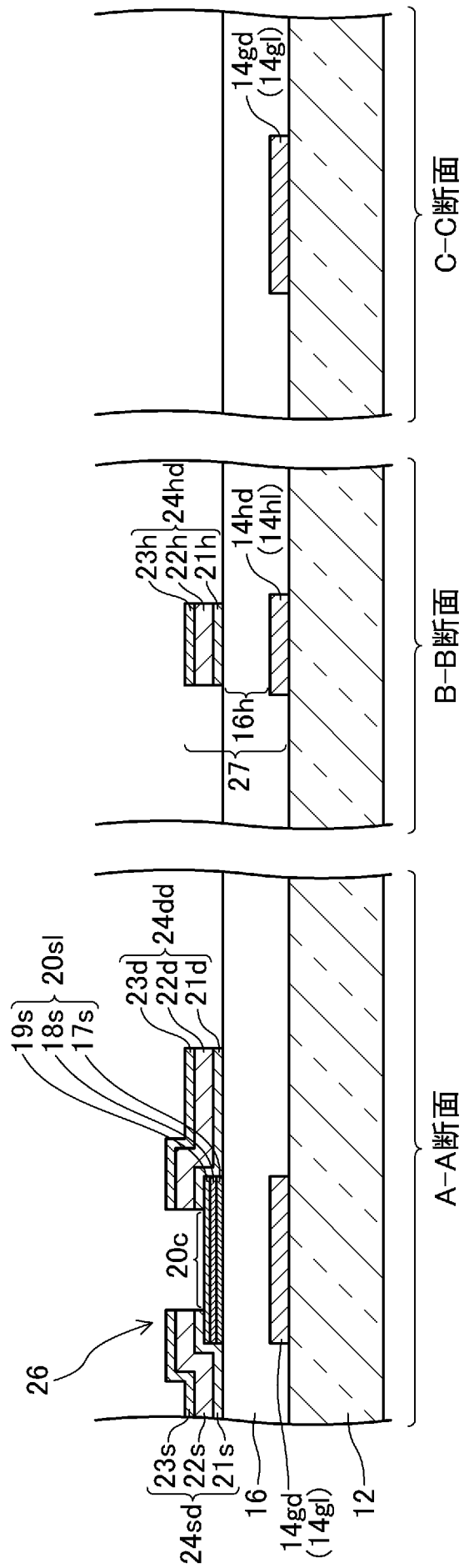
[図12]



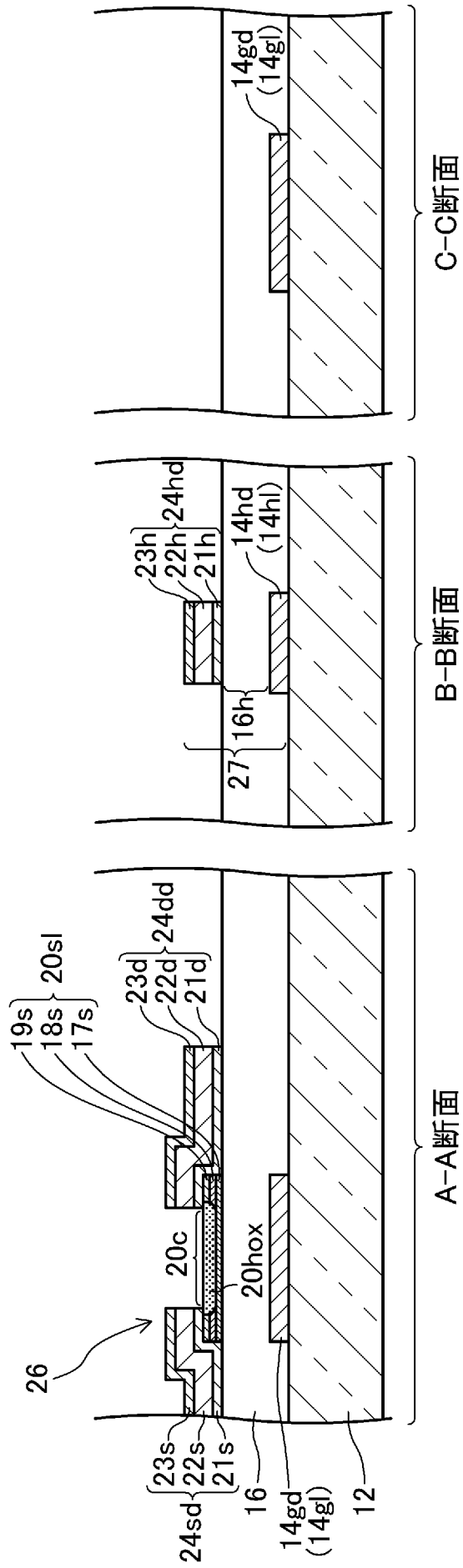
[図13]



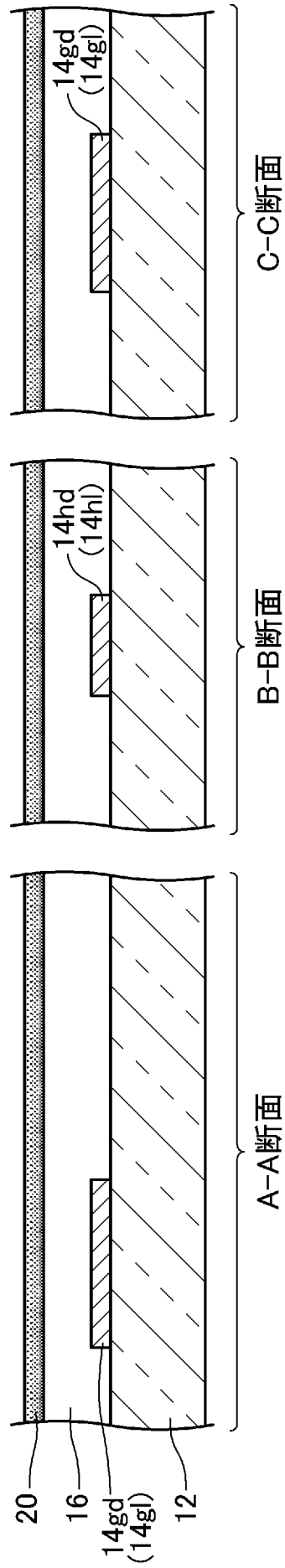
[図15]



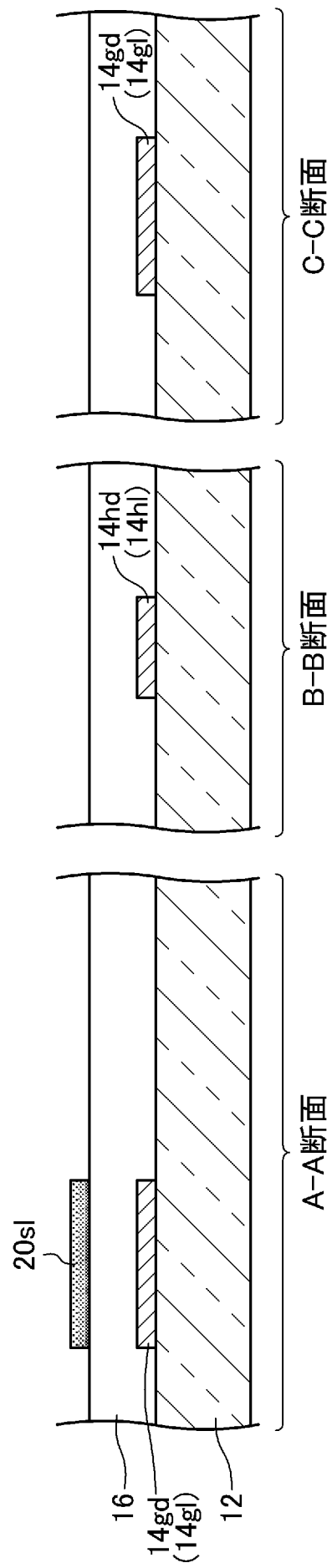
[図16]



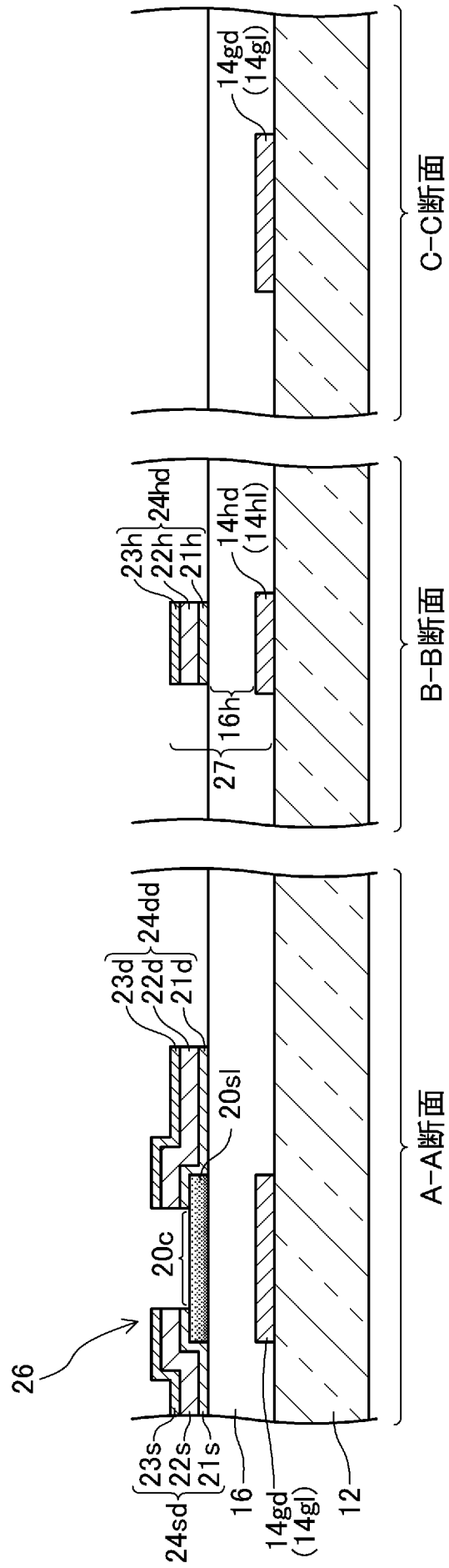
[図19]



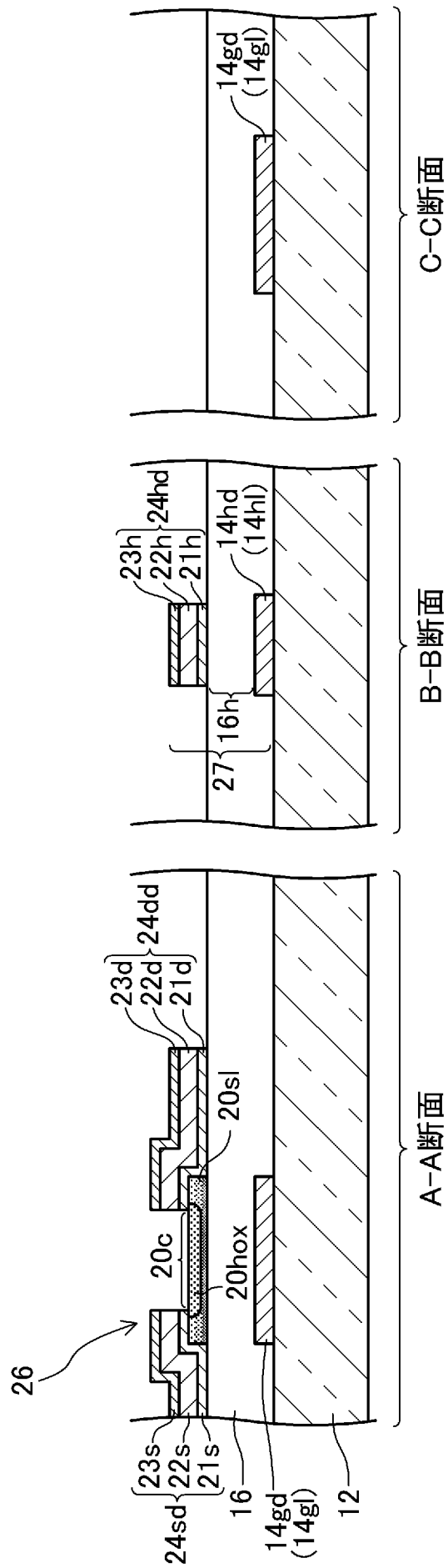
[図20]



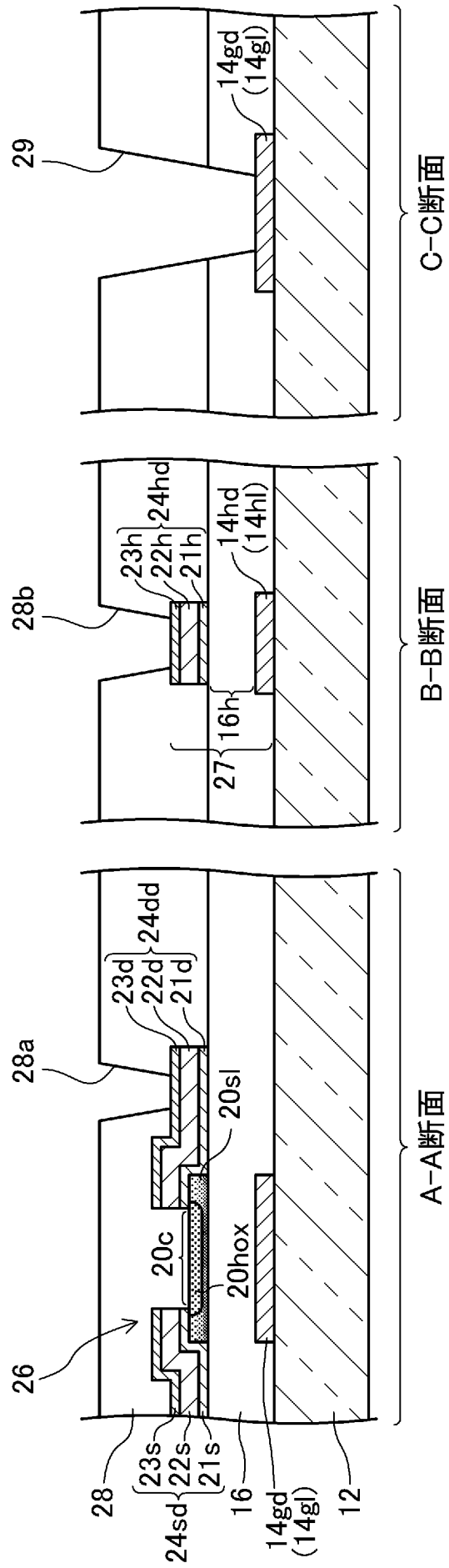
[図21]



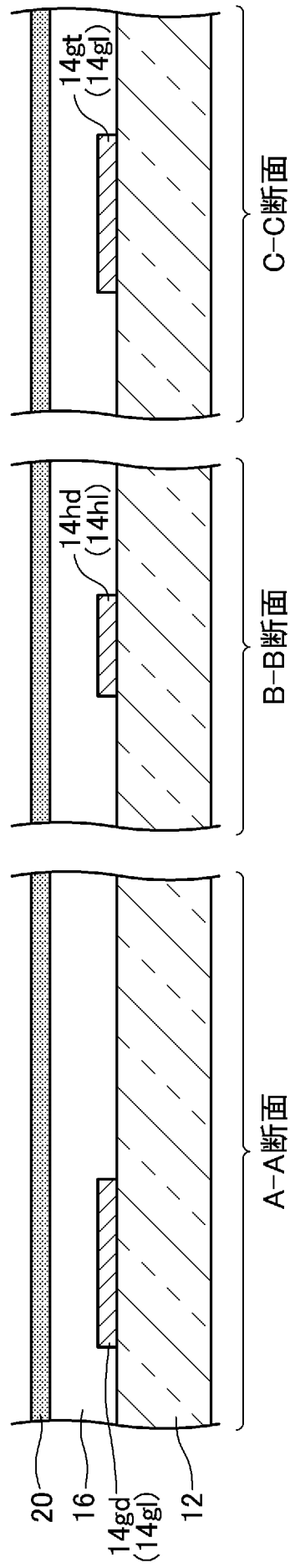
[図22]



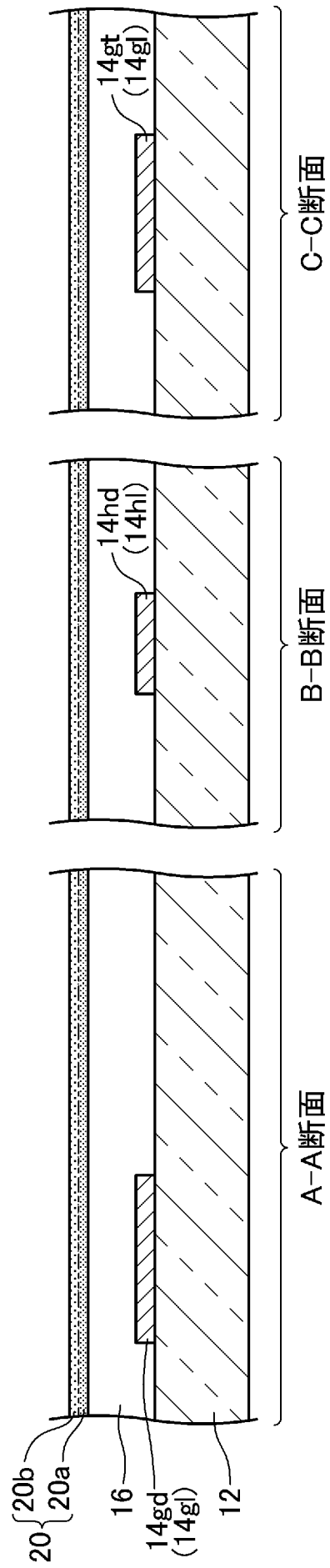
[図23]



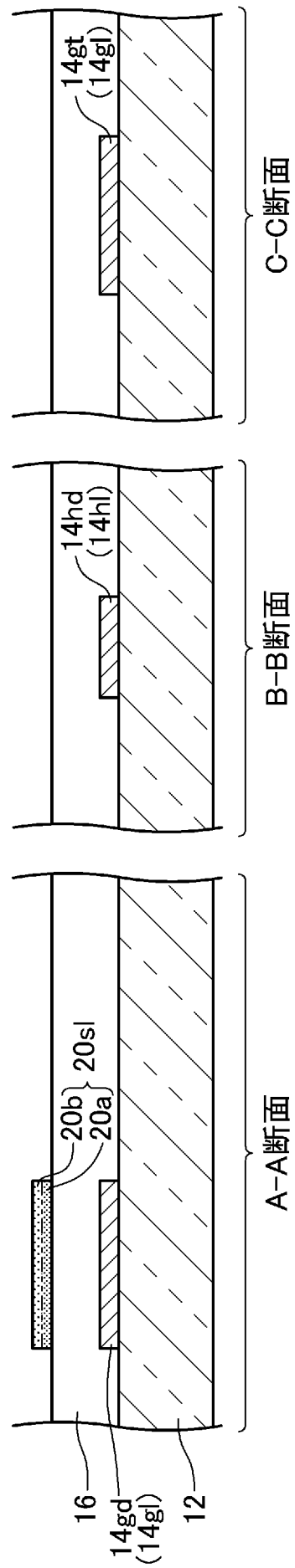
[図25]



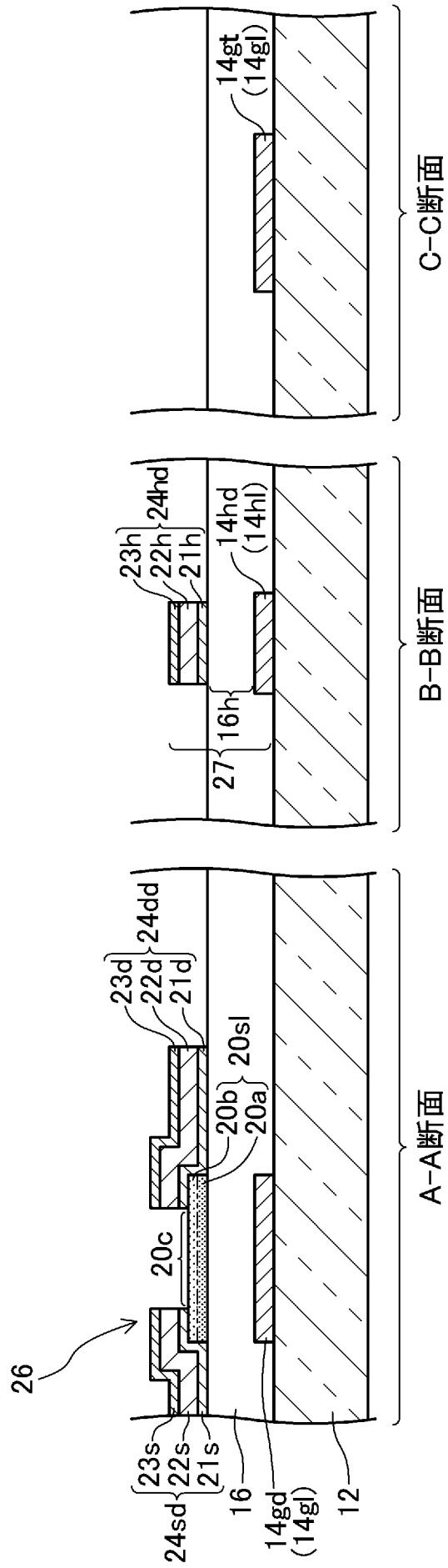
[図26]



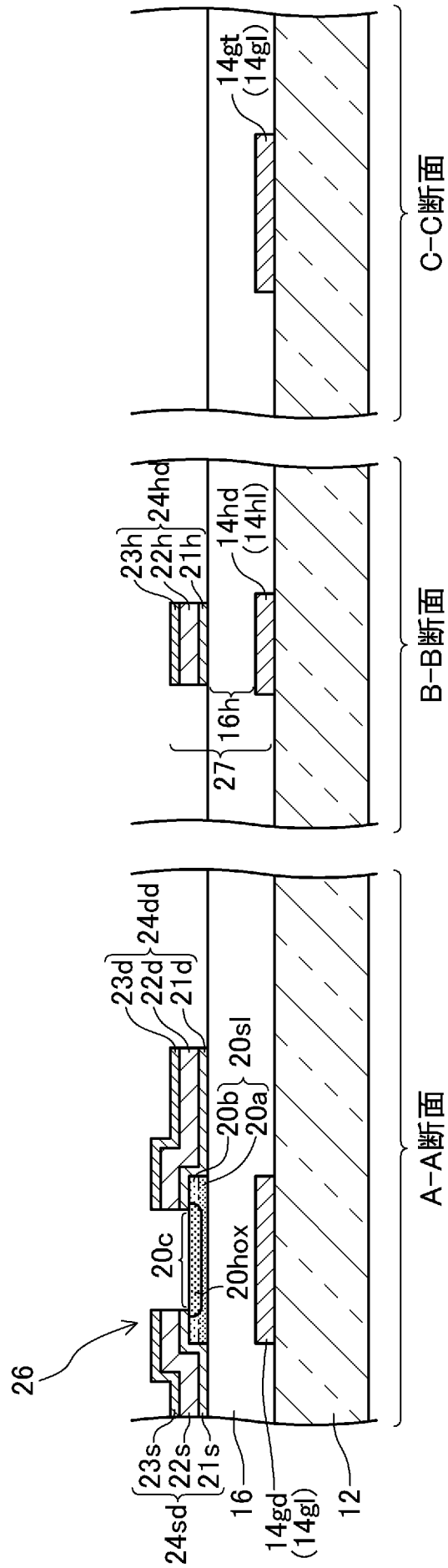
[図27]



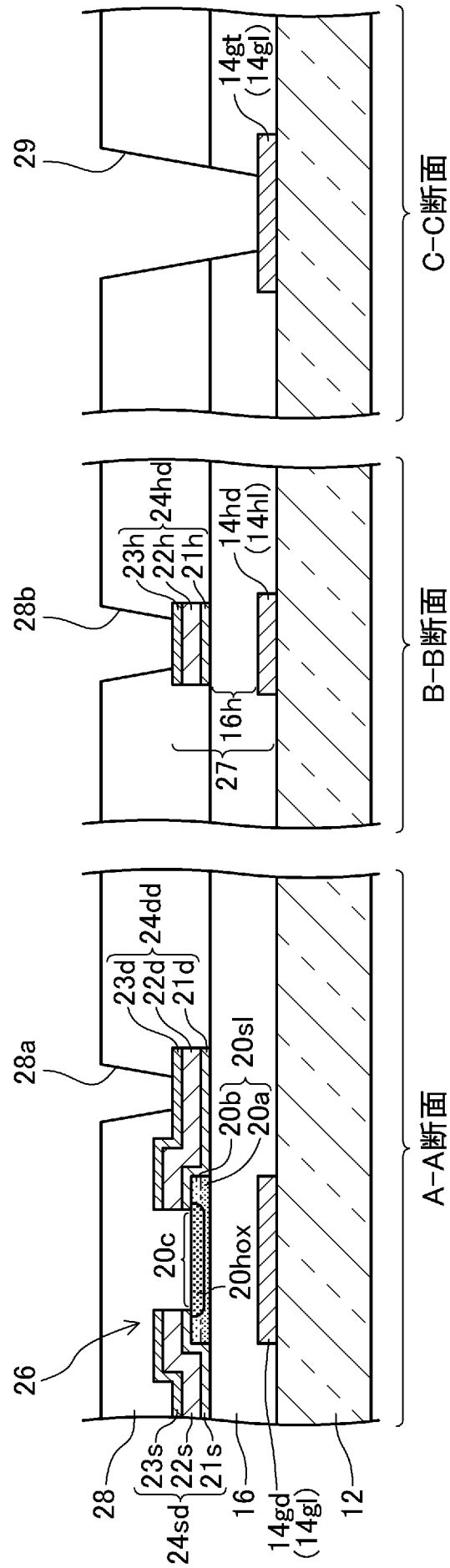
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002881

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i, G02F1/1368(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-295997 A (NEC Corp. et al.), 17 December 2009 (17.12.2009), paragraphs [0003], [0036] to [0072], [0140]; fig. 1 to 8 (Family: none)	1-10
Y	JP 2010-153842 A (Semiconductor Energy Laboratory Co., Ltd.), 08 July 2010 (08.07.2010), paragraphs [0010], [0014], [0033], [0038], [0042], [0054], [0082], [0093] to [0095] & US 2010/0133530 A1 & KR 10-2010-0061359 A & CN 101752425 A	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

28 June, 2011 (28.06.11)

Date of mailing of the international search report

12 July, 2011 (12.07.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002881

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-40552 A (Idemitsu Kosan Co., Ltd.), 18 February 2010 (18.02.2010), entire text; all drawings (Family: none)	1-10
A	JP 2010-98304 A (Semiconductor Energy Laboratory Co., Ltd.), 30 April 2010 (30.04.2010), entire text; all drawings & US 2010/0072467 A & WO 2010/032629 A1	1-10
A	JP 2008-42088 A (NEC Corp. et al.), 21 February 2008 (21.02.2008), entire text; all drawings & US 2008/0038882 A1	1-10
A	JP 2010-67710 A (Fujifilm Corp.), 25 March 2010 (25.03.2010), entire text; all drawings & US 2010/0059746 A & EP 2161756 A1 & CN 101673770 A	1-10
A	JP 2010-73881 A (Fujifilm Corp.), 02 April 2010 (02.04.2010), entire text; all drawings (Family: none)	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-295997 A（日本電気株式会社、外1名）2009.12.17, 段落【0003】、【0036】～【0072】、【0140】、図1～8（ファミリーなし）	1-10
Y	JP 2010-153842 A（株式会社半導体エネルギー研究所）2010.07.08, 段落【0010】、【0014】、【0033】、【0038】、【0042】、【0054】、【0082】、【0093】～【0095】 & US 2010/0133530 A1 & KR 10-2010-0061359 A & CN 101752425 A	1-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 0 6 . 2 0 1 1

国際調査報告の発送日

1 2 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 聡一郎

電話番号 03-3581-1101 内線 3498

4 L

3 8 6 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-40552 A (出光興産株式会社) 2010.02.18, 全文、全図 (ファミリーなし)	1-10
A	JP 2010-98304 A (株式会社半導体エネルギー研究所) 2010.04.30, 全文、全図 & US 2010/0072467 A & WO 2010/032629 A1	1-10
A	JP 2008-42088 A (日本電気株式会社、外 1 名) 2008.02.21, 全文、全図 & US 2008/0038882 A1	1-10
A	JP 2010-67710 A (富士フイルム株式会社) 2010.03.25, 全文、全図 & US 2010/0059746 A & EP 2161756 A1 & CN 101673770 A	1-10
A	JP 2010-73881 A (富士フイルム株式会社) 2010.04.02, 全文、全図 (ファミリーなし)	1-10